

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4656685号  
(P4656685)

(45) 発行日 平成23年3月23日 (2011.3.23)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 T

H O 1 L 21/318 (2006.01)

H O 1 L 29/78 6 1 7 U

G O 2 F 1/1368 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 21/318 C

G O 2 F 1/1368

請求項の数 18 (全 33 頁)

(21) 出願番号 特願2000-5580 (P2000-5580)  
 (22) 出願日 平成12年1月14日 (2000.1.14)  
 (65) 公開番号 特開2000-269513 (P2000-269513A)  
 (43) 公開日 平成12年9月29日 (2000.9.29)  
 審査請求日 平成19年1月12日 (2007.1.12)  
 (31) 優先権主張番号 特願平11-8496  
 (32) 優先日 平成11年1月14日 (1999.1.14)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 河本 充雄

(56) 参考文献 特開平08-018053 (JP, A)  
 特開平10-261801 (JP, A)  
 特開昭63-076482 (JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上に設けられたゲート電極と、  
 前記ゲート電極上に設けられたゲート絶縁膜と、  
 前記ゲート絶縁膜上に設けられた半導体膜と、を有し、  
 前記ゲート絶縁膜は、ボロン元素を含む窒化酸化シリコン膜を有することを特徴とする  
 半導体装置。

【請求項2】

請求項1において、  
 前記半導体膜は、前記ゲート絶縁膜に接することを特徴とする半導体装置。

10

【請求項3】

絶縁表面上に設けられた半導体膜と、  
 前記半導体膜上に設けられたゲート絶縁膜と、  
 前記ゲート絶縁膜上に設けられたゲート電極と、を有し、  
 前記ゲート絶縁膜は、ボロン元素を含む窒化酸化シリコン膜を有することを特徴とする  
 半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、  
 前記窒化酸化シリコン膜は、前記ゲート電極に接することを特徴とする半導体装置。

【請求項5】

20

絶縁膜上に設けられたゲート電極と、  
 前記ゲート電極上に設けられたゲート絶縁膜と、  
 前記ゲート絶縁膜上に設けられた半導体膜と、を有し、  
 前記ゲート絶縁膜は、ボロン元素を含む窒化酸化シリコン膜を有することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、  
 前記ゲート絶縁膜が有する前記窒化酸化シリコン膜中のボロン元素の組成比率は 0 . 1 ~ 5 0 a t o m s % であることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、  
 前記ゲート絶縁膜が有する前記窒化酸化シリコン膜中の酸素の組成比率は 1 ~ 3 0 a t o m s % であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、  
 前記ゲート絶縁膜が有する前記窒化酸化シリコン膜は、窒素と酸素とシリコンとを含む絶縁膜であることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、  
 前記ゲート絶縁膜が有する前記窒化酸化シリコン膜の内部応力は  $-5 \times 10^{10} \text{ dyn / cm}^2 \sim 5 \times 10^{10} \text{ dyn / cm}^2$  であることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、  
 前記絶縁表面は、ボロン元素を含む窒化酸化シリコン膜の表面であることを特徴とする半導体装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、  
 前記半導体膜は結晶質半導体を有することを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 10 のいずれか一項において、  
 前記半導体膜は非晶質半導体を有することを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項において、  
 前記半導体膜は、ソース領域と、ドレイン領域と、チャネル領域と、を少なくとも有することを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一項において、  
 前記ゲート絶縁膜は、積層構造を有することを特徴とする半導体装置。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一項に記載した半導体装置を有することを特徴とする電気光学装置。

【請求項 16】

請求項 15 に記載した電気光学装置は、液晶ディスプレイ、ELディスプレイ、またはECディスプレイであることを特徴とする電気光学装置。

【請求項 17】

請求項 1 乃至請求項 14 のいずれか一項に記載した半導体装置と、アンテナ又は音声出力部と、を有することを特徴とする電子機器。

【請求項 18】

請求項 17 において、カメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、カーステレオ、パーソナルコンピュータ、または携帯情報端末の機能を有

10

20

30

40

50

することを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、非晶質半導体薄膜を結晶化して形成された結晶質半導体膜を利用した半導体装置の作製方法に関するものであり、特に半導体装置の信頼性を向上させる方法に関する。本発明の半導体装置は、薄膜トランジスタ（Thin Film Transistor：ＴＦＴ）やＭＯＳトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

10

【０００２】

【従来の技術】

近年、ガラス基板等に上にＴＦＴを形成して半導体回路を構成する技術が急速に進んでいる。そのような半導体回路としてはアクティブマトリクス型液晶表示装置のような電気光学装置が代表的である。

【０００３】

アクティブマトリクス型液晶表示装置とは、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノシリック型表示装置である。さらにメモリ回路やクロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発も進められている。

20

【０００４】

アクティブマトリクス型液晶表示装置のドライバー回路やロジック回路は高速動作を行う必要があるので、活性層として非晶質シリコン膜（アモルファスシリコン膜）を用いることは不適当である。そのため、現状では結晶質シリコン膜（ポリシリコン膜）を活性層としたＴＦＴが主流になりつつある。

【０００５】

【発明が解決しようとする課題】

ＴＦＴは透明なガラス基板に形成することができるので、アクティブマトリクス型表示装置への応用開発が積極的に進められてきた。ポリシリコン膜を利用したＴＦＴは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

30

【０００６】

アクティブマトリクス型表示装置は画面の解像度が高精細になるに従い、画素だけでも１００万個のＴＦＴが必要になってくる。さらに機能回路を付加すると、それ以上の数のＴＦＴが必要となり、液晶表示装置を安定に動作させるためには、個々のＴＦＴの信頼性を確保して安定に動作させる必要があった。

【０００７】

このようなアクティブマトリクス型表示装置において、特に、熱伝導性が悪く保温性がよい基板（例えばガラス基板）上にＴＦＴを設けた場合、周辺駆動回路のＴＦＴには大きな電圧及び電流が印加されるため、半導体層が発熱してＴＦＴの信頼性を著しく低下させていた。

40

【０００８】

本発明は上記問題点を鑑みて成されたものであり、絶縁表面上に設けられたＴＦＴを駆動させる際に発生する熱を迅速に拡散して、半導体装置全体を均熱化させる技術を提供することを課題とする。

【０００９】

また、ＣＶＤ法やスパッタ法等により形成された薄膜を積層してＴＦＴを形成する場合において、膜の内部応力の大きさがある程度異なる膜を積層すると、各々の膜が有する内部応力の相互作用により膜剥がれが生じていた。本発明はこの内部応力の問題をも解決する技術を提供することを課題とする。

50

## 【 0 0 1 0 】

## 【課題を解決するための手段】

上述の課題を解決するために、本発明は、低温で成膜でき、生産性にも優れたスパッタ法を用いて熱伝導性の優れた絶縁膜（ $\text{SiN}_x\text{B}_y\text{O}_z$ ：ただし、 $x$ 、 $y$ 、及び $z$ は、組成比を表す値であって、 $x > 0$ 、 $y > 0$ 、 $z > 0$ である。）を半導体素子または半導体装置の絶縁膜として用いることを特徴としている。本発明の絶縁膜（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）は、ボロン元素を $0.1 \sim 50 \text{ atoms } \%$ または $1 \sim 50 \text{ atoms } \%$ 、望ましくは $0.1 \sim 10 \text{ atoms } \%$ 含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、本発明の絶縁膜（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。加えて、本発明の絶縁膜（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）に、酸素を $1 \sim 30 \text{ atoms } \%$ 含有しているため、膜の内部応力を、代表的には $-5 \times 10^{10} \text{ dyn/cm}^2 \sim 5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-10^{10} \text{ dyn/cm}^2 \sim 10^{10} \text{ dyn/cm}^2$ とすることができ、各々の膜の間の応力が低減されて膜剥がれ等が生じにくくすることができる。

10

## 【 0 0 1 1 】

本明細書で開示する本発明の構成は、  
絶縁表面上に形成されたゲート電極と、  
前記ゲート電極上にゲート絶縁膜と、  
前記ゲート絶縁膜上に接して、ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に形成されたチャネル形成領域と、を有する半導体装置において、  
前記ゲート絶縁膜は、ボロン元素を含む窒化酸化シリコン膜を一層有することを特徴とする半導体装置である。

20

## 【 0 0 1 2 】

また、他の本発明の構成は、  
絶縁表面上に接して、ソース領域と、ドレイン領域と、前記ソース領域とドレイン領域の間に形成されたチャネル形成領域と、  
前記チャネル形成領域上にゲート絶縁膜と、  
前記ゲート絶縁膜上に接してゲート電極と、を有する半導体装置において、  
前記ゲート絶縁膜は、ボロン元素を含む窒化酸化シリコン膜を一層有することを特徴とする半導体装置である。

30

## 【 0 0 1 3 】

また、他の本発明の構成は、  
絶縁表面上に形成された絶縁膜と、前記絶縁膜上に形成された半導体素子とを備えた半導体装置において、  
前記絶縁膜はボロン元素を含む窒化酸化シリコン膜であることを特徴とする半導体装置である。

## 【 0 0 1 4 】

また、他の本発明の構成は、  
絶縁表面上に形成された半導体素子と、半導体素子を保護する絶縁膜とを備えた半導体装置において、  
前記絶縁膜はボロン元素を含む窒化酸化シリコン膜であることを特徴とする半導体装置である。

40

## 【 0 0 1 5 】

また、本願発明を実施する上での作製方法に関する本発明の構成は、  
酸化窒素ガスを含む雰囲気中において、ボロン元素が添加された半導体ターゲットを用いたスパッタリングを行ない、窒化酸化シリコン膜を形成する工程を有することを特徴とする半導体装置の作製方法である。

## 【 0 0 1 6 】

また、上記構成において、前記酸化窒素ガスとは、一酸化一窒素ガス、一酸化二窒素ガス

50

、二酸化窒素ガス及び三酸化窒素ガスのうちの一種または複数種、またはこれらのガスを不活性ガスや酸素ガスで希釈したガスであることを特徴としている。

【 0 0 1 7 】

また、作製方法に関する他の本発明の構成は、  
ボロン元素を含むガスと酸化窒素ガスとからなる雰囲気中において、半導体ターゲットを用いたスパッタリングを行ない、ボロン元素を含む窒化酸化シリコン膜を形成する工程を有することを特徴とする半導体装置の作製方法である。

【 0 0 1 8 】

上記構成において、前記酸化窒素ガスとは、一酸化一窒素ガス、一酸化二窒素ガス、二酸化窒素ガス及び三酸化窒素ガスのうちの一種または複数種、またはこれらのガスを不活性ガスや酸素ガスで希釈したガスであることを特徴としている。

10

【 0 0 1 9 】

上記構成において、前記雰囲気中のボロン元素の含有比率を連続的または段階的に変化させてスパッタリングを行うことを特徴としている。

【 0 0 2 0 】

また、作製方法に関する他の本発明の構成は、  
絶縁表面上にゲート電極を形成する工程と、  
前記ゲート電極上にボロン元素を含む窒化酸化シリコン膜からなるゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に半導体薄膜を形成する工程とを有する半導体装置の作製方法である。

20

【 0 0 2 1 】

また、作製方法に関する他の本発明の構成は、  
絶縁表面上に半導体薄膜を形成する工程と、  
前記半導体薄膜上にボロン元素を含む窒化酸化シリコン膜からなるゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上にゲート電極を形成する工程とを有する半導体装置の作製方法である。

【 0 0 2 2 】

【本発明の実施の形態】

30

本実施の形態を図1を用いて説明する。ここでは、スパッタ法による絶縁膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) からなるゲート絶縁膜を備えたボトムゲート型TFTおよびその作製方法について説明する。

【 0 0 2 3 】

まず、基板101を用意する。基板101としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミックス基板、半導体基板、プラスチック基板（ポリエチレンテレフレート基板）等を用いることができる。

【 0 0 2 4 】

次いで、基板101上にスパッタ法を用いて形成した導電材料からなる導電膜をパターンニングしてゲート配線（ゲート電極を含む）102を形成する。ゲート配線102の材料としては、導電性材料または半導体材料を主成分とする材料、例えばTa（タンタル）、Mo（モリブデン）、Ti（チタン）、W（タングステン）、クロム（Cr）等の金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N型又はP型の導電性を有するポリシリコン等の材料、低抵抗金属材料Cu（銅）、Al（アルミニウム）等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。

40

【 0 0 2 5 】

次いで、基板101及びゲート電極102上に窒化酸化シリコン膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) 103aをスパッタ法により形成する。

【 0 0 2 6 】

50

本発明の実施に用いられるスパッタ装置は基本的に、チャンバーと、チャンバー内を真空にする排気系と、スパッタ用のガスをチャンバーに導入するガス導入系と、ターゲットやRF電極からなる電極系と、電極系に接続されたスパッタリング電源とから構成されている。なお、スパッタ用のガスとしては、酸化窒素ガスを用いる。この酸化窒素ガスとは、一酸化窒素ガス、一酸化二窒素ガス、二酸化窒素ガス及び三酸化窒素ガスのうちの一種または複数種、またはこれらのガスを不活性ガス(Ar、He、Ne、N<sub>2</sub>)や酸素ガスやアンモニア(NH<sub>3</sub>)で希釈したガスである。また、スパッタの条件(スパッタ用のガス、ガス流量、成膜圧力、基板の温度、成膜電力等)は、ターゲットの大きさ、基板の寸法、窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)の膜厚、窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)の膜質等を考慮して実施者が適宜決定すればよい。また、RF電力に代えてDC電力を使用することも可能である。

10

#### 【0027】

本発明は、この窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)103aの形成方法の特徴の一つとしており、その形成方法としては以下に示すように2つの方法がある。

#### 【0028】

本発明の第1の形成方法は、上記酸化窒素ガスを含む雰囲気中において、単結晶シリコンにボロン元素を添加したターゲットを用いたスパッタリング方法である。なお、本発明においては、ボロン元素が好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上添加された単結晶または多結晶の半導体ターゲットを用いる。また、このターゲットのボロン元素含有量を変えることで、窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)中におけるボロン元素の組成比を変えることができる。また、同時に複数のターゲット、例えば、ボロン元素を添加したターゲットと、他の一導電性を付与する不純物(例えばガリウム(Ga))を添加したターゲットとを用いることで、さらに複雑な組成比を有する絶縁膜を得ることができる。

20

#### 【0029】

また、本発明の第2の形成方法は、酸化窒素ガスとボロン元素を含有したガス(例えばジボラン:B<sub>2</sub>H<sub>6</sub>)とを含んだ雰囲気中において、単結晶シリコンからなるターゲットを用いたスパッタリング方法である。また、ボロン元素を含有したガス量を変えることで、窒化酸化シリコンを主成分とする絶縁膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)の組成比を変えることができる。また、雰囲気中のボロン元素含有比率を連続的または段階的に変化させて、ボロン元素の濃度勾配を膜中に持たせる構成としてもよい。

30

#### 【0030】

上記第1の形成方法または第2の形成方法を用いることによって、膜中にボロン元素を0.1~50atoms%又は1~50atoms%、望ましくは0.1~10atoms%含有させて熱伝導性を高め、膜中に酸素を1~30atoms%含有させて、密着性を高めた窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)103aを形成することができる。この窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)103aは、ボロン元素を含んでいるため、従来の窒化シリコン膜(SiN)と比較して、高い熱伝導性を有している。また、この窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)103aは、酸素を1~30atoms%含んでいるため、従来の窒化シリコン膜(SiN)と比較して高い密着性を有しており、膜剥がれが生じにくい。この窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)103aの内部応力は、代表的には $-5 \times 10^{10} \text{ dyn/cm}^2 \sim -5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-10^{10} \text{ dyn/cm}^2 \sim -10^{10} \text{ dyn/cm}^2$ (Ionic System社製のModel-30114による応力測定での値)であることが好ましい。勿論、この窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)は、十分な絶縁性を有していることは言うまでもない。特に、窒化酸化シリコン膜(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)をゲート電極に接して形成すると、TFTを駆動させる際に発生する熱を迅速に拡散しやすいため、半導体装置全体を均熱化させることを効果的に行うことができる。

40

#### 【0031】

次いで、絶縁膜103b、非晶質半導体膜104を順次大気開放しないで積層形成した。(図1(B))こうすることにより、界面の汚染を防ぐことができる。ここでは、絶縁膜103aと絶縁膜103bとの二層の絶縁膜をゲート絶縁膜として採用しているが、単層

50

または三層以上の積層構造としてもよい。

#### 【0032】

非晶質半導体膜104としては、珪素を含む非晶質半導体膜、例えば非晶質シリコン膜、微結晶を有する非晶質半導体膜、微結晶シリコン膜、非晶質ゲルマニウム膜、 $\text{Si}_{1-x}\text{Ge}_x$  ( $0 < x < 1$ ) で示される非晶質シリコンゲルマニウム膜またはこれらの積層膜を10～80nm、より好ましくは15～60nmの膜厚範囲で用いることができる。絶縁膜103b及び非晶質半導体膜104の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等の形成方法を用いることができる。

#### 【0033】

次いで、非晶質半導体膜104の結晶化処理を行い、結晶質半導体膜105を形成する。  
(図1(C))結晶化処理としては、公知の如何なる手段、例えば熱結晶化処理、赤外光または紫外光の照射による結晶化処理(以下レーザー結晶化と呼ぶ)、触媒元素を用いた熱結晶化処理等、またはこれらの結晶化処理を組み合わせた処理を用いることができる。

#### 【0034】

こうして得られた結晶質半導体膜105を活性層として利用して、ボトムゲート型TFETを作製する。なお、ここでは、結晶質半導体膜105を活性層として利用したが、結晶化を行わずに非晶質半導体膜を活性層として利用して、ボトムゲート型TFETを作製してもよい。また、以降の工程は、公知の作製方法に従い作製すればよいので詳細な説明は省略する。

#### 【0035】

ここでは、膜中にボロン元素を0.1～50atoms%又は1～50atoms%、望ましくは0.1～10atoms%含有し、酸素を1～30atoms%含有した絶縁膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )をボトムゲート型TFETのゲート絶縁膜の一層として用いた例を示したが、絶縁膜であれば特に限定されず、例えば、下地膜、層間絶縁膜、マスク絶縁膜、チャネル保護膜、保護膜等に用いることができる。加えて、トップゲート型TFETに利用される絶縁膜、例えば、下地膜、ゲート絶縁膜、マスク絶縁膜、層間絶縁膜、保護膜等に用いることも可能である。また、順スタガ型TFETに利用される絶縁膜にも適用することが可能である。このように、本発明はTFET構造に関係なく適用することができる。

#### 【0036】

こうして、膜中にボロン元素を0.1～50atoms%または1～50atoms%、望ましくは0.1～10atoms%含有し、酸素を1～30atoms%含有した窒化酸化シリコン膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )を絶縁膜として利用した半導体装置は、TFETを駆動させる際に発生する熱を迅速に拡散して、半導体装置全体を均熱化させることができるため、従来と比較して高い信頼性を備えることができる。

#### 【0037】

勿論、膜中に酸素を1～30atoms%含有させて、密着性を高めた窒化酸化シリコン膜( $\text{SiN}_{1-x}\text{O}_x$  ( $0 < x < 1$ ):ただし、 $x$ は、組成比を表す値である。))をTFETに利用される絶縁膜に用いることも可能である。

#### 【0038】

#### 【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

#### 【0039】

[実施例1] 以下、図1～3を用いて、本発明の実施例を詳細に説明する。

#### 【0040】

まず、基板101としてガラス基板(コーニング1737;歪点667)を用意した。次いで、基板101上に積層構造(簡略化のため図示しない)のゲート配線(ゲート電極を含む)102を形成した。本実施例では、スパッタ法を用いて窒化タンタル膜(膜厚50nm)とタンタル膜(膜厚250nm)を積層形成し、公知のパターニング技術であるフォトリソグラフィ法を用いて積層構造を有するゲート配線(ゲート電極を含む)10

10

20

30

40

50

2を形成した。

#### 【0041】

次いで、スパッタ法により膜厚範囲が1～1000nm、好ましくは10～100nmであるボロン元素を含む窒化酸化シリコン膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )103aを形成する。(図1(A))本実施例では、酸化窒素ガス(ここでは一酸化二窒素ガス)を含む雰囲気中において、ボロン元素が添加された単結晶シリコンのターゲットを用いたスパッタリングを行い、膜厚50nmの窒化酸化シリコン膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )を形成した。また、酸化窒素ガスとジボラン( $\text{B}_2\text{H}_6$ )を用いた雰囲気中において、単結晶シリコンからなるターゲットを用いたスパッタリング方法を用いて窒化酸化シリコン膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )を形成してもよい。こうして得られた窒化酸化シリコン膜( $\text{SiN}_x\text{B}_y\text{O}_z$ )は、ボロン元素を0.1～50atoms %含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、この窒化酸化シリコン膜はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。

10

#### 【0042】

次いで、絶縁膜103b、非晶質半導体膜104を順次大気開放しないで積層形成した。(図1(B))本実施例では酸化シリコン膜103b(膜厚125nm)をプラズマCVD法により積層形成し、積層構造のゲート絶縁膜とした。本実施例では二層の絶縁膜をゲート絶縁膜として採用しているが、単層または三層以上の積層構造としてもよい。また、本実施例ではゲート絶縁膜上に非晶質半導体膜104として、膜厚54nmの非晶質シリコン膜(アモルファスシリコン膜)をプラズマCVD法により形成した。なお、いずれの層の界面にも大気からの汚染物質が付着しないようにするため順次大気開放せずに積層形成した。その後、半導体膜の結晶化を妨げる非晶質シリコン膜中の水素濃度を低減するための加熱処理(500℃、1時間)を行った。

20

#### 【0043】

こうして図1(B)の状態が得られたら、非晶質半導体膜104に対して赤外光または紫外光の照射による結晶化(レーザー結晶化)を行い結晶質半導体膜(結晶を含む半導体膜)105を形成した。(図1(C))結晶化技術として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。本実施例ではKrFエキシマレーザー光を線状にビーム形成して照射した。なお、照射条件としては、パルス周波数が30Hz、オーバーラップ率は96%、レーザーエネルギー密度は100～500mJ/cm<sup>2</sup>であり本実施例では360mJ/cm<sup>2</sup>とした。なお、レーザー結晶化の条件(レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は、非晶質半導体膜104の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。なお、レーザー結晶化の条件によっては、初期半導体膜が熔融状態を経過して結晶化する場合や、初期半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。この工程により非晶質半導体膜104は結晶化され、結晶質半導体膜105に変化する。本実施例において結晶質半導体膜とは多結晶シリコン膜(ポリシリコン膜)である。

30

40

#### 【0044】

次に、こうして形成された結晶質半導体105上にチャネル形成領域を保護する絶縁膜(後にチャネル保護膜となる)106を形成した。本実施例では酸化シリコン膜(膜厚200nm)を形成した。次いで、裏面からの露光を用いたパターンニング(レジスト膜の成膜、露光、現像)によって、絶縁膜106に接してレジストマスク107を形成した。(図1(D))裏面からの露光によるレジストマスクの形成はマスクを必要としないため、製造マスク数を低減することができる。図示したようにレジストマスクの大きさは光の回り込みによって、わずかにゲート配線の幅より小さくなった。

#### 【0045】

次いで、レジストマスク107をマスクに用いて絶縁膜106をエッチングして、チャネ

50

ル保護膜 108 を形成した後、レジストマスク 107 を除去した。(図 1 (E)) この工程により、チャネル保護膜 108 と接する領域以外の結晶質シリコン膜の表面を露呈させた。このチャネル保護膜 108 は、後のドーピング工程でチャネル形成領域となる領域にドーパントが添加されることを防ぐ役目を果たす。また、本実施例ではチャネル保護膜 108 として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

#### 【0046】

次いで、フォトリソマスクを用いたパターニングによって n チャネル型 TFT の一部または p チャネル型 TFT を覆うレジストマスク 109 を形成し、表面が露呈された結晶質半導体膜に n 型を付与する不純物元素を添加する工程を行ない、第 1 の不純物領域 ( $n^+$  領域) 110a を形成した。(図 2 (A)) 本実施例では、n 型の導電性を付与する不純物としてリン元素を用いた。ドーピングガスとして水素で 1 ~ 10 % (本実施例では 5 %) に希釈したフォスフィン ( $\text{PH}_3$ ) を用い、ドーズ量  $5 \times 10^{14} \text{atoms} / \text{cm}^2$ 、加速電圧は 10 kV とした。また、上記レジストマスク 109 のパターンを実施者が適宜設定することにより  $n^+$  型領域の幅が決定され、所望の幅を有する  $n^-$  型領域、及びチャネル形成領域を得ることが比較的容易にできる。

#### 【0047】

次いで、レジストマスク 109 を除去した後、LDD 領域を形成するための絶縁膜 111 を形成した。(図 2 (B)) 本実施例では、絶縁膜 111 として、酸化シリコン膜 (膜厚 50 nm) をプラズマ CVD 法により形成した。また、本実施例では絶縁膜 111 として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

#### 【0048】

次いで、絶縁膜 111 が表面に設けられた結晶質半導体膜に n 型を付与する不純物元素を添加する工程を行ない、第 2 の不純物領域 ( $n^-$  領域) 112 を形成した。(図 2 (C)) ただし、絶縁膜 111 を介してその下の結晶質半導体膜に不純物を添加するために、絶縁膜 111 の膜厚を考慮に入れ、適宜ドーピング条件を設定することが重要である。本実施例ではドーピングガスとして水素で 1 ~ 10 % (本実施例では 5 %) に希釈したフォスフィンを用い、ドーズ量  $3 \times 10^{13} \text{atoms} / \text{cm}^2$ 、加速電圧は 60 kV とした。この絶縁膜 111 を介して不純物元素を添加することにより所望の濃度 (SIMS 分析で  $1 \times 10^{18} \sim 1 \times 10^{19} \text{atoms} / \text{cm}^3$ ) の不純物領域を形成することができた。また、こうして形成される第 2 の不純物領域 112 は LDD 領域として機能する。なお、この時、さらに不純物が添加されて第 1 の不純物領域 110b が形成され、チャネル保護膜の直下には真性な結晶質半導体領域が残った。ただし、図示しないが実際には多少チャネル保護膜の内側に回り込んで不純物元素が添加される。

#### 【0049】

次いで、フォトリソマスクを用いて n チャネル型 TFT を覆うレジストマスク 114 を形成し、結晶質半導体膜に p 型を付与する不純物元素を添加する工程を行ない、第 3 の不純物領域 ( $p^+$  領域) 113 を形成した。(図 2 (D)) 本実施例では p 型を付与する不純物元素として B (ボロン元素) を用いた。ドーピングガスには水素で 1 ~ 10 % に希釈されたジボラン ( $\text{B}_2\text{H}_6$ ) を用い、ドーズ量  $4 \times 10^{15} \text{atoms} / \text{cm}^2$ 、加速電圧は 30 kV とした。

#### 【0050】

次いで、レジストマスク 114 を除去してレーザーアニールまたは熱アニールによる不純物の活性化処理を行なった後、水素雰囲気中で熱処理 (350 °C、1 時間) を行い、全体を水素化した。(図 3 (A)) その後、公知のパターニング技術により所望の形状を有する活性層を形成し、活性層を覆うチャネル保護膜 108、及び絶縁膜 111 を除去した。(図 3 (B))

10

20

30

40

50

## 【0051】

以上の工程を経て、nチャネル型TFETのソース領域115、ドレイン領域116、低濃度不純物領域117、118、チャネル形成領域119が形成され、pチャネル型TFETのソース領域121、ドレイン領域122、チャネル形成領域120が形成された。

## 【0052】

次いで、nチャネル型TFET及びpチャネル型TFETを覆って、プラズマCVD法により膜厚100nmの酸化シリコン膜と、TEOSと酸素( $O_2$ )を原料ガスに用いた膜厚940nmの酸化シリコン膜との積層構造の層間絶縁膜123を形成した。(図3(C)) また、本実施例では層間絶縁膜123として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン( $SiN_xB_yO_z$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

10

## 【0053】

そして、コンタクトホールを形成してソース配線124、126、ドレイン配線125、127を形成して、図3(D)に示す状態を得た。最後に水素雰囲気中で熱処理を行い、全体を水素化してnチャネル型TFET及びpチャネル型TFETが完成した。

## 【0054】

なお、本実施例においては、工程順序を変更し非晶質半導体膜のパターニング後に結晶化処理を行ってもよい。また、本実施例の不純物の添加工程の順序に限定されず、実施者は適宜、不純物の添加工程の順序を変更して不純物領域を形成すればよい。

## 【0055】

20

[実施例2] 実施例1では、レーザー光によって非晶質シリコン膜を結晶化させたが、本実施例では、実施例1と異なる方法で非晶質半導体膜の結晶化を行う例を示す。以下、図4~6を用いて本実施例を説明する。

## 【0056】

まず、実施例1と同様に基板101上に、ゲート電極102、ゲート絶縁膜103a、103bを形成した。(図4(A))ここまでの工程は実施例1と同一であるため、符号は図1と同じものを用いた。なお、ゲート絶縁膜103aは、ボロン元素を含む窒化酸化シリコン膜( $SiN_xB_yO_z$ )である。

## 【0057】

次いで、実施例1に従い非晶質シリコン膜104aを形成した。次に、酸素雰囲気中においてUV光を照射することにより非晶質シリコン膜104aの表面に図示しない極薄い酸化膜を形成する。この酸化膜は後に塗布されるニッケルを含んだ溶液の濡れ性を向上させる機能を有する。

30

## 【0058】

次にニッケルを含有する溶液を非晶質シリコン膜104a表面に塗布する。ニッケル含有量(重量換算)は0.1~50ppm、より好ましくは1ppm~30ppmとすればよい。これは、非晶質シリコン膜104a中のニッケル濃度を $10^{15} \sim 10^{19} \text{atoms/cm}^3$ のオーダーとするためである。 $10^{15} \text{atoms/cm}^3$ 以下であるとニッケルの触媒作用を得ることができない。 $10^{19} \text{atoms/cm}^3$ 程度の濃度であれば、ゲッタリングを実施しない場合でも動作可能なTFETを作製可能であり、ゲッタリング工程を効率良く行うためでもある。なお、上記のニッケルの濃度はSIMSによる測定値の最大値で定義される。

40

## 【0059】

本実施例では、ニッケルを10ppm含有するニッケル酢酸塩溶液を塗布した。そして、スピンコーターにより基板101を回転して、余分なニッケル酢酸塩溶液を吹き飛ばして除去し、非晶質シリコン膜104aの表面に極薄いニッケル含有層205を形成する。(図4(B))

## 【0060】

図4(B)に示す状態を得たら、窒素雰囲気中で温度550℃、4時間加熱して、非晶質シリコン膜104aを結晶化した。この結晶化工程により結晶質シリコン膜204bが得られた。この結晶成長はニッケルを添加した非晶質シリコン膜104a表面から基板10

50

1の方(縦方向)へ進行するため、本明細書では縦成長と呼ぶことにする(図4(C))。なお、本実施例では全面にニッケル含有層を形成する構成としたが、レジスト等を用い選択的にニッケル含有層を形成して基板表面と平行な方向(横方向)へ結晶化を進行させる構成としてもよい。

【0061】

なお、この結晶化工程に従えば粒界を含む多結晶シリコン膜が形成されるが、異なる条件で微結晶状態のシリコン膜を形成することができる。

【0062】

また、上記加熱処理は電熱炉において500~700、より好ましくは550~650の温度で行うことができる。この時、加熱温度の上限は耐熱性を考慮して、使用するガラス基板101のガラス歪点より低くすることが必要である。ガラス歪点を超えるとガラス基板の反り、縮み等が顕在化してしまう。また、加熱時間は1~12時間程度とすればよい。この加熱処理はファーネスアニール(電熱炉内での加熱処理)によって行われる。なお、ランプアニール等の加熱手段を用いることも可能である。

【0063】

次に、得られた結晶質シリコン膜204bに対してレーザー光の照射を行い、結晶性の改善された結晶質シリコン膜204cを得る。本実施例では、パルス発振型のKrFエキシマレーザー(波長248nm)を用いた(図4(D))。なお、レーザー光の照射前に、溶液の濡れ性を向上させるために形成された極薄い酸化膜を除去してもよい。

【0064】

パルス発振型のレーザーとして、短波長(紫外線領域)のXeClエキシマレーザーや、長波長のYAGレーザー等を用いる。本実施例で用いたエキシマレーザーは紫外光を発振するので、被照射領域において瞬間的に溶融固化が繰り返される。そのため、エキシマレーザー光を照射することにより、一種の非平衡状態が形成され、ニッケルが非常に動きやすい状態となる。

【0065】

また、図4(C)に示す結晶化工程で得られる結晶質シリコン膜204bは非晶質成分が不規則に残存する。しかし、図4(D)に示すレーザー光の照射によってそのような非晶質成分を完全に結晶化することができるので、結晶質シリコン膜204cの結晶性は大幅に改善されている。

【0066】

なお、このレーザー照射工程を省略することは可能であるが、レーザー照射することによって、結晶性の改善の他に、後のゲッタリング工程の効率を向上させるという効果が得られる。レーザー照射後では、結晶性シリコン膜204c中の残留ニッケル濃度のSIMSの最高値は、 $1 \times 10^{19} \sim 2 \times 10^{19} \text{ atoms/cm}^3$ 程度である。

【0067】

上記結晶化工程の後に、結晶質シリコン膜中に残存する触媒元素を除去または低減するゲッタリング技術(特開平10-270363号公報)を用いてもよい。なお、同公報には、リン元素を全面または選択的に添加した後に加熱処理(300~700、1~12時間)を行う技術が記載されている。また、高温の硫酸を用いた液相による方法やハロゲン元素を含む気相による方法やボロン元素を添加して加熱する方法を用いる方法を用いてもよい。

【0068】

次いで、実施例1の図1(D)に示した工程と同様に結晶質半導体204c上に膜厚200nmのチャネル形成領域を保護する絶縁膜(後にチャネル保護膜となる)206を形成した。また、本実施例では絶縁膜206として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。次いで、裏面からの露光を用いたパターンニングによって、絶縁膜206に接してレジストマスク207を形成した。(図4(E))

【0069】

次いで、レジストマスク 207 をマスクに用いて絶縁膜 206 をエッチングして、チャネル保護膜 208 を形成した後、レジストマスク 207 を除去した。(図 4 (F))

【0070】

次いで、フォトマスクを用いたパターンニングによって n チャネル型 TFT の一部または p チャネル型 TFT を覆うレジストマスク 209 を形成し、表面が露呈された結晶質半導体膜に n 型を付与する不純物元素 (リン) を添加する工程を行ない、第 1 の不純物領域 (n<sup>+</sup> 領域) 210a を形成した。(図 5 (A)) 本実施例では、ドーピングガスとして水素で 1 ~ 10 % (本実施例では 5 %) に希釈したフォスフィン (PH<sub>3</sub>) を用い、ドーズ量  $5 \times 10^{14} \text{atoms} / \text{cm}^2$ 、加速電圧は 10 kV とした。

【0071】

次いで、レジストマスク 209 を除去した後、LDD 領域を形成するための制御絶縁膜 (本実施例では、膜厚 50 nm の酸化シリコン膜) 211 を形成した。(図 5 (B)) 本実施例では制御絶縁膜 211 として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン (SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>) を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

【0072】

次いで、制御絶縁膜 211 が表面に設けられた結晶質半導体膜に n 型を付与する不純物元素を添加する工程を行ない、第 2 の不純物領域 (n<sup>-</sup> 領域) 212 を形成した。(図 5 (C)) 本実施例ではドーピングガスとして水素で 1 ~ 10 % (本実施例では 5 %) に希釈したフォスフィンを用い、ドーズ量  $3 \times 10^{13} \text{atoms} / \text{cm}^2$ 、加速電圧は 60 kV とした。この制御絶縁膜 211 を介して不純物元素を添加することにより所望の濃度 (SIMS 分析で  $1 \times 10^{18} \sim 1 \times 10^{19} \text{atoms} / \text{cm}^3$ ) の不純物領域を形成することができた。また、こうして形成される第 2 の不純物領域 212 は LDD 領域として機能する。なお、この時、さらに不純物が添加されて第 1 の不純物領域 210b が形成され、チャネル保護膜の直下には真性な結晶質半導体領域が残った。

【0073】

次いで、フォトマスクを用いて n チャネル型 TFT を覆うレジストマスク 214 を形成し、結晶質半導体膜に p 型を付与する不純物元素を添加する工程を行ない、第 3 の不純物領域 (p<sup>+</sup> 領域) 213 を形成した。(図 5 (D)) 本実施例ではドーピングガスには水素で 1 ~ 10 % に希釈されたジボラン (B<sub>2</sub>H<sub>6</sub>) を用い、ドーズ量  $4 \times 10^{15} \text{atoms} / \text{cm}^2$ 、加速電圧は 30 kV とした。

【0074】

次いで、レジストマスク 214 を除去して、300 ~ 700 °C、1 ~ 12 時間の加熱処理を行ない、ニッケル濃度を低減する技術 (特開平 8-330602 号公報) を本実施例に適用した。本実施例では 600 °C、8 時間の加熱処理を行ない、LDD 領域およびチャネル形成領域の内部に残存するニッケルを高濃度不純物領域 (ソース領域及びドレイン領域) の方に移動させる。(図 6 (A)) こうしてニッケル濃度が低減されたチャネル形成領域 (SIMS 分析で  $1 \times 10^{18} \text{atoms} / \text{cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atoms} / \text{cm}^3$  以下) が得られる。この加熱処理による触媒元素の低減と同時に、ドーピング時の結晶性の損傷の回復、熱アニールによる不純物の活性化処理が行なわれる。加えてファーンেসアニール、レーザーアニールまたはランプアニールを行ってもよい。その後、水素雰囲気中で熱処理 (350 °C、1 時間) を行い、全体を水素化した。

【0075】

その後、公知のパターンニング技術により所望の形状を有する活性層を形成し、絶縁膜 211 及びチャネル保護膜 208 を除去した。(図 6 (B))

【0076】

以上の工程を経て、n チャネル型 TFT のソース領域 215、ドレイン領域 216、低濃度不純物領域 217、218、チャネル形成領域 219 が形成され、p チャネル型 TFT のソース領域 221、ドレイン領域 222、チャネル形成領域 220 が形成された。

【0077】

次いで、 $n$ チャネル型TFT及び $p$ チャネル型TFTを覆って、プラズマCVD法により膜厚100nmの酸化シリコン膜と、TEOSと酸素( $O_2$ )を原料ガスに用いた膜厚940nmの酸化シリコン膜との積層構造の層間絶縁膜223を形成した。(図6(C))本実施例では層間絶縁膜223として酸化シリコン膜を用いたが、酸化シリコン膜に代えて本発明のボロン元素を含む窒化酸化シリコン膜( $SiN_x B_y O_z$ )を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。

【0078】

そして、コンタクトホールを形成してソース配線224、226、ドレイン配線225、227を形成して、図6(D)に示す状態を得た。最後に水素雰囲気中で熱処理を行い、全体を水素化して $n$ チャネル型TFT及び $p$ チャネル型TFTが完成した。

10

【0079】

[実施例3] 上記実施例1または実施例2の作製工程を用いた $n$ チャネル型TFT及び $p$ チャネル型TFTを備えた半導体装置について、図7(A)~(C)及び図8(A)~(C)を用いてその構造の一例を説明する。

【0080】

なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えている。本実施例では図示を容易にするため、周辺駆動回路部の一部を構成するCMOS回路を図7に示し、画素マトリクス回路部の一部を構成する画素TFT( $N$ チャネル型TFT)とを図8に示した。なお、実施例1及び2の作製工程に加え、0.2~0.4 $\mu m$ のパッシベーション膜(保護膜)319を形成した。パッシベーション膜319としては窒素シリコン膜、例えばボロン元素を含む窒化酸化シリコン膜( $SiN_x B_y O_z$ )を用いて半導体装置の熱による特性劣化を防止する構成とすることが好ましい。

20

【0081】

図7で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。このようなインバータ回路を組み合わせたことでNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路をも構成することができる。

【0082】

図7(A)は図7(B)の上面図に相当する図であり、図7(A)において、点線A-A'で切断した部分が、図7(B)のCMOS回路の断面構造に相当する。また、図7(C)は、図7(A)及び図7(B)に対応するインバータ回路の回路図である。

30

【0083】

図7(B)において、いずれのTFT(薄膜トランジスタ)も基板301上に形成されている。CMOS回路の $P$ チャネル型TFTの場合には、ゲート電極302が形成され、その上にボロン元素を含む窒化酸化シリコン膜( $SiN_x B_y O_z$ )からなる第1絶縁膜303、酸化珪素からなる第2絶縁膜304が設けられている。第2絶縁膜上には、活性層として $p^+$ 領域312(ドレイン領域)、315(ソース領域)とチャネル形成領域314とが形成される。上記実施例1及び2では工程数を低減するため、 $P$ チャネル型TFTに前記高濃度不純物領域と前記チャネル形成領域の間に低濃度不純物領域(LDD領域)を設けていないが、作製してもよい。活性層の上を覆う第1の層間絶縁膜317にコンタクトホールが形成され、 $p^+$ 領域312、315に配線318、320が接続され、さらにその上にパッシベーション膜319が形成される。簡略化のため図示しないがさらにその上に第2の層間絶縁膜が形成され、配線320に引き出し配線が接続されて、その上を覆って第3の層間絶縁膜が形成される。

40

【0084】

一方、 $N$ チャネル型のTFTは、活性層として $n^+$ 領域(ソース領域)305、 $n^+$ 領域311(ドレイン領域)と、チャネル形成領域309と、前記 $n^+$ 型領域とチャネル形成領域の間に $n^-$ 型領域306、310が形成される。なお、ドレイン領域に接する $n^-$ 型領域310は $n^-$ 型領域306より幅を大きく形成して信頼性を向上させた。活性層の上を覆う第1の層間絶縁膜317にコンタクトホールが形成され、 $n^+$ 型領域305、31

50

1には配線316、318が形成され、さらにその上にパッシベーション膜319が形成される。簡略化のため図示しないがさらにその上に第2の層間絶縁膜が形成され、配線320に引き出し配線が接続されて、その上を覆って第3の層間絶縁膜が形成される。なお、活性層以外の部分は、上記Pチャネル型TFTと概略同一構造であり簡略化のため説明を省略する。

【0085】

また、図8(A)は図8(B)の上面図に相当する図であり、図8(A)において、点線A-A'で切断した部分が、図8(B)の画素マトリクス回路の断面構造に相当する。また、図8(C)は、図8(A)及び図8(B)に対応する回路図である。

【0086】

画素マトリクス回路に形成されたNチャネル型TFTについては、基本的に、CMOS回路のNチャネル型TFTと同一構造である。基板上401にゲート電極403が形成され、その上にボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )からなる第1絶縁膜402、酸化珪素からなる第2絶縁膜404が設けられている。第2絶縁膜上には、活性層として $n^+$ 領域405、409、414と、チャネル形成領域407、411と、前記 $n^+$ 型領域とチャネル形成領域の間に $n^-$ 型領域406、413が形成される。活性層の上を覆う第1の層間絶縁膜419にコンタクトホールが形成され、 $n^+$ 領域405に配線416が接続され、 $n^+$ 領域414に配線417が接続され、さらにその上にパッシベーション膜418が形成される。そして、その上に第2の層間絶縁膜420が形成される。さらに、その上に第3の層間絶縁膜422が形成され、ITO、 $\text{SnO}_2$ 等の透明導電膜からなる画素電極423が接続される。また、421は画素電極423と隣接する画素電極である。

【0087】

なお、画素マトリクス回路の容量部は、第1絶縁膜及び第2絶縁膜を誘電体として、容量配線415と、 $n^+$ 領域414とで形成されている。

【0088】

本実施例では一例として透過型のLCDを作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加/削除を適宜行えば反射型のLCDを作製することが可能である。

【0089】

なお、本実施例では、画素マトリクス回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0090】

本実施例を実施して作製されたTFTは、よりばらつきの少ない電気特性を示す。また、本実施例を実施例1、実施例2と組み合わせることは可能である。

【0091】

〔実施例4〕 本実施例を図9と図10により説明する。実施例1及び2においては、ボトムゲート型TFTのゲート絶縁膜の一層として、ボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )を用いた例を示したが、本実施例では、トップゲート型TFTの下地膜の一層として、ボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )を用いた例を示す。

【0092】

ここでは、 $n$ チャネル型TFTと $p$ チャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する例について説明する。

【0093】

基板501はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化酸化シリコンなどの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板を用いることも可

10

20

30

40

50

能である。

【0094】

そして、基板501のTFTが形成される主表面には、ボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )から成る下地膜502と、窒化酸化シリコン膜から成る下地膜503が形成される。本実施例では、アルゴン(Ar)とジボラン( $\text{B}_2\text{H}_6$ )を含む雰囲気中において、単結晶シリコンからなるターゲットを用いたスパッタリングにより窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )502を形成した。また、窒素( $\text{N}_2$ )またはアンモニア( $\text{NH}_3$ )を含む雰囲気中において、ボロン元素が添加された単結晶シリコンのターゲットを用いたスパッタリング方法を用いて、窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )を形成してもよい。こうして得られた窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )502は、ボロン元素を1~50atoms%含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。下地膜503はプラズマCVD法やスパッタ法で形成すれば良く、基板501からTFTに有害な不純物が半導体層へ拡散することを防ぐために設けるものである。従って、ボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )からなる下地膜502を20~100nm、代表的には50nmの厚さに形成し、さらに窒化酸化シリコン膜からなる下地膜503を50~500nm、代表的には150~200nmの厚さに積層形成すれば良かった。

10

【0095】

勿論、下地膜をボロン元素を含む窒化酸化シリコン( $\text{SiN}_x\text{B}_y\text{O}_z$ )からなる下地膜502、または、窒化酸化シリコン膜からなる下地膜503のどちらか一方のみで形成しても良いが、TFTの信頼性を考慮すると2層構造とすることが最も望ましかった。

20

【0096】

下地膜503に接して形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザー結晶化法や熱処理による固相成長法で結晶化された、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体を適用することも可能である。ここで適用できる半導体材料は、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0097】

半導体層は10~100nm、代表的には50nmの厚さとして形成されるものである。プラズマCVD法で作製される非晶質半導体膜には10~40atom%の割合で膜中に水素が含まれているが、結晶化の工程に先立って400~500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を5atom%以下としておくことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

30

【0098】

また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜503と、半導体層を連続形成すると良い。それぞれの膜が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。その結果、TFTの特性バラツキを発生させる要因の一つをなくすことができた。

40

【0099】

非晶質半導体膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、触媒元素を用いた熱結晶化の技術により結晶質半導体膜を形成すると優れたTFT特性を得ることができる。

【0100】

こうして形成された結晶質半導体膜を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により島状の半導体層504、505を形成した。

【0101】

次に、島状の半導体層504、505の表面に、酸化シリコンまたは窒化シリコンを主成

50

分とするゲート絶縁膜 506 を形成する。また、ゲート絶縁膜 506 としてボロン元素を含む窒化酸化シリコン ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を用いて半導体装置の熱による特性劣化を防止する構成としてもよい。ゲート絶縁膜 506 は、プラズマ CVD 法やスパッタ法で形成し、その厚さを 10 ~ 200 nm、好ましくは 50 ~ 150 nm として形成すれば良い。

【0102】

そして、ゲート絶縁膜 506 の表面に第 1 の導電層 507 と、第 3 の導電層 508 とを形成した。第 1 の導電層 507 は、Ta、Ti、Mo、W から選ばれた元素を主成分とする導電性材料を用いる。そして、第 1 の導電層 507 の厚さは 5 ~ 50 nm、好ましくは 10 ~ 25 nm で形成すれば良い。

【0103】

ゲート絶縁膜 506 と第 1 の導電層 507 の厚さは重要であった。これは、後に実施される第 1 の不純物添加の工程において、n 型を付与する不純物をゲート絶縁膜 506 と第 1 の導電層 507 を通過させて、半導体層 504、505 に添加するためであった。実際には、ゲート絶縁膜 506 と第 1 の導電層 507 の厚さを考慮して、第 1 の不純物添加の工程の条件が決定された。ここで、ゲート絶縁膜 506 や第 1 の導電層 507 の厚さが予め決められた値よりも 10 % 以上変動すると、添加される不純物濃度が減少してしまうためであった。

【0104】

第 3 の導電層 508 は Al または Cu を主成分とする導電性材料を用いる。例えば、Al を用いる場合には、Ti、Si、Sc から選ばれた元素が 0.1 ~ 5 atom% 添加された Al 合金を用いても良い。第 3 の導電層は 100 ~ 1000 nm、好ましくは 200 ~ 400 nm で形成すれば良い。これは、ゲート配線またはゲートバスラインの配線抵抗を下げるための配線材料として形成されるものである。(図 9 (A))

【0105】

本発明において、ゲート配線とは、ゲート絶縁膜 506 上に、ゲート電極と同じ材料から形成され、ゲート電極に接続する配線であり、ゲート電極に接続する構成においてゲートバスラインもゲート配線の一部であると見なす。

【0106】

次に第 2 のフォトリソマスクを使用してレジストマスクを形成し、第 3 の導電層の不要な部分を除去して、ゲートバスラインの一部を形成した(図 9 (B) の 509)。第 3 の導電層が Al である場合、リン酸溶液によるウエットエッチング法により、下地にある第 1 の導電層と選択性良く除去することができた。

【0107】

そして、第 3 のフォトリソマスクにより、半導体層 504 と、半導体層 505 のチャネル形成領域を覆うレジストマスク 510、511 を形成した。このとき、配線を形成する領域にもレジストマスク 512 を形成しておいても良い。

【0108】

そして、n 型を付与する第 1 の不純物元素を添加する工程を行った。結晶質半導体材料に対して n 型を付与する不純物元素としては、リン (P)、砒素 (As)、アンチモン (Sb) などが知られているが、ここでは、リンを用い、フォスフィン ( $\text{PH}_3$ ) を用いたイオンドーピング法を行った。この工程では、ゲート絶縁膜 506 と第 1 の導電膜 507 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の範囲にするのが好ましく、ここでは  $1 \times 10^{18} \text{ atoms/cm}^3$  とした。そして、半導体層にリンが添加された領域 513、514 が形成された。ここで形成されたリンが添加された領域の一部は、LDD 領域として機能する第 2 の不純物領域とされるものである。(図 9 (B))

【0109】

その後、レジストマスク 510、511、512 を除去して、第 2 の導電層 515 を前面に形成した。第 2 の導電層 515 は第 1 の導電層 507 と同じ材料で形成されても良く、Ta、Ti、Mo、W から選ばれた元素を主成分とする導電性材料を用いる。そして、第

10

20

30

40

50

2の導電層515の厚さは100～1000nm、好ましくは200～500nmで形成しておけば良い。(図9(C))

【0110】

次に、第4のフォトマスクによりレジストマスク516、517、518、519を形成した。第4のフォトマスクは、pチャネル型TFTのゲート電極と、ゲート配線、ゲートバスラインを形成するためのものであった。nチャネル型TFTのゲート電極は後の工程で形成するため、第1の導電層522と第2の導電層523が半導体層505上で残るようにレジストマスク517を形成した。

【0111】

第1の導電層と第2の導電層はドライエッチング法により不要な部分を除去した。そして、ゲート電極520、521と、ゲート配線524、525と、ゲートバスライン526、527が形成された。

【0112】

ゲートバスラインは、第3の導電層509が第1の導電層526と第2の導電層527とで覆われたクラッド型の構造として形成された。第3の導電層はAlやCuを主成分とした低抵抗材料であり、配線抵抗を下げることができた。

【0113】

そして、レジストマスク516、517、518、519をそのまま残して、pチャネル型TFTが形成される半導体層504の一部に、p型を付与する第3の不純物元素を添加するの工程を行った。p型を付与する不純物元素としては、ボロン(B)、ガリウム(Ga)等が知られているが、ここではボロン元素をその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 $2 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度にボロン元素を添加した。そして、図9(D)に示すようにボロン元素が高濃度に添加された第3の不純物領域552、553が形成された。

【0114】

図9(D)設けられたレジストマスクを除去した後、新たに第5のフォトマスクによりレジストマスク528、529、530を形成した。第5のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法によりゲート電極531、532が形成された。このときゲート電極531、532は第2の不純物領域513、514の一部と重なるように形成された。(図9(E))

【0115】

そして、レジストマスク528、529、530を完全に除去した後、レジストマスク533、534、535を形成した。レジストマスク534はnチャネル型TFTのゲート電極531、532と、第2の不純物領域の一部を覆う形で形成されるものであった。レジストマスク534は、LDD領域のオフセット量を定めるものであった。

【0116】

そして、n型を付与する第2の不純物元素を添加する工程を行った。そして、ソース領域となる第1の不純物領域537とドレイン領域となる第1の不純物領域536が形成された。ここでは、フォスフィンを用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜506を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>とするのが好ましく、ここでは $1 \times 10^{20}$ atoms/cm<sup>3</sup>とした。(図10(A))

【0117】

そして、ゲート絶縁膜506、ゲート電極520、521、531、532、ゲート配線524、525、ゲートバスライン526、527の表面に第1の層間絶縁膜538、550を形成した。第1の層間絶縁膜550は窒化酸化シリコンであり、50nmの厚さで形成された。また第1の層間絶縁膜538は酸化シリコン膜であり、950nmの厚さに形成された。また、第1の層間絶縁膜550としてボロン元素を含む窒化酸化シリコン(SiN<sub>x</sub>B<sub>y</sub>O<sub>z</sub>)を用いて半導体装置の熱による特性劣化を防止する構成としてもよい

10

20

30

40

50

。

#### 【0118】

ここで形成された窒化酸化シリコンから成る第1の層間絶縁膜550は次の熱処理の工程を行うために必要なものであった。これはゲート電極520、521、531、532、ゲート配線524、525、ゲートバスライン526、527の表面が酸化することを防ぐために効果的であった。

#### 【0119】

熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300～700、好ましくは350～550、ここでは450、2時間の処理を行った。

#### 【0120】

第1の層間絶縁膜538、550はその後、第7のフォトリソマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極539、540とドレイン電極541を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

#### 【0121】

以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域545、第1の不純物領域548、549、第2の不純物領域546、547が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)536a、547aと、ゲート電極と重ならない領域(LDD領域)546b、547bがそれぞれ形成された。そして、第1の不純物領域548はソース領域として、第1の不純物領域549はドレイン領域となった。

#### 【0122】

一方、pチャネル型TFTは、チャネル形成領域542、第3の不純物領域543、544が形成された。そして、第3の不純物領域543はソース領域として、第3の不純物領域544はドレイン領域となった。(図10(B))

#### 【0123】

また、図10(C)はインバータ回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図10(B)と対応している。本発明において、ゲート電極とゲート配線は、第1の導電層と第2の導電層とから形成され、ゲートバスラインは、第1の導電層と第2の導電層と第3の導電層とから形成されたクラッド構造を有している。

#### 【0124】

図9と図10では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせて成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

#### 【0125】

〔実施例5〕 本実施例では、実施例4において半導体層504、505として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

#### 【0126】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合

10

20

30

40

50

の例を図 11 に示す。まず基板 601 に下地膜 602 を設け、その上に非晶質シリコン膜（アモルファスシリコンとも呼ぶ）603 を形成した。本実施例では、下地膜 602 の上層として酸化シリコン膜を用い、下層として、ボロン元素を含む窒化酸化シリコン（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化酸化シリコン（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）に接して非晶質シリコン膜を形成してもよい。さらに、重量換算で 10ppm のニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層 604 を形成した。（図 11（A））

【0127】

次に、500、1 時間の脱水素工程の後、500～650 で 4～24 時間（本実施例では 550、14 時間）の熱処理を行い、結晶質シリコン膜 605 を形成した。こうして得られた結晶質シリコン膜（ポリシリコンとも呼ぶ）605 は非常に優れた結晶性を有した。（図 11（B））

【0128】

また、特開平 8 - 78329 号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図 12 で説明する。

【0129】

まず、ガラス基板 701 に下地膜 702 を設け、その上に非晶質シリコン膜 703、酸化シリコン膜 704 を連続的に形成した。下地膜 702 の上層として酸化シリコン膜を用い、下層として、ボロン元素を含む窒化酸化シリコン（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化酸化シリコン（ $\text{SiN}_x\text{B}_y\text{O}_z$ ）に接して非晶質シリコン膜を形成してもよい。

【0130】

次に酸化シリコン膜 704 をパターニングして、選択的に開孔部 705 を形成し、その後、重量換算で 10ppm のニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層 706 が形成され、ニッケル含有層 706 は開孔部 705 の底部のみで非晶質シリコン膜 702 と接触した。（図 12（A））

【0131】

次に、500～650 で 4～24 時間（本実施例では 580、14 時間）の熱処理を行い、結晶質シリコン膜 707 を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜 707 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0132】

尚、上記 2 つの技術において使用可能な触媒元素は、ニッケル（Ni）の以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素を用いても良い。

【0133】

以上のような技術を用いて結晶質半導体膜（結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む）を形成し、パターニングを行えば、TFT の半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製された TFT は、優れた特性が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明の絶縁膜および TFT 構造を採用することで、本実施例の技術を最大限に生かした TFT を作製することが可能となった。

【0134】

〔実施例 6〕 本実施例は、実施例 4 で用いられる半導体層 504、505 を形成する方法として、実施例 5 のように非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平 10 - 135468 号公報または特開平 10

10

20

30

40

50

- 1 3 5 4 6 9 号公報に記載された技術を用いた。

【 0 1 3 5 】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を  $1 \times 10^{17} \text{atoms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atoms/cm}^3$  にまで低減することができる。

【 0 1 3 6 】

本実施例の構成について図 1 3 を用いて説明する。ここではコーニング社の 1 7 3 7 基板に代表される無アルカリガラス基板を用いた。図 1 3 ( A ) では、実施例 2 で示した結晶化の技術を用いて、下地膜 8 0 2、結晶質シリコン膜 8 0 3 が形成された状態を示している。本実施例では、下地膜 8 0 2 の上層として窒化酸化シリコン膜を用い、下層として、ボロン元素を含む窒化酸化シリコン (  $\text{SiN}_x \text{B}_y \text{O}_z$  ) を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化酸化シリコン (  $\text{SiN}_x \text{B}_y \text{O}_z$  ) に接して非晶質シリコン膜を形成してもよい。そして、結晶質シリコン膜 8 0 3 の表面にマスク用の酸化シリコン膜 8 0 4 が 1 5 0 nm の厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域 8 0 5 が設けられた。

10

【 0 1 3 7 】

この状態で、窒素雰囲気中で 5 5 0 ~ 8 0 0 、 5 ~ 2 4 時間 ( 本実施例では 6 0 0 、 1 2 時間 ) の熱処理を行うと、結晶質シリコン膜にリンが添加された領域 8 0 5 がゲッターリングサイトとして働き、結晶質シリコン膜 8 0 3 に残存していた触媒元素はリンが添加された領域 8 0 5 に移動させることができた。

20

【 0 1 3 8 】

そして、マスク用の酸化シリコン膜 8 0 4 と、リンが添加された領域 8 0 5 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を  $1 \times 10^{17} \text{atoms/cm}^3$  以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま実施例 4 で示した本願発明の T F T の半導体層として使用することができた。

【 0 1 3 9 】

[ 実施例 7 ] 本実施例では、実施例 4 で示した本願発明の T F T を作製する工程において、半導体層 5 0 4、5 0 5 とゲート絶縁膜 5 0 6 を形成する他の実施形態を示す。

30

【 0 1 4 0 】

ここでは、少なくとも 7 0 0 ~ 1 1 0 0 程度の耐熱性を有する基板が必要であり、石英基板 9 0 0 が用いられた。下地膜 9 0 1 の上層として酸化シリコン膜を用い、下層として、ボロン元素を含む窒化酸化シリコン (  $\text{SiN}_x \text{B}_y \text{O}_z$  ) を用いて半導体装置の熱による特性劣化を防止した。なお、膜剥がれが生じないなら窒化酸化シリコン (  $\text{SiN}_x \text{B}_y \text{O}_z$  ) に接して非晶質シリコン膜を形成してもよい。そして実施例 5 で示した技術を用い、結晶質半導体膜が形成され、これを T F T の活性層にするために、島状にパターニングして半導体層 9 0 2、9 0 3 を形成した。そして、半導体層 9 0 2、9 0 3 を覆って、ゲート絶縁膜 9 0 4 を、酸化珪素を主成分とする膜で形成した。本実施例では、プラズマ C V D 法で窒化酸化シリコン膜を 7 0 nm の厚さで形成した。( 図 1 4 ( A ) )

40

【 0 1 4 1 】

そして、ハロゲン ( 代表的には塩素 ) と酸素を含む雰囲気中で熱処理を行った。本実施例では、9 5 0 、 3 0 分とした。尚、処理温度は 7 0 0 ~ 1 1 0 0 の範囲で選択すれば良く、処理時間も 1 0 分から 8 時間の間で選択すれば良かった。( 図 1 4 ( B ) )

【 0 1 4 2 】

その結果、本実施例の条件では、半導体層 9 0 2、9 0 3 とゲート絶縁膜 9 0 4 との界面で熱酸化膜が形成され、ゲート絶縁膜 9 0 7 が形成された。

【 0 1 4 3 】

以上の工程で作製されたゲート絶縁膜 9 0 7 は、絶縁耐圧が高く半導体層 9 0 5、9 0 6

50

とゲート絶縁膜 907 の界面は非常に良好なものであった。以降の工程は実施例 4 に従えば T F T を作製できる。

【0144】

勿論、本実施例に実施例 5 や実施例 6 を組み合わせることは実施者が適宜決定すれば良い。

【0145】

[実施例 8] 本実施例では、実施例 4 と異なる工程で結晶質シリコン膜を作製する例を示す。具体的には実施例 5 で示したリンによるゲッタリング工程とは異なるゲッタリング工程について説明する。なお、基本的な工程は図 9 または図 10 に従うものであるので、相違点のみに着目して説明する。

10

【0146】

まず、実施例 5 の工程に従って図 15 (A) の状態を得た。ただし、T F T の活性層となる結晶質シリコン膜 1005 の形成には実施例 5 に示した熱結晶化技術を用いている。

【0147】

次いで、基板 1001 ごと 300 に加熱した液相中（本実施例では硫酸溶液中）に浸し、結晶化に用いたニッケルを除去または低減する。本実施例では活性層をパターニングする前にゲッタリングを行うが、活性層をパターニングした後に行っても良い。また、硫酸と接触させる他の手段として、加熱した硫酸溶液を基板上に均一に滴下する方法を用いてもよい。

【0148】

20

本工程において、加熱した硫酸中でニッケルは溶解して溶け出し、表面近傍から容易に除去される。すると内部のニッケルは濃度の低い表面近傍に拡散してきてさらに多くのニッケルが溶けだす。この現象を繰り返して、結晶化に用いたニッケルを結晶質シリコン膜から除去または低減する。このようにして、液相による触媒元素の低減処理を行うことで、結晶質シリコン膜 1106 中の触媒元素の濃度を  $1 \times 10^{17} \text{atoms/cm}^3$  以下、好ましくは  $1 \times 10^{16} \text{atoms/cm}^3$  にまで低減することができる。（図 15 (B)）

【0149】

なお、硫酸溶液と結晶質半導体膜との接触性を高めるために、予め結晶質半導体膜の表面の自然酸化膜等をフッ酸を含むエッチャント等により除去して清浄化することが望ましい。

30

【0150】

また、本実施例ではニッケルを例にとって説明しているが、前述した他の触媒元素でも同様の現象によってゲッタリングされる。

【0151】

以上の工程を経て得られた結晶質シリコン膜 1006 を用いて、実施例 5 で説明したプロセスを用いれば、図 10 に示した T F T が得られる。

【0152】

なお、本実施例の構成は実施例 4 ～実施例 7 のいずれの構成とも自由に組み合わせることが可能である。

【0153】

40

[実施例 9] 実施例 1 では、膜中にボロン元素を 0.1 ~ 50 atoms % 含有し、高い熱伝導性を有する絶縁膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) をボトムゲート型 T F T のゲート絶縁膜の一層として用いた例を示したが、本実施例では、本発明のボロン元素を含む窒化酸化シリコン ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を順スタガ型 T F T に利用する絶縁膜に適用した例を図 16 に示す。

【0154】

図 16 に典型的な順スタガ型 T F T を示した。まず、下地膜 1100 が設けられた基板上にソース層及びドレイン層を形成する。次いで、ソース層及びドレイン層を覆う非晶質シリコン膜を成膜し、レーザー光により結晶化させて半導体層 1101 を形成する。その後、絶縁膜を形成し、ゲート電極及び配線電極を形成して、順スタガ型 T F T を形成した。

50

本実施例において、下地膜 1 1 0 0 または絶縁膜 1 1 0 2 にボロン元素を含む窒化酸化シリコン ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) を適用した。

【 0 1 5 5 】

このように、本発明は T F T 構造に関係なく適用することができる。

【 0 1 5 6 】

〔実施例 1 0〕 本実施例では、本願発明によって作製された液晶表示装置の例を図 1 7 に示す。画素 T F T (画素スイッチング素子) の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【 0 1 5 7 】

図 1 7 は、本実施例のアクティブマトリクス型液晶パネルの概略図である。図 1 7 に示すようにアクティブマトリクス基板と対向基板とが対向し、これらの基板間に液晶が挟まれている。アクティブマトリクス基板はガラス基板 1 2 0 0 上に形成された画素マトリクス回路 1 2 0 1、走査線駆動回路 1 2 0 2、信号線駆動回路 1 2 0 3 を有する。

【 0 1 5 8 】

走査線駆動回路 1 2 0 2、信号線駆動回路 1 2 0 3 はそれぞれ走査線 1 2 3 0、信号線 1 2 4 0 によって画素マトリクス回路 1 2 0 1 に接続されている。これら駆動回路 1 2 0 2、1 2 0 3 は C M O S 回路で主に構成されている。

【 0 1 5 9 】

画素マトリクス回路 1 2 0 1 の行ごとに走査線 1 2 3 0 が形成され、列ごとに信号線 1 2 4 0 が形成されている。走査線 1 2 3 0、信号線 1 2 4 0 の交差部近傍には、画素 T F T 1 2 1 0 が形成されている。画素 T F T 1 2 1 0 のゲート電極は走査線 1 2 3 0 に接続され、ソースは信号線 1 2 4 0 に接続されている。更に、ドレインには画素電極 1 2 6 0、保持容量 1 2 7 0 が接続されている。

【 0 1 6 0 】

対向基板 1 2 8 0 はガラス基板全面に I T O 膜等の透明導電膜が形成されている。透明導電膜は画素マトリクス回路 1 2 0 1 の画素電極 1 2 6 0 に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。対向基板 1 2 8 0 には必要であれば配向膜や、ブラックマトリクスや、カラーフィルタが形成されている。

【 0 1 6 1 】

アクティブマトリクス基板側のガラス基板には F P C 1 2 3 1 を取り付ける面を利用して I C チップ 1 2 3 2、1 2 3 3 が取り付けられている。これらの I C チップ 1 2 3 2、1 2 3 3 はビデオ信号の処理回路、タイミングパルス発生回路、補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成される。

【 0 1 6 2 】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば E L (エレクトロルミネッセンス) 表示装置や E C (エレクトロクロミックス) 表示装置に本願発明を適用することも可能であることは言うまでもない。

【 0 1 6 3 】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置 (半導体装置) に対して適用することが可能である。

【 0 1 6 4 】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1 ~ 実施例 9 のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【 0 1 6 5 】

〔実施例 1 1〕 本願発明は従来の I C 技術全般に適用することが可能である。

即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化された R I S C プロセッサ、A S I C プロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路 (D / A コンバータ、補正回路、信号分割回路等) に代表される信号処理回路や携帯機器 (携帯電話、P H S、モバイルコンピュータ) 用の

10

20

30

40

50

高周波回路に適用しても良い。

【0166】

さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能である。即ち、SIMOX、Smart-Cut (SOITEC社の登録商標)、ELTRAN (キャノン株式会社の登録商標) などのSOI構造 (単結晶半導体薄膜を用いたTFT構造) に本願発明を適用してもよい。

【0167】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両 (自動車や電車等) の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

10

【0168】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例9のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0169】

〔実施例12〕

実施例1では、TFTの活性層として結晶質珪素膜を用いた例を示したが、本実施例では、活性層として非晶質珪素膜を用いた例を示す。

20

【0170】

本発明のボロンを含む絶縁膜は、活性層として結晶質珪素膜を用いたポリシリコンTFTよりもむしろ、活性層として非晶質珪素膜を用いたアモルファスシリコンTFTに適している。

【0171】

実施例1に従って、基板上にゲート電極を形成した。

【0172】

次いで、ゲート電極を覆ってゲート絶縁膜と非晶質珪素膜を連続的に成膜する。アモルファスシリコンTFTの場合は、上記実施例1と同様にゲート絶縁膜を多層にしてもよいが、アモルファスシリコンからなる活性層にボロンが混入しても活性化せず導電性に影響しないため、本実施例ではボロンを添加した窒化酸化珪素膜と非晶質珪素膜を同一チャンバーで連続的に成膜した。酸素を含んでいるため、ボロンを添加した窒化酸化珪素膜の内部応力は、代表的には  $-5 \times 10^{10} \text{ dyn/cm}^2 \sim 5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは  $-10^{10} \text{ dyn/cm}^2 \sim 10^{10} \text{ dyn/cm}^2$  となり、非晶質珪素膜との密着性において好ましい応力範囲である。

30

【0173】

次いで、実施例1と同様にして非晶質半導体膜上にチャネル形成領域を保護する絶縁膜 (後にチャネル保護膜となる) を形成した。なお、この絶縁膜も非晶質珪素膜と連続的に成膜してもよい。

【0174】

以降の工程は実施例1に従いボトムゲート型TFTを完成させた。

40

【0175】

本実施例では、ボロンを含む窒化酸化珪素膜をボトムゲート型TFTのゲート絶縁膜の一層として用いた例を示したが、絶縁膜であれば特に限定されず、例えば、下地膜、層間絶縁膜、マスク絶縁膜、チャネル保護膜、保護膜等に用いることができる。

【0176】

例えば、ゲート絶縁膜としてボロンを含む窒化酸化珪素膜を用い、チャネル保護膜としてボロンを含む窒化酸化珪素膜を用いてチャネル形成領域をボロンを含む窒化珪素膜で挟む構成とすると、さらに効果的に放熱効果が得られる。また、ゲート絶縁膜としてボロンを含む窒化珪素膜を用い、チャネル保護膜としてボロンを含む窒化酸化珪素膜を用いてもよ

50

い。また、ゲート絶縁膜として窒化珪素膜を用い、チャネル保護膜としてボロンを含む窒化酸化珪素膜を用いてもよい。

【0177】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例3のどの構成を採用しても良いし、各実施例10、11と自由に組み合わせて用いることが可能である。

【0178】

〔実施例13〕

本実施例では、本願発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。

【0179】

図21（A）は本願発明を用いたEL表示装置の上面図である。図21（A）において、10は基板、11は画素部、12はソース側駆動回路、13はゲート側駆動回路であり、それぞれの駆動回路は配線14～16を経てFPC17に至り、外部機器へと接続される。

【0180】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてシーリング材（ハウジング材ともいう）18を設ける。なお、シーリング材18は素子部を囲めるような凹部を持つ金属板やガラス板を用いても良いし、紫外線硬化樹脂を用いても良い。シーリング材18として素子部を囲めるような凹部を持つ金属板を用いた場合、接着剤19によって基板10に固着させ、基板10との間に密閉空間を形成する。このとき、EL素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。

【0181】

さらに、シーリング材18と基板10との間の空隙20には不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておいたり、酸化バリウム等の乾燥剤を設けておくことが望ましい。これによりEL素子の水分等による劣化を抑制することが可能である。

【0182】

また、図21（B）は本実施例のEL表示装置の断面構造であり、基板10、下地膜21の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）22及び画素部用TFT23（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。

【0183】

本願発明は、駆動回路用TFT22及び画素部用TFT23の絶縁層の形成に際して用いることができる。また、絶縁層の形成以外のプロセスについては公知の技術を用いれば良い。駆動用TFT22としては、図7に示したNTFT及びPTFTを用いればよい。また、画素部用TFT23には図8に示したNTFTまたはPTFTを用いればよい。

【0184】

本願発明を用いて絶縁層を形成し、それをゲート絶縁膜とする駆動回路用TFT22、画素部用TFT23が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）26の上に画素部用TFT23のドレインと電氣的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

【0185】

次に、EL層29を形成する。EL層29は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

10

20

30

40

50

## 【 0 1 8 6 】

本実施例では、シャドーマスクを用いて蒸着法によりE L層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（C C M）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

勿論、単色発光のE L表示装置とすることもできる。

## 【 0 1 8 7 】

E L層29を形成したら、その上に陰極30を形成する。陰極30とE L層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でE L層29と陰極30を連続成膜するか、E L層29を不活性雰囲気で形成し、大気解放しないで陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

## 【 0 1 8 8 】

なお、本実施例では陰極30として、L i F（フッ化リチウム）膜とA l（アルミニウム）膜の積層構造を用いる。具体的にはE L層29上に蒸着法で1 n m厚のL i F（フッ化リチウム）膜を形成し、その上に3 0 0 n m厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるM g A g電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、導電性ペースト材料32を介してF P C 1 7に接続される。

## 【 0 1 8 9 】

31に示された領域において陰極30と配線16とを電氣的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜28のエッチング時（E L層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

## 【 0 1 9 0 】

また、配線16はシーリング材18と基板10との間を隙間（但し接着剤19で塞がれている。）を通過してF P C 1 7に電氣的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通過してF P C 1 7に電氣的に接続される。

## 【 0 1 9 1 】

以上のような構成でなるE L表示装置において、本願発明を用いることができる。本願発明を用いることで、T F Tの電気特性の向上ができる。そのため、表示された画質を良好なものとすることができる。

## 【 0 1 9 2 】

〔実施例14〕 本願発明を実施して形成されたC M O S回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型E Lディスプレイ、アクティブマトリクス型E Cディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

## 【 0 1 9 3 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18、図19及び図20に示す。

## 【 0 1 9 4 】

図18（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表

10

20

30

40

50

示部 2003、キーボード 2004 等を含む。本発明を画像入力部 2002、表示部 2003 やその他の信号制御回路に適用することができる。

【0195】

図 18 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明を表示部 2102 やその他の信号制御回路に適用することができる。

【0196】

図 18 (C) はモバイルコンピュータ (モータイルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。本発明は表示部 2205 やその他の信号制御回路に適用できる。

10

【0197】

図 18 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。本発明は表示部 2302 やその他の信号制御回路に適用することができる。

【0198】

図 18 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

20

本発明は表示部 2402 やその他の信号制御回路に適用することができる。

【0199】

図 18 (F) はデジタルカメラであり、本体 2501、表示部 2502、接眼部 2503、操作スイッチ 2504、受像部 (図示しない) 等を含む。本願発明を表示部 2502 やその他の信号制御回路に適用することができる。

【0200】

図 19 (A) はフロント型プロジェクターであり、投射装置 2601、スクリーン 2602 等を含む。本発明は投射装置 2601 の一部を構成する液晶表示装置 2808 やその他の信号制御回路に適用することができる。

【0201】

30

図 19 (B) はリア型プロジェクターであり、本体 2701、投射装置 2702、ミラー 2703、スクリーン 2704 等を含む。本発明は投射装置 2702 の一部を構成する液晶表示装置 2808 やその他の信号制御回路に適用することができる。

【0202】

なお、図 19 (C) は、図 19 (A) 及び図 19 (B) 中における投射装置 2601、2702 の構造の一例を示した図である。投射装置 2601、2702 は、光源光学系 2801、ミラー 2802、2804 ~ 2806、ダイクロイックミラー 2803、プリズム 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 19 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

40

【0203】

また、図 19 (D) は、図 19 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 19 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0204】

50

ただし、図 19 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び EL 表示装置での適用例は図示していない。

【0205】

図 20 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本願発明を音声出力部 2902、音声入力部 2903、表示部 2904 やその他の信号制御回路に適用することができる。

【0206】

図 20 (B) は携帯書籍（電子書籍）であり、本体 3001、表示部 3002、3003 記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の信号回路に適用することができる。

10

【0207】

図 20 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0208】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0209】

20

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1～実施例 9 のどの構成を採用しても良いし、各実施例を自由に組み合わせる用いることが可能である。また、実施例 10、11 に示した電気光学装置や半導体回路をその様に組み合わせる用いても良い。

【0210】

【発明の効果】

以上のように、本発明の窒化珪素を主成分とする膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) は、ボロン元素を 0.1～50 atoms % または 1～50 atoms %、望ましくは 0.1～10 atoms % 含有しているため高い熱伝導性を有しており、半導体装置の熱による特性劣化を防止する効果を有している。さらに、本発明の窒化珪素を主成分とする膜はナトリウム等の可動イオンに対してブロッキング効果を有するので、基板等からこれらのイオンが半導体装置中、特にチャネル形成領域に侵入することを防止する効果も有している。加えて、本発明の窒化珪素を主成分とする膜 ( $\text{SiN}_x\text{B}_y\text{O}_z$ ) は、酸素を 1～30 atoms % 含んでいるため、内部応力は、代表的には  $-5 \times 10^{10} \text{ dyn/cm}^2 \sim -5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは  $-10^{10} \text{ dyn/cm}^2 \sim -10^{10} \text{ dyn/cm}^2$  となり、従来の窒化シリコン膜 ( $\text{SiN}$ ) と比較して高い密着性（結晶質半導体膜と  $\text{SiN}_x\text{B}_y\text{O}_z$  膜との密着性、または非晶質半導体膜と  $\text{SiN}_x\text{B}_y\text{O}_z$  膜との密着性）を有し、膜剥がれが生じにくい。

30

【0211】

本発明を用いることで、TFT で作製された CMOS 回路を含む半導体装置、また、具体的には液晶表示装置の画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高めることができた。延いては、TFT を回路に含む半導体回路や上記液晶表示装置を部品として組み込んだ電子機器の信頼性も向上した。

40

【図面の簡単な説明】

【図 1】 実施例 1 の TFT の作製工程の説明図である。

【図 2】 実施例 1 の TFT の作製工程の説明図である。

【図 3】 実施例 1 の TFT の作製工程の説明図である。

【図 4】 実施例 2 の TFT の作製工程の説明図である。

【図 5】 実施例 2 の TFT の作製工程の説明図である。

【図 6】 実施例 2 の TFT の作製工程の説明図である。

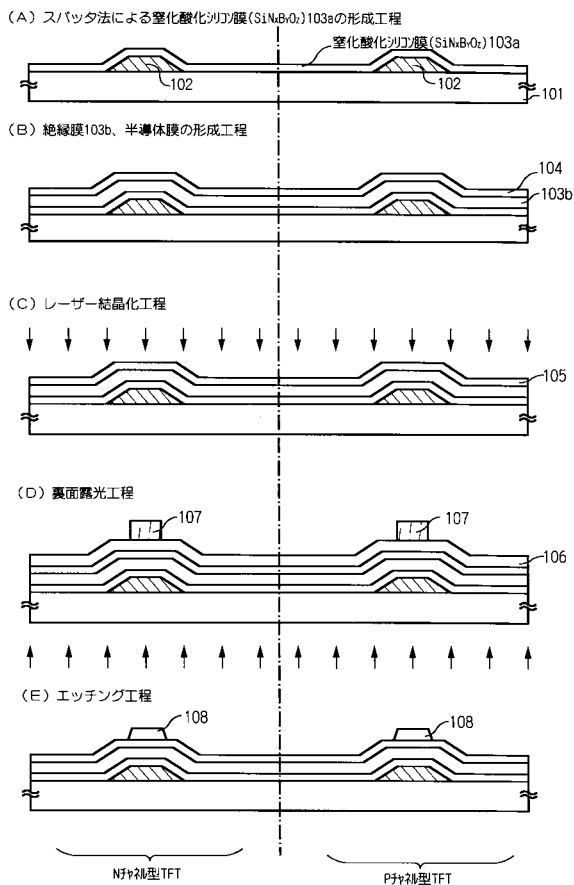
【図 7】 実施例 3 の CMOS 回路の上面図及び断面図の説明図である。

50

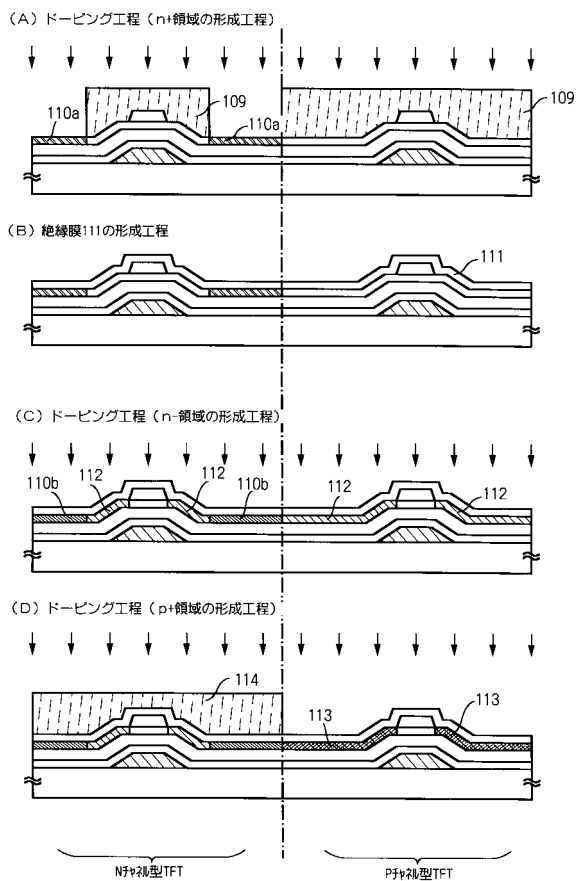
- 【図 8】 実施例 3 の画素マトリクス回路の上面図及び断面図の説明図である。  
 【図 9】 実施例 4 の T F T の作製工程の説明図である。  
 【図 10】 実施例 4 の T F T の作製工程の説明図及び上面図である。  
 【図 11】 実施例 5 の結晶化工程の説明図であり、基板断面図である。  
 【図 12】 実施例 5 の結晶化工程の説明図であり、基板断面図である。  
 【図 13】 実施例 6 のゲッターリング工程の説明図であり、基板断面図である。  
 【図 14】 実施例 7 のゲッターリング工程の説明図であり、基板断面図である。  
 【図 15】 実施例 8 のゲッターリング工程の説明図であり、基板断面図である。  
 【図 16】 実施例 9 の説明図であり、基板断面図である。  
 【図 17】 アクティブマトリクス基板の構成を示す図である。  
 【図 18】 電子機器の説明図である。  
 【図 19】 電子機器の説明図である。  
 【図 20】 電子機器の説明図である。  
 【図 21】 E L 表示装置の説明図である。  
 【図 22】 アモルファスシリコンを用いたボトムゲート型 T F T の構造を示す図である。

10

【図 1】



【図 2】

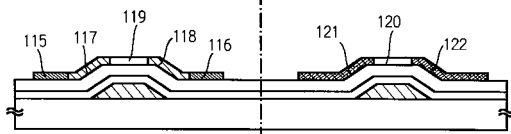


【図 3】

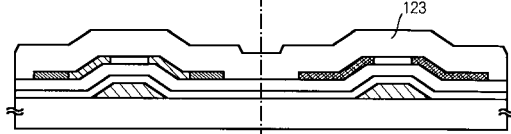
(A) 活性化工程



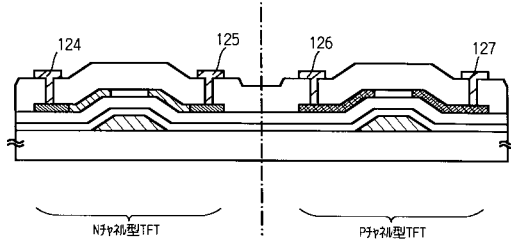
(B) パターニング工程



(C) 層間絶縁膜の形成工程



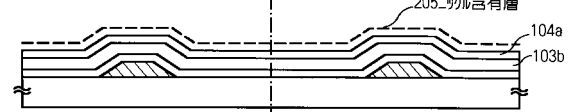
(D) ソース配線及びドレイン配線の形成工程



【図 4】

(A) スパッタ法による窒化酸化シリコン膜(SiN<sub>2</sub>O<sub>2</sub>)103aの形成工程

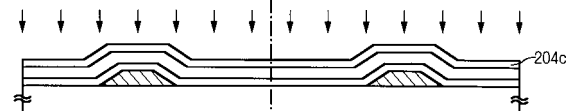
(B) 絶縁膜103b、半導体膜の形成工程



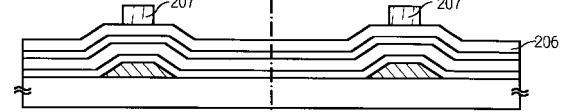
(C) 加熱処理による結晶化工程



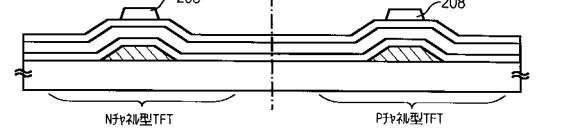
(D) レーザー照射工程



(E) 裏面露光工程

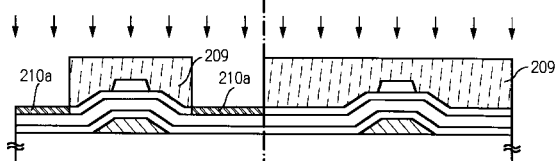


(F) エッチング工程



【図 5】

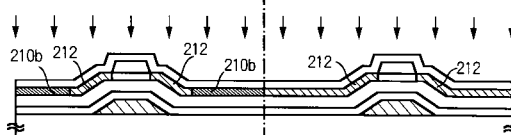
(A) ドーピング工程 (n+領域の形成工程)



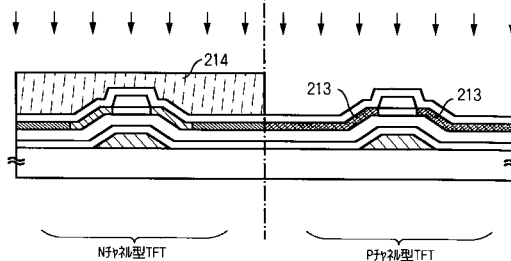
(B) 絶縁膜211の形成工程



(C) ドーピング工程 (n-領域の形成工程)

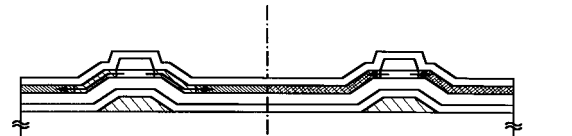


(D) ドーピング工程 (p+領域の形成工程)

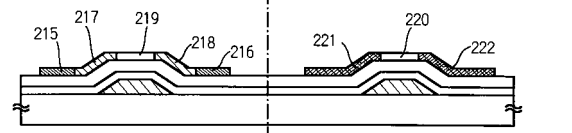


【図 6】

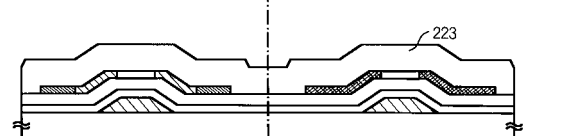
(A) 活性化及びゲッタリング工程



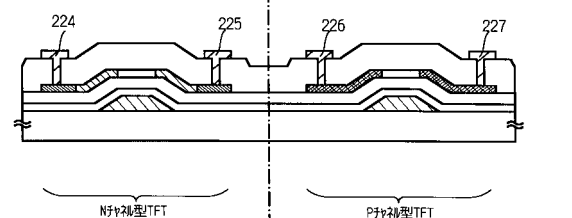
(B) パターニング工程



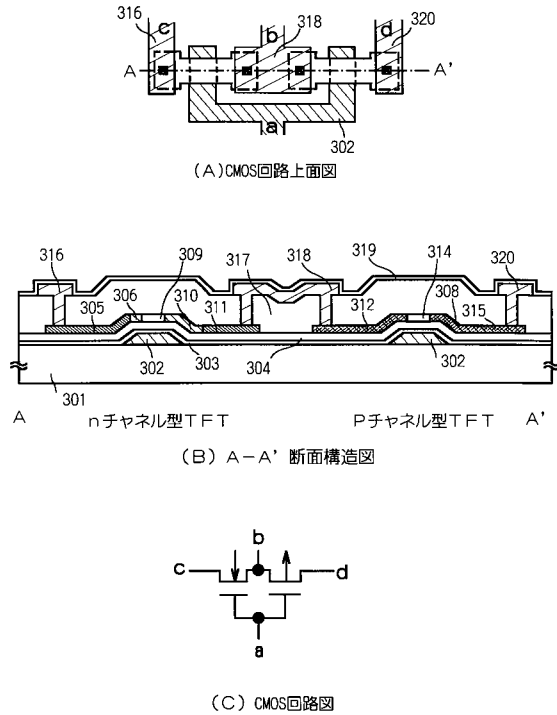
(C) 層間絶縁膜の形成工程



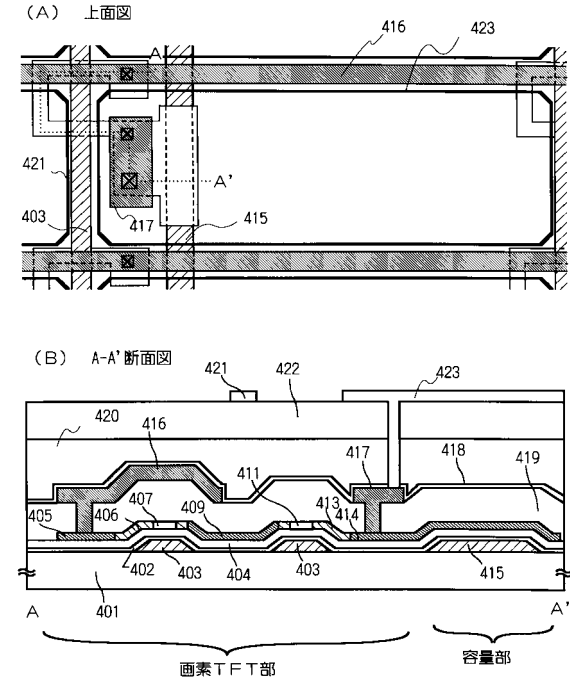
(D) ソース配線及びドレイン配線の形成工程



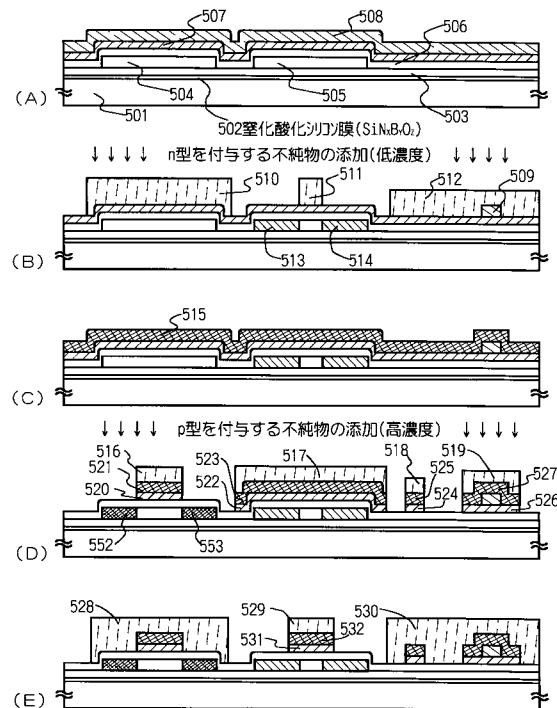
【図 7】



【図 8】

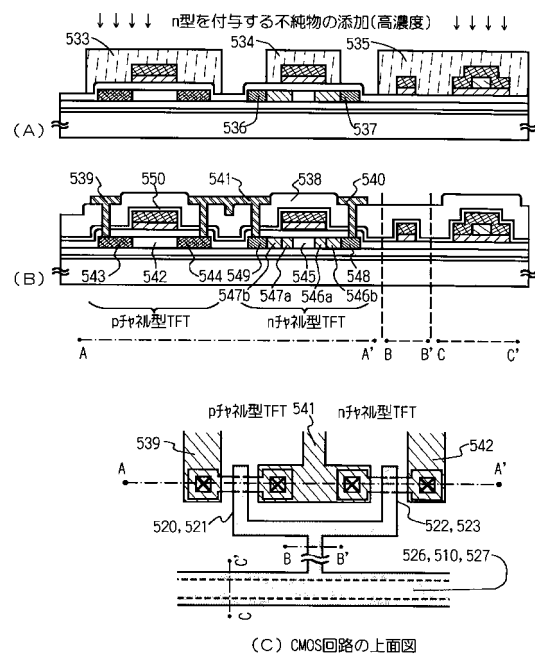


【図 9】



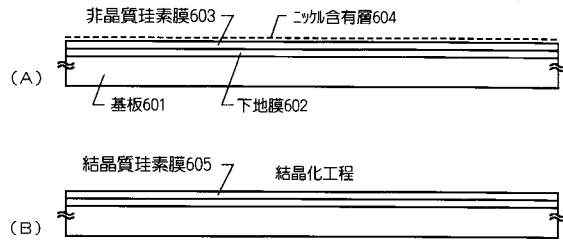
501:基板、502:下地膜(SiN<sub>2</sub>O<sub>2</sub>)、503:下地膜(SiON)、504、505:半導体層、506:ゲート絶縁膜、507:第1の導電層、508:第3の導電層、509:ゲートノイズ、510、511、512、516、517、518、519:レジスタ、515:第3の導電層、520、522:ゲート電極、521、523:ゲート電極、524、525:ゲート配線、526、527:ゲートノイズ、528、529、530:レジスタ、531、532:ゲート電極

【図 10】

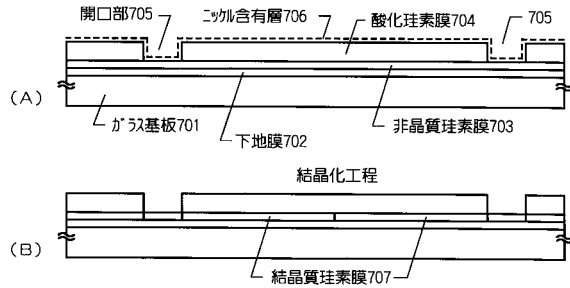


533、534、535:レジスタ、550:第1の層間絶縁膜(SiN)、538:第1の層間絶縁膜(SiO<sub>2</sub>)、539、540:ノイズ電極、541:ドレイ電極、542、545:チャネル領域、543:第3の不純物領域(ソース)、544:第3の不純物領域(ドレイ)、546、547:第2の不純物領域、548:第1の不純物領域(ソース)、549:第1の不純物領域(ドレイ)

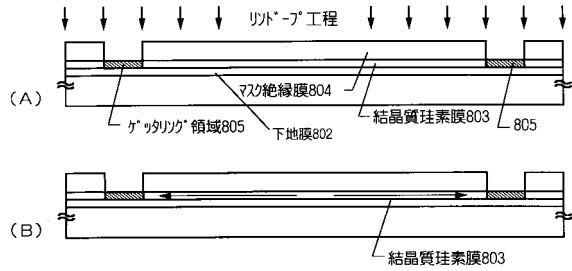
【図 1 1】



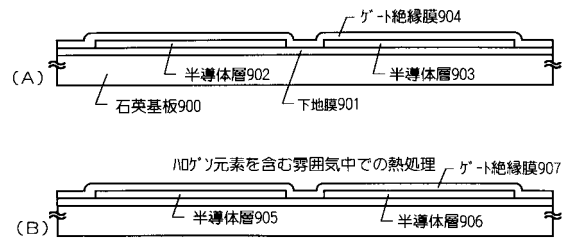
【図 1 2】



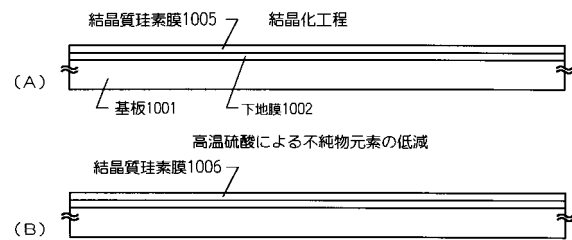
【図 1 3】



【図 1 4】

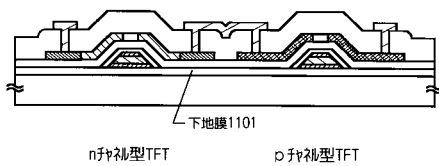


【図 1 5】

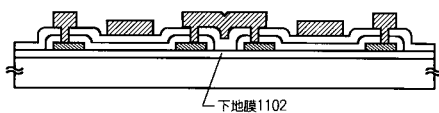


【図 1 6】

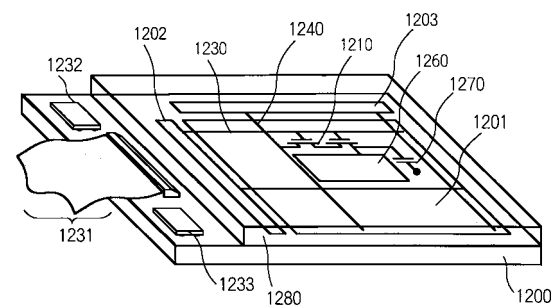
(A) 逆スタガ型TFT



(B) 順スタガ型TFT

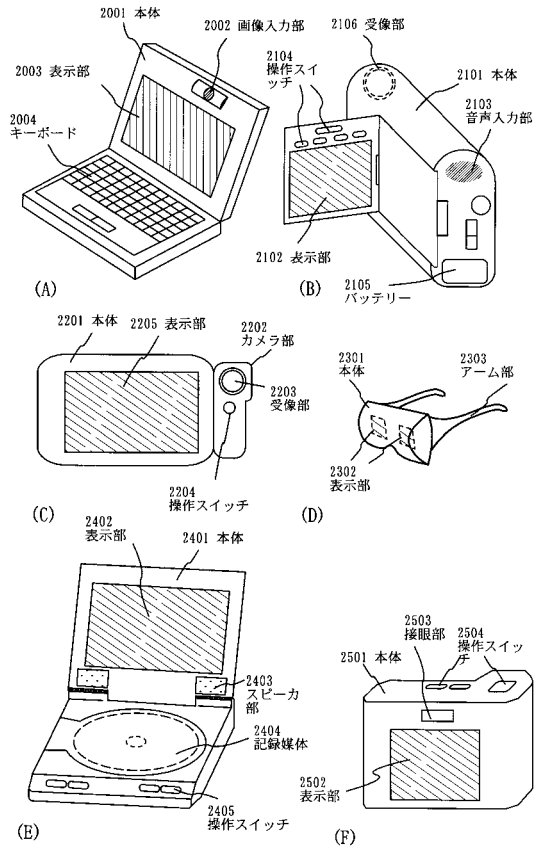


【図 1 7】

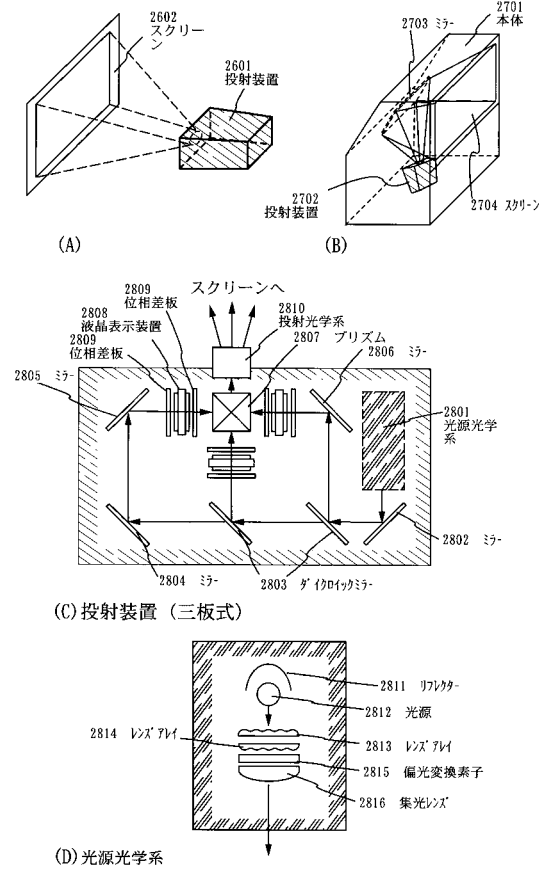


アクティブマトリクス基板  
 1200: ガラス基板  
 1201: 画素マトリクス回路  
 1202: 走査線駆動回路、1203: 信号線駆動回路  
 1231: FPC、1232, 1233: ICチップ  
 1210: 画素TFT  
 1230: 走査線、1240: 信号線  
 1260: 画素電極、1270: 保持容量  
 1280: 対向基板

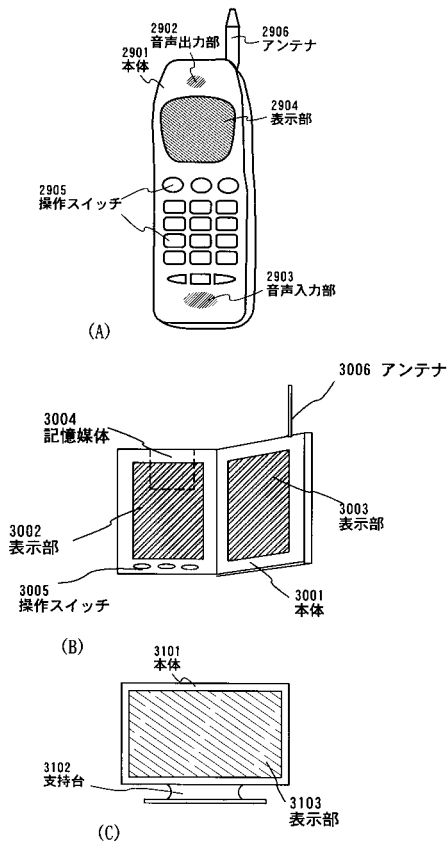
【図 18】



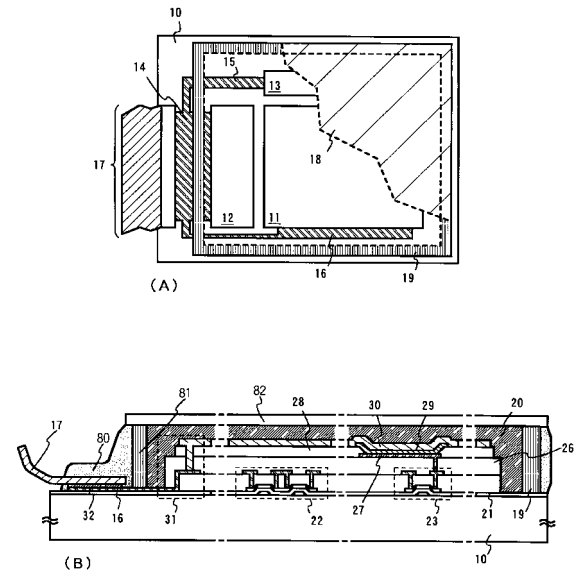
【図 19】



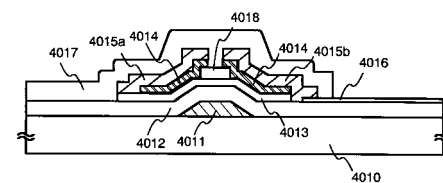
【図 20】



【図 21】



【図 22】



---

フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/336

H01L 21/318

G02F 1/1368