

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十七條第一項國際優先權
美國 US	2003/06/25	60/482,834	有
美國 US	2003/12/29	10/747,644	有

二、☐主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：

四、☐有關生物材料已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

☐不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於無線通訊系統之接收器設計。尤其是，本發明係關於用以補償類比無線接收器中產生之群組延遲變異用之數位訊號處理(DSP)技術。

【先前技術】

現存的無線系統架構設計給於設計者在接收通訊訊號方面嚴格的限制。此外，此種架構通常提供低的通訊鏈結，高的操作成本，以及不為人所希望的與其它系統元件之低水準的整合。

如第1圖所示，習知的射頻(RF)接收器100包括一類比無線接收器105，至少一類比數位轉換器(ADC)110，一控制器115以及一調變解調器120。類比無線接收器105係一直接接收器，其包括一天線125用以接收無線通訊訊號，一帶通濾波器130，一低雜訊放大器(LNA)135，一選擇性的第二濾波器(如帶通濾波器)140，一解調器145具有二輸出150，155，一相位鎖定迴路(PLL)160，一類比實部訊號路徑低通濾波器(LPF)165A，一類比虛部訊號路徑LPF 165B，第一級實部訊號路徑放大器170A，第一及虛部訊號路徑放大器170B，第一級類比實部訊號路徑高通濾波器(HPF)175A，第一級類比虛部訊號路徑HPF 175B，第二級實部訊號路徑放大器180A，第二級虛部訊號路徑放大器



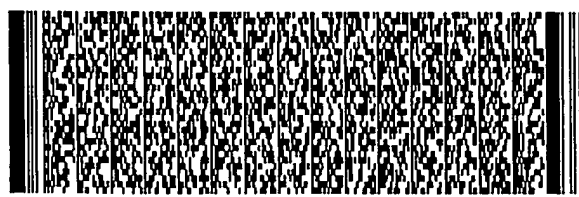
五、發明說明 (2)

180B，第二級類比實部訊號路徑HPF 185A，以及第二級類比虛部訊號路徑HPF 185B。放大器170A，170B，180A，180B每一者包括RF接收器100之類比域內之一高增益級。

調變解調器120控制LNA 135的切換。PLL 160產生區域振盪(L0)訊號以控制解調器145之二輸出150,155。輸出150係解調器145之同相(in-phase(I))輸出，用以輸出無線通訊訊號之一實部訊號成份。輸出155係解調器145之四分之一相差(quadrature(Q))輸出，用以輸出無線通訊系統之一虛部訊號。類比LPFs 165A，165B分別控制I與Q輸出150與155之頻寬選擇性。類比LPFs 165A，165B隨後分別由第一與第二級放大器170A，170B，180A，180B放大。

由於高增益需求，第一及第二級類比HPFs 175A，175B，185A，185B被包含於類比無線接收器105內以分別於第一與第二級放大器170A，170B，180A，180B之後提供電容，藉此第一及第二增益級被AC耦合且其它殘餘的直流(DC)被移除以防止DC偏移。類比HPFs 175A，175B，185A，185B的每一者具有一訊號輸入，一訊號輸出，至少一電容(C)連接訊號輸入至訊號輸出，以及至少一電阻(R)連接電容的輸出至地，因此形成R-C濾波器。類比HPFs 175A，175B，185A，185B改變與實部及虛部訊號成份相關之頻域響應之較低的部份(例如低於50kHz之光譜形狀(亦即降低能量))。

在第1圖習知的RF接收器100中，ADC 110連接至第二級類比HPFs 185A，185B之輸出。ADC 110輸出數位的I及Q



五、發明說明 (3)

輸出190, 195。控制器115維持類比無線接收器105及ADC 110之所有主動元件。

在類比無線接收器105中，類比HPFs 175A，175B，185A，185B被用以保證在ADC 110取樣之前經由天線125接收之無線通訊訊號之光譜形狀。通常，類比HPFs 175A，175B，185A，185B的規格十分嚴格因此在實施時需要高階濾波器。尤其是，有一種規格為誤差向量大小(error vector magnitude)，其為正規化(normalized)的均方值誤差(means square error)測量。實施類比HPFs 175A，175B，185A，185B之高階濾波器設計可能是複雜且昂貴的。因此，類比HPFs 175A，175B，185A，185B上的誤差可能導致無法接受的生產量。類比HPFs 175A，175B，185A，185B之設計複雜度的降低可以藉由使用具有較不嚴格規格之較低階濾波器設計而達成。但是，在類比HPFs 175A，175B，185A，185B中使用此種濾波器設計將產生群組延遲變異失真的發生，如果沒有在類比HPFs 175A，175B，185A，185B之後導入補償的話，因此降低RF接收器100之性能。

因為處理RF類比訊號之HPFs之成本比使用DSP高，希望提供一種數位基帶(digital baseband, DBB)系統，其包括具有低雜訊及最小功率需求之低成本接收器，並使用DSP技術以補償類比HPFs所導致的群組延遲變異失真。

【發明內容】



五、發明說明 (4)

本發明係一種DBB接收器用以調整無線通訊訊號之實部及虛部訊號成份之至少一者之頻域響應以抑制因接收器中所使用之低成本類比HPFs所導致之群組延遲變異失真。此接收器包括一解調器，一數位高通濾波器補償(HPFC)模組，至少一類比實部訊號路徑HPF，以及至少一類比虛部HPF。此數位HPFC模組藉由提供具有一第一預定值(K_1)之一第一補償訊號降低實部及虛部訊號成份頻域響應用之類比HPFs所建立之截止頻率(亦即轉角頻率(corner frequency))。此數位HPFC模組藉由提供具有一第二預定值(K_2)訊號之一第二補償訊號調整實部及虛部訊號成份頻域高通響應之增益。

本發明可被合併至一DBB接收器，一無線傳輸/接收單元(WTRU)，一積體電路(IC)，一無線通訊系統及方法，或任何想要的通訊機構。

此解調器具有實部及虛部訊號輸出。此解調器接收通訊訊號並於實部與虛部訊號輸出端輸出通訊訊號之實部及虛部訊號成份。數位HPFC模組具有實部及虛部訊號路徑。類比實部HPF與調變器之實部訊號輸出以及數位HPFC模組之實部訊號路徑通訊。數位HPFC模組抑制由至少一類比實部及虛部HPFs所造成之群組延遲變異失真。此數位模組可有選擇性地被致能或禁能。

數位HPFC可包括一實部訊號輸入用以接收一實部訊號成份，以及一實部補償訊號輸出用以輸出一實部補償輸出

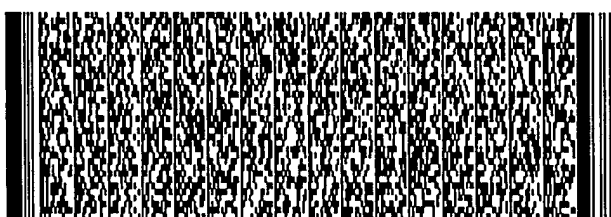


五、發明說明 (5)

訊號。此數位HPFC模組可更包括第一及第二乘法器，第一，第二及第三加法器以及一第一取樣延遲單元。第一乘法器可具有第一及第二輸入以及一輸出。第一乘法器可接收具一第一預定值(K_1)之一第一補償訊號。第一加法器可具有第一及第二輸入及一輸出。第一加法器的第一輸入可連接至數位HPFC模組之實部訊號輸入，而第一加法器之輸出可連接至第一乘法器之第二輸入。第二加法器可具有第一及第二輸入及一輸出。第二加法器之第一輸入可以連接至第一乘法器之輸出。第一取樣延遲單元可具有一輸入及一輸出。第一取樣延遲單元之輸入可連接至第二加法器之輸出。第二乘法器可具有第一及第二輸入及一輸出。第二乘法器之第一輸入可接收具有第二預定值(K_2)之第二補償訊號。第二乘法器之第二輸入可被連接至第一取樣延遲單元之輸出，第二加法器之第二輸入，以及第一加法器之第二輸入。第三加法器之第一輸入可連接至第一加法器之第二輸入。第三加法器可具有第一及第二輸入及一輸出。第三加法器之第二輸入可連接至第二乘法器之輸出。第三加法器之輸出可連接至數位HPFC模組之實部補償訊號輸出。

第二乘法器之輸出可經由第三加法器從實部訊號成份中被減去。第一取樣延遲單元可經由第一加法器從實部訊號成份被減去。

此數位HPFC模組可更包括一虛部訊號輸入用以接收虛部訊號成份，以及一虛部補償訊號輸出用以輸出一虛部補償輸出訊號。此數位HPFC模組可更包括第三及第四乘法



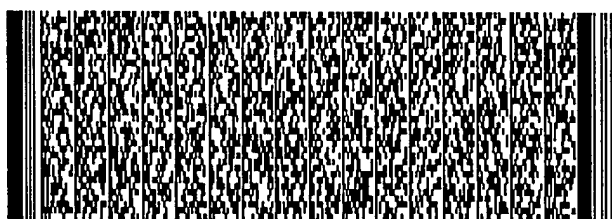
五、發明說明 (6)

器，第四，第五及第六加法器，以及一第二取樣延遲單元。第三乘法器可具有第一及第二輸入及一輸出。第三乘法器之第一輸入可接收具有第一預定值(K_1)之第一補償訊號。第四加法器可具有第一及第二輸入及一輸出。第四加法器之第一輸入可連接至數位HPFC模組之虛部訊號輸入，而第四加法器之輸出可連接至第三乘法器之第二輸入。第五加法器可具有第一及第二輸入及一輸出。第五加法器之第一輸入可連接至第三乘法器之輸出。第二取樣延遲單元之輸入可具有一輸入及一輸出。第二取樣延遲單元之輸入可連接至第五加法器之輸出。第四乘法器可具有第一及第二輸入及一輸出。第四乘法器之第一輸入可接收具有第二補償值(K_2)之第二補償訊號。第四乘法器之第二輸入可連接至第二取樣延遲單元之輸出，第五加法器之第二輸入，以及第四加法器之第二輸入。第六加法器可具有第一及第二輸入及一輸出。第六加法器之第二輸入可連接至第四乘法器之輸出。第六加法器之輸出可連接至數位HPFC模組之虛部補償訊號輸出。

第四乘法器之輸出可經由第六加法器從虛部訊號成份中被減除。第二取樣延遲單元之輸出可經由第四加法器從虛部訊號成份被減除。

【實施方式】

第2圖係依據本發明較佳實施例之DBB RF接收器200之方塊圖。雖然本發明係關於接收器200上之實施，熟悉本



五、發明說明 (7)

技藝之人士應了解本發明適合於傳接器(transceiver)。

較佳者，此處所揭露之方法及系統係合併於一無線傳輸/接收單元(WTRU)內。以下，WTRU包括但不限於使用者設備，行動站，固定或行動用戶單元，呼叫器，或其它任何型態之能在無線環境中操作的裝置。本發明之特徵可被合併於一積體電路(IC)中或被設計為包含大量互相連接元件之電路中。

本發明適用於使用分時雙工(TDD)，分時多重存取(TDMA)，分頻雙工(FDD)，分碼多重存取(CDMA)，CDMA 2000，分時同步CDMA(TDSCDMA)，以及正交分頻多工(OFDM)通訊系統。然而，本發明被預設為也可適用於其它型態的通訊系統。

如第2圖所示，DBB RF接收器200包括一數位高通濾波器補償(HPFC)模組205，具有實部(I)及虛部(Q)訊號路徑連接至數位I及Q訊號輸出190, 195。數位模組205更包括補償的輸出280，290且可控制器115控制。

第3圖表示DBB RF接收器200中之數位HPFC模組205之例示結構。數位HPFC模組205包括一數位電路，用以擴展低頻成份(例如在5與50kHz之間)並降低由類比HPFs 175A，175B，185A，185B所建立的截止頻率(亦即轉角頻率)，因此復原類比HPFs 175A，175B，185A，185B所改變的頻域響應之光譜形狀。因此，由類比HPFs 175A，175B，185A，185B所產生的失真獲得抑制。一或更多HPFC模組205可與數位HPFC模組205串連以提供由類比HPFs

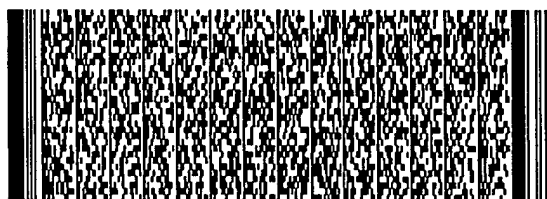


五、發明說明 (8)

175A, 175B, 185A, 185B 所造成之失真的額外補償。

此數位HPFC模組205包括實部(I)及虛部(Q)訊號路徑，於其上分別通過來自ADC 110之數位輸出之實部及虛部訊號成份。數位HPFC模組205係一數位濾波器具有選擇過的特性，因此數位HPFC模組205之頻域響應將恢復由類比無線接收器105內之類比HPFs 175A, 175B, 185A, 185B所失真之頻率特性。當數位HPFC模組205之頻率響應以類比HPFs 175A, 175B, 185A, 185B之頻律與響應繞旋(convolve)時，由類比HPFs 175A, 175B, 185A, 185B所造成的失真受到抑制。此外，由類比HPFs 175A, 175B, 185A, 185B過濾出的低頻成份藉由提供被加至類比HPFs 175A, 175B, 185A, 185B之高通頻率響應之具有低通頻率響應之數位濾波器而被重新建構。數位HPFC模組205之實部及虛部訊號路徑具有移除在每一I與Q訊號路徑上由類比HPFs 175A, 175B, 185A, 185B所致之群組延遲變異所產生之失真的頻率特性用之相同的頻率特性。因此，由數位HPFC模組205之實部及虛部補償輸出280, 290所輸出之實部及虛部補償訊號不包括失真。數位HPFC模組可有選擇性地被致能或禁能，由控制器115所決定。

如第3圖所示，數位HPFC模組205包括加法器210A, 210B, 230A, 230B, 累加器電路215A, 215B以及乘法器220A, 220B, 225A, 225B。加法器230A, 230B分別從實部與虛部訊號成份減去實部與虛部HPF補償訊號245A, 245B，以便提供具有擴展的高通頻率響應之實部及虛部補



五、發明說明 (9)

償輸出280, 290。

累加器215A包括一取樣延遲單元235A及一加法器240A。加法器240A之一輸出連接至取樣延遲單元235A之一輸入。取樣延遲單元235A之一輸出連接至加法器240A之一第一輸入。累加器電路215A輸出經由加法器210A從實部訊號成份被減除之一累加器輸出訊號250A, 以產生一累加器回饋訊號255A。具有第一值 K_1 且於乘法器220A之一輸入260A被接收之第一補償訊號被乘上累加器回饋訊號255A以產生被輸入加法器240A之第二輸入之補償的累加器回饋訊號265A。因此, 加法器240A提供一取樣訊號270A至取樣延遲單元235A之輸入。訊號樣本270A由補償的累加器回饋訊號265A與累加器輸出訊號250A組成。具有數值 K_2 且由乘法器225A之輸入275A接收之第二補償訊號被乘上累加器輸出訊號250A以產生實部HPF補償訊號245A。

依然參照第3圖, 累加器電路215B包括一取樣延遲單元235B以及一加法器240B。加法器240B之一輸出連接至取樣延遲單元235B之一輸入。取樣延遲單元235B之一輸出連接至加法器240B之第一輸入。累加器電路215B輸出經由加法器210B從虛部訊號成份被減除之一累加器輸出訊號250B, 以產生一累加器回饋訊號255B。具有第一值 K_1 且於乘法器220B之一輸入260B被接收之第一補償訊號被乘上累加器回饋訊號255B以產生被輸入加法器240B之第二輸入之補償的累加器回饋訊號265B。因此, 加法器240B提供一取樣訊號270B至取樣延遲單元235B之輸入。訊號樣本270B由



五、發明說明 (10)

補償的累加器回饋訊號265B與累加器輸出訊號250B組成。具有數值 K_2 且由乘法器225B之輸入275B接收之第二補償訊號被乘上累加器輸出訊號250B以產生虛部HPF補償訊號245B。

綜言之，數位HPFC模組205包括一實部輸入(ADC 110之輸出190)用以接收實部訊號成份(I)，以及一實部補償訊號輸出280用以輸出一實部補償輸出訊號。數位HPFC模組205更包括第一及第二乘法器220A，225A，第一，第二及第三加法器210A，240A，230A，以及一第一取樣延遲單元235A。第一乘法器220A具有第一及第二輸入以及一輸出。第一乘法器220A具有第一及第二輸入以及一輸出。第一乘法器220A接收具一第一預定值(K_1)之一第一補償訊號。第一加法器210A具有第一及第二輸入及一輸出。第一加法器210A的第一輸入連接至數位HPFC模組205之實部訊號輸入(ADC 110之輸出190)，而第一加法器210A之輸出可連接至第一乘法器220A之第二輸入。第二加法器240A具有第一及第二輸入及一輸出。第二加法器240A之第一輸入連接至第一乘法器之輸出。第一取樣延遲單元235A具有一輸入及一輸出。第一取樣延遲單元235A之輸入連接至第二加法器240A之輸出。第二乘法器225A具有第一及第二輸入及一輸出。第二乘法器225A之第一輸入275A接收具有第二預定值(K_2)之第二補償訊號。第二乘法器225A之第二輸入連接至第一取樣延遲單元235A之輸出，第二加法器240A之第二輸入，以及第一加法器210A之第二輸入。第三加法器

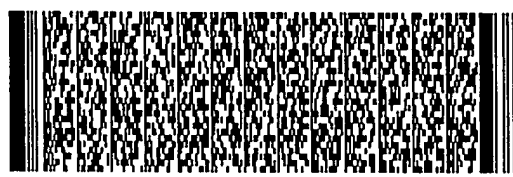


五、發明說明 (11)

230A 具有第一及第二輸入及一輸出。第三加法器230A之第一輸入可連接至第一加法器210A之第一輸入。第三加法器230A之第二輸入可連接至第二乘法器225A之輸出。第三加法器230A之輸出可連接至數位HPFC模組205之實部補償訊號輸出280。

第二乘法器225A之輸出經由第三加法器230A從實部訊號成份中被減去。第一取樣延遲單元235A可經由第一加法器210A從實部訊號成份被減去。

此外，此數位HPFC模組205包括一虛部訊號輸入(ADC 110之輸出195)用以接收虛部訊號成份(Q)，以及一虛部補償訊號輸出290用以輸出一虛部補償輸出訊號。此數位HPFC模組205更包括第三及第四乘法器220B，225B，第四，第五及第六加法器，210B，240B，230B以及一第二取樣延遲單元235B。第三乘法器220B具有第一及第二輸入及一輸出。第三乘法器220B之第一輸入260B可接收具有第一預定值(K_1)之第一補償訊號。第四加法器210B具有第一及第二輸入及一輸出。第四加法器210B之第一輸入連接至數位HPFC模組205之虛部訊號輸入(ADC 110之輸出195)，而第四加法器210B之輸出連接至第三乘法器220B之第二輸入。第五加法器240B具有第一及第二輸入及一輸出。第五加法器240B之第一輸入連接至第三乘法器220B之輸出。第二取樣延遲單元235B之輸入具有一輸入及一輸出。第二取樣延遲單元235B之輸入連接至第五加法器240B之輸出。第四乘法器225B具有第一及第二輸入及一輸出。第四乘法器



五、發明說明 (12)

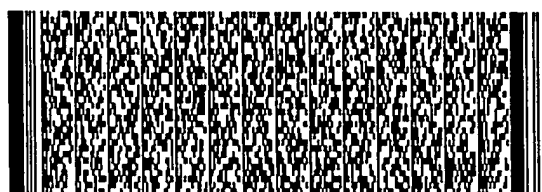
225B之第一輸入275B接收具有第二補償值(K_2)之第二補償訊號。第四乘法器225B之第二輸入連接至第二取樣延遲單元235B之輸出，第五加法器240B之第二輸入，以及第四加法器210B之第二輸入。第六加法器230B具有第一及第二輸入及一輸出。第六加法器230B之第一輸入連接至第四加法器210B之第一輸入。第六加法器230B之第二輸入可連接至第四乘法器225B之輸出。第六加法器230B之輸出可連接至數位HPFC模組205之虛部補償訊號輸出290。

第四乘法器225B之輸出可經由第六加法器230B從虛部訊號成份中被減除。第二取樣延遲單元235B之輸出可經由第四加法器210B從虛部訊號成份被減除。

實部及虛部訊號成份頻域響應的截止頻率係回應分別在第一與第三乘法器220A，220B之第一輸入260A，260B接收之第一補償訊號之第一預定值(K_1)之調整而被降低。實部及虛部成份頻域之高通響應的增益回應分別於第二與第四乘法器225A，225B之第一輸入275A，275B之第二補償訊號之第二預定值(K_2)之接收而被調整。

數位HPFC模組205之性能係以數值 K_1 及 K_2 為基礎。第4圖表示數值 K_1 及 K_2 如何影響實部及虛部訊號成份之頻域響應之光譜形狀。 K_1 值的調整改變I及Q之截止頻率從 F_{c1} 至 F_{c2} 。數值 K_2 的調整改變數位HPFC模組205提供之頻域的高通響應之增益藉由以 $1-k_2$ 除累加器輸出訊號250A，250B。

要了解的是I及Q訊號成份之補償應該由HPFC模組205在實質上比晶片速率高之取樣速率(如10倍的取樣速率)中



五、發明說明 (13)

實施。

雖然本發明特別參照較佳實施例而被顯示及描述，熟悉本技藝之人士應了解在不脫離以上所述之本發明範圍的情況下可有形式及細節上的各種改變。



圖式簡單說明

第1圖係習知包括類比無線接收器之RF接收器之方塊圖；

第2圖係具有本發明較佳實施例之數位高通濾波補償模組之DBB RF接收器之方塊圖；

第3圖表示第2圖DBB RF接收器中之數位高通濾波器補償模組之例示結構；以及

第4圖係第2圖之DBB RF接收器之高通濾波器補償模組內所使用的補償值K1及K2如何影響實部及虛部訊號成份之頻域響應。

元件符號說明：

100, 200 接收器	105 類比無線接收器	110 類比數位轉換器
115 控制器	120 調變解調器	125 天線
130 帶通濾波器	135 低雜訊放大器	140 第二濾波器
145 解調器	150, 155 輸出	160 相位鎖定迴路
165A, 165B 低通濾波器		190, 195 輸出
170A, 170B, 180A, 180B 放大器		205 數位模組
175A, 175B, 185A, 185B 高通濾波器		280, 290 輸出
210A, 210B, 230A, 230B, 240A, 240B 加法器		
215A, 215B 累加器電路		245A, 245B 補償訊號
220A, 220B, 225A, 225B 乘法器		260A, 260B 輸入
235A, 235B 取樣延遲單元		270A, 270B 取樣訊號
250A, 250B 累加器輸出訊號		275A, 275B 輸入
255A, 255B, 265A, 265B 累加器回饋訊號		
280, 290 輸出		



四、中文發明摘要 (發明名稱：包括低通濾波器補償模組以制抑因類比高通濾波器不足所生群組遲延變異失真之數位基帶接收器)

一種數位基帶(DBB)射頻(RF)接收器，包括一數位高通濾波器補償(HPFC)模組用以抑制因接收器中所使用之低成本類比高通濾波器(HPFs)所導致之群組延遲變異失真。此數位HPFC模組藉由提供具有一第一預定值(K_1)之一第一補償訊號降低實部及虛部訊號成份頻域響應用之類比HPFs所建立之截止頻率。此數位HPFC模組藉由提供具有一第二預定值(K_2)訊號之一第二補償訊號調整實部及虛部訊號成份頻域高通響應之增益。

五、英文發明摘要 (發明名稱：Digital Baseband Receiver Including A High Pass Filter Compensation Module For Suppressing Group Delay Variation Distortion Incurred Due to Analog)

A digital baseband (DBB) radio frequency (RF) receiver includes a digital high pass filter compensation (HPFC) module used to suppress group delay variation distortion caused by using low cost analog high pass filters (HPFs) in the receiver. The digital HPFC module reduces a cutoff frequency, established by the HPFs for the real and imaginary signal component frequency



四、中文發明摘要 (發明名稱：包括低通濾波器補償模組以制抑因類比高通濾波器不足所生群組遲延變異失真之數位基帶接收器)

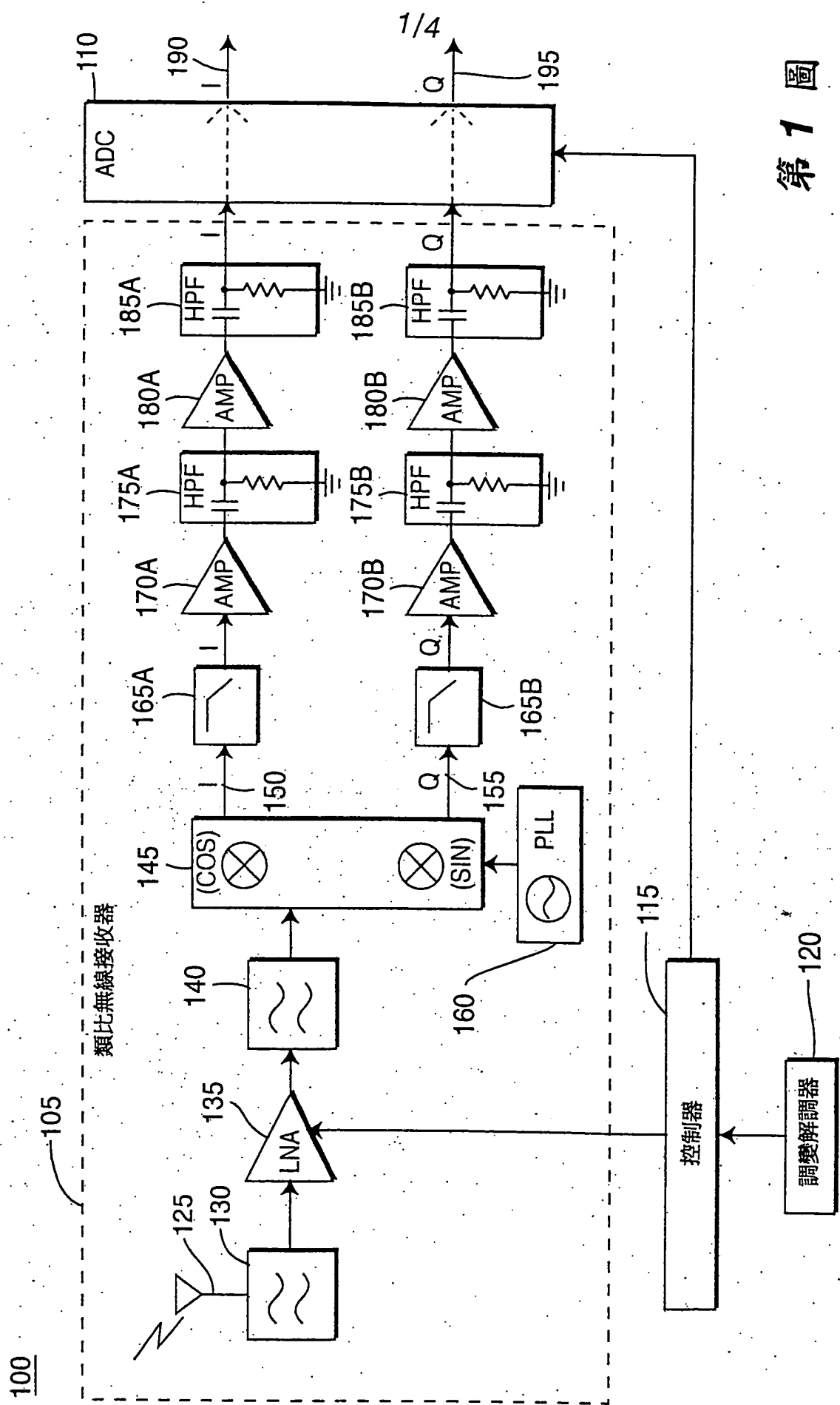
五、英文發明摘要 (發明名稱：Digital Baseband Receiver Including A High Pass Filter Compensation Module For Suppressing Group Delay Variation Distortion Incurred Due to Analog)

domain responses by providing a first compensation signal having a first predetermined value (K1).

The digital HPFC module adjusts the gain of the high pass response of the real and imaginary signal component frequency domains by providing a second compensation signal having a second predetermined value (K2).

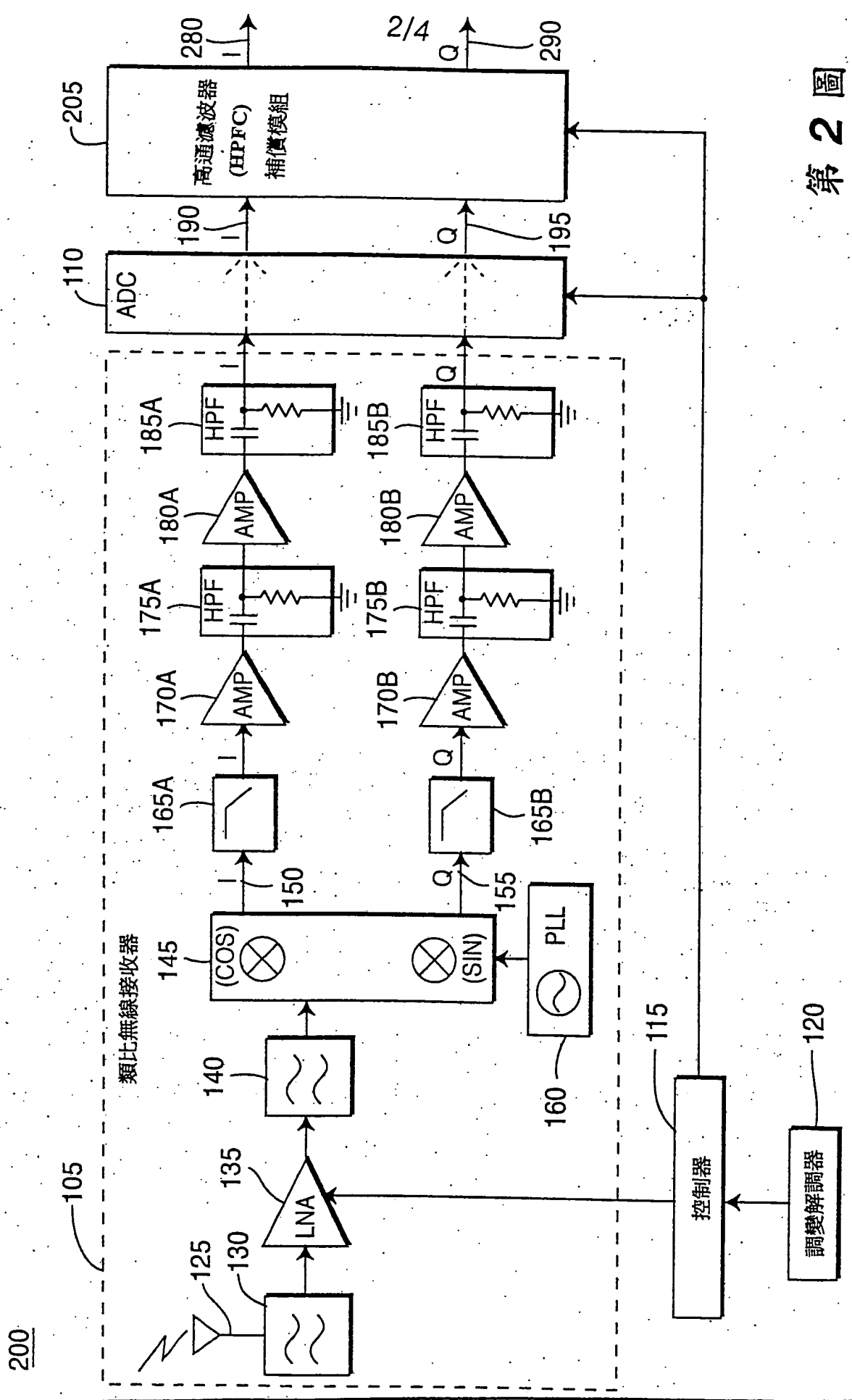


圖式

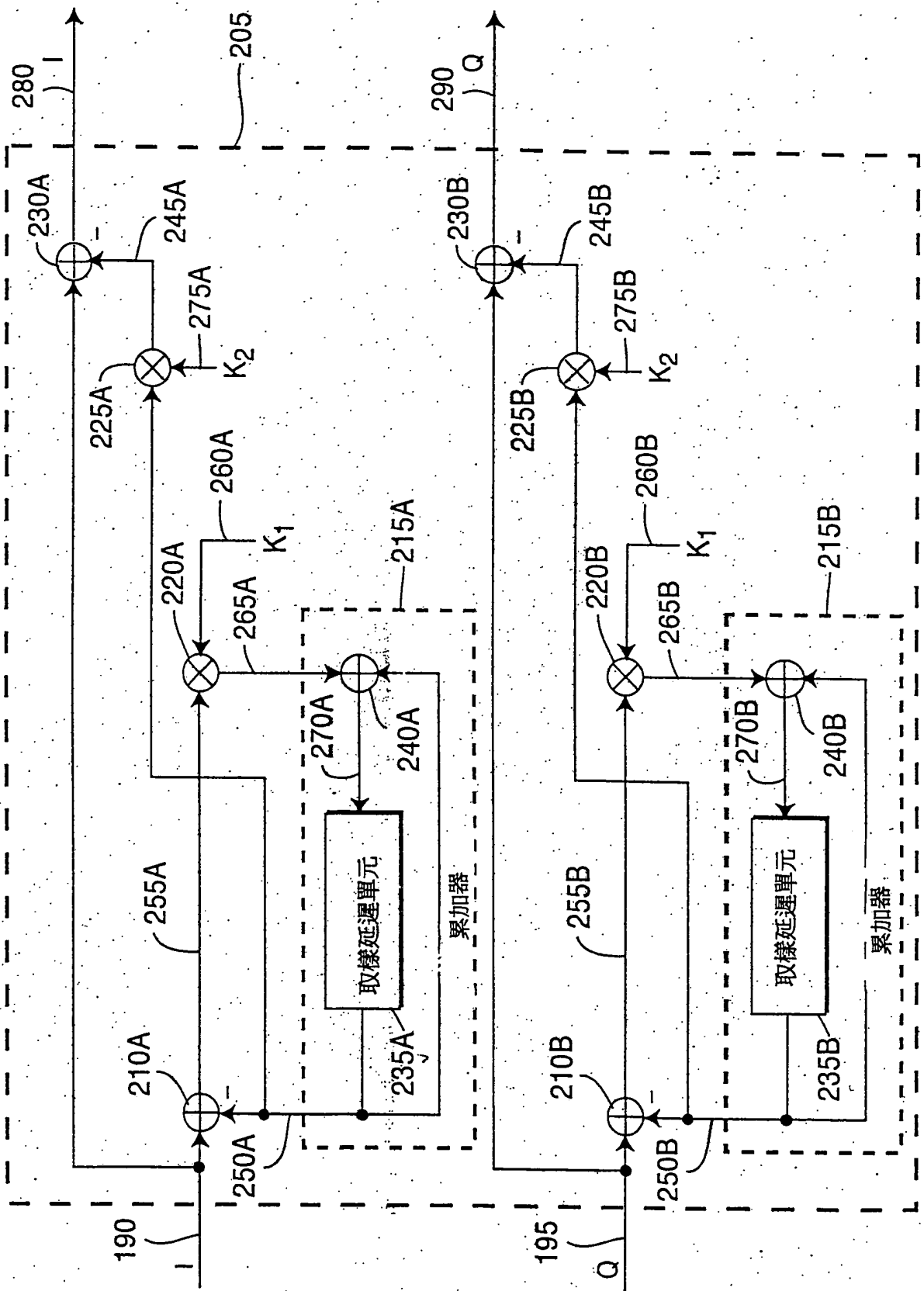


第 1 圖

圖式

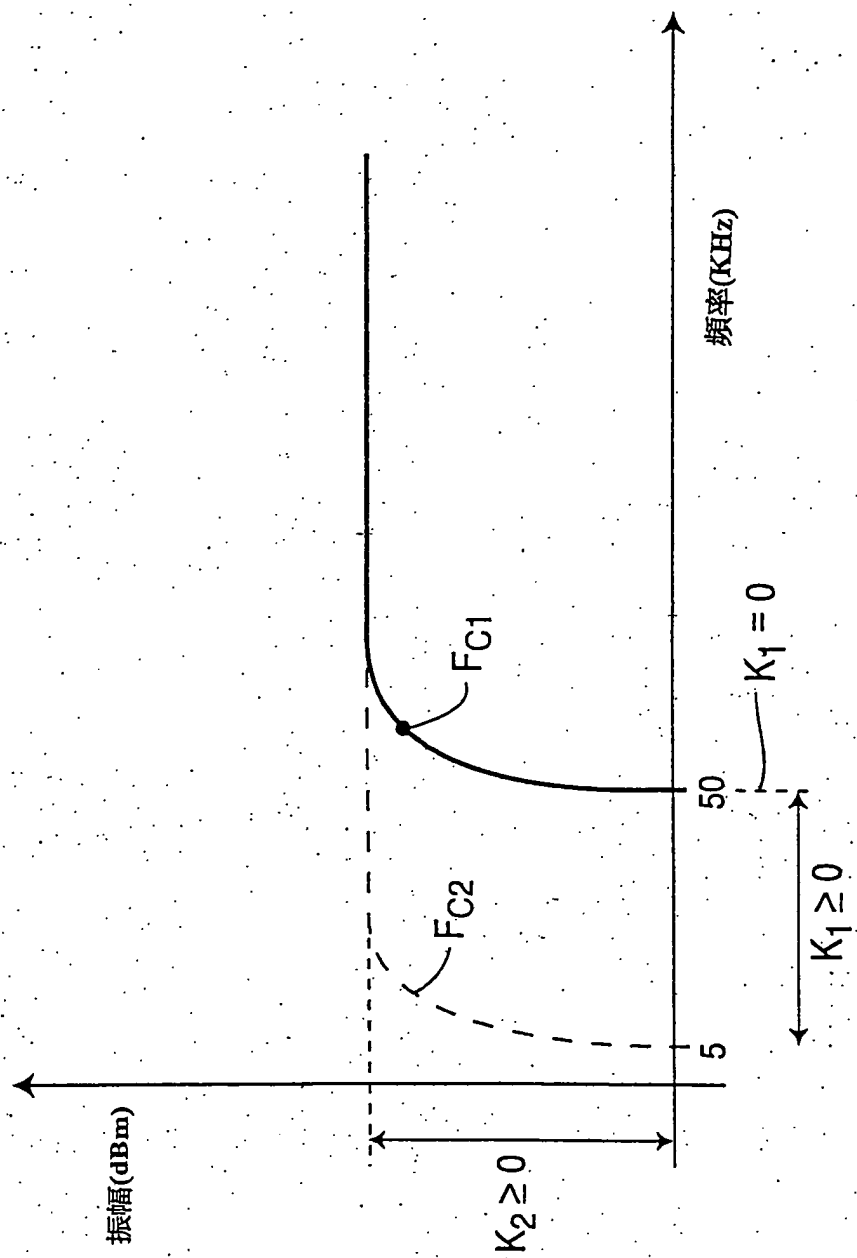


第 2 圖



圖式

4/4



第4圖

六、指定代表圖

(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

100, 200 接收器	105 類比無線接收器	110 類比數位轉換器
115 控制器	120 調變解調器	125 天線
130 帶通濾波器	135 低雜訊放大器	140 第二濾波器
145 解調器	150, 155 輸出	160 相位鎖定迴路
165A, 165B 低通濾波器		190, 195 輸出
170A, 170B, 180A, 180B 放大器		205 數位模組
175A, 175B, 185A, 185B 高通濾波器		280, 290 輸出



分割案

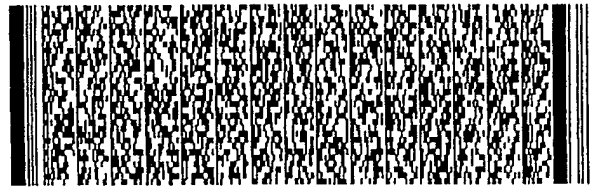
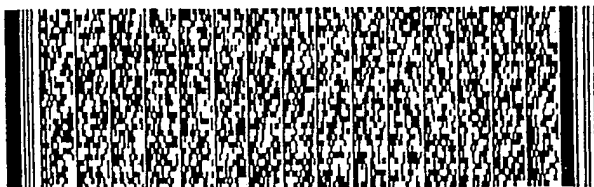
附件

申請日期：93.5.21 IPC分類 H04B 1/66
 申請案號：93136644 (由93114571分割)

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	數位高通濾波器補償(HPFC)模組、無線傳送/接收單元(WTRU)及積體電路(IC)
	英文	Digital High Pass Filter Compensation (HPFC) Module, Wireless Transmit/Receive Unit (WTRU) And Integrated Circuit (IC)
二、 發明人 (共3人)	姓名 (中文)	1. 艾佩斯蘭·戴米爾 2. 利昂德·卡薩凱費許 3. 坦畢爾·哈克
	姓名 (英文)	1. Alpaslan DEMIR 2. Leonid KAZAKEVICH 3. Tanbir HAQUE
	國籍 (中英文)	1. 土耳其 TR 2. 美國 US 3. 孟加拉 BD
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 內數位科技公司
	名稱或姓名 (英文)	1. InterDigital Technology Corporation
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國德拉威州19801威明頓德拉威大道300號527室 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. 300 Delaware Avenue, Suite 527, Wilmington, DE 19801, U.S.A.
	代表人 (中文)	1. 唐納爾德·伯萊斯
	代表人 (英文)	1. Donald M. Boles



六、申請專利範圍

1. 一種數位高通濾波器補償(HPFC)模組，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該數位HPFC模組包含：

(a) 一實部訊號輸入，用以接收該實部訊號成份；

(b) 一實部補償訊號輸出，用以輸出一實部補償輸出訊號；

(c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；

(d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該數位HPFC模組之該實部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；

(e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；

(f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；

(g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之該輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及

(h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一



六、申請專利範圍

輸入，該第三加法器之第二輸入連接至該第二乘法器之該輸出，以及該第三加法器之該輸出連接至該數位HPFC模組之該實部補償訊號輸出。

2. 如申請專利範圍第1項的數位HPFC模組，其中該第二乘法器之該輸出經由該第三加法器從該實部訊號成份被減除。

3. 如申請專利範圍第1項的數位HPFC模組，其中該取樣延遲單元之該輸出經由該第一加法器從該實部訊號成份被減除。

4. 如申請專利範圍第1項的數位HPFC模組，其中該數位HPFC模組是選擇性地被致能或禁能。

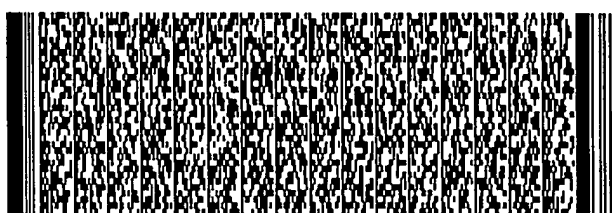
5. 一種數位高通濾波器補償(HPFC)模組，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該數位HPFC模組包含：

(a) 一虛部訊號輸入，用以接收該虛部訊號成份；

(b) 一虛部補償訊號輸出，用以輸出一虛部補償輸出訊號；

(c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；

(d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該數位HPFC模組之該虛部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；



六、申請專利範圍

(e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；

(f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；

(g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之該輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及

(h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一輸入，該第三加法器之第二輸入連接至該第二乘法器之該輸出，以及該第三加法器之該輸出連接至該數位HPFC模組之該虛部補償訊號輸出。

6. 如申請專利範圍第5項的數位HPFC模組，其中該第二乘法器之該輸出經由該第三加法器從該虛部訊號成份被減除。

7. 如申請專利範圍第5項的數位HPFC模組，其中該取樣延遲單元之該輸出經由該第一加法器從該虛部訊號成份被減除。

8. 如申請專利範圍第5項的數位HPFC模組，其中該數位HPFC模組是選擇性地被致能或禁能。

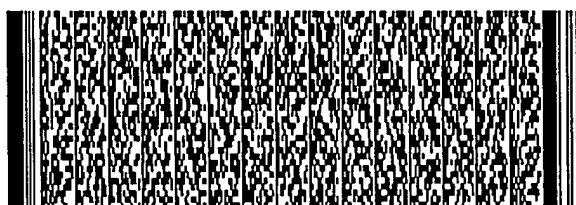
9. 一種無線傳送/接收單元(WTRU)，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該無線傳送/接收



六、申請專利範圍

單元(WTRU)包含：

- (a) 一實部訊號輸入，用以接收該實部訊號成份；
- (b) 一實部補償訊號輸出，用以輸出一實部補償輸出訊號；
- (c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；
- (d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該無線傳送/接收單元(WTRU)之該實部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；
- (e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；
- (f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；
- (g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之該輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及
- (h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一輸入，該第三加法器之第二輸入連接至該第二乘法器之該輸出，以及該第三加法器之該輸出連接至該無線傳送/接



六、申請專利範圍

收單元(WTRU)之該實部補償訊號輸出。

10. 如申請專利範圍第9項的無線傳送/接收單元(WTRU)，其中該第二乘法器之該輸出經由該第三加法器從該實部訊號成份被減除。

11. 如申請專利範圍第9項的無線傳送/接收單元(WTRU)，其中該取樣延遲單元之該輸出經由該第一加法器從該實部訊號成份被減除。

12. 一種無線傳送/接收單元(WTRU)，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該無線傳送/接收單元(WTRU)包含：

(a) 一虛部訊號輸入，用以接收該虛部訊號成份；

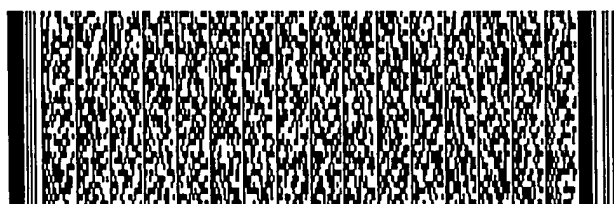
(b) 一虛部補償訊號輸出，用以輸出一虛部補償輸出訊號；

(c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；

(d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該無線傳送/接收單元(WTRU)之該虛部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；

(e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；

(f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；



六、申請專利範圍

(g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之該輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及

(h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一輸入，該第三加法器之第二輸入連接至該第二乘法器之該輸出，以及該第三加法器之該輸出連接至該無線傳送/接收單元(WTRU)之該虛部補償訊號輸出。

13. 如申請專利範圍第12項的無線傳送/接收單元(WTRU)，其中該第二乘法器之該輸出經由該第三加法器從該虛部訊號成份被減除。

14. 如申請專利範圍第12項的無線傳送/接收單元(WTRU)，其中該取樣延遲單元之該輸出經由該第一加法器從該虛部訊號成份被減除。

15. 一種積體電路(IC)，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該積體電路(IC)包含：

(a) 一實部訊號輸入，用以接收該實部訊號成份；

(b) 一實部補償訊號輸出，用以輸出一實部補償輸出訊號；

(c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；



六、申請專利範圍

(d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該積體電路(IC)之該實部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；

(e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；

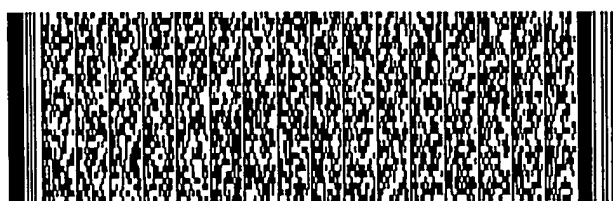
(f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；

(g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及

(h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一輸入，該第三加法器之第二輸入連接至該第二乘法器之該輸出，以及該第三加法器之該輸出連接至該積體電路(IC)之該實部補償訊號輸出。

16. 如申請專利範圍第15項的積體電路(IC)，其中該第二乘法器之該輸出經由該第三加法器從該實部訊號成份被減除。

17. 如申請專利範圍第15項的積體電路(IC)，其中該取樣延遲單元之該輸出經由該第一加法器從該實部訊號成份被減除。



六、申請專利範圍

18. 一種積體電路(IC)，用於調整一通訊訊號的實部與虛部訊號成份的頻率域反應，該積體電路(IC)包含：

(a) 一虛部訊號輸入，用以接收該虛部訊號成份；

(b) 一虛部補償訊號輸出，用以輸出一虛部補償輸出訊號；

(c) 一第一乘法器，具有第一及第二輸入以及一輸出，該第一乘法器之該第一輸入用以接收具有一第一預定值(K_1)之一第一補償訊號；

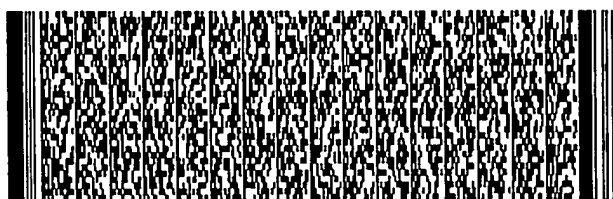
(d) 一第一加法器，具有第一及第二輸入及一輸出，該第一加法器之該第一輸入連接至該積體電路(IC)之該虛部訊號輸入，而該第一加法器之該輸出連接至該第一乘法器之該第二輸入；

(e) 一第二加法器，具有第一及第二輸入及一輸出，該第二加法器之該第一輸入連接至該第一乘法器之該輸出；

(f) 一取樣延遲單元，具有一輸入及一輸出，該取樣延遲單元之該輸入連接至該第二加法器之該輸出；

(g) 一第二乘法器，具有第一及第二輸入及一輸出，該第二乘法器之該第一輸入用以接收具有一第二預定值(K_2)之一第二補償訊號，該第二乘法器之該第二輸入連接至該取樣延遲單元之該輸出、該第二加法器之該第二輸入、以及該第一加法器之該第二輸入；以及

(h) 一第三加法器，具有第一及第二輸入以及一輸出，該第三加法器之該第一輸入連接至該第一加法器之該第一輸入，該第三加法器之第二輸入連接至該第二乘法器之該



六、申請專利範圍

輸出，以及該第三加法器之該輸出連接至該積體電路(IC)之該虛部補償訊號輸出。

19. 如申請專利範圍第18項的積體電路(IC)，其中該第二乘法器之該輸出經由該第三加法器從該虛部訊號成份被減除。

20. 如申請專利範圍第18項的積體電路(IC)，其中該取樣延遲單元之該輸出經由該第一加法器從該虛部訊號成份被減除。

