

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 12 月 11 日 (11.12.2008)

PCT

(10) 国際公開番号
WO 2008/150032 A1

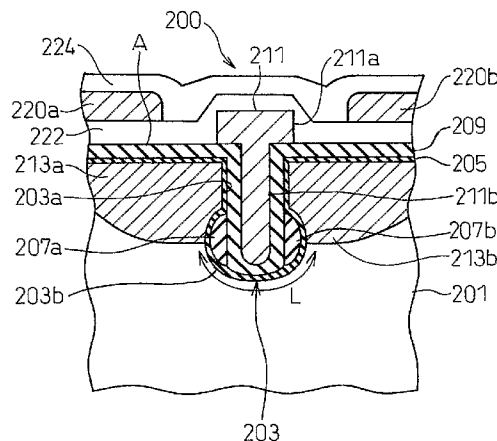
- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 21/318 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2008/060812
- (22) 国際出願日: 2008 年 6 月 6 日 (06.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-151265 2007 年 6 月 7 日 (07.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)
- [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 廣田良浩 (HI-ROTA, Yoshihiro) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町 1-8 東京エレクトロン A T 株式会社内 Hyogo (JP).
- (74) 代理人: 青木篤, 外(AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体メモリ装置およびその製造方法

Fig.1



(57) Abstract: In a nonvolatile semiconductor memory device of the method which causes a single cell to store 2-bit or greater information, it is possible to prevent write failure and assure a high operation reliability. The nonvolatile semiconductor memory device (200) includes a trench (203) having a round wall unit (203b); a tunnel oxide film (205), silicon nitride films (207a, 207b) as charge capturing regions, a silicon dioxide film (209), a gate electrode (211), and a first source/drain region (213a) and a second source/drain region (213b) formed on Si substrates (201) arranged to sandwich the gate electrode (211).

(57) 要約: 単一セルに 2 ビット以上の複数ビットの情報を記憶させる方式の不揮発性半導体メモリ装置において、書き込み不良を防止し、高い動作信頼性を確保する。 不揮発

[続葉有]



WO 2008/150032 A1



KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

性半導体メモリ装置 200 は、ラウンド状壁部 203 b を有するトレンチ 203 と、トンネル酸化膜 205 と、電荷捕獲領域としての窒化珪素膜 207 a, 207 b と、二酸化珪素膜 209 と、ゲート電極 211 と、ゲート電極 211 を間に挟んでその両側の Si 基板 201 に形成された第 1 のソース／ドレイン領域 213 a および第 2 のソース／ドレイン領域 213 b と、を備える。

明 細 書

半導体メモリ装置およびその製造方法

技術分野

本発明は、半導体メモリ装置およびその製造方法に関する。

背景技術

電气的書換え動作が可能なEEPROM (Electrically Erasable and Programmable ROM) やフラッシュEEPROMなどに代表される不揮発性半導体メモリ装置として、SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 型やMONOS (Metal-Oxide-Nitride-Oxide-Silicon) 型と呼ばれる積層構造を有するものが知られている。これらのタイプの不揮発性半導体メモリ装置では、二酸化珪素膜 (Silicon Dioxide) に挟まれた窒化珪素膜 (Silicon Nitride) を電荷捕獲層として情報の保持が行われる。つまり、上記不揮発性半導体メモリ装置では、半導体基板 (Silicon) とコントロールゲート電極 (SiliconまたはMetal) との間に電圧を印加することによって、電荷捕獲層の窒化珪素膜に電子を注入してデータを保存したり、窒化珪素膜に蓄積された電子を除去したりして、データの保存と消去を行っている。

不揮発性半導体メモリ装置に関する技術として、例えばWO99/07000 (以下、特許文献1) では、酸化珪素 (SiO₂) 膜に挟まれた窒化珪素 (SiN) 膜を電荷捕獲層とし、その電荷捕獲層の空間的に離れた2箇所の電荷捕獲領域にそれぞれ電荷を蓄積さ

せることにより、1つのメモリ・セルに2ビットの情報を記憶させることが記載されている。この特許文献1に記載された技術では、ソースとドレインは、上記2箇所の電荷捕獲領域にそれぞれ対応して、交互にその機能を交代することにより情報の書き込み／読み出しが行われる。

一方、半導体装置の微細化への対応を図る目的で、半導体基板の中にゲート電極の一部が埋め込まれた立体的な構造を有するリセスゲートトランジスタを用いることが提案されている。例えば特開2007-88418（US2007063270、以下、特許文献2）には、シリコン基板に、下部が球形にラウンドしたフラスコ形状のトレンチを形成し、そこに電極材料を埋め込んで得られる球状リセスゲートトランジスタにより、トランジスタの面積を縮小しつつ十分な有効チャネル長を確保できることが記載されている。

特許文献1 特表2001-512290号公報（例えば、図2など）

特許文献2 特開2007-88418号公報（例えば、図9など）

発明の開示

発明が解決しようとする課題

近年の半導体装置の高集積化に伴い、不揮発性半導体メモリ装置の素子構造も急速に微細化が進んでいる。今後、素子構造の一層の微細化が進むと予想される中で、上記特許文献1の技術では、短チャネル効果が生じてソースとドレインの区別が困難になり、電荷捕獲層の一方の電荷捕獲領域に書き込みを行う際に、他方の電荷捕獲領域にも電荷が書き込まれてしまう書き込不良の問題が懸念されている。

本発明はかかる問題点に鑑みてなされたものであり、その目的は、単一セルに2ビット以上の複数ビットの情報を記憶させる方式の不揮発性半導体メモリ装置において、書き込み不良を防止し、高い動作信頼性を確保することである。

課題を解決するための手段

本発明の第1の観点の半導体メモリ装置は、半導体層と、前記半導体層に形成され、互いに対向する側壁面が曲率をもって形成されたラウンド状壁部を有するトレンチと、前記トレンチの内壁部分を含めて前記半導体層表面に沿って形成された第1の絶縁膜と、前記トレンチのラウンド状壁部において前記第1の絶縁膜に隣接して設けられた一对の互いに分離した電荷捕獲領域と、その下部が前記半導体層の前記トレンチ内に挿入されたゲート電極と、前記ゲート電極を間に挟んでその両側の前記半導体層内に形成された、前記半導体層とは反対の導電型を有する第1、第2の領域と、を備えている。

上記装置において、更に、前記ゲート電極と、前記第1の絶縁膜及び前記それぞれの電荷捕獲領域との間に形成された第2の絶縁膜を備えていても良い。

上記装置において、前記それぞれの電荷捕獲領域は前記ラウンド状壁部から前記トレンチの上部方向に延長して形成しても良い。

上記装置において、前記それぞれの電荷捕獲領域は窒化珪素膜により形成しても良い。

上記装置において、前記ゲート電極を金属で形成し、前記それぞれの電荷捕獲領域を窒化珪素膜で形成し、前記第1の絶縁膜を二酸化シリコン膜または酸窒化珪素膜で形成し、前記半導体層をシリコンで形成することにより、前記半導体層内に挿入されたゲート電極を横断する方向に、MNOS構造を有するようにしても良い。

上記装置において、前記ゲート電極を中心に、前記M N O S構造を対称的に形成しても良い。

また、前記ゲート電極を多結晶シリコン又は金属で形成し、前記第2の絶縁膜を二酸化シリコン膜または酸化珪素膜で形成し、前記それぞれの電荷捕獲領域を酸化珪素膜で形成し、前記第1の絶縁膜を二酸化シリコン膜または酸化珪素膜で形成し、前記半導体層をシリコンで形成することにより、前記半導体層内に挿入されたゲート電極を横断する方向に、S O N O S構造もしくはM O N O S構造を有するようにしても良い。

上記装置において、前記ゲート電極を中心に前記S O N O S構造もしくはM O N O S構造を対称的に形成しても良い。

また、前記第1の絶縁膜をトンネル酸化膜で形成しても良い。

本発明の第2の観点の半導体メモリ装置は、半導体層と、上部が前記半導体層から突出し、かつその下部が前記半導体層内に挿入されたゲート電極と、前記半導体層と前記ゲート電極との間で、前記半導体層に沿って形成された第1の絶縁膜と、前記第1の絶縁膜と前記ゲート電極との間に形成された一対の互いに分離した電荷捕獲領域と、前記ゲート電極を間に挟んでその両側の前記半導体層内に形成された第1のソース／ドレイン領域および第2のソース／ドレイン領域と、を備えていても良い。

上記装置において、更に、前記第1の絶縁膜及び前記電荷捕獲領域と、前記ゲート電極間に形成された第2の絶縁膜を備えていても良い。

上記装置において、前記酸化珪素膜を、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入してプラズマを生成させる方式のプラズマ処理装置を用い、前記処理室内に窒素含有化合物とシリコン含有化合物とを含む原料ガスを供給し、前記マイクロ波

によりプラズマを生成させて窒化珪素膜を堆積させるプラズマCVD法により形成しても良い。

本発明の第3の観点による半導体メモリ装置の製造方法は、半導体層に、互いに対向する側壁が曲率をもって形成されたラウンド状壁部を有するトレンチを形成する工程と、前記トレンチの内面を含む前記半導体層の表層に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を覆うように、プラズマCVD法により窒化珪素膜を形成する工程と、少なくとも前記ラウンド状壁部の内側を含む前記トレンチの側壁部分に互いに分離した一対の前記窒化珪素膜を残し、前記トレンチの底部には残存しないように前記窒化珪素膜をエッチングする工程と、前記トレンチを埋めるように電極膜を形成する工程と、前記トレンチの外部に突出した前記電極膜をパターン形成してゲート電極を形成する工程と、前記半導体層における前記トレンチの両側の部位に、前記半導体層の導電型とは反対の導電型となるように不純物ドーピングを施して第1のソース／ドレイン領域および第2のソース／ドレイン領域をそれぞれ形成する工程と、を備えている。

上記方法において、前記窒化珪素膜をエッチングする工程は、前記ラウンド状壁部の内側にのみ、互いに分離した一対の前記窒化珪素膜を残し、他の部位には残存しないように前記窒化珪素膜をエッチングするようにしても良い。

また、上記方法において、前記窒化珪素膜をエッチングする工程と前記電極膜を形成する工程との間に、更に、前記第1の絶縁膜および前記窒化珪素膜を覆って第2の絶縁膜を形成する工程を設けても良い。

また、上記方法において、前記窒化珪素膜を形成する工程を、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入し

てプラズマを生成させる方式のプラズマ処理装置を用い、前記処理室内に窒素含有化合物とシリコン含有化合物とを含む原料ガスを供給し、前記マイクロ波によりプラズマを生成させて窒化珪素膜を堆積させるプラズマCVD法により行っても良い。

また、前記窒素含有化合物としてアンモニアまたは窒素を、前記シリコン含有化合物としてシラン (SiH_4)、ジシラン (Si_2H_6) またはトリシラン (Si_3H_8) をそれぞれ用い、前記窒化珪素膜を形成するようにしても良い。

また、前記窒素含有化合物としてアンモニアを、前記シリコン含有化合物としてジシランをそれぞれ用い、流量比 (アンモニア流量 / ジシラン流量) $0.1 \sim 1000$ の範囲内で、 $1\text{ Pa} \sim 1333\text{ Pa}$ の範囲内の処理圧力によりプラズマを発生させて前記窒化珪素膜を形成するようにしても良い。

さらに、前記窒素含有化合物として窒素を、前記シリコン含有化合物としてジシランをそれぞれ用い、流量比 (窒素流量 / ジシラン流量) $0.1 \sim 5000$ の範囲内で、 $0.1\text{ Pa} \sim 500\text{ Pa}$ の範囲内の処理圧力によりプラズマを発生させて前記窒化珪素膜を形成するようにしても良い。

さらに、前記プラズマCVD法における処理温度を、 $25^\circ\text{C} \sim 600^\circ\text{C}$ の範囲内の温度としても良い。

発明の効果

本発明の半導体メモリ装置によれば、互いに分離した一对の電荷捕獲領域を備えたので、1メモリ・セルで2ビット以上の複数の情報を書き込み / 読み出しする際の実装不良が低減され、微細化した場合でも高い動作信頼性を確保することができる。従って、この半導体メモリ装置を集積することにより、大容量の記憶装置が実現できるという効果を奏する。

また、本発明の半導体メモリ装置の製造方法によれば、上記特徴を有する半導体メモリ装置を容易に製造できるという効果を奏する。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態に係る不揮発性半導体メモリ装置の概略構成を示す説明図である。

図 2 は、図 1 に示した不揮発性半導体メモリ装置の製造工程の概要を示す説明図である。

図 3 は、図 1 に示した不揮発性半導体メモリ装置の製造工程を示す説明図である。

図 4 は、図 3 に示した工程に続く工程を説明するための説明図である。

図 5 は、図 4 に示した工程に続く工程を説明するための説明図である。

図 6 は、図 5 に示した工程に続く工程を説明するための説明図である。

図 7 は、図 6 に示した工程に続く工程を説明するための説明図である。

図 8 は、図 7 に示した工程に続く工程を説明するための説明図である。

図 9 は、図 8 に示した工程に続く工程を説明するための説明図である。

図 10 は、本発明の窒化珪素膜の形成方法の実施に適したプラズマ処理装置の一例を示す概略断面図である。

図 11 は、平面アンテナ部材の構造を示す図面である。

図 12 は、制御部の構成を示す説明図である。

図 1 3 は、本発明の第 2 の実施の形態に係る不揮発性半導体メモリ装置の概略構成を示す説明図である。

図 1 4 は、第 2 の実施の形態に係る不揮発性半導体メモリ装置の変形例の概略構成を示す説明図である。

発明を実施するための最良の形態

[第 1 の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。まず、図 1 を参照して本発明の実施の形態に係る不揮発性半導体メモリ装置について説明する。この不揮発性半導体メモリ装置 200 は、例えば、1 トランジスタを備えた 1 メモリ・セルで 2 ビット以上の複数ビットの書き込み・読み出しが可能なものである。不揮発性半導体メモリ装置 200 は、シリコン層としての p 型のシリコン基板 (S i 基板) 201 に溝を形成された、例えば丸底フラスコ断面状のトレンチ 203 と、トレンチ 203 の内壁部分を含めて S i 基板 201 の表層に形成された第 1 の絶縁膜としてのトンネル酸化膜 205 と、トレンチ 203 の内側のトンネル酸化膜 205 の表面に設けられた電荷捕獲領域としての窒化珪素膜 207 a, 207 b と、トンネル酸化膜 205 および窒化珪素膜 207 a, 207 b を覆う第 2 の絶縁膜としての二酸化珪素膜 209 と、この二酸化珪素膜 209 と接し、その下部が前記トレンチ 203 内に挿入されるように形成されたゲート電極 211 と、トレンチ 203 を間に挟むようにその両側の S i 基板 201 内に形成された第 1 のソース／ドレイン領域 213 a および第 2 のソース／ドレイン領域 213 b と、を備えている。

なお、不揮発性半導体メモリ装置 200 は、S i 基板 201 内の p ウエルや p 型シリコン層に形成されていてもよい。また、図示は

省略するが、S i 基板 2 0 1 には、素子分離膜が形成されている。素子分離膜によって、不揮発性半導体メモリ装置 2 0 0 が形成されるアクティブ領域 A が区画されている。

トレンチ 2 0 3 は、S i 基板 2 0 1 の表面側から所定の深さまで、対向する側壁が略平面状に形成された平面状壁部 2 0 3 a と、該平面状壁部 2 0 3 a に連なり、トレンチ 2 0 3 の底部付近で互いに対向する側壁が曲率をもって形成され、前記平面状壁部 2 0 3 a より横方向（トレンチ 2 0 3 の深さ方向に交差する方向）に拡大（膨らんだ状態）したラウンド状壁部 2 0 3 b とを有している。

第 1 の絶縁膜としてのトンネル酸化膜 2 0 5 は、トレンチ 2 0 3 の内壁部分を含めて S i 基板 2 0 1 の表層に形成されている。トンネル酸化膜 2 0 5 は、例えば熱酸化法やプラズマ酸化法によって S i 基板 2 0 1 のシリコン露出面を所定膜厚になるように酸化することにより形成できる。トンネル酸化膜 2 0 5 は、例えば 0 . 1 ~ 1 0 n m 程度の膜厚を有する二酸化珪素（S i O₂）膜または酸窒化珪素（S i O N）膜である。

電荷捕獲領域としての窒化珪素（S i_x N_y）膜 2 0 7 a , 2 0 7 b は、トレンチ 2 0 3 のラウンド状壁部 2 0 3 b の内側に左右一対設けられている。つまり、窒化珪素膜 2 0 7 a , 2 0 7 b は、ゲート電極 2 1 1 の下部 2 1 1 b を中心にして、その両側の第 1 のソース／ドレイン領域 2 1 3 a 側と第 2 のソース／ドレイン領域 2 1 3 b 側に、それぞれ分離して形成されている。窒化珪素膜 2 0 7 a , 2 0 7 b は、トンネル酸化膜 2 0 5 と二酸化珪素膜 2 0 9 との間に挟まれている。窒化珪素膜 2 0 7 a , 2 0 7 b は、S i 基板 2 0 1 内に挿入されたゲート電極 2 1 1 の下部 2 1 1 b を横断する方向に、例えば 2 ~ 1 0 n m 程度の膜厚で形成された S i_x N_y 膜または S i O N 膜により構成されている。また、窒化珪素膜 2 0 7 a ,

207bは、例えばトラップ密度が $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ であることが好ましい。このような窒化珪素膜207a, 207bは、例えば、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入してプラズマを生成させる方式のプラズマ処理装置を用い、プラズマCVD (Chemical Vapor Deposition; 化学気相堆積) 法により形成できる。この窒化珪素膜207a, 207bの形成方法については後で詳細に説明する。

第2の絶縁膜としての二酸化珪素 (SiO_2) 膜209は、トンネル酸化膜205または窒化珪素膜207a, 207bとゲート電極211の下部211bとの間に介在している。二酸化珪素膜209は、例えばCVD法、特に熱CVD法により成膜された膜であり、ゲート電極211と窒化珪素膜207a, 207bとの間でブロック層 (バリア層) として機能する。二酸化珪素膜209は、例えば5~15nm程度の膜厚を有している。なお、第2の絶縁膜として、二酸化珪素膜209を窒化して得られる酸窒化珪素 (SiON) 膜を用いることもできる。

ゲート電極211は、断面視略T字形をなし、その上部211aがSi基板201の上面よりも突出し、その下部211bが二酸化珪素膜209に接するようにトレンチ203内に挿入されている。ゲート電極211は、例えばCVD法により成膜された多結晶シリコン膜からなり、コントロールゲート (CG) 電極として機能する。また、ゲート電極211は、例えばW, Ti, Ta, Cu, Al, Au, Pt等の金属を含む膜であってもよい。ゲート電極211の上部211aは、例えば0.1~50nm程度の膜厚を有している。また、ゲート電極211の下部211bは、横断方向に例えば2~10nm程度の幅を有している。

ゲート電極 2 1 1 は、単層に限らず、ゲート電極の比抵抗を下げ、高速化する目的で、例えばタングステン、モリブデン、タンタル、チタン、銅、金、銀、白金およびそれらのシリサイド、ナイトライド、合金等を含む積層構造にすることができる。このゲート電極 2 1 1 は、図示しない配線層に接続されている。

第 1 のソース／ドレイン領域 2 1 3 a および第 2 のソース／ドレイン領域 2 1 3 b は、ともに同じ導電型であり、S i 基板 2 0 1 の導電型とは反対の導電型となるように不純物がイオン注入されている。第 1 のソース／ドレイン領域 2 1 3 a および第 2 のソース／ドレイン領域 2 1 3 b は、ゲート電極 2 1 1 を間に挟むようにその両側の S i 基板 2 0 1 内に形成されている。第 1 のソース／ドレイン領域 2 1 3 a および第 2 のソース／ドレイン領域 2 1 3 b は、それぞれソースとしての機能とドレインとしての機能を有しており、どちらか一方がソースとして機能するときは他方がドレインとして機能する。

なお、第 1 のソース／ドレイン領域 2 1 3 a と第 2 のソース／ドレイン領域 2 1 3 b の間に挟まれるトレンチ 2 0 3 の周囲の領域が、不揮発性半導体メモリ装置 2 0 0 のチャネル形成領域となっている。第 1 のソース／ドレイン領域 2 1 3 a と第 2 のソース／ドレイン領域 2 1 3 b は、第 1 のソース／ドレイン電極（以下、第 1 の電極）2 2 0 a と第 2 のソース／ドレイン電極（以下、第 2 の電極）2 2 0 b にそれぞれコンタクトホール（図示せず）を介して接続される。図 1 に示す様に、第 1、第 2 の電極 2 2 0 a、2 2 0 b は、第 3 の絶縁膜 2 2 2 によってゲート電極 2 1 1 とは絶縁されている。2 2 4 は第 4 の絶縁膜であり、第 1、第 2 電極 2 2 0 a、2 2 0 b を保護し、あるいは図示しない配線層と分離するためのものである。

以上のように、本実施の形態に係る不揮発性半導体メモリ装置 200 は、トレンチ 203 に挿入されたゲート電極 211 の下部 211b と交差する横断方向に、ゲート電極 211、二酸化珪素膜 209、窒化珪素膜 207a、207b、トンネル酸化膜 205 および Si 基板 201 が配置された SONOS 構造もしくは MONOS 構造を有する。これらの SONOS 構造および MONOS 構造は、ゲート電極 211 の下部 211b を中心にして左右対称に形成されている。

また、この不揮発性半導体メモリ装置 200 のチャネルは、第 1 のソース／ドレイン領域 213a と第 2 のソース／ドレイン領域 213b との間のトレンチ 203 のラウンド状壁部 203b に沿って曲率をもって形成される。従って、不揮発性半導体メモリ装置 200 の面積を増加させることなく十分なチャネル長 L を確保することができる。

以上のような構造の不揮発性半導体メモリ装置 200 の動作例について説明する。不揮発性半導体メモリ装置 200 は、電荷捕獲領域である一対の窒化珪素膜 207a、207b を利用して、1 ビットの書き込み／読み出しだけでなく、単一のメモリ・セルで 2 ビット以上の複数ビットの書き込み／読み出しを行うことができる。

不揮発性半導体メモリ装置 200 における書き込み、読み出しおよび消去は、公知の方法例えば特表 2001-512290 号公報（特許文献 1）と同様の手順で行うことができる。まず、ゲート電極 211 に書き込み用電圧 VW1 を印加し、第 1 の電極 220a を介して第 1 のソース／ドレイン領域 213a に書き込み用電圧 VW2 を印加し、第 2 の電極 220b を介して第 2 のソース／ドレイン領域 213b を接地する。これにより、ホット・エレクトロン注入現象を利用して第 1 のソース／ドレイン領域 213a に近接した窒化珪

素膜 2 0 7 a に電荷を捕獲させて 1 ビットの書き込みを行うことができる。

また、逆に、ゲート電極 2 1 1 に書き込み用電圧 $VW3$ を印加し、第 2 の電極を介して第 2 のソース／ドレイン領域 2 1 3 b に書き込み用電圧 $VW4$ を印加し、第 1 の電極を介して第 1 のソース／ドレイン領域 2 1 3 a を接地する。これにより、ホット・エレクトロン注入現象を利用して窒化珪素膜 2 0 7 b に電荷を捕獲させて、1 ビットの書き込みを行うことができる。

以上の書き込み動作において、書き込み用電圧 $VW1$ および $VW4$ は、ホット・キャリアが発生する確率が高まるように、 Vdd （電源電圧）の $1/2$ 程度の大きさに設定することが好ましい。

窒化珪素膜 2 0 7 a からの 1 ビットの読出しは、書き込みとは逆方向に行われる。すなわち、ゲート電極 2 1 1 に読出し用電圧 $VR1$ を印加し、前記第 2 のソース／ドレイン領域 2 1 3 b に読出し用電圧 $VR2$ を印加し、第 1 のソース／ドレイン領域 2 1 3 a を接地し、第 2 のソース／ドレイン領域 2 1 3 b から第 1 のソース／ドレイン領域 2 1 3 a へ向かって流れる電流の有無を検出する。

また、窒化珪素膜 2 0 7 b からの 1 ビットの読出しも、書き込みとは逆方向に行われる。すなわち、ゲート電極 2 1 1 に読出し用電圧 $VR3$ を印加し、第 1 のソース／ドレイン領域 2 1 3 a に読出し用電圧 $VR4$ を印加し、第 2 のソース／ドレイン領域 2 1 3 b を接地し、第 1 のソース／ドレイン領域 2 1 3 a から第 2 のソース／ドレイン領域 2 1 3 b へ向かって流れる電流の有無を検出する。

不揮発性半導体メモリ装置 2 0 0 においては、目的とする書き込みや読み出しを行なう際に、意図しない書き込みや順方向の読み出しが起こらないように、書き込み用電圧 $VW1 \sim VW4$ 、読み出し用電圧 $VR1 \sim VR4$ の大きさや、読み出しを行なうときのしきい値

電圧の大きさなどを設定すればよい。

窒化珪素膜 207a について、1 ビットの消去を行うには、窒化珪素膜 207a の電子をトンネル効果によって、二酸化珪素膜 209 を通過させてゲート電極 211 から排出させるか、または、トンネル酸化膜 205 を通過させて第 1 のソース／ドレイン領域 213a から排出させるようにする。このためには、ゲート電極 211 に正の電圧を、第 1 のソース／ドレイン領域 213a にゼロ電圧（接地電圧）を同時に印加するか、あるいは、ゲート電極 211 に消去用の負の電圧を印加し、同時に、第 1 のソース／ドレイン領域 213a に消去用の正の電圧を印加すればよい。

窒化珪素膜 207b について、1 ビットの消去を行うには、窒化珪素膜 207b の電子をトンネル効果によって、二酸化珪素膜 209 を通過させてゲート電極 211 から排出させるか、または、トンネル酸化膜 205 を通過させて第 2 のソース／ドレイン領域 213b から排出させるようにする。このためには、ゲート電極 211 に正の電圧を、第 2 のソース／ドレイン領域 213b にゼロ電圧（接地電圧）を同時に印加するか、あるいは、ゲート電極 211 に消去用の負の電圧を印加し、同時に、第 2 のソース／ドレイン領域 213b に消去用の正の電圧を印加すればよい。

以上のように、本実施の形態の不揮発性半導体メモリ装置 200 は、電荷捕獲領域として、互いに分離した一対の窒化珪素膜 207a, 207b を備えたことにより、従来技術の不揮発性半導体メモリ装置の課題であった短チャネル効果に起因する書き込み不良の発生を防止できる。つまり、不揮発性半導体メモリ装置 200 は、微細化を進めても 1 トランジスタで 2 ビット以上の複数ビットの書き込み／読み出しを行う場合の電荷捕獲領域の区別が可能である。従って、不揮発性半導体メモリ装置 200 を用いることにより、高い

信頼性をもって大容量の情報を記憶できる、という効果を奏する。

次に、図 2 ないし図 9 を参照して本実施の形態に係る不揮発性半導体メモリ装置 200 の製造方法について説明を行う。図 2 は、不揮発性半導体メモリ装置 200 の製造方法の主要な工程手順の概略を示すフロー図である。また、図 3 ～図 9 は、不揮発性半導体メモリ装置 200 の製造方法の主要な工程を示す説明図である。まず、図示は省略するが、Si 基板 201 上に、例えば LOCOS (Local Oxidation of Silicon) 法や STI (Shallow Trench Isolation) 法などの手法で素子分離膜を形成する。また、不揮発性半導体メモリ装置 200 のしきい値電圧を調整するために、イオン注入などの方法で不純物ドーピングを行うこともできる。

次に、トレンチ 203 を形成する（ステップ S1）。図 3 に示したように、本実施の形態においてトレンチ 203 は、平面状壁部 203a とラウンド状壁部 203b とを有している。このような断面形状を持つトレンチ 203 は、公知の方法例えば特開 2007-88418 号公報（前記特許文献 2）に記載された手順で形成することができる。以下、図示は省略するが、トレンチ 203 を形成する手順の概略を述べる。まず所定のマスクパターンをエッチングマスクとして用いて Si 基板 201 を異方性エッチングする。これにより、トレンチ 203 の上部（平面状壁部 203a）となる凹部が形成される。次に、形成された凹部の側壁に、例えば CVD 法によって酸化珪素膜からなる保護膜を形成する。CVD 法により形成された保護膜は、凹部内の全面に形成されるので、凹部内の底の保護膜を異方性エッチングにより除去し、後で平面状壁部 203a となる予定の凹部の上部にのみ保護膜を残存させる。次に、保護膜及びマスクパターンをエッチングマスクとして用い、露出された凹部の底

を等方性エッチングにより掘り進める。等方性エッチングにより、凹部内でS i 基板201は横方向にもエッチングされるので、凹部の下部は上部よりも広く膨らんだ丸底フラスコ状に形成される。つまり、等方性エッチングによって、凹部の底部近傍にサイドエッチングが入り、保護膜で保護された凹部の上部が内側に張り出した状態になる。また、等方性エッチングによって、凹部の底部近傍は壁面が曲率をもってラウンドした形状、例えば球形状、楕円形状などになる。このようにして形成されたトレンチ203は、S i 基板201の表面から略垂直な壁面で形成された上部203aに対して、底部近傍の下部203bがラウンド状に拡大した形状となる。なお、この後で保護膜とマスクパターンは除去する。

次に、図4に示したように、前記トレンチ203の内壁及びS i 基板201の上部表面に熱酸化法、プラズマ酸化法などの方法で第1の絶縁膜としてのトンネル酸化膜205を形成する（ステップS2）。トンネル酸化膜205は二酸化珪素膜、高誘電率膜（h i g h k 膜）等で形成することができる。前記トンネル酸化膜205は前記トレンチ203の内壁及びアクティブ領域AのS i 基板201の上部表面を均一な厚さで覆うように形成される。なお、必要に応じて、二酸化珪素膜205の表面を窒化処理して得られる酸窒化珪素膜（S i O N 膜）をトンネル酸化膜205としてもよい。この場合、窒化処理は低温でトンネル酸化膜表面を窒化できるプラズマ窒化処理法により行うことができる。この方法では、窒化膜を形成する際にトンネル酸化膜の膜厚方向へ窒素が拡散するのを抑制することができる。

次に、図5に示したように、トンネル酸化膜205表面を覆うようにプラズマC V D 法によって窒化珪素膜207を形成する（ステップS3）。窒化珪素膜207は、S i 基板201の上面およびト

レンチ 203 の内面に形成されたトンネル酸化膜 205 を均一な膜厚で覆うように形成される。窒化珪素膜 207 は、例えば、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入してプラズマを生成させる方式のプラズマ処理装置を用いて形成することが好ましい。この窒化珪素膜 207 を形成するためのプラズマ CVD 処理の条件等については後述する。

次に、一様に成膜された窒化珪素膜 207 の大部分をエッチバックして除去する（ステップ S4）。このエッチバック工程では、異方性エッチングを行うことにより、トレンチ 203 のラウンド状壁部 203b の内側のトンネル酸化膜 205 上にのみ窒化珪素膜 207 を残存させる。このようにして、図 6 に示したように、トレンチ 203 内で左右に分離した窒化珪素膜 207a と 207b とが形成される。

次に、図 7 に示したように、トンネル酸化膜 205 および窒化珪素膜 207a, 207b を覆うように第 2 の絶縁膜としての二酸化珪素膜 209 を形成する（ステップ S5）。

次に、図 8 に示したように、トレンチ 203 内を埋め込み、かつ二酸化珪素膜 209 を覆うように、電極膜 210 を形成する（ステップ S6）。電極膜 210 は、例えば CVD 法により、ポリシリコン層や金属層、あるいは金属シリサイド層などを二酸化珪素膜 209 上に堆積させて埋め込むことによって形成できる。

次に、フォトリソグラフィ技術によりパターン形成したレジストをマスクとして、電極膜 210 をエッチングしてパターン形成する（ステップ S7）。これにより、図 9 に示したように、断面視略 T 字形をなし、上部 211a が Si 基板 201 より突起し、下部 211b が Si 基板 201 に埋設されたゲート電極 211 が形成される。

次に、アクティブ領域Aのシリコンにn型不純物を高濃度にイオン注入し、第1のソース／ドレイン領域213aおよび第2のソース／ドレイン領域213bを形成する（ステップS8）。その後、適宜に、層間絶縁膜を介して第1、第2の電極220a、220bを形成し、且つ配線層を形成する。このようにして、図1に示した構造の不揮発性半導体メモリ装置200が製造できる。

なお、以上の説明では、nチャネル型の不揮発性半導体メモリ装置200を例に挙げたが、pチャネル型の半導体メモリ装置の場合は、不純物導電型を逆にすればよい。

次に、電荷捕獲領域を形成するための窒化珪素膜207の成膜方法について、図10から図12を参照しながら説明する。図10は、本発明における電荷捕獲領域としての窒化珪素膜207a、207bの形成に利用可能なプラズマ処理装置100の概略構成を模式的に示す断面図である。また、図11は、図10のプラズマ処理装置100の平面アンテナ部材を示す平面図である。さらに、図12は、図10のプラズマ処理装置100の制御部の構成例を示す図面である。

プラズマ処理装置100は、複数のスロット状の孔を有する平面アンテナ、特にRLSA（Radial Line Slot Antenna；ラジアルラインスロットアンテナ）にて処理室内にマイクロ波を導入してプラズマを発生させることにより、高密度かつ低電子温度のマイクロ波励起プラズマを発生させ得るRLSAマイクロ波プラズマ処理装置として構成されている。プラズマ処理装置100では、 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ のプラズマ密度で、かつ0.7～2eVの低電子温度を有するプラズマによる処理が可能である。従って、プラズマ処理装置100は、各種半導体装置の製造過程においてプラズマCVD法による窒化珪素膜の成膜処

理の目的で好適に利用できる。

プラズマ処理装置 100 は、主要な構成として、気密に構成されたチャンバー（処理室）1 と、チャンバー 1 内にガスを供給するガス供給機構 18 と、チャンバー 1 内を減圧排気するための排気機構としての排気装置 24 と、チャンバー 1 の上部に設けられ、チャンバー 1 内にマイクロ波を導入するマイクロ波導入機構 27 と、これらプラズマ処理装置 100 の各構成部を制御する制御部 50 と、を備えている。

チャンバー 1 は、接地された略円筒状の容器により形成されている。なお、チャンバー 1 は角筒形状の容器により形成してもよい。チャンバー 1 は、アルミニウム等の材質からなる底壁 1a と側壁 1b とを有している。

チャンバー 1 の内部には、被処理体であるシリコンウエハ（以下、単に「ウエハ」と記す）W を水平に支持するための載置台 2 が設けられている。載置台 2 は、熱伝導性の高い材質例えば AlN 等のセラミックスにより構成されている。この載置台 2 は、排気室 11 の底部中央から上方に延びる円筒状の支持部材 3 により支持されている。支持部材 3 は、例えば AlN 等のセラミックスにより構成されている。

また、載置台 2 には、その外縁部をカバーし、ウエハ W をガイドするためのカバーリング 4 が設けられている。このカバーリング 4 は、例えば石英、AlN、 Al_2O_3 、SiN 等の材質で構成された環状部材である。

また、載置台 2 には、温度調節機構としての抵抗加熱型のヒータ 5 が埋め込まれている。このヒータ 5 は、ヒータ電源 5a から給電されることにより載置台 2 を加熱して、その熱で被処理基板であるウエハ W を均一に加熱する。

また、載置台 2 には、熱電対 (TC) 6 が配備されている。この熱電対 6 によって温度計測を行うことにより、ウエハ W の加熱温度を例えば室温から 900℃までの範囲で制御可能となっている。

また、載置台 2 は、ウエハ W を支持して昇降させるためのウエハ支持ピン (図示せず) を有している。各ウエハ支持ピンは、載置台 2 の表面に対して突没可能に設けられている。

チャンバー 1 の底壁 1 a の略中央部には、円形の開口部 10 が形成されている。底壁 1 a にはこの開口部 10 と連通し、下方に向けて突出する排気室 11 が設けられている。この排気室 11 には、排気管 12 が接続されており、この排気管 12 を介して排気装置 24 に接続されている。

チャンバー 1 を形成する側壁 1 b の上端には、環状のアッププレート 13 が接合されている。アッププレート 13 の内周下部は、内側 (チャンバー内空間) へ向けて突出し、環状の支持部 13 a を形成している。

アッププレート 13 には、環状をなすガス導入部 14 が設けられている。また、チャンバー 1 の側壁 1 b には、環状をなすガス導入部 15 が設けられている。つまり、ガス導入部 14 および 15 は、上下 2 段に設けられている。各ガス導入部 14 および 15 は成膜原料ガスやプラズマ励起用ガスを供給するガス供給機構 18 に接続されている。なお、ガス導入部 14 および 15 はノズル状またはシャワー状に設けてもよい。

また、チャンバー 1 の側壁 1 b には、プラズマ処理装置 100 と、これに隣接する搬送室 (図示せず) との間で、ウエハ W の搬入出を行うための搬入出口 16 と、この搬入出口 16 を開閉するゲートバルブ 17 とが設けられている。

ガス供給機構 18 は、例えば窒素含有ガス (N 含有ガス) 供給源

19 a、シリコン含有ガス（Si含有ガス）供給源19 bおよび不活性ガス供給源19 cを有している。窒素含有ガス供給源19 aは、上段のガス導入部14に接続されている。また、シリコン含有ガス供給源19 bおよび不活性ガス供給源19 cは、下段のガス導入部15に接続されている。なお、ガス供給機構18は、上記以外の図示しないガス供給源として、例えばチャンバー内雰囲気を置換する際に用いるパージガス供給源、チャンバー1内をクリーニングする際に用いるクリーニングガス供給源等を有していてもよい。

成膜原料ガスである窒素含有ガスとしては、例えば窒素ガス（ N_2 ）、アンモニア（ NH_3 ）、MMH（モノメチルヒドラジン）等のヒドラジン誘導体などを用いることができる。また、他の成膜原料ガスであるシリコン含有ガスとしては、例えばシラン（ SiH_4 ）、ジシラン（ Si_2H_6 ）、トリシラン（ Si_3H_8 ）、TSA（トリシリルアミン）、ジクロシラン（ $SiCl_2H_2$ ）などを用いることができる。この中でも、特にジシラン（ Si_2H_6 ）が好ましい。さらに、不活性ガスとしては、例えば N_2 ガスや希ガスなどを用いることができる。希ガスは、プラズマ励起用ガスであり、例えばArガス、Krガス、Xeガス、Heガスなどを用いることができる。

窒素含有ガスは、ガス供給機構18の窒素含有ガス供給源19 aから、ガスライン20を介してガス導入部14に至り、ガス導入部14からチャンバー1内に導入される。一方、シリコン含有ガスおよび不活性ガスは、シリコン含有ガス供給源19 bおよび不活性ガス供給源19 cから、それぞれガスライン20を介してガス導入部15に至り、ガス導入部15からチャンバー1内に導入される。各ガス供給源に接続する各々のガスライン20には、マスフローコントローラ21およびその前後の開閉バルブ22が設けられている。

このようなガス供給機構 18 の構成により、供給されるガスの切替えや流量等の制御が出来るようになっている。なお、Ar などのプラズマ励起用の希ガスは任意のガスであり、必ずしも成膜原料ガスと同時に供給する必要はない。

排気機構としての排気装置 24 は、高速真空ポンプを含む吸引機構を備えている。前記のように、排気装置 24 は、排気管 12 を介してチャンバー 1 の排気室 11 に接続されている。この排気装置 24 を作動させることにより、チャンバー 1 内のガスは、排気室 11 の空間 11a 内へ均一に流れ、さらに空間 11a から排気管 12 を介して外部へ排気される。これにより、チャンバー 1 内を所定の真空度、例えば 0.133 Pa まで高速に減圧することが可能となっている。

次に、マイクロ波導入機構 27 の構成について説明する。マイクロ波導入機構 27 は、主要な構成として、透過板 28、平面アンテナ部材 31、遅波材 33、シールド蓋体 34、導波管 37 およびマイクロ波発生装置 39 を備えている。

マイクロ波を透過する透過板 28 は、アッパースプレート 13 において内周側に張り出した支持部 13a 上に配備されている。透過板 28 は、誘電体、例えば石英や Al_2O_3 、 AlN 等のセラミックスから構成されている。この透過板 28 と支持部 13a との間は、シール部材 29 を介して気密にシールされている。したがって、チャンバー 1 内は気密に保持される。

平面アンテナ部材 31 は、透過板 28 の上方において、載置台 2 と対向するように設けられている。平面アンテナ部材 31 は、円板状をなしている。なお、平面アンテナ部材 31 の形状は、円板状に限らず、例えば四角板状でもよい。この平面アンテナ部材 31 は、アッパースプレート 13 の上端に係止されている。

平面アンテナ部材 3 1 は、例えば表面が金または銀メッキされた銅板またはアルミニウム板から構成されている。平面アンテナ部材 3 1 は、マイクロ波を放射する多数のスロット状のマイクロ波放射孔 3 2 を有している。マイクロ波放射孔 3 2 は、所定のパターンで平面アンテナ部材 3 1 を貫通して形成されている。

個々のマイクロ波放射孔 3 2 は、例えば図 1 1 に示すように、細長い長方形状（スロット状）をなしている。そして、典型的には隣接するマイクロ波放射孔 3 2 が「T」字状に配置されている。また、このように所定の形状（例えば T 字状）に組み合わせて配置されたマイクロ波放射孔 3 2 は、さらに全体として同心円状に配置されている。

マイクロ波放射孔 3 2 の長さや配列間隔は、マイクロ波の波長（ λ_g ）に応じて決定される。例えば、マイクロ波放射孔 3 2 の間隔は、波長が $\lambda_g / 4$ 、 $\lambda_g / 2$ または λ_g となるように配置される。なお、図 1 1 においては、同心円状に形成された隣接するマイクロ波放射孔 3 2 どうしの間隔を Δr で示している。なお、マイクロ波放射孔 3 2 の形状は、円形状、円弧状等の他の形状であってもよい。さらに、マイクロ波放射孔 3 2 の配置形態は特に限定されず、同心円状のほか、例えば、螺旋状、放射状等に配置することもできる。

平面アンテナ部材 3 1 の上面には、真空よりも大きい誘電率を有する遅波材 3 3 が設けられている。この遅波材 3 3 は、真空中ではマイクロ波の波長が長くなることから、マイクロ波の波長を短くしてプラズマを調整する機能を有している。

なお、平面アンテナ部材 3 1 と透過板 2 8 との間、また、遅波材 3 3 と平面アンテナ部材 3 1 との間は、それぞれ接触させても離間させてもよいが、接触させることが好ましい。

チャンバー 1 の上部には、これら平面アンテナ部材 3 1 および遅波材 3 3 を覆うように、シールド蓋体 3 4 が設けられている。シールド蓋体 3 4 は、例えばアルミニウムやステンレス鋼等の金属材料によって形成されている。アッパープレート 1 3 の上端とシールド蓋体 3 4 とは、シール部材 3 5 によりシールされている。また、シールド蓋体 3 4 の内部には、冷却水流路 3 4 a が形成されている。この冷却水流路 3 4 a に冷却水を通流させることにより、シールド蓋体 3 4、遅波材 3 3、平面アンテナ部材 3 1 および透過板 2 8 を冷却できるようになっている。なお、シールド蓋体 3 4 は接地されている。

シールド蓋体 3 4 の上壁（天井部）の中央には、開口部 3 6 が形成されており、この開口部 3 6 には導波管 3 7 が接続されている。導波管 3 7 の他端側には、マッチング回路 3 8 を介してマイクロ波を発生するマイクロ波発生装置 3 9 が接続されている。

導波管 3 7 は、上記シールド蓋体 3 4 の開口部 3 6 から上方へ延出する断面円形状の同軸導波管 3 7 a と、この同軸導波管 3 7 a の上端部に接続された水平方向に延びる矩形導波管 3 7 b とを有している。

同軸導波管 3 7 a の中心には内導体 4 1 が延在している。この内導体 4 1 は、その下端部において平面アンテナ部材 3 1 の中心に接続固定されている。このような構造により、マイクロ波は、同軸導波管 3 7 a の内導体 4 1 を介して平面アンテナ部材 3 1 へ放射状に効率よく均一に伝播される。

以上のような構成のマイクロ波導入機構 2 7 により、マイクロ波発生装置 3 9 で発生したマイクロ波が導波管 3 7 を介して平面アンテナ部材 3 1 へ伝搬され、さらに透過板 2 8 を介してチャンバー 1 内に導入されるようになっている。なお、マイクロ波の周波数とし

ては、例えば 2.45GHz が好ましく用いられ、他に、8.35GHz、1.98GHz 等を用いることもできる。

プラズマ処理装置 100 の各構成部は、制御部 50 に接続されて制御される構成となっている。制御部 50 は、図 12 に示すように、CPU を備えたプロセスコントローラ 51 と、このプロセスコントローラ 51 に接続されたユーザーインターフェース 52 および記憶部 53 を備えている。プロセスコントローラ 51 は、プラズマ処理装置 100 において、圧力、温度、ガス流量、マイクロ波出力などのプロセス条件に関係する各構成部（例えば、ヒータ電源 5a、ガス供給機構 18、排気装置 24、マイクロ波発生装置 39 など）を統括して制御する制御手段である。

ユーザーインターフェース 52 は、工程管理者がプラズマ処理装置 100 を管理するためにコマンドの入力操作等を行うキーボードや、プラズマ処理装置 100 の稼働状況を可視化して表示するディスプレイ等を有している。また、記憶部 53 は、プラズマ処理装置 100 で実行される各種処理をプロセスコントローラ 51 の制御にて実現するための制御プログラム（ソフトウェア）や処理条件データ等が記録されたレシピが保存されている。

そして、必要に応じて、ユーザーインターフェース 52 からの指示等にて任意のレシピを記憶部 53 から呼び出してプロセスコントローラ 51 に実行させることで、プロセスコントローラ 51 の制御下で、プラズマ処理装置 100 での所望の処理が行われる。また、前記制御プログラムや処理条件データ等のレシピは、コンピュータ読み取り可能な記憶媒体、例えば CD-ROM、ハードディスク、フレキシブルディスク、フラッシュメモリ、DVD、ブルーレイディスクなどに格納された状態のものを利用したり、あるいは、他の装置から、例えば専用回線を介して随時伝送させてオンラインで利

用したりすることも可能である。

このように構成されたプラズマ処理装置 100 では、800℃以下、より好ましくは600℃以下の低温で下地膜等へのダメージフリーなプラズマCVD処理を行うことができる。また、プラズマ処理装置 100 は、プラズマの均一性に優れていることから、基板の上部表面及びトレンチ内壁面へのプロセスの均一性を実現できる。

R L S A方式のプラズマ処理装置 100 においては、以下のような手順でプラズマCVD法によりSi基板 201 に窒化珪素膜を堆積させる処理を行うことができる。まず、ゲートバルブ 17 を開にして搬入出口 16 からウエハWをチャンバー 1 内に搬入し、載置台 2 上に載置する。次に、チャンバー 1 内を減圧排気しながら、ガス供給機構 18 の窒素含有ガス供給源 19 a およびシリコン含有ガス供給源 19 b から、窒素含有ガスおよびシリコン含有ガスを所定の流量でそれぞれガス導入部 14, 15 を介してチャンバー 1 内に導入する。このようにして、チャンバー 1 内を所定の圧力に調節する。

次に、マイクロ波発生装置 39 で発生させた所定周波数例えば2.45GHzのマイクロ波を、マッチング回路 38 を介して導波管 37 に導く。導波管 37 に導かれたマイクロ波は、矩形導波管 37 b および同軸導波管 37 a を順次通過し、内導体 41 を介して平面アンテナ部材 31 に供給される。つまり、マイクロ波は、同軸導波管 37 a 内を平面アンテナ部材 31 に向けて伝搬されていく。そして、マイクロ波は、平面アンテナ部材 31 のスロット状のマイクロ波放射孔 32 から透過板 28 を介してチャンバー 1 内におけるウエハWの上方空間に放射させられる。この際のマイクロ波出力は、例えば500～3000W程度とすることができる。

平面アンテナ部材 31 から透過板 28 を経てチャンバー 1 に放射

されたマイクロ波により、チャンバー 1 内で電磁界が形成され、窒素含有ガス、シリコン含有ガスがそれぞれプラズマ化する。このマイクロ波励起プラズマは、マイクロ波が平面アンテナ部材 3 1 の多数のマイクロ波放射孔 3 2 から放射されることにより、略 $1 \times 10^{10} \sim 5 \times 10^{12} / \text{cm}^3$ の高密度で、かつウエハ W 近傍では、略 1.5 eV 以下の低電子温度プラズマとなる。このようにして形成されるマイクロ波励起高密度プラズマは、下地膜へのイオン等によるプラズマダメージが少ないものである。そして、プラズマ中で原料ガスの解離が進み、 Si_pH_q 、 SiH_q 、 NH_q 、N（ここで、p、q は任意の数を意味する。以下同様である。）などの活性種の反応によって、窒化珪素 Si_xN_y （ここで、x、y は必ずしも化学量論的に決定されず、条件により異なる値をとる任意の数である。以下同様である。）の薄膜がウエハ W 上に堆積される。

本実施の形態においては、窒化珪素膜 2 0 7 a, 2 0 7 b を成膜する際のプラズマ CVD 処理の条件を選定することにより、窒化珪素膜 2 0 7 a, 2 0 7 b のトラップ密度を所望の大きさにコントロールすることができる。例えば成膜する窒化珪素膜 2 0 7 a, 2 0 7 b 中のトラップ密度を大きくする場合（例えば、トラップ密度が $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ の範囲内）には、次に示す条件でプラズマ CVD 処理を行うことが好ましい。窒素含有ガスとして NH_3 ガス、シリコン含有ガスとして Si_2H_6 ガスを使用し、 NH_3 ガスの流量を $10 \sim 5000 \text{ mL/min (sccm)}$ の範囲内、好ましくは $100 \sim 2000 \text{ mL/min (sccm)}$ の範囲内、 Si_2H_6 ガスの流量を $0.5 \sim 100 \text{ mL/min (sccm)}$ の範囲内、好ましくは $1 \sim 50 \text{ mL/min (sccm)}$ の範囲内に設定する。このとき、 NH_3 ガスと Si_2H_6 ガスとの流量比（ NH_3 ガス流量 / Si_2H_6 ガス流量）は、Si 密

度が高い窒化珪素膜 207a, 207b を形成する観点から、0.1～1000 の範囲内とすることが好ましい。また、上記 NH_3 ガスと Si_2H_6 ガスを用いる場合において、大きなトラップ密度を有する窒化珪素膜 207a, 207b を形成するためには、処理圧力を 1～1333 Pa にすることが好ましく、50～650 Pa にすることがより好ましい。

また、例えば成膜する窒化珪素膜 207a, 207b のトラップ密度を小さくする場合（例えばトラップ密度が $5 \times 10^{10} \sim 5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 未満の範囲内）には、窒素含有ガスとして N_2 ガス、シリコン含有ガスとして Si_2H_6 ガスを使用することが好ましい。具体的には、 N_2 ガス流量を 10～5000 mL/min (sccm) の範囲内、好ましくは 100～2000 mL/min (sccm) の範囲内、 Si_2H_6 ガス流量を 0.5～100 mL/min (sccm) の範囲内、好ましくは 0.5～10 mL/min (sccm) の範囲内に設定する。このとき、 N_2 ガスと Si_2H_6 ガスとの流量比（ N_2 ガス流量 / Si_2H_6 ガス流量）は、Si 密度が低い窒化珪素膜を、均一な膜厚で形成する観点から、0.1～5000 の範囲内とすることが好ましい。また、上記 N_2 ガスと Si_2H_6 ガスを用いる場合において、小さなトラップ密度を有する窒化珪素膜 207a, 207b を形成するためには、処理圧力を 0.1～500 Pa にすることが好ましく、1～100 Pa にすることがより好ましい。

なお、上記トラップ密度を大きくする場合の条件と、トラップ密度を小さくする場合の条件と、で交互にプラズマ CVD 処理を行なうことにより、トラップ密度が異なる窒化珪素薄膜を交互に堆積させることもできる。

また、上記いずれの場合も、プラズマ CVD 処理の処理温度は、

載置台 2 の温度を 300℃ 以上、好ましくは 400～600℃ に加熱することが好ましい。さらに、プラズマ処理装置 100 におけるギャップ（透過板 28 の下面から載置台 2 の上面までの間隔）G は、均一な膜厚と膜質で窒化珪素膜 207 を形成する観点から、例えば 50～500 mm 程度に設定することが好ましい。

以上のようにして、一対の電荷捕獲領域としての窒化珪素膜 207 a, 207 b を有する不揮発性半導体メモリ装置 200 を容易に製造することができる。

[第 2 の実施の形態]

次に、図 13 および図 14 を参照しながら、本発明の第 2 の実施の形態に係る不揮発性半導体メモリ装置について説明する。上記第 1 の実施の形態では、SONOS 構造または MONOS 構造の不揮発性半導体メモリ装置 200 を例に挙げて本発明を説明した。しかし、本発明は、MNOS (Metal-Nitride-Oxide-Silicon) 構造の不揮発性半導体メモリ装置に適用することも可能である。

図 13 は、第 2 の実施の形態に係る不揮発性半導体メモリ装置の概略構成を示す断面図である。本実施の形態に係る不揮発性半導体メモリ装置 300 は、シリコン層としての p 型のシリコン基板 (Si 基板) 201 に溝を形成されたトレンチ 203 と、トレンチ 203 の内壁部分を含めて Si 基板 201 の表層に形成された第 1 の絶縁膜としてのトンネル酸化膜 205 と、トレンチ 203 の内側に設けられた電荷捕獲領域としての窒化珪素膜 207 a, 207 b と、トンネル酸化膜 205 および窒化珪素膜 207 a, 207 b と接し、その下部が前記トレンチ 203 内に挿入されるように形成されたゲート電極 211 と、トレンチ 203 を間に挟むようにその両側の Si 基板 201 内に形成された第 1 のソース／ドレイン領域 213

a および第2のソース／ドレイン領域213bと、を備えている。本実施の形態に係る窒化珪素膜207a, 207bは、大きなトラップ密度例えば $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$ の範囲内のトラップ密度を有することが好ましい。

本実施の形態に係る不揮発性半導体メモリ装置300は、トレンチ203に挿入されたゲート電極211の下部211bと交差する横断方向に、ゲート電極211、窒化珪素膜207a, 207b、トンネル酸化膜205およびSi基板201が配置されたMNOS構造を有する。このMNOS構造は、ゲート電極211の下部211bを中心にして左右対称に形成されている。そして、不揮発性半導体メモリ装置300は、電荷捕獲領域である一对の窒化珪素膜207a, 207bを利用して、1ビットの書き込み／読み出しだけでなく、単一のメモリ・セルで2ビット以上の複数ビットの書き込み／読み出しを行うことができる。

本実施の形態に係る不揮発性半導体メモリ装置300は、図1に示す第1の実施の形態の不揮発性半導体メモリ装置200における二酸化珪素膜209（第2の絶縁膜、即ち上部酸化膜）が設けられていない点を除き、第1の実施の形態と同様であるため、同じ構成には同一の符号を付して説明を省略する。また、本実施の形態に係る不揮発性半導体メモリ装置300における書き込み、読み出しおよび消去は、第1の実施の形態で説明した手順に準じて行うことができる。さらに、不揮発性半導体メモリ装置300は、二酸化珪素膜209を形成する工程を設けない点を除き、第1の実施の形態に準じて製造することができる。本実施の形態におけるその他の構成、作用および効果は、第1の実施の形態と同様である。

また、図14は、本実施の形態に係る不揮発性半導体メモリ装置300の変形例を示したものである。本実施の形態においては、図

14に示すように、電荷捕獲領域である一对の窒化珪素膜207a, 207bの上端を、トンネル酸化膜205に沿って、トレンチ203の平面状壁部203aに対応する位置まで延長して設けてもよい。このような構造の不揮発性半導体メモリ装置300の製造は、第1の実施の形態のステップS4における窒化珪素膜207の異方性エッチング（エッチバック）の際に、エッチングを途中で止めるか、あるいは、トレンチ203の開口部周囲の窒化珪素膜207上に任意のマスクを設けてからエッチングを行い、開口部周囲に窒化珪素膜207を残すようにすればよい。図14に示した変形例における他の構成は、図13に示した第2の実施の形態と同様であるため、同じ構成には同一の符号を付して説明を省略する。

以上、本発明の実施形態を述べたが、本発明は上記実施形態に制約されることはなく、種々の変形が可能である。例えば、上記実施の形態では、単一層の窒化珪素膜207をエッチバックすることによって窒化珪素膜207a, 207bを形成した。しかし、窒化珪素膜207を形成する際に、複数の窒化珪素薄膜を順次堆積させた後でエッチバックすることにより、トレンチ203の深さ方向と交差する横断方向に、複数層の窒化珪素薄膜が積層された積層構造の窒化珪素膜207a, 207bを形成することもできる。この場合、各窒化珪素薄膜を形成する際のプラズマCVD処理の条件を選定することにより、少なくとも隣接する窒化珪素薄膜とは異なる大きさのトラップ密度を有する複数の窒化珪素薄膜によって、窒化珪素膜207a, 207bを形成することができる。

なお、不揮発性半導体メモリ装置などの半導体装置を製造する場合には、プラズマ処理装置100を含む複数の成膜装置を大気に曝すことなく真空を介して接続することにより、各成膜装置で順次的に膜を形成することが可能である。例えば、トンネル酸化膜側か

ら、小さいトラップ密度の窒化珪素膜、大きいトラップ密度の窒化珪素膜、又は大きいトラップ密度の窒化珪素膜、小さいトラップ密度の窒化珪素膜の順に交互に少なくとも 1 サイクルで積層される。

請 求 の 範 囲

1. 半導体層と、

前記半導体層に形成され、互いに対向する側壁面が曲率をもって形成されたラウンド状壁部を有するトレンチと、

前記トレンチの内壁部分を含めて前記半導体層表面に沿って形成された第1の絶縁膜と、

前記トレンチのラウンド状壁部において前記第1の絶縁膜に隣接して設けられた一对の互いに分離した電荷捕獲領域と、

その下部が前記半導体層の前記トレンチ内に挿入されたゲート電極と、

前記ゲート電極を間に挟んでその両側の前記半導体層内に形成された、前記半導体層とは反対の導電型を有する第1、第2の領域と、

を備えたことを特徴とする、半導体メモリ装置。

2. 請求項1に記載の装置において、更に、

前記ゲート電極と、前記第1の絶縁膜及び前記それぞれの電荷捕獲領域との間に形成された第2の絶縁膜を備えることを特徴とする、半導体メモリ装置。

3. 請求項1に記載の装置において、前記それぞれの電荷捕獲領域は前記ラウンド状壁部から前記トレンチの上部方向に延長して形成されていることを特徴とする、半導体メモリ装置。

4. 請求項1乃至3の何れか1項に記載の装置において、前記それぞれの電荷捕獲領域は窒化珪素膜により形成されることを特徴とする、半導体メモリ装置。

5. 請求項1に記載の装置において、前記ゲート電極は金属で形成され、前記それぞれの電荷捕獲領域は窒化珪素膜で形成され、前

記第 1 の絶縁膜は二酸化シリコン膜または酸窒化珪素膜で形成され、前記半導体層はシリコンで形成されることにより、前記半導体層内に挿入されたゲート電極を横断する方向に、M N O S 構造を有することを特徴とする、半導体メモリ装置。

6. 請求項 5 に記載の装置において、前記ゲート電極を中心に、前記 M N O S 構造が対称的に形成されていることを特徴とする、半導体メモリ装置。

7. 請求項 2 に記載の装置において、前記ゲート電極は多結晶シリコン又は金属で形成され、前記第 2 の絶縁膜は二酸化シリコン膜または酸窒化珪素膜で形成され、前記それぞれの電荷捕獲領域は窒化珪素膜で形成され、前記第 1 の絶縁膜は二酸化シリコン膜または酸窒化珪素膜で形成され、前記半導体層はシリコンで形成されることにより、前記半導体層内に挿入されたゲート電極を横断する方向に、S O N O S 構造もしくは M O N O S 構造を有することを特徴とする、半導体メモリ装置。

8. 請求項 7 に記載の装置において、前記ゲート電極を中心に前記 S O N O S 構造もしくは M O N O S 構造が対称的に形成されていることを特徴とする、半導体メモリ装置。

9. 請求項 1 に記載の装置において、前記第 1 の絶縁膜はトンネル酸化膜であることを特徴とする、半導体メモリ装置。

10. 半導体層と、

上部が前記半導体層から突出し、かつ前記半導体層内に挿入されたゲート電極と、

前記半導体層と前記ゲート電極との間で、前記半導体層に沿って形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜と前記ゲート電極との間に形成された一对の互いに分離した電荷捕獲領域と、

前記ゲート電極を間に挟んでその両側の前記半導体層内に形成された第１のソース／ドレイン領域および第２のソース／ドレイン領域と、

を備えたことを特徴とする半導体メモリ装置。

１１．請求項１０に記載の装置において、更に、

前記第１の絶縁膜及び前記電荷捕獲領域と、前記ゲート電極間に形成された第２の絶縁膜を有することを特徴とする、半導体メモリ装置。

１２．請求項５に記載の装置において、前記窒化珪素膜は、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入してプラズマを生成させる方式のプラズマ処理装置を用い、前記処理室内に窒素含有化合物とシリコン含有化合物とを含む原料ガスを供給し、前記マイクロ波によりプラズマを生成させて窒化珪素膜を堆積させるプラズマＣＶＤ法により形成されたものであることを特徴とする、半導体メモリ装置。

１３．半導体層に、互いに対向する側壁が曲率をもって形成されたラウンド状壁部を有するトレンチを形成する工程と、

前記トレンチの内面を含む前記半導体層の表層に第１の絶縁膜を形成する工程と、

前記第１の絶縁膜を覆うように、プラズマＣＶＤ法により窒化珪素膜を形成する工程と、

少なくとも前記ラウンド状壁部の内側を含む前記トレンチの側壁部分に互いに分離した一对の前記窒化珪素膜を残し、前記トレンチの底部には残存しないように前記窒化珪素膜をエッチングする工程と、

前記トレンチを埋めるように電極膜を形成する工程と、

前記トレンチの外部に突出した前記電極膜をパターン形成してゲ

ート電極を形成する工程と、

前記半導体層における前記トレンチの両側の部位に、前記半導体層の導電型とは反対の導電型となるように不純物ドーピングを施して第1のソース／ドレイン領域および第2のソース／ドレイン領域をそれぞれ形成する工程と、

を備えた半導体メモリ装置の製造方法。

14. 請求項13に記載の方法において、前記窒化珪素膜をエッチングする工程は、前記ラウンド状壁部の内側にのみ、互いに分離した一对の前記窒化珪素膜を残し、他の部位には残存しないように前記窒化珪素膜をエッチングすることを特徴とする、半導体メモリ装置の製造方法。

15. 請求項13または14に記載の方法において、前記窒化珪素膜をエッチングする工程と前記電極膜を形成する工程との間に、更に、前記第1の絶縁膜および前記窒化珪素膜を覆って第2の絶縁膜を形成する工程を備える、半導体メモリ装置の製造方法。

16. 請求項13乃至15に記載の方法において、前記窒化珪素膜を形成する工程は、複数の孔を有する平面アンテナにより処理室内にマイクロ波を導入してプラズマを生成させる方式のプラズマ処理装置を用い、前記処理室内に窒素含有化合物とシリコン含有化合物とを含む原料ガスを供給し、前記マイクロ波によりプラズマを生成させて窒化珪素膜を堆積させるプラズマCVD法により行われることを特徴とする、半導体メモリ装置の製造方法。

17. 請求項16に記載の方法において、前記窒素含有化合物としてアンモニアまたは窒素を、前記シリコン含有化合物としてシラン(SiH_4)、ジシラン(Si_2H_6)またはトリシラン(Si_3H_8)をそれぞれ用い、前記窒化珪素膜を形成することを特徴とする、半導体メモリ装置の製造方法。

18. 請求項16に記載の方法において、前記窒素含有化合物としてアンモニアを、前記シリコン含有化合物としてジシランをそれぞれ用い、流量比（アンモニア流量／ジシラン流量）0.1～1000の範囲内で、1Pa～1333Paの範囲内の処理圧力によりプラズマを発生させて前記窒化珪素膜を形成することを特徴とする、半導体メモリ装置の製造方法。

19. 請求項16に記載の方法において、前記窒素含有化合物として窒素を、前記シリコン含有化合物としてジシランをそれぞれ用い、流量比（窒素流量／ジシラン流量）0.1～5000の範囲内で、0.1Pa～500Paの範囲内の処理圧力によりプラズマを発生させて前記窒化珪素膜を形成することを特徴とする、半導体メモリ装置の製造方法。

20. 請求項16乃至19の何れか1項に記載の方法において、前記プラズマCVD法における処理温度が、25℃～600℃の範囲内の温度であることを特徴とする、半導体メモリ装置の製造方法。

Fig.1

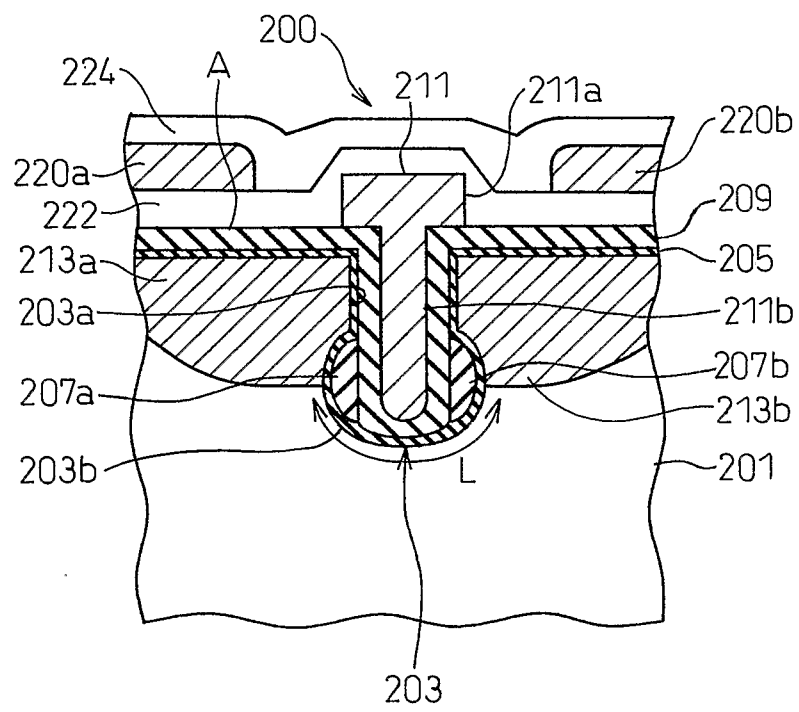


Fig.2

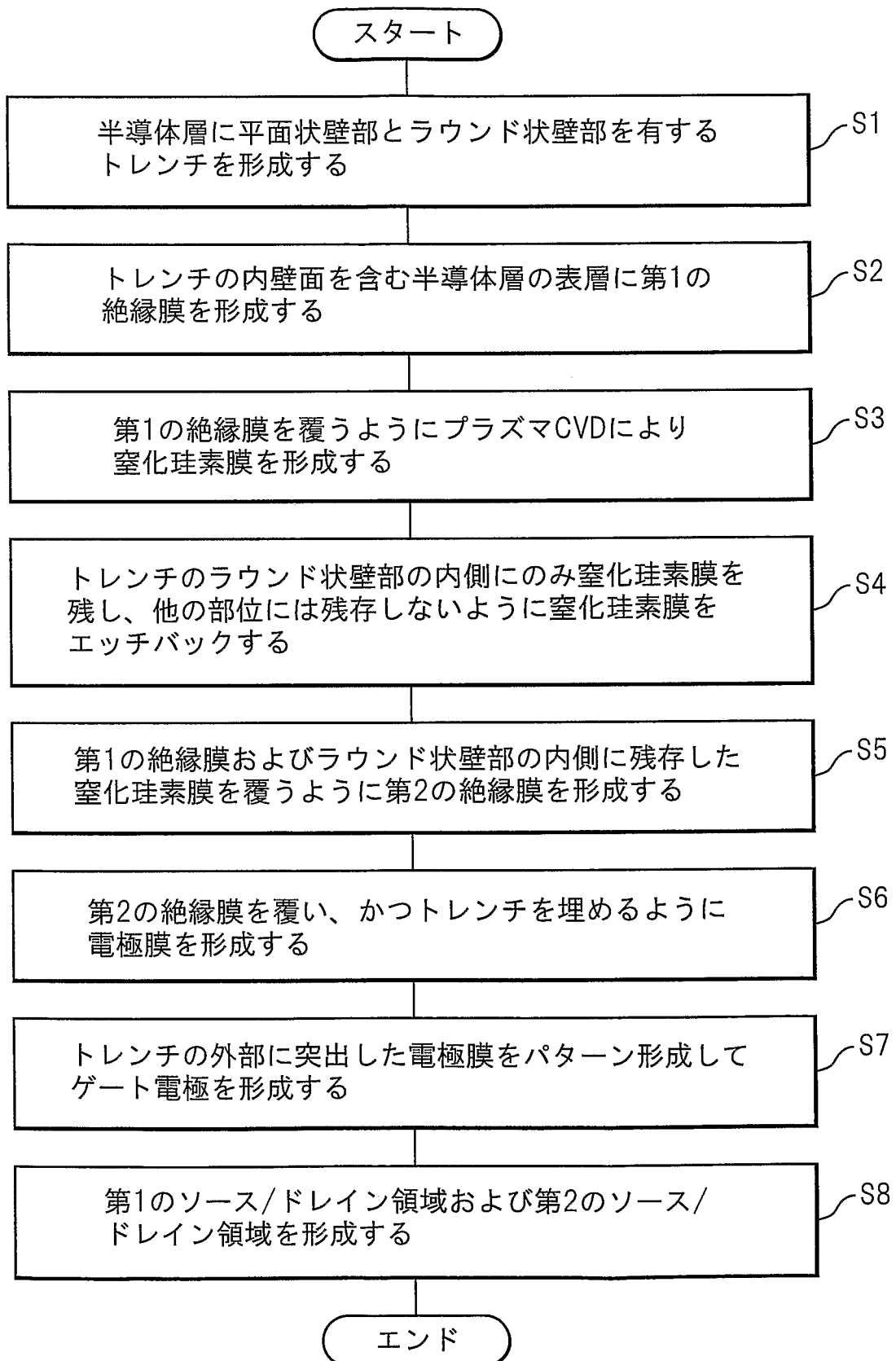


Fig.3

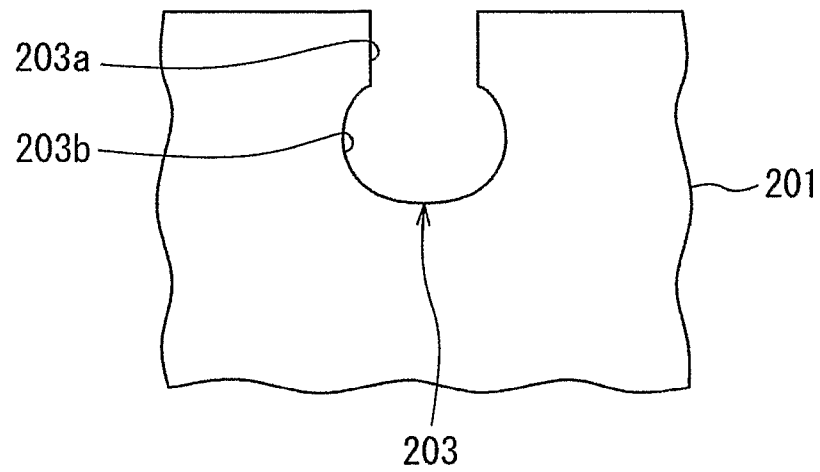


Fig.4

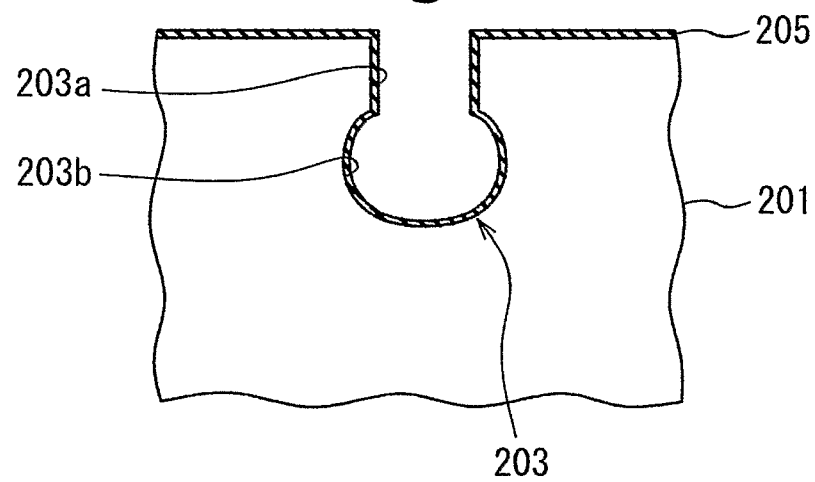


Fig.5

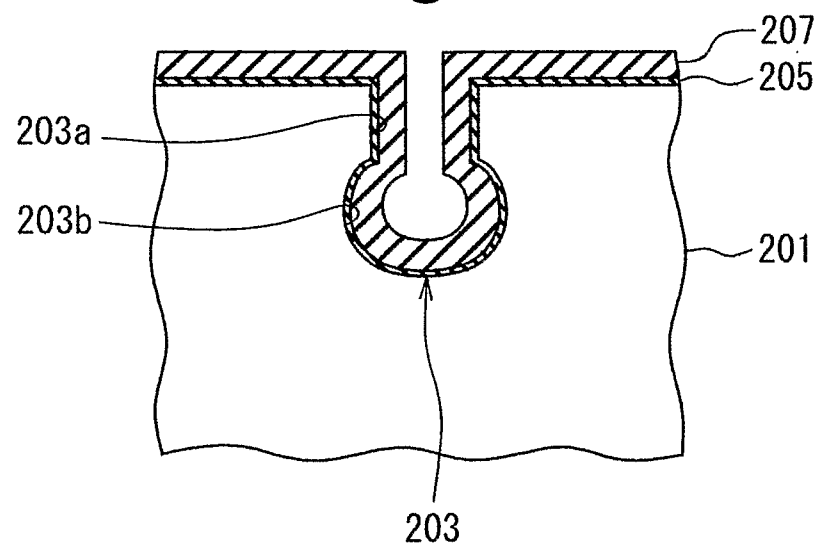


Fig.6

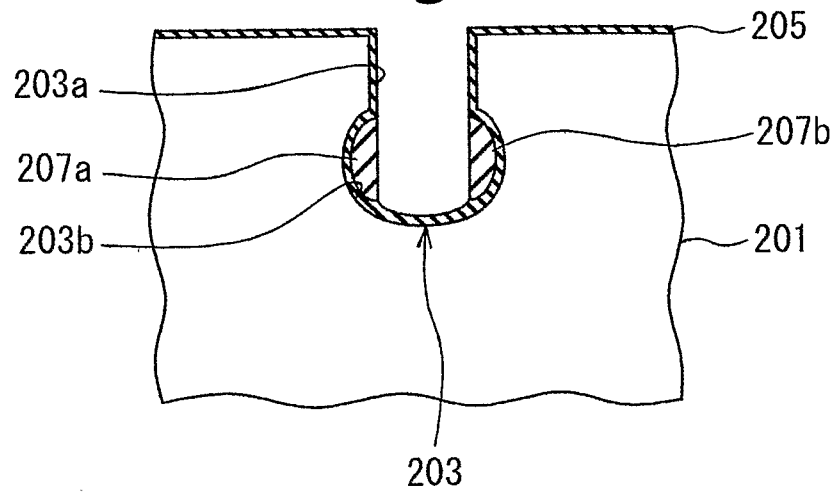


Fig.7

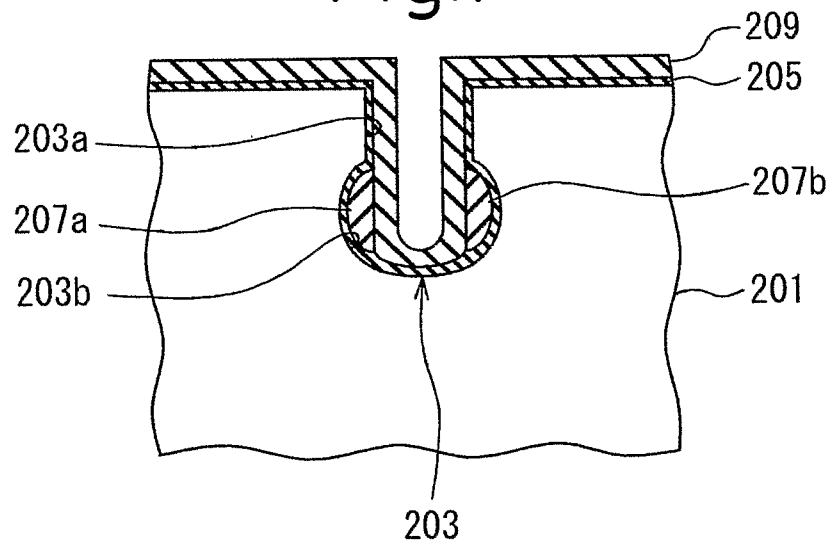


Fig.8

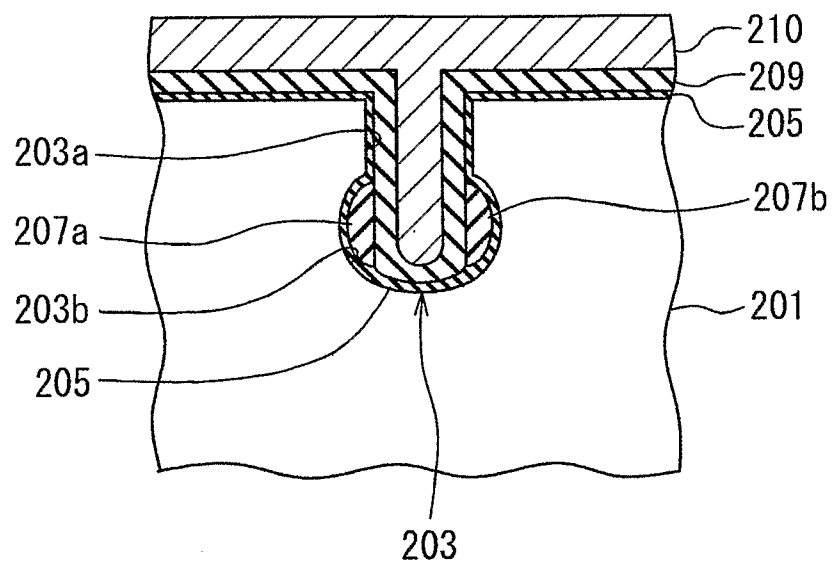


Fig.9

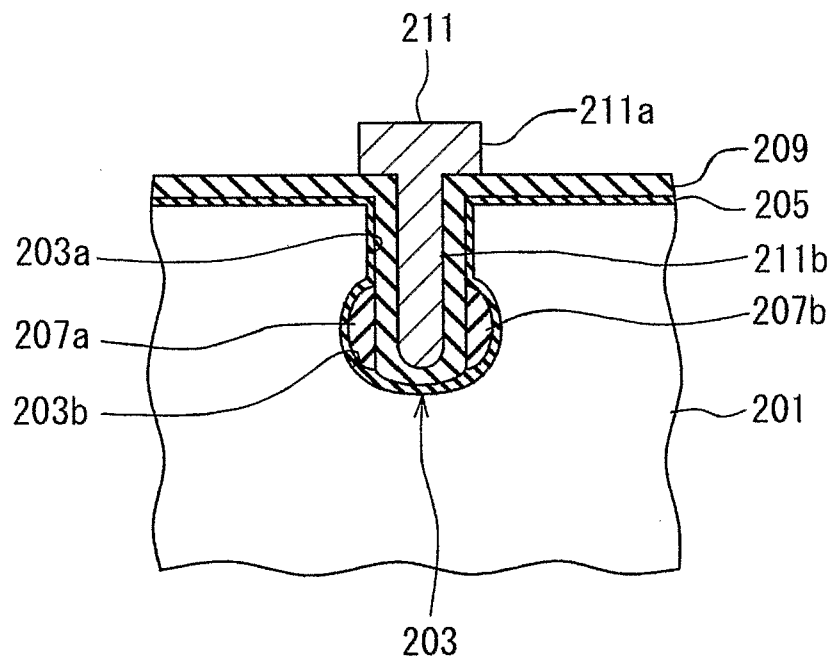


Fig.10

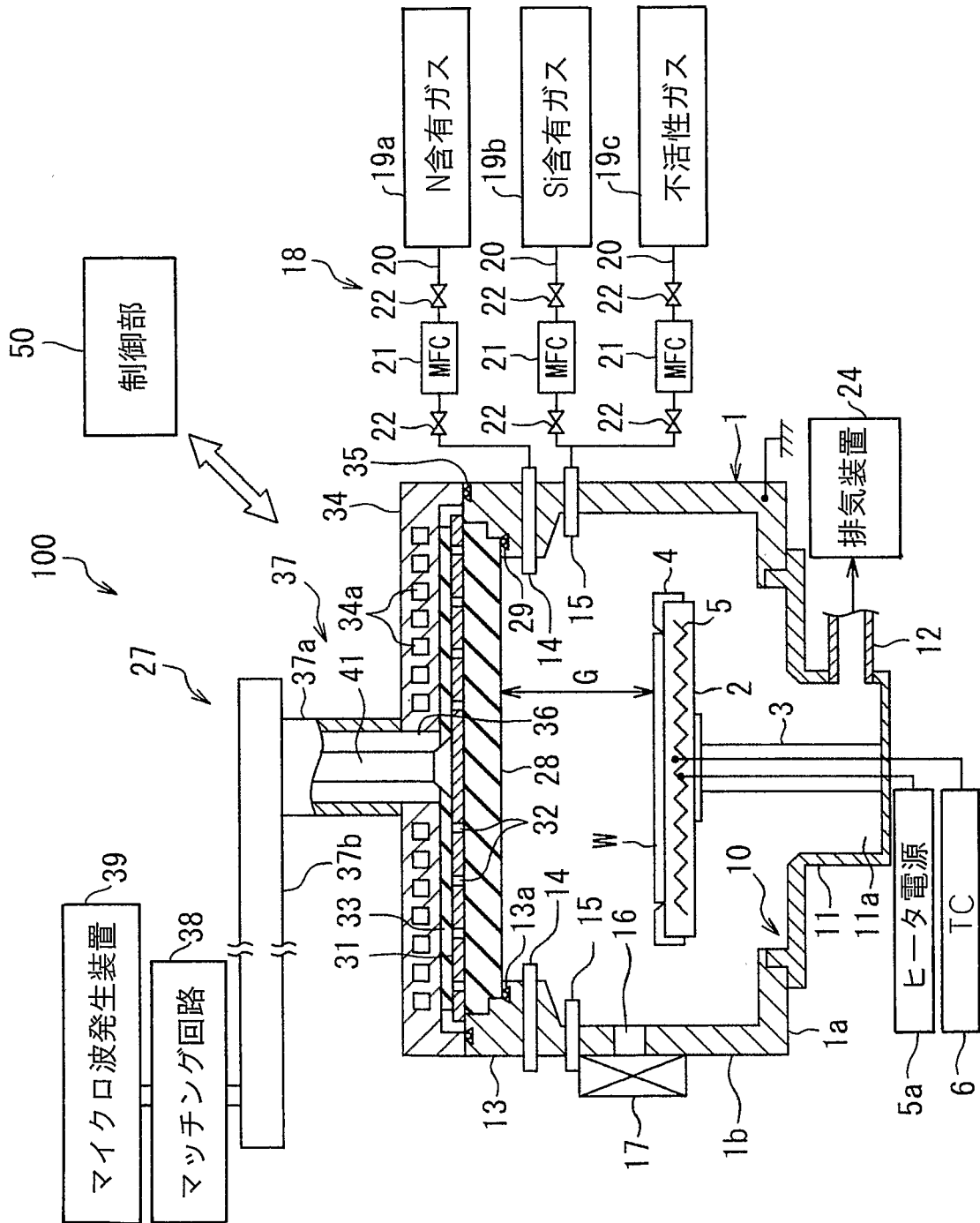


Fig.11

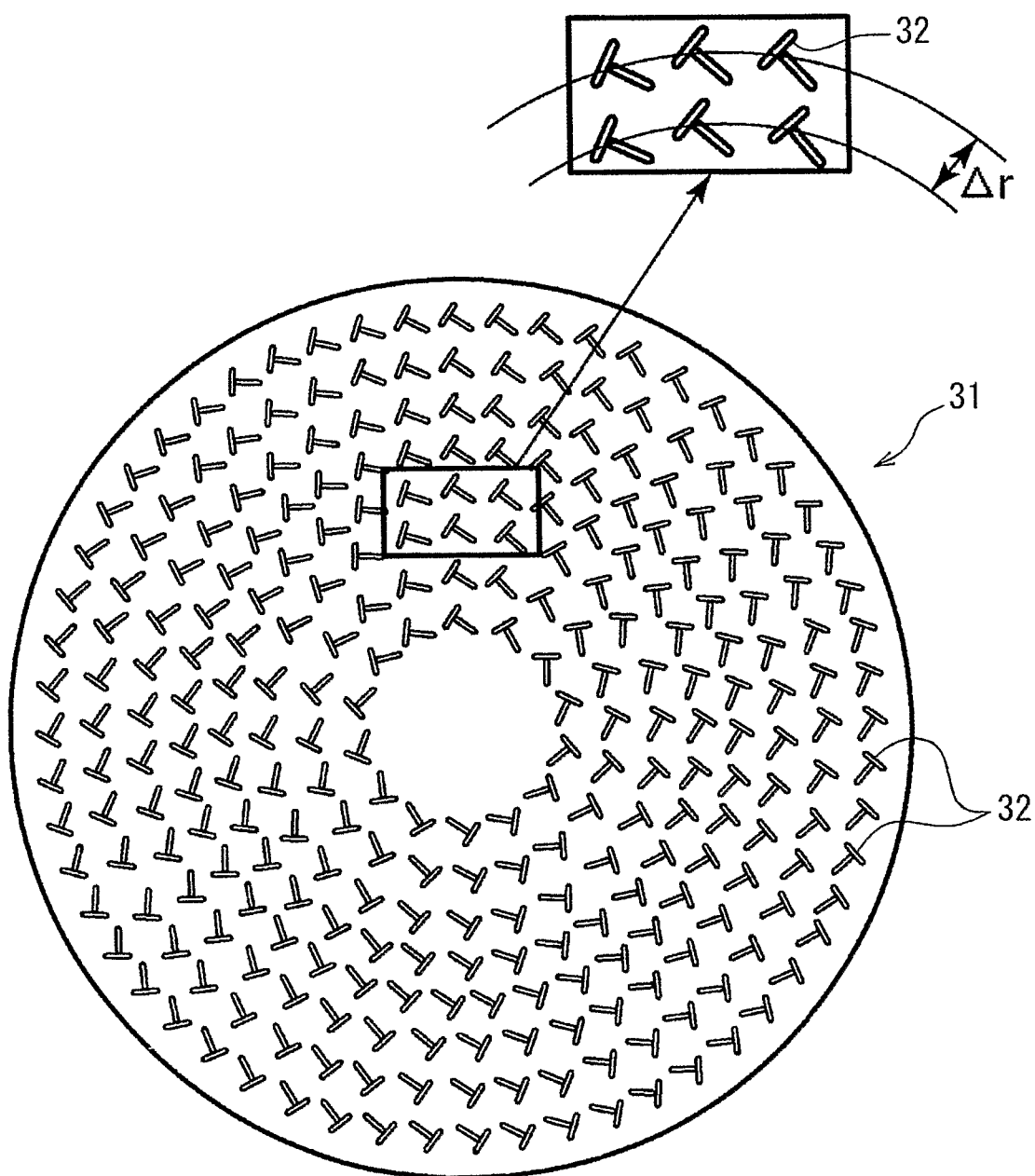
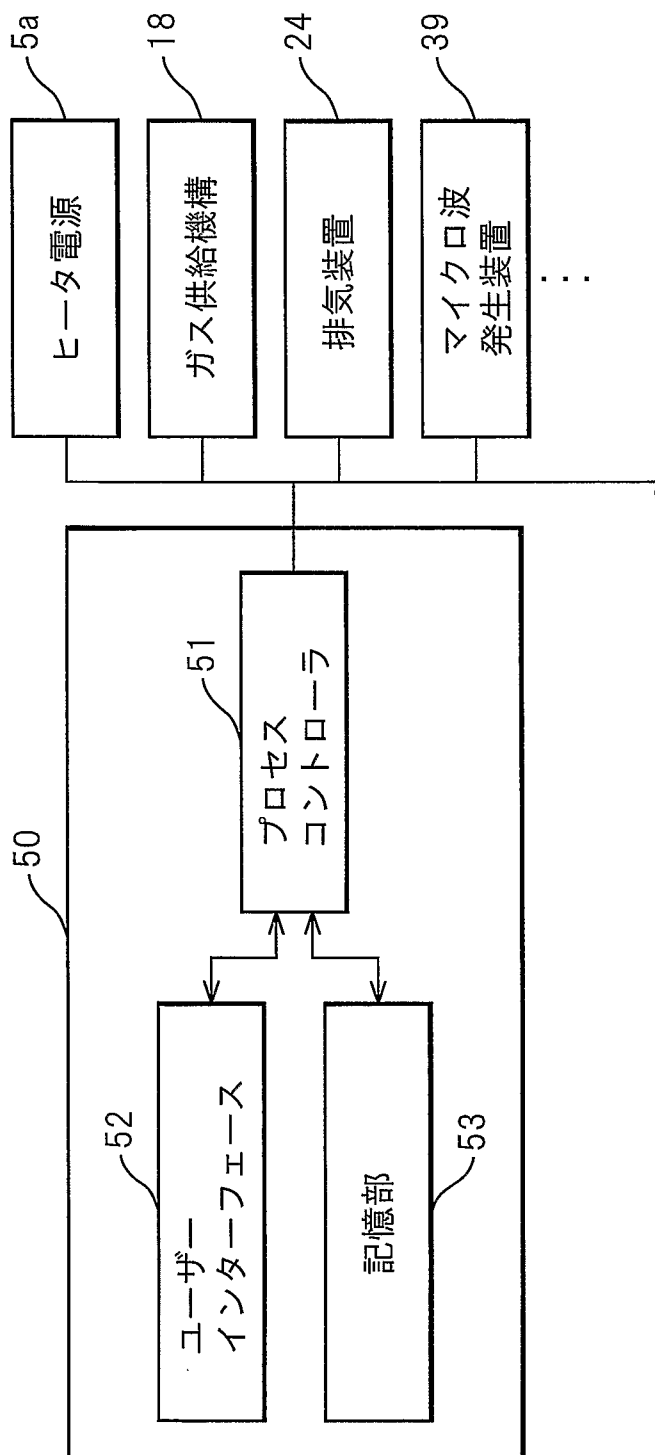


Fig.12



符号の説明

- 1 …チャンバー（処理室）
- 2 …載置台
- 3 …支持部材
- 5 …ヒータ
- 1 2 …排気管
- 1 4 , 1 5 …ガス導入部
- 1 6 …搬入出口
- 1 7 …ゲートバルブ
- 1 8 …ガス供給機構
- 1 9 a …窒素含有ガス供給源
- 1 9 b …S i 含有ガス供給源
- 1 9 c …不活性ガス供給源
- 2 4 …排気装置
- 2 7 …マイクロ波導入機構
- 2 8 …透過板
- 2 9 …シール部材
- 3 1 …平面アンテナ部材
- 3 2 …マイクロ波放射孔
- 3 7 …導波管
- 3 7 a …同軸導波管
- 3 7 b …矩形導波管
- 3 9 …マイクロ波発生装置
- 5 0 …制御部
- 5 1 …プロセスコントローラ
- 5 2 …ユーザーインターフェース
- 5 3 …記憶部

1 0 0 … プラズマ処理装置
2 0 0 … 不揮発性半導体メモリ装置
2 0 1 … S i 基板
2 0 3 … トレンチ
2 0 5 … トンネル酸化膜
2 0 7 , 2 0 7 a , 2 0 7 b … 窒化珪素膜
2 0 9 … 二酸化珪素膜
2 1 0 … 電極膜
2 1 1 … ゲート電極
2 1 3 a … 第 1 のソース／ドレイン領域
2 1 3 b … 第 2 のソース／ドレイン領域
W … 半導体ウエハ（基板）
2 2 0 a 、 2 2 0 b … ソース／ドレイン電極
2 2 2 、 2 2 4 … 絶縁膜
3 0 0 … 不揮発性半導体メモリ装置

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/060812

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L21/318(2006.01)i, H01L27/115(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L21/318, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008

Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-517301 A (Infineon Technologies AG.), 09 June, 2005 (09.06.05), Par. Nos. [0008] to [0009]; Figs. 1 to 2 & US 2005/0030780 A1 & EP 1472742 A & WO 2003/067668 A2 & DE 10204868 A & CN 1698211 A	1-20
X	JP 2005-116964 A (Renesas Technology Corp.), 28 April, 2005 (28.04.05), Par. Nos. [0011] to [0040]; Figs. 1 to 8 & US 2005/0077565 A1 & TW 240407 B & KR 10-2005-0035080 A	10-11
A	JP 6-37275 A (Toshiba Corp.), 10 February, 1994 (10.02.94), Full text & US 5336912 A	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 September, 2008 (01.09.08)

Date of mailing of the international search report
16 September, 2008 (16.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8247(2006.01)i, H01L21/318(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8247, H01L21/318, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2005-517301 A（インフィネオン テクノロジーズ アクチエンゲゼルシャフト）2005.06.09, [0008]-[0009], [図1]-[図2] & US 2005/0030780 A1 & EP 1472742 A & WO 2003/067668 A2 & DE 10204868 A & CN 1698211 A	1-20
X	JP 2005-116964 A（株式会社ルネサステクノロジ）2005.04.28, [0011]-[0040], [図1]-[図8] & US 2005/0077565 A1 & TW 240407 B & KR 10-2005-0035080 A	10-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 0 9 . 2 0 0 8

国際調査報告の発送日

1 6 . 0 9 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河合 俊英

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

3 2 3 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-37275 A (株式会社東芝) 1994. 02. 10, 全文 & US 5336912 A	1-20