(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/250081 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/369* (2011.01)
H04N 5/345 (2011.01) *H04N 5/376* (2011.01)

(21) 国際出願番号： PCT/JP2022/021385

(22) 国際出願日： 2022年5月25日(25.05.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-087850 2021年5月25日(25.05.2021) JP

(71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目１５番３号 Tokyo (JP).

(72) 発明者: 小倉 大輝 (OGURA Daiki); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP).

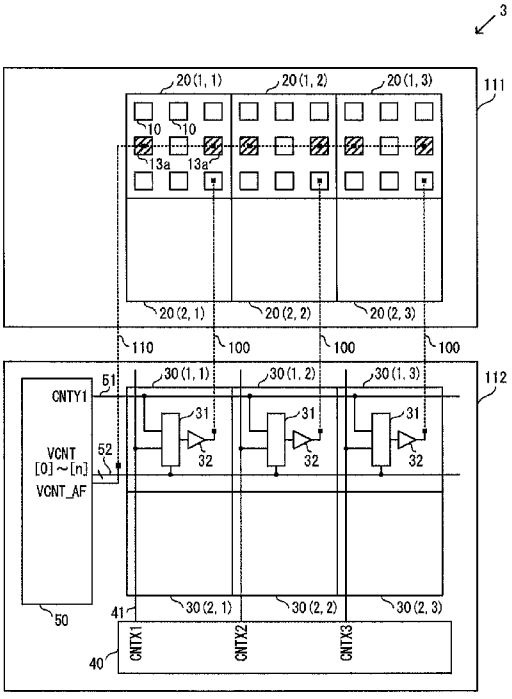
(74) 代理人: 西澤 和純, 外 (NISHIZAWA Kazuyoshi et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

WO 2022/250081 A1

(54) **Title:** IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称： 撮像素子、及び、撮像装置



(57) **Abstract:** This imaging element comprises: a plurality of first pixels that are respectively included in a plurality of regions, comprise first photoelectric conversion portions for generating charge by photoelectric conversion of light, and output, on the basis of the charge generated in the first photoelectric conversion portions, signals used for image generation, the plurality of first pixels being provided in a first direction and a second direction transverse to the first direction; a second pixel comprising a second photoelectric conversion portion for generating charge by photoelectric conversion of light, the second pixel outputting, on the basis of the charge generated in the second photoelectric conversion portion, a signal used for focal point detection; a first control line for controlling the first pixels; and a second control line for controlling the second pixels.

(57) 要約：撮像素子は、複数の領域にそれぞれ含まれ、光を光電変換して電荷を生成する第１光電変換部を有し、前記第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力し、第１方向および前記第１方向と交差する第２方向に設けられる複数の第１画素と、光を光電変換して電荷を生成する第２光電変換部を有し、前記第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力する第２画素と、前記第１画素を制御するための第１制御線と、前記第２画素を制御するための第２制御線と、を備える。

［続葉有］

PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明　細　書

発明の名称 ： 撮像素子、及び、撮像装置

技術分野

[0001] 本発明は、撮像素子、及び、撮像装置に関する。

本願は、２０２１年５月２５日に出願された日本国特願２０２１－０８７８５０号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 複数の画素がアレイ状に配列された画素アレイ基板と、画素を駆動する信号を画素アレイ基板の画素に供給する複数の信号処理部がアレイ状に配列された回路基板と、が積層されて構成される撮像素子が知られている（特許文献１）。従来から、焦点検出の精度向上が求められている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１７／１８１８８号

発明の概要

[0004] 本発明に係る第１の態様による撮像素子は、複数の領域にそれぞれ含まれ、光を光電変換して電荷を生成する第１光電変換部を有し、前記第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力し、第１方向および前記第１方向と交差する第２方向に設けられる複数の第１画素と、光を光電変換して電荷を生成する第２光電変換部を有し、前記第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力する第２画素と、前記第１画素を制御するための第１制御線と、前記第２画素を制御するための第２制御線と、を備える。

本発明に係る第２の態様による撮像素子は、光を光電変換して電荷を生成する第１光電変換部を有し、前記第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力し、第１方向および前記第１方向と交差する第２方向に設けられる複数の第１画素と、光を光電変換して電荷を生成する

第２光電変換部を有し、前記第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力し、前記第１方向に配置される複数の第２画素とをそれぞれ含む複数の領域と、前記第１画素からの信号を出力する第１出力部と、前記第２画素からの信号を出力する第２出力部と、を備える。

本発明に係る第３の態様による撮像装置は、第１または第２の態様による撮像素子と、前記撮像素子から出力される信号に基づいて画像データを生成する生成部と、を備える。

図面の簡単な説明

[0005] [図1]第１の実施の形態に係る撮像装置の構成例を示す図である。

[図2]第１の実施の形態に係る撮像素子の一部の概略構成の一例を示す図である。

[図3]第１の実施の形態に係る撮像素子の画素の構成例を示す図である。

[図4]第１の実施の形態に係る撮像素子の一部の構成例を示す図である。

[図5]第１の実施の形態に係る撮像素子の画素の動作の一例を示す図である。

[図6]第１の実施の形態に係る撮像素子の画素制御部の構成例を説明するための図である。

[図7]第１の実施の形態に係る撮像素子の画素の動作の一例を示す図である。

[図8]変形例１に係る撮像素子の一部の構成例を示す図である。

[図9]変形例２に係る撮像素子の一部の構成例を示す図である。

[図10]変形例２に係る撮像素子の一部の構成例を示す図である。

[図11]変形例３に係る撮像素子の一部の別の構成例を示す図である。

[図12]変形例３に係る撮像素子の一部の別の構成例を示す図である。

[図13]変形例３に係る撮像素子の一部の別の構成例を示す図である。

[図14]変形例３に係る撮像素子の一部の別の構成例を示す図である。

[図15]変形例３に係る撮像素子の一部の別の構成例を示す図である。

[図16]変形例４に係る撮像素子の画素の構成例を示す図である。

発明を実施するための形態

[0006] （第１の実施の形態）

図１は、第１の実施の形態に係る撮像装置の一例であるカメラ１の構成例を示す図である。カメラ１は、撮影光学系（結像光学系）２、撮像素子３、制御部４、メモリ５、表示部６、及び操作部７を備える。撮影光学系２は、焦点調節レンズ（フォーカスレンズ）を含む複数のレンズ及び開口絞りを有し、撮像素子３に被写体像を結像する。なお、撮影光学系２は、カメラ１から着脱可能にしてもよい。

[0007] 撮像素子３は、ＣＭＯＳイメージセンサ、ＣＣＤイメージセンサ等の撮像素子である。撮像素子３は、撮影光学系２を通過した光束を受光し、撮影光学系２により形成される被写体像を撮像する。撮像素子３には、光電変換部を有する複数の画素が二次元状（行方向及び列方向）に配置される。光電変換部は、フォトダイオード（ＰＤ）によって構成される。撮像素子３は、受光した光を光電変換して信号を生成し、生成した信号を制御部４に出力する。

[0008] 撮像素子３は、撮像画素とＡＦ画素（焦点検出画素）とを有する。撮像画素は、画像生成に用いる信号を出力する。ＡＦ画素は、焦点検出に用いる信号を出力する。ＡＦ画素は、撮像画素の一部に置換して配置され、撮像素子３の撮像面のほぼ全面に分散して配置される。なお、以下の説明では、単に画素と称する場合は、撮像画素およびＡＦ画素のいずれか一方または両方を指す。

[0009] メモリ５は、メモリカード等の記録媒体である。メモリ５には、画像データ、プログラム等が記録される。メモリ５へのデータの書き込み、及びメモリ５からのデータの読み出しは、制御部４によって制御される。表示部６は、画像データに基づく画像、シャッター速度、絞り値等の撮影に関する情報、及びメニュー画面等を表示する。操作部７は、レリーズボタン、電源スイッチ、各種モードを切り替えるためのスイッチ等の各種設定スイッチ等を含み、それぞれの操作に基づく信号を制御部４へ出力する。

[0010] 制御部４は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、ＡＳＩＣ等のデバイス、及びＲＯＭ、ＲＡＭ等のメモリを有する。制御部４は、メモリに格納されたプログ

ラムを読み込んで実行し、カメラ１の各部を制御する。制御部４は、撮像制御部４ａと、画像データ生成部４ｂと、焦点検出部４ｃとを有する。

[0011] 撮像制御部４ａは、撮像素子３を制御する信号を撮像素子３に供給して、撮像素子３の動作を制御する。撮像制御部４ａは、静止画撮影を行う場合、動画撮影を行う場合、表示部６に被写体のスルー画像（ライブビュー画像）を表示する場合等に、撮像素子３に被写体像を撮像させて信号を出力させる。

[0012] 画像データ生成部４ｂは、撮像素子３の撮像画素から出力される信号に各種の画像処理を行って、画像データ（静止画像データ、動画像データ）を生成する。画像処理には、階調変換処理、色補間処理等の画像処理が含まれる。なお、画像データ生成部４ｂは、ＡＦ画素から出力される信号も用いて、画像データを生成するようにしてもよい。

[0013] 焦点検出部４ｃは、撮影光学系２の自動焦点調節（ＡＦ）に必要な焦点検出処理を行う。焦点検出部４ｃは、撮影光学系２による像が撮像素子３の撮像面上に合焦（結像）するためのフォーカスレンズの合焦位置（合焦位置までのフォーカスレンズの移動量）を検出する。焦点検出部４ｃは、撮像素子３の一対のＡＦ画素（ＡＦ画素対）から出力される第１及び第２の信号を用いて、位相差検出方式によりデフォーカス量を算出する。

[0014] 焦点検出部４ｃは、撮影光学系２の射出瞳の第１の領域を通過した第１の光束による像を撮像して生成した第１の信号と第２の領域を通過した第２の光束による像を撮像して生成した第２の信号とを相関演算して、像ズレ量を算出する。焦点検出部４ｃは、この像ズレ量を所定の換算式に基づきデフォーカス量に換算する。焦点検出部４ｃは、算出したデフォーカス量に基づいて、合焦位置までのフォーカスレンズの移動量を算出する。移動量に応じてフォーカスレンズが駆動されることにより、焦点調節が自動で行われる。このように、制御部４は、撮影光学系２による被写体の像が撮像素子３に合焦するようフォーカスレンズの位置を制御する。

[0015] 図２は、第１の実施の形態に係る撮像素子の一部の概略構成の一例を示す

図である。撮像素子３は、複数の画素が設けられる第１基板１１１と、後述する制御部が設けられる第２基板１１２とを積層して構成される。第１基板１１１及び第２基板１１２は、それぞれ半導体基板を用いて構成される。第１基板１１１に設けられた回路、及び第２基板１１２に設けられた回路は、電極、バンプ等の接続部により電気的に接続される。

[0016] 第１基板１１１は、二次元状に配置される複数の撮像画素１０及びＡＦ画素１３（１３ａ、１３ｂ）を有する。第１のＡＦ画素１３ａ及び第２のＡＦ画素１３ｂは、それぞれ、光電変換部に入射する光の一部を遮光する遮光部を有する。第１のＡＦ画素１３ａと第２のＡＦ画素１３ｂとは、その遮光部の位置が異なる。

[0017] 第１のＡＦ画素１３ａ及び第２のＡＦ画素１３ｂの各々の遮光部は、撮影光学系２の射出瞳の互いに異なる領域を通過した光が光電変換部に入射するように配置される。これにより、第１のＡＦ画素１３ａの光電変換部は、撮影光学系２の射出瞳の第１及び第２の領域のうちの第１の領域を通過した光束を受光する。第２のＡＦ画素１３ｂの光電変換部は、撮影光学系２の射出瞳の第１及び第２の領域のうちの第２の領域を通過した光束を受光する。

[0018] 第１基板１１１は、撮像画素１０、第１のＡＦ画素１３ａ、及び第２のＡＦ画素１３ｂがそれぞれ配置される複数の領域２０を有する。図２に示す例では、６つの領域２０を図示している。これら６つの領域２０は、それぞれ、第１基板１１１の画素が配置される領域を、所定数の画素を含む領域に分けたときの１つの領域を示している。なお、各領域２０は、部分的に重なっていてもよいし、重なっていなくてもよい。各領域２０の画素の数は、３画素×３画素の９画素であってもよいし、４画素×４画素の１６画素であってもよく、任意の数としてよい。以下の説明では、領域２０を画素ブロック２０と称する。

[0019] 撮像素子３の複数の画素ブロック２０の各々には、撮像画素１０が、第１方向である行方向（水平方向）、及び第１方向と交差する第２方向である列方向（垂直方向）に複数配置される。なお、図中、斜線を付した画素は、Ａ

Ｆ画素１３である。図２に示す例では、画素ブロック２０には、７つの撮像画素１０と、１つの第１のＡＦ画素１３ａ、及び、１つの第２のＡＦ画素１３ｂが設けられる。第１のＡＦ画素１３ａ及び第２のＡＦ画素１３ｂは、行方向に並んで配置される。第１基板１１１では、画素ブロック２０が、行方向及び列方向に複数設けられる。

[0020] 第２基板１１２は、制御部３０（以下、画素制御部と称する）と、制御部４０（以下、垂直制御部と称する）と、制御部５０（以下、水平制御部と称する）とを有する。画素制御部３０は、画素ブロック２０毎に設けられる。図２においては、６つの画素制御部３０を図示している。第２基板１１２では、画素制御部３０が、行方向及び列方向に複数設けられる。

[0021] 画素制御部３０（１，１）は、画素ブロック２０（１，１）に対して設けられる。画素制御部３０（１，２）は画素ブロック２０（１，２）に対して設けられ、画素制御部３０（１，３）は、画素ブロック２０（１，３）に対して設けられる。また、画素制御部３０（２，１）、３０（２，２）、３０（２，３）は、それぞれ、画素ブロック２０（２，１）、２０（２，２）、２０（２，３）に対して設けられる。

[0022] 第２基板１１２において各画素制御部３０が配置される領域の周囲には、図２に示すように、垂直制御部４０及び水平制御部５０が設けられる。垂直制御部４０及び水平制御部５０は、複数の画素ブロック２０に対して設けられるともいえる。また、第２基板１１２には、図２に示すように、信号線４１、信号線５１、信号線５２、及び信号線１１０が設けられる。

[0023] 信号線４１は、縦方向、即ち垂直方向（列方向）に並んだ複数の画素制御部３０毎に設けられる。信号線４１は、垂直方向に並ぶ各画素制御部３０と、垂直制御部４０とに接続される。信号線４１は、画素制御部３０を制御する信号ＣＮＴＸが伝送される信号線（以下、垂直制御線と称する）である。図２では、信号ＣＮＴＸ１が伝送される垂直制御線４１と、信号ＣＮＴＸ２が伝送される垂直制御線４１と、信号ＣＮＴＸ３が伝送される垂直制御線４１とを図示している。

[0024] 垂直制御線４１の各々は、伝送される信号ＣＮＴＸの数に対応して複数の信号線により構成され得る。図２に示す例では、信号ＣＮＴＸ１を伝送する垂直制御線４１は、信号ＣＮＴＸ１のビット数に対応して複数の信号線により構成され得る。また、信号ＣＮＴＸ２、信号ＣＮＴＸ３をそれぞれ伝送する２つの垂直制御線４１は、それぞれ、信号ＣＮＴＸ２、信号ＣＮＴＸ３のビット数に対応して複数の信号線により構成され得る。垂直制御部４０は、信号ＣＮＴＸを垂直制御線４１に供給して、画素制御部３０の動作を制御する。

[0025] 信号線５１は、横方向、即ち水平方向（行方向）に並んだ複数の画素制御部３０毎に設けられる。信号線５１は、水平方向に並ぶ各画素制御部３０と、水平制御部５０とに接続される。信号線５１は、画素制御部３０を制御する信号ＣＮＴＹが伝送される信号線（以下、水平制御線と称する）である。図２では、信号ＣＮＴＹ１が伝送される水平制御線５１と、信号ＣＮＴＹ２が伝送される水平制御線５１とを図示している。

[0026] 水平制御線５１の各々は、伝送される信号ＣＮＴＹの数に対応して複数の信号線により構成され得る。図２に示す例では、信号ＣＮＴＹ１を伝送する水平制御線５１は、信号ＣＮＴＹ１のビット数に対応して複数の信号線により構成され得る。また、信号ＣＮＴＹ２を伝送する水平制御線５１は、信号ＣＮＴＹ２のビット数に対応して複数の信号線により構成され得る。水平制御部５０は、信号ＣＮＴＹを水平制御線５１に供給して、画素制御部３０の動作を制御する。

[0027] 信号線５２は、水平制御部５０と複数の画素制御部３０とに接続される。信号線５２は、第２基板１１２に設けられた複数の画素制御部３０に共通に接続される。信号線５２は、画素の制御のために用いる信号ＶＣＮＴが伝送される信号線（以下、画素駆動線と称する）であり、水平制御部５０から信号ＶＣＮＴが供給される。画素駆動線５２は、伝送される信号ＶＣＮＴのビット数に対応して複数の信号線により構成される。なお、画素駆動線５２は、全ての画素制御部３０に共通に設けられてもよいし、水平方向に並んだ複

数の画素制御部３０毎に設けられてもよい。

[0028] 画素制御部３０は、垂直制御部４０及び水平制御部５０によって制御され、撮像画素１０を制御する信号を画素ブロック２０の各撮像画素１０に供給して、各撮像画素１０の動作を制御する。本実施の形態に係る画素制御部３０は、撮像画素１０の光電変換部１１の電荷の蓄積時間を制御する信号を出力する出力部の一部を構成する。画素制御部３０は、撮像画素１０の各トランジスタのゲートに信号を供給して、トランジスタをオン状態（接続状態、導通状態、短絡状態）又はオフ状態（切断状態、非導通状態、開放状態、遮断状態）とする。

[0029] 画素制御部３０は、信号ＣＮＴＸと信号ＣＮＴＹと信号ＶＣＮＴとに基づき、後述する信号ＴＸ、信号ＲＳＴ等の信号を、画素ブロック２０内の各撮像画素１０に出力する。画素制御部３０、垂直制御部４０、及び水平制御部５０は、画素ブロック２０の撮像画素１０に入力される信号ＴＸ、信号ＲＳＴ等を制御することにより、画素ブロック２０の各撮像画素１０において電荷の蓄積が行われる期間を制御する。なお、画素制御部（出力部）３０の一部または全部は、第１基板に１１１に配置してもよい。

[0030] 信号線１１０は、水平方向（行方向）に配置された複数のＡＦ画素１３毎に設けられる。図２に示す例では、画素ブロック２０（１，１）～（１，３）の複数の第１のＡＦ画素１３ａ及び第２のＡＦ画素１３ｂに共通に接続される信号線１１０と、画素ブロック２０（２，１）～（２，３）の複数の第１のＡＦ画素１３ａ及び第２のＡＦ画素１３ｂに共通に接続される信号線１１０とを図示している。信号線１１０は、水平制御部５０と、各画素ブロック２０の複数のＡＦ画素１３とに接続される。信号線１１０は、ＡＦ画素１３を制御する信号が伝送される信号線（制御線）である。信号線１１０は、ＡＦ画素１３の制御に用いる信号ＴＸが伝送される信号線を含み、水平制御部５０から信号ＴＸが供給される。また、信号線１１０は、ＡＦ画素１３の制御に用いる信号ＲＳＴが伝送される信号線を含み、水平制御部５０から信号ＲＳＴが供給される。

[0031] 水平制御部５０は、信号線１１０を介して、ＡＦ画素１３を制御する信号を画素ブロック２０の各ＡＦ画素１３に供給して、各ＡＦ画素１３の動作を制御する。本実施の形態に係る水平制御部５０は、ＡＦ画素１３の光電変換部１１の電荷の蓄積時間を制御する信号を出力する出力部の一部を構成する。水平制御部５０は、ＡＦ画素１３の各トランジスタのゲートに信号を供給して、トランジスタをオン状態又はオフ状態とする。

[0032] 水平制御部５０は、信号ＴＸ、信号ＲＳＴ等の信号を、信号線１１０を介して画素ブロック２０内の各ＡＦ画素１３に出力する。水平制御部５０は、画素ブロック２０のＡＦ画素１３に入力される信号ＴＸ、信号ＲＳＴ等を制御することにより、画素ブロック２０の各ＡＦ画素１３において電荷の蓄積が行われる期間を制御する。なお、水平制御部（出力部）５０の一部または全部は、第１基板に１１１に配置してもよい。

[0033] 図３は、第１の実施の形態に係る撮像素子の画素の構成例を示す図である。画素１０は、光電変換部１１と、転送部１２と、フローティングディフュージョン（ＦＤ）１４と、排出部１５と、増幅部１６と、選択部１７とを有する。なお、本実施の形態にあっては、ＡＦ画素１３の回路構成は、撮像画素１０の回路構成と同一である。光電変換部１１は、フォトダイオードＰＤであり、入射した光を電荷に変換し、光電変換された電荷を蓄積する。

[0034] 転送部１２は、信号ＴＸにより制御されるトランジスタＭ１から構成され、光電変換部１１とＦＤ１４とを電気的に接続又は切断する。転送部１２は、光電変換部１１で光電変換された電荷をＦＤ１４に転送する。トランジスタＭ１は、転送トランジスタである。ＦＤ１４の容量Ｃは、ＦＤ１４に転送された電荷を蓄積（保持）して、容量値で除算した電圧に変換する。ＦＤ１４は、蓄積部１４であり、光電変換部１１で生成された電荷を蓄積する。

[0035] 増幅部１６は、ゲート（端子）がＦＤ１４に接続されるトランジスタＭ３から構成され、ＦＤ１４の容量Ｃに蓄積された電荷による信号を増幅して出力する。トランジスタＭ３のドレイン（端子）及びソース（端子）は、それぞれ、電源線（電源電圧ＶＤＤ）、選択部１７に接続される。増幅部１６の

ソースは、選択部１７を介して信号線１８に接続される。トランジスタＭ３は、増幅トランジスタである。増幅部１６と選択部１７とは、光電変換部１１により生成された電荷に基づく信号を生成し出力する出力部を構成する。

[0036] 排出部１５は、信号ＲＳＴにより制御されるトランジスタＭ２から構成され、ＦＤ１４により蓄積された電荷をリセットする。排出部（リセット部）１４は、ＦＤ１４に蓄積された電荷を排出し、ＦＤ１４の電圧をリセットする。トランジスタＭ２は、リセットトランジスタである。

[0037] 選択部１７は、信号ＳＥＬにより制御されるトランジスタＭ４から構成され、増幅部１６と信号線１８とを電気的に接続又は切断する。選択部１７のトランジスタＭ４は、オン状態の場合に、増幅部１６からの信号を信号線１８に出力する。トランジスタＭ４は、選択トランジスタである。

[0038] 図４は、第１の実施の形態に係る撮像素子の一部の構成例を示す図である。図４では、撮像素子３に設けられた複数の画素ブロック２０のうちの１つの画素ブロック２０と、１つの電流源２５と、１つの処理部２６とを示している。

[0039] 電流源２５は、信号線１８を介して各画素（撮像画素１０、ＡＦ画素１３）に接続される。電流源２５は、画素から信号を読み出すための電流を生成し、生成した電流を信号線１８と各画素の増幅部１６及び選択部１７とに供給する。電流源２５は、画素ブロック２０毎に配置される。

[0040] 処理部２６は、アナログ／デジタル変換部（ＡＤ変換部）を含んで構成される。処理部２６は、各画素から信号線１８を介して入力されるアナログ信号である画素の信号を、デジタル信号に変換する。なお、処理部２６は、信号線１８を介して入力される画素の信号を所定のゲイン（増幅率）で増幅するアンプ部を有していてもよい。この場合、処理部２６は、アンプ部により増幅された画素の信号をデジタル信号に変換するようにしてもよい。

[0041] デジタル信号に変換された画素の信号は、処理部２６において、相関二重サンプリング、信号量を補正する処理等の信号処理が施された後に、カメラ１の制御部４に出力される。なお、画素の信号に対する相関二重サンプリン

グ等の信号処理を、不図示の信号処理部において行うようにしてもよい。この場合、処理部２６は、デジタル信号に変換された画素の信号を信号処理部に出力する。信号処理部は、入力された画素の信号に対して、相関二重サンプリング等の信号処理を行った後に、処理後の信号を制御部４に出力する。

[0042] なお、上述した電流源２５及び処理部２６は、第１基板に１１１に配置してもよいし、第２基板１１２に配置してもよい。また、処理部２６は、第１基板１１１と第２基板１１２に分けて配置してもよいし、第１基板１１１と第２基板１１２とは異なる基板に配置してもよい。

[0043] 本実施の形態では、画素制御部３０が撮像画素１０における電荷蓄積の制御に用いる信号ＴＸ、信号ＲＳＴを出力し、画素制御部３０とは別の水平制御部５０がＡＦ画素１３における電荷蓄積の制御に用いる信号ＴＸ、信号ＲＳＴを出力する。このため、画素ブロック２０内の撮像画素１０及びＡＦ画素１３の各々において電荷の蓄積が行われる時間（電荷蓄積時間）を、独立して（別々に）制御することができる。画素制御部３０は画素ブロック２０の撮像画素１０の電荷蓄積時間を制御し、水平制御部５０は画素ブロック２０のＡＦ画素１３の電荷蓄積時間を制御する。以下、本実施の形態に係る撮像素子３について、さらに説明する。

[0044] 図５は、第１の実施の形態に係る撮像素子の画素の動作の一例を示す図である。図５に示すタイミングチャートにおいて、横軸は時刻を示しており、撮像素子３の画素に入力される制御信号を示している。図５において、ハイレベル（例えば電源電圧ＶＤＤ）の制御信号（信号ＲＳＴ、信号ＴＸ、信号ＳＥＬ）が入力されるトランジスタはオン状態となり、ローレベル（例えば接地電圧）の制御信号が入力されるトランジスタはオフ状態となる。

[0045] 図５に示す時刻ｔ１では、信号ＲＳＴがハイレベルであるため、排出部１５のトランジスタＭ２がオン状態である。時刻ｔ２では、信号ＴＸがハイレベルになることで、転送部１２のトランジスタＭ１がオン状態になる。信号ＲＳＴ及び信号ＴＸが共にハイレベルであるため、電源線（電源電圧ＶＤＤ）とＦＤ１４と光電変換部１１とが電気的に接続される。これにより、光電

変換部１１の電荷が排出され、光電変換部１１の電圧がリセットされる。

[0046] 時刻ｔ３において、信号ＴＸがローレベルになることで、転送部１２のトランジスタＭ１がオフ状態になり、光電変換部１１とＦＤ１４とが電気的に切り離される。光電変換部１１は、被写体からの光を光電変換して生成された電荷を蓄積する。信号ＲＳＴはハイレベルであるため、ＦＤ１４の電荷が排出され、ＦＤ１４の電圧がリセット電圧になる。

[0047] 時刻ｔ４において、信号ＲＳＴがローレベルになることで、排出部１５のトランジスタＭ２がオフ状態になる。また、時刻ｔ４では、信号ＳＥＬがハイレベルになることで、選択部１７のトランジスタＭ４がオン状態になる。これにより、リセット電圧に基づく信号、即ちＦＤ１４の電荷をリセットした後の信号が、増幅部１６及び選択部１７により信号線１８に出力される。リセット電圧に基づく信号は、ダーク信号として、信号線１８を介して処理部２６に入力される。ダーク信号は、リセット電圧に基づくアナログ信号であり、処理部２６によってデジタル信号に変換される。

[0048] 時刻ｔ５では、信号ＴＸがハイレベルになる。信号ＴＸがハイレベルになることで、転送部１２のトランジスタＭ１がオン状態になり、光電変換部１１とＦＤ１４とが電気的に接続される。これにより、光電変換部１１で光電変換された電荷がＦＤ１４に転送される。また、信号ＳＥＬがハイレベルであるため、ＦＤ１４に転送された電荷に応じた信号、即ち光電変換部１１で生成された電荷に基づく信号（画素信号）が、増幅部１６及び選択部１７によって信号線１８に出力される。画素信号は、信号線１８を介して処理部２６に入力される。画素信号は、光電変換部１１によって光電変換された電荷に基づいて生成されるアナログ信号であり、処理部２６によって時刻ｔ６からＡＤ変換が行われてデジタル信号に変換される。

[0049] また、時刻ｔ６において、信号ＴＸがローレベルになり、転送部１２のトランジスタＭ１がオフ状態になる。時刻ｔ７では、信号ＳＥＬがローレベルになり、選択部１７のトランジスタＭ４がオフ状態になる。また、時刻ｔ７では、信号ＲＳＴがハイレベルになり、排出部１５のトランジスタＭ２がオ

ン状態になる。

[0050] 処理部２６は、デジタル信号に変換されたダーク信号と画素信号とを用いて相関二重サンプリング等の信号処理を行う。撮像画素１０の画素信号は、相関二重サンプリング等の信号処理が処理部２６によって施された後に、カメラ１の制御部４に出力される。なお、第１のＡＦ画素１３ａの画素信号及び第２のＡＦ画素１３ｂの画素信号は、処理部２６による信号処理が施された後に、一対の信号（第１及び第２の信号）として制御部４に出力される。

[0051] 図５に示す時刻ｔ３から時刻ｔ５までの期間は、上述した電荷蓄積時間であり、電荷の蓄積動作が行われる期間となる。撮像素子３の各画素は、撮影光学系２を通過して入射した光を光電変換し電荷を蓄積する。画素（撮像画素１０、ＡＦ画素１３）は、電荷蓄積時間の間に蓄積された電荷量に基づいて画素信号を生成し、信号線１８に出力する。

[0052] 本実施の形態に係る画素制御部３０は、画素ブロック２０の撮像画素１０に信号ＴＸ及び信号ＲＳＴを供給して、撮像画素１０の電荷蓄積時間を制御する。また、水平制御部５０は、画素ブロック２０のＡＦ画素１３に信号ＴＸ及び信号ＲＳＴを供給して、ＡＦ画素１３の電荷蓄積時間を制御する。

[0053] 図６は、第１の実施の形態に係る撮像素子の画素制御部の構成例を説明するための図である。画素制御部３０は、選択回路部３１と、バッファ３２とを有する。選択回路部３１は、垂直制御部４０及び水平制御部５０により制御されるマルチプレクサにより構成される。選択回路部３１には、垂直制御部４０から垂直制御線４１を介して信号ＣＮＴＸが入力され、水平制御部５０から水平制御線５１を介して信号ＣＮＴＹが入力される。

[0054] また、選択回路部３１には、複数の信号線により構成される画素駆動線５２によって、水平制御部５０から互いに異なる複数種類の信号ＶＣＮＴが入力される。これら複数種の信号ＶＣＮＴは、例えばハイレベル又はローレベルとなるタイミングが互いに異なる。選択回路部３１は、信号ＣＮＴＸ及び信号ＣＮＴＹに基づき、バッファ３２を介して画素ブロック２０の撮像画素１０に出力する信号を、入力される複数種類の信号ＶＣＮＴから選択する。

選択回路部３１は、例えば、信号ＣＮＴＸ及び信号ＣＮＴＹの信号レベルの組み合わせに応じて選択される信号ＶＣＮＴを、信号ＴＸとしてバッファ３２に出力する。

[0055] バッファ３２は、選択回路部３１から出力される信号ＴＸをバッファ（増幅）し、信号線１００を介して、画素ブロック２０の各撮像画素１０に信号ＴＸを供給する。信号線１００は、画素制御部３０ごと、即ち画素ブロック２０ごとに設けられる。信号線１００は、第２基板１１２の画素制御部３０と第１基板１１１の画素ブロック２０とを結ぶ信号線であり、電極、バンプ等を用いて形成される。

[0056] 信号線１００は、画素ブロック２０の複数の撮像画素１０に共通に接続される。信号線１００は、画素制御部３０から画素ブロック２０に出力される信号に対応して複数の信号線により構成される。信号線１００は、撮像画素１０の制御に用いる信号ＴＸが伝送される信号線（制御線）を含み、バッファ３２から信号ＴＸが供給される。撮像画素１０において、転送部１２のトランジスタＭ１のゲートには、信号線１００を介して、転送部１２を制御する信号ＴＸが入力される。

[0057] 垂直制御部４０及び水平制御部５０は、各画素制御部３０の選択回路部３１に入力される信号ＣＮＴＹ、信号ＣＮＴＸを制御することにより、各画素ブロック２０の撮像画素１０に供給される信号ＴＸを個別に（独立に）制御し得る。

[0058] また、図６には図示されていないが、画素制御部３０は、画素ブロック２０の撮像画素１０の排出部１５を制御する信号ＲＳＴを出力する選択回路部及びバッファ等を有する。信号線１００は、撮像画素１０の制御に用いる信号ＲＳＴが伝送される信号線を含み、画素制御部３０のバッファから信号ＲＳＴが供給される。撮像画素１０において、排出部１５のトランジスタＭ２のゲートには、信号線１００を介して、排出部１５を制御する信号ＲＳＴが入力される。垂直制御部４０及び水平制御部５０は、各画素制御部３０を制御することにより、各画素ブロック２０の撮像画素１０に供給される信号Ｒ

ＳＴを個別に制御し得る。

[0059] なお、画素制御部３０は、論理回路（ＡＮＤ回路、ＯＲ回路等）、ラッチ回路、バッファ等により構成されてもよい。この場合、画素制御部３０は、垂直制御部４０及び水平制御部５０から入力されるレジスタ設定値に基づいて信号ＴＸ、信号ＲＳＴ等を生成し、撮像画素１０に出力するようにしてもよい。垂直制御部４０及び水平制御部５０は、各画素制御部３０にレジスタ設定値を出力し、各画素ブロック２０に供給される信号ＴＸを個別に制御し得る。また、垂直制御部４０及び水平制御部５０は、画素制御部３０から各画素ブロック２０に供給される信号ＲＳＴを個別に制御し得る。

[0060] 水平制御部５０は、論理回路、ラッチ回路、バッファ等を含んで構成され、画素ブロック２０のＡＦ画素１３の転送部１２を制御する信号ＴＸを生成し、信号線１１０を介して、画素ブロック２０の各ＡＦ画素１３に信号ＴＸを供給する。信号線１１０は、上述したように第２基板１１２の水平制御部５０と第１基板１１１の画素ブロック２０とを結ぶ信号線であり、電極、バンプ等を用いて形成される。ＡＦ画素１３において、転送部１２のトランジスタＭ１のゲートには、信号線１１０を介して、転送部１２を制御する信号ＴＸが入力される。

[0061] また、水平制御部５０は、画素ブロック２０のＡＦ画素１３の排出部１５を制御する信号ＲＳＴを生成し、信号線１１０を介して、画素ブロック２０の各ＡＦ画素１３に信号ＲＳＴを供給する。ＡＦ画素１３において、排出部１５のトランジスタＭ２のゲートには、信号線１１０を介して、排出部１５を制御する信号ＲＳＴが入力される。

[0062] このように、画素ブロック２０の撮像画素１０には、画素制御部３０から信号線１００を介して信号ＴＸ、信号ＲＳＴが供給される。また、画素ブロック２０のＡＦ画素１３には、水平制御部５０から信号線１１０を介して信号ＴＸ、信号ＲＳＴが供給される。このため、画素制御部３０及び水平制御部５０は、転送部１２のトランジスタＭ１及び排出部１５のトランジスタＭ２をオンオフするタイミングを、撮像画素１０とＡＦ画素１３とで別々に制

御し、撮像画素１０とＡＦ画素１３の各々の電荷蓄積時間（露光時間）を設定することができる。

[0063] また、画素制御部３０及び水平制御部５０は、排出部１５のトランジスタＭ２をオンオフするタイミングを、撮像画素１０とＡＦ画素１３とで別々に制御することができる。画素制御部３０及び水平制御部５０は、排出部１５による光電変換部１１の電荷を排出するタイミングを制御し、電荷の蓄積が開始される時刻を調整するようにしてもよい。

[0064] 画素制御部３０及び水平制御部５０は、電荷蓄積時間が撮像画素１０とＡＦ画素１３とで異なるように制御を行うことも、電荷蓄積時間が撮像画素１０とＡＦ画素１３とで同一になるように制御を行うことも可能となる。

[0065] 画素制御部３０には、上述した信号ＳＥＬを出力するバッファ、制御回路等も設けられる。画素制御部３０は、画素ブロック２０内の各画素を順次選択して、選択した画素から信号を読み出す制御を行う。画素制御部３０の制御回路は、バッファを介して信号ＳＥＬを画素ブロック２０の各画素に供給し、各画素の信号を上述した信号線１８に順次に出力させる。画素ブロック２０の撮像画素１０およびＡＦ画素１３は、画素制御部３０によって順次選択されることになる。なお、信号ＳＥＬを出力するバッファ及び制御回路等を水平制御部５０内に設けて、水平制御部５０が画素ブロック２０内の各画素から信号を順次に読み出す制御を行うようにしてもよい。

[0066] 図７は、第１の実施の形態に係る撮像素子の画素の動作の一例を示す図である。縦軸は画素ブロック２０内の画素（の位置）を示し、横軸は各画素のリセット動作及び読み出し動作が行われるタイミング（時刻ｔ）を示す。図７では、画素に蓄積された電荷の排出（リセット動作）と、画素に蓄積された電荷に基づく信号を画素から読み出す動作（読み出し動作）とが行われる画素の遷移を模式的に示している。

[0067] 図７に示す例では、リセット動作と読み出し動作とが、画素ブロック２０の画素毎に走査しながら行われる。図７（ａ）は或る画素ブロック２０Ａ（例えば画素ブロック２０（１，１））の画素の動作例を示し、図７（ｂ）は

他の画素ブロック２０Ｂ（例えば画素ブロック２０（１，２））の画素の動作例を示している。

[0068] 水平制御部５０は、図７（ａ）及び図７（ｂ）に示すように、画素ブロック２０（１，１）のＡＦ画素１３のリセット動作と、画素ブロック２０（１，２）のＡＦ画素１３のリセット動作とを同時に（並列に）行う。画素制御部３０（１，１）は、図７（ａ）に示す画素ブロック２０（１，１）の撮像画素のリセット動作と、画素ブロック２０（１，１）の撮像画素１０及びＡＦ画素１３の読み出し動作を行う。画素制御部３０（１，２）は、図７（ｂ）に示す画素ブロック２０（１，２）の撮像画素のリセット動作と、画素ブロック２０（１，２）の撮像画素１０及びＡＦ画素１３の読み出し動作を行う。画素制御部３０及び水平制御部５０は、図７に示すように、撮像画素１０とＡＦ画素１３とで異なるタイミングでリセット動作を行うことで、撮像画素１０とＡＦ画素１３とで異なる電荷蓄積時間を設定することができる。

[0069] 撮像素子３は、被写体の明るさに応じて、ＡＦ画素１３の電荷蓄積時間を制御するようにしてもよい。撮像素子３は、被写体が明るい場合にＡＦ画素１３の電荷蓄積時間を短くし、ＡＦ画素対（第１のＡＦ画素１３ａ、第２のＡＦ画素１３ｂ）の第１及び第２の信号を高速に読み出すことができ、焦点調節に要する時間を短縮することができる。また、撮像素子３は、被写体が暗い場合にはＡＦ画素１３の電荷蓄積時間を長くし、第１及び第２の信号を用いた焦点検出の精度が低下することを抑制することができる。

[0070] また、本実施の形態では、図２及び図６に示したように、各画素ブロック２０の複数のＡＦ画素のうち、同じ行に位置するＡＦ画素１３は共に、同一の信号線１１０に共通に接続され、信号線１１０から供給される信号ＴＸ等によって電荷蓄積時間が制御される。このため、第１の信号と第２の信号との相関が低くなることを抑制することができ、第１及び第２の信号を用いた焦点検出の精度が低下することを防ぐことができる。

[0071] 上述した実施の形態によれば、次の作用効果が得られる。

（１）撮像素子３は、複数の領域（画素ブロック２０）にそれぞれ含まれ、

光を光電変換して電荷を生成する第１光電変換部を有し、第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力し、第１方向および第１方向と交差する第２方向に設けられる複数の第１画素（撮像画素１０）と、光を光電変換して電荷を生成する第２光電変換部を有し、第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力する第２画素（ＡＦ画素１３）と、第１画素を制御する信号を出力する第１出力部と、第２画素を制御する信号を出力する第２出力部と、を備える。本実施の形態では、画素制御部３０が撮像画素１０を制御する信号を出力し、水平制御部５０がＡＦ画素１３を制御する信号を出力する。このため、画素ブロック２０内の撮像画素１０とＡＦ画素１３とを、独立して制御することができる。

[0072] （２）本実施の形態では、画素制御部３０によって画素ブロック２０の撮像画素１０の電荷蓄積時間が制御され、水平制御部５０によって画素ブロック２０のＡＦ画素１３の電荷蓄積時間が制御される。このため、撮像素子３は、画素ブロック２０内の撮像画素１０とＡＦ画素１３とで、電荷蓄積時間を別々に設定することができる。

[0073] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

[0074] （変形例１）

上述した実施の形態では、図２及び図６を用いて、水平制御部５０から第１基板１１１へと延びる信号線１１０が設けられる例について説明した。信号線１１０は、図８に示すように、水平制御部５０から画素制御部３０の位置まで延び、画素制御部３０の位置から第１基板１１１へと延びるように設けられてもよい。

[0075] （変形例２）

上述した実施の形態では、水平制御部５０がＡＦ画素１３を制御する信号ＴＸ、信号ＲＳＴ等を出力する例について説明したが、画素制御部３０がＡＦ画素１３を制御する信号ＴＸ、信号ＲＳＴ等を出力するようにしてもよい。この場合、画素制御部３０は、ＡＦ画素１３の電荷蓄積時間を制御する信

号を出力する出力部の一部としても機能する。

[0076] 図９は、変形例２に係る撮像素子の一部の構成例を示す図である。図９に示す例では、画素制御部３０はバッファ３３を有する。また、選択回路部３１には、垂直制御部４０から信号線４２を介して信号ＣＮＴＸ＿ＡＦが入力され、水平制御部５０から信号線５３を介して信号ＣＮＴＹ＿ＡＦが入力される。さらに、選択回路部３１には、水平制御部５０から信号線５４を介して、互いに異なる複数種類の信号ＶＣＮＴ＿ＡＦが入力される。

[0077] 選択回路部３１は、信号ＣＮＴＸ＿ＡＦ及び信号ＣＮＴＹ＿ＡＦに基づき、バッファ３３を介して画素ブロック２０のＡＦ画素１３に出力する信号を、入力される複数種類の信号ＶＣＮＴ＿ＡＦから選択する。バッファ３３は、信号線１２０を介して、画素ブロック２０の各ＡＦ画素１３に信号ＴＸを供給する。信号線１２０は、画素ブロック２０の複数のＡＦ画素１３に共通に接続される。ＡＦ画素１３において、転送部１２のトランジスタＭ１のゲートには、信号線１２０を介して、転送部１２を制御する信号ＴＸが入力される。

[0078] 垂直制御部４０及び水平制御部５０は、各画素制御部３０の選択回路部３１に入力される信号ＣＮＴＸ＿ＡＦ、信号ＣＮＴＹ＿ＡＦを制御することにより、各画素ブロック２０のＡＦ画素１３に供給される信号ＴＸを個別に制御することができる。なお、画素制御部３０には、ＡＦ画素１３に対して信号ＲＳＴを出力する選択回路部及びバッファ等も設けられる。ＡＦ画素１３には、信号ＴＸの場合と同様に、画素制御部３０から信号ＲＳＴが供給される。本変形例に係る撮像素子３は、ＡＦ画素１３の電荷蓄積時間が画素ブロック２０毎に異なるように制御を行うことも、電荷蓄積時間が全ての画素ブロック２０において同一になるように制御を行うことも可能となる。

[0079] 図１０は、変形例２に係る撮像素子の一部の別の構成例を示す図である。画素制御部３０には、水平制御部５０から信号線５５を介して信号ＥＮ＿ＣＮＴ＿ＡＦが入力される。画素制御部３０は、信号ＥＮ＿ＣＮＴ＿ＡＦに応じて、撮像画素１０の電荷蓄積時間の制御と、ＡＦ画素１３の電荷蓄積時間

の制御とを切り替える。

[0080] 信号ＥＮ＿ＣＮＴ＿ＡＦがローレベルの場合、画素制御部３０の選択回路部３１は、信号ＣＮＴＸ及び信号ＣＮＴＹに基づいて複数の信号ＶＣＮＴから選択した信号を撮像画素１０に供給し、撮像画素１０の電荷蓄積時間を設定する。信号ＥＮ＿ＣＮＴ＿ＡＦがハイレベルの場合、選択回路部３１は、信号ＣＮＴＸ及び信号ＣＮＴＹに基づいて複数の信号ＶＣＮＴ＿ＡＦから選択した信号をＡＦ画素１３に供給し、ＡＦ画素１３の電荷蓄積時間を設定する。本変形例では、上述した信号ＣＮＴＸ＿ＡＦ及び信号ＣＮＴＹ＿ＡＦは不要となり、撮像素子３に配置する配線を少なくすることができ、チップ面積を低減させることができる。

[0081]（変形例３）

上述した実施の形態では、画素ブロック２０毎に電流源２５及び処理部２６を設ける例について説明した。しかし、図１１に示すように、縦方向、即ち列方向に並んだ複数の画素の列である画素列ごとに、電流源２５及び処理部２６を配置してもよい。また、図１２又は図１３に示すように、撮像画素１０に接続される電流源２５及び処理部２６と、ＡＦ画素１３に接続される電流源２５及び処理部２６とを設けるようにしてもよい。

[0082] 図１２に示す例では、処理部２６ａは撮像画素１０からの信号を出力する出力部２６ａであり、処理部２６ｂはＡＦ画素１３からの信号を出力する出力部２６ｂである。図１３に示す例では、処理部２６ａ～２６ｃは撮像画素１０からの信号を出力する出力部２６ａ～２６ｃであり、処理部２６ｄはＡＦ画素１３からの信号を出力する出力部２６ｄである。撮像画素１０の信号の読み出しとＡＦ画素１３の信号の読み出しとを、独立して行うことが可能となる。なお、図１４又は図１５に示すように、ＡＦ画素１３に接続される電流源２５及び処理部２６を、複数の画素ブロック２０毎に配置して、複数の画素ブロック２０のＡＦ画素１３で共有する構成としてもよい。

[0083]（変形例４）

上述した実施の形態では、図３を用いて画素の構成について説明したが、

各画素の構成はこれに限らない。図１６は、変形例４に係る撮像素子の画素の構成例を示す図である。図１６に示す例では、画素は、第１の転送部１２ａと、第２の転送部１２ｂとを含んで構成される。

[0084] 第１の転送部１２ａは、信号ＴＸ１により制御されるトランジスタＭ１ａから構成され、光電変換部１１と電源線（電源電圧ＶＤＤ）とを電気的に接続又は切断する。第１の転送部１２ａは、排出部１２ａであり、光電変換部１１に蓄積された電荷を排出し、光電変換部１１の電圧をリセットする。トランジスタＭ１ａは、リセットトランジスタである。第１の転送部１２ａのトランジスタＭ１ａは、光電変換部１１で光電変換された電荷を電源線に転送する転送トランジスタともいえる。

[0085] 第２の転送部１２ｂは、信号ＴＸ２により制御されるトランジスタＭ１ｂから構成され、光電変換部１１とＦＤ１４とを電気的に接続又は切断する。第２の転送部１２ｂは、光電変換部１１で光電変換された電荷をＦＤ１４に転送する。トランジスタＭ１ｂは、転送トランジスタである。

[0086] 撮像素子３は、第１の転送部（排出部）１２ａによる光電変換部１１の電荷を排出するタイミングを制御し、電荷の蓄積が開始される時刻を設定するようにしてもよい。例えば、画素制御部３０は、撮像画素１０の第１の転送部１２ａを制御する信号ＴＸ１を出力し、撮像画素１０の電荷蓄積時間を制御する。水平制御部５０は、ＡＦ画素１３の第１の転送部１２ａを制御する信号ＴＸ１を出力し、ＡＦ画素１３の電荷蓄積時間を制御する。なお、画素制御部３０が、撮像画素１０及びＡＦ画素１３の各々の電荷蓄積時間を制御するようにしてもよい。

[0087]（変形例５）

上述した実施の形態では、画素ブロック２０内の各画素を順次選択して、選択した画素から信号を読み出す例について説明した。しかし、画素ブロック２０の画素毎に信号線１８及び電流源２５等を設けて、画素ブロック２０の全ての画素から信号の読み出しを同時に（並列に）行うようにしてもよい。

[0088]（変形例６）

上述した実施の形態では、撮像素子３が第１基板１１１と第２基板１１２とを積層して構成される例について説明した。しかし、第１基板１１１と第２基板１１２とは積層されていなくてもよい。

[0089]（変形例７）

上述した実施の形態および変形例では、光電変換部としてフォトダイオードを用いる例について説明した。しかし、光電変換部として光電変換膜（有機光電膜）を用いるようにしてもよい。

[0090]（変形例８）

上述の実施の形態及び変形例で説明した撮像素子及び撮像装置は、カメラ、スマートフォン、タブレット、ＰＣに内蔵のカメラ、車載カメラ、無人航空機（ドローン、ラジコン機等）に搭載されるカメラ等に適用されてもよい。

[0091] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

符号の説明

[0092] １…撮像装置、３…撮像素子、４…制御部、１０…撮像画素、１１…光電変換部、１３…ＡＦ画素、１４…蓄積部、１５…排出部、１６…増幅部、１７…選択部、２０…画素ブロック、２５…電流源、２６…処理部、３０…画素制御部、３１…選択回路部、３２…バッファ、４０…垂直制御部、５０…水平制御部、１１１…第１基板、１１２…第２基板

請求の範囲

[請求項1] 複数の領域にそれぞれ含まれ、光を光電変換して電荷を生成する第１光電変換部を有し、前記第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力し、第１方向および前記第１方向と交差する第２方向に設けられる複数の第１画素と、光を光電変換して電荷を生成する第２光電変換部を有し、前記第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力する第２画素と、

前記第１画素を制御するための第１制御線と、

前記第２画素を制御するための第２制御線と、を備える撮像素子。

[請求項2] 請求項１に記載の撮像素子において、

前記第１制御線は、前記第１光電変換部の電荷の蓄積時間を制御する信号を出力し、

前記第２制御線は、前記第２光電変換部の電荷の蓄積時間を制御する信号を出力する撮像素子。

[請求項3] 請求項１または請求項２に記載の撮像素子において、

前記第１光電変換部で生成された電荷を排出する第１排出部と、

前記第２光電変換部で生成された電荷を排出する第２排出部と、を備え、

前記第１制御線は、前記第１排出部を制御する信号を出力し、

前記第２制御線は、前記第２排出部を制御する信号を出力する撮像素子。

[請求項4] 請求項１または請求項２に記載の撮像素子において、

前記第１光電変換部で生成された電荷を蓄積する第１蓄積部と、前記第１蓄積部に電荷を転送する第１転送部と、

前記第２光電変換部で生成された電荷を蓄積する第２蓄積部と、前記第２蓄積部に電荷を転送する第２転送部と、を備え、

前記第１制御線は、前記第１転送部を制御する信号を出力し、

前記第２制御線は、前記第２転送部を制御する信号を出力する撮像

素子。

[請求項5] 請求項１から請求項４までのいずれか一項に記載の撮像素子において、

前記第２制御線は、複数の前記領域毎に設けられる撮像素子。

[請求項6] 請求項１から請求項４までのいずれか一項に記載の撮像素子において、

前記第２制御線は、複数の前記領域に含まれる複数の前記第２画素を制御する信号を出力する撮像素子。

[請求項7] 請求項１から請求項４までのいずれか一項に記載の撮像素子において、

前記第２制御線は、複数の前記領域に含まれる複数の前記第２画素を制御するための制御線を有する撮像素子。

[請求項8] 請求項１から請求項４までのいずれか一項に記載の撮像素子において、

前記第２制御線は、前記領域毎に設けられる撮像素子。

[請求項9] 請求項１から請求項４までのいずれか一項に記載の撮像素子において、

前記第２制御線は、前記領域に含まれる前記第２画素を制御するための制御線を有する撮像素子。

[請求項10] 請求項１から請求項９までのいずれか一項に記載の撮像素子において、

前記第１画素と前記第２画素とが設けられる第１基板と、

前記第１制御線と前記第２制御線とが設けられ、前記第１基板に積層される第２基板と、を備える撮像素子。

[請求項11] 請求項１から請求項９までのいずれか一項に記載の撮像素子において、

前記第１画素と前記第２画素と前記第２制御線とが設けられる第１基板と、

前記第１制御線が設けられ、前記第１基板に積層される第２基板と、を備える撮像素子。

[請求項12] 請求項１から請求項１１までのいずれか一項に記載の撮像素子において、

前記第２画素は、前記領域において、前記第１方向に複数配置される撮像素子。

[請求項13] 請求項１から請求項１２までのいずれか一項に記載の撮像素子において、

前記第１制御線は、前記領域毎に設けられる撮像素子。

[請求項14] 請求項１から請求項１３までのいずれか一項に記載の撮像素子において、

前記第１画素から出力される信号および前記第２画素から出力される信号を処理する処理部を備える撮像素子。

[請求項15] 請求項１４に記載の撮像素子において、

前記処理部は、前記領域毎に設けられる撮像素子。

[請求項16] 請求項１から請求項１３までのいずれか一項に記載の撮像素子において、

前記第１画素から出力される信号を処理する第１処理部と、

前記第２画素から出力される信号を処理する第２処理部と、を備える撮像素子。

[請求項17] 請求項１６に記載の撮像素子において、

前記第１処理部および前記第２処理部は、前記領域毎に設けられる撮像素子。

[請求項18] 請求項１６に記載の撮像素子において、

前記第１処理部は、前記領域毎に設けられ、

前記第２処理部は、複数の前記領域毎に設けられる撮像素子。

[請求項19] 光を光電変換して電荷を生成する第１光電変換部を有し、前記第１光電変換部で生成された電荷に基づいて画像生成に用いる信号を出力

し、第１方向および前記第１方向と交差する第２方向に設けられる複数の第１画素と、光を光電変換して電荷を生成する第２光電変換部を有し、前記第２光電変換部で生成された電荷に基づいて焦点検出に用いる信号を出力し、前記第１方向に配置される複数の第２画素とをそれぞれ含む複数の領域と、

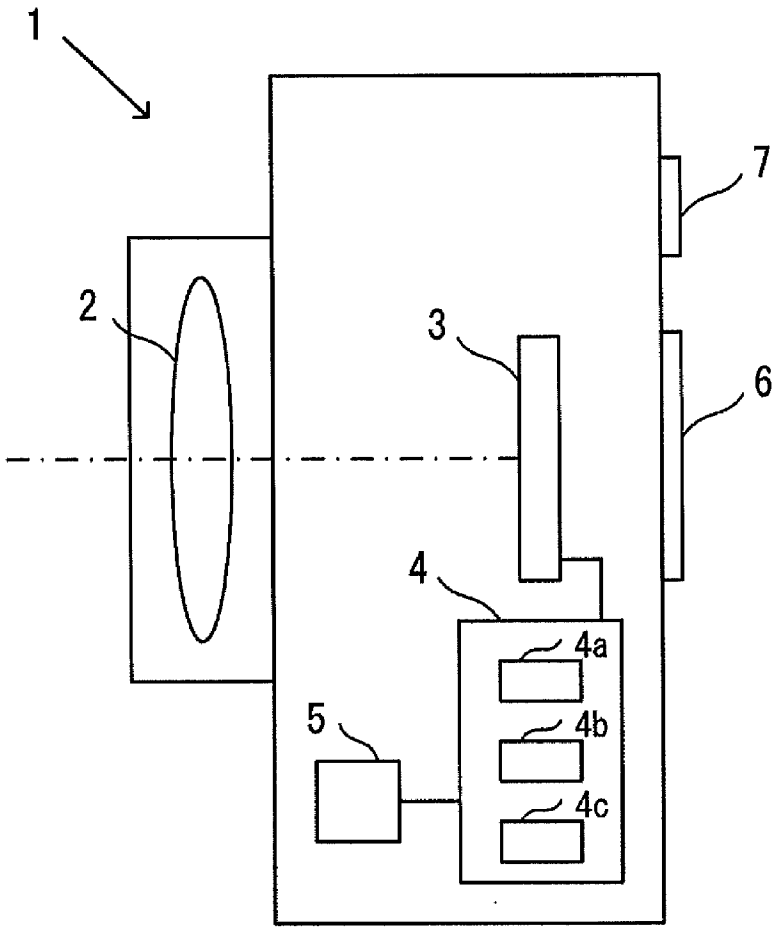
前記第１画素からの信号を出力する第１出力部と、

前記第２画素からの信号を出力する第２出力部と、を備える撮像素子。

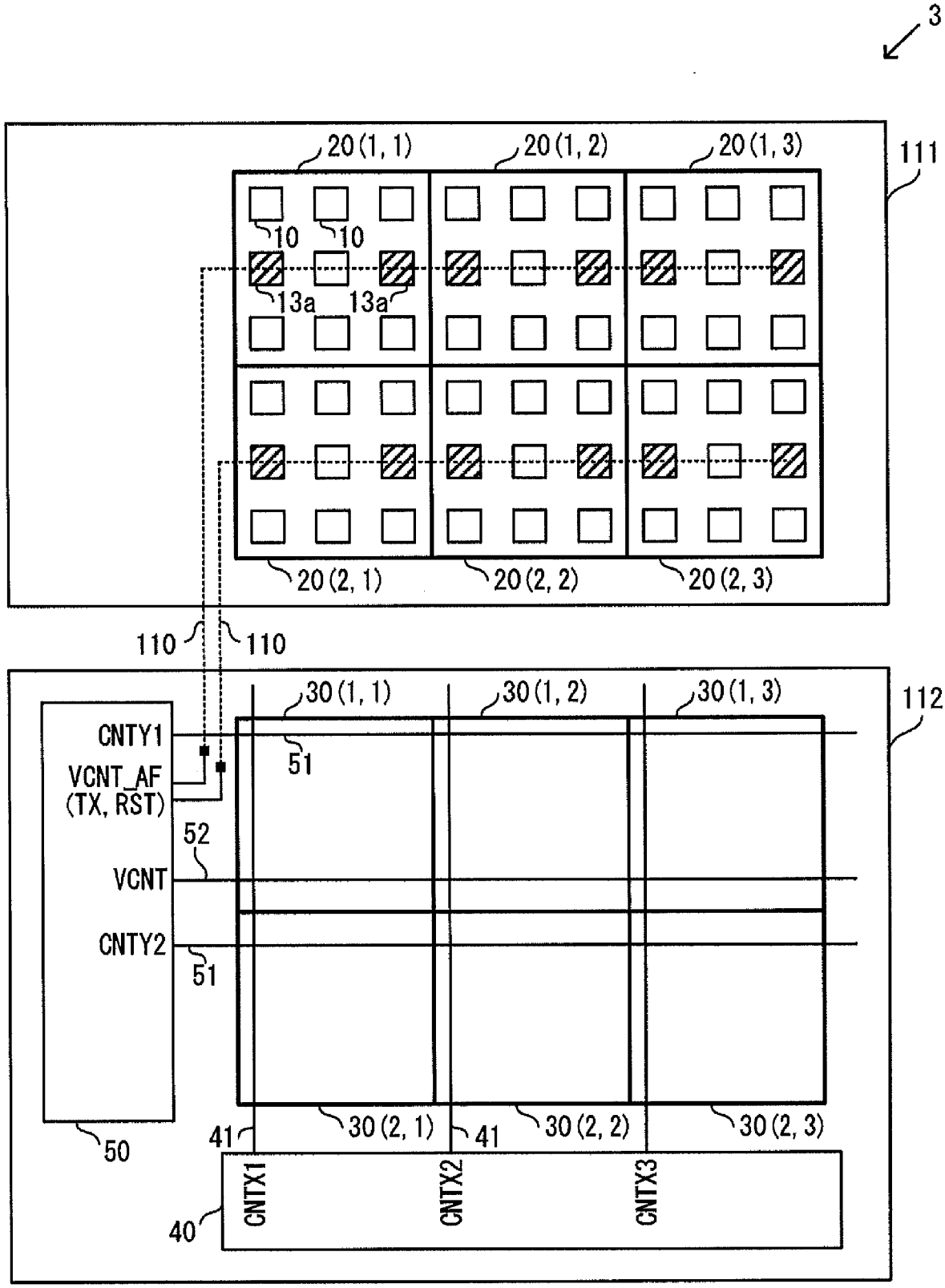
[請求項20] 請求項１から請求項１９までのいずれか一項に記載の撮像素子と、

前記撮像素子から出力される信号に基づいて画像データを生成する生成部と、を備える撮像装置。

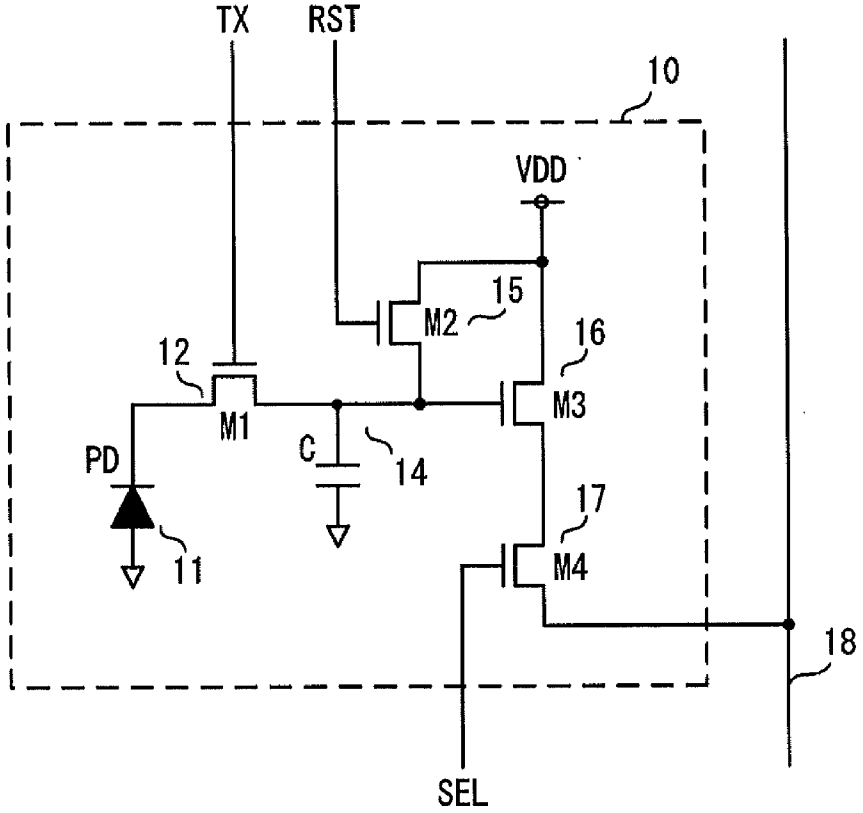
[図1]



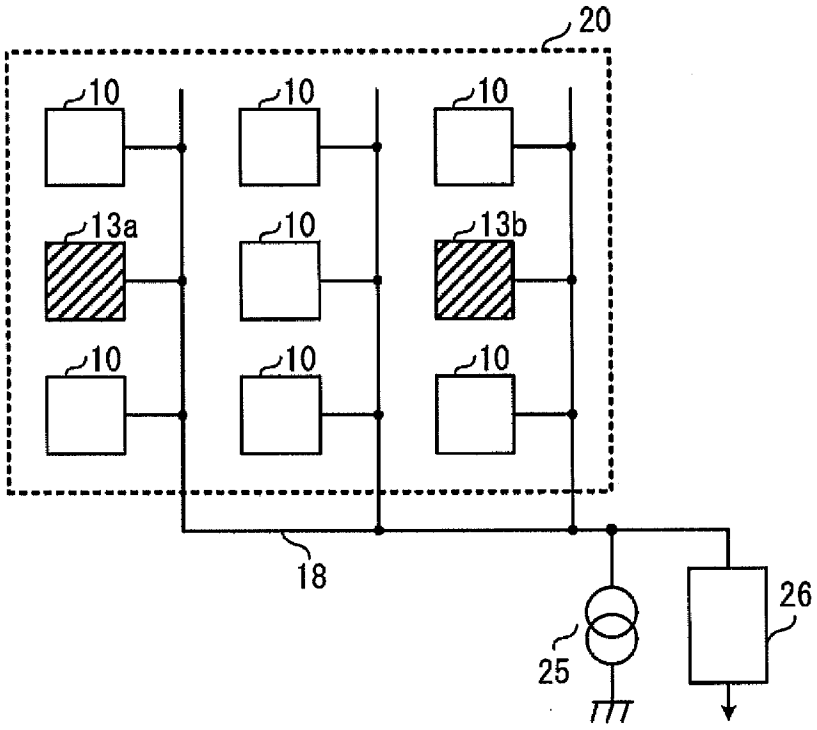
[図2]


3
111
20(1, 1)
20(1, 2)
20(1, 3)
10
10
13a
13a
20(2, 1)
20(2, 2)
20(2, 3)
110
110
112
30(1, 1)
30(1, 2)
30(1, 3)
CNTY1
VCNT_AF
(TX, RST)
51
52
VCNT
CNTY2
51
50
41
30(2, 1)
41
30(2, 2)
30(2, 3)
40
CNTX1
CNTX2
CNTX3

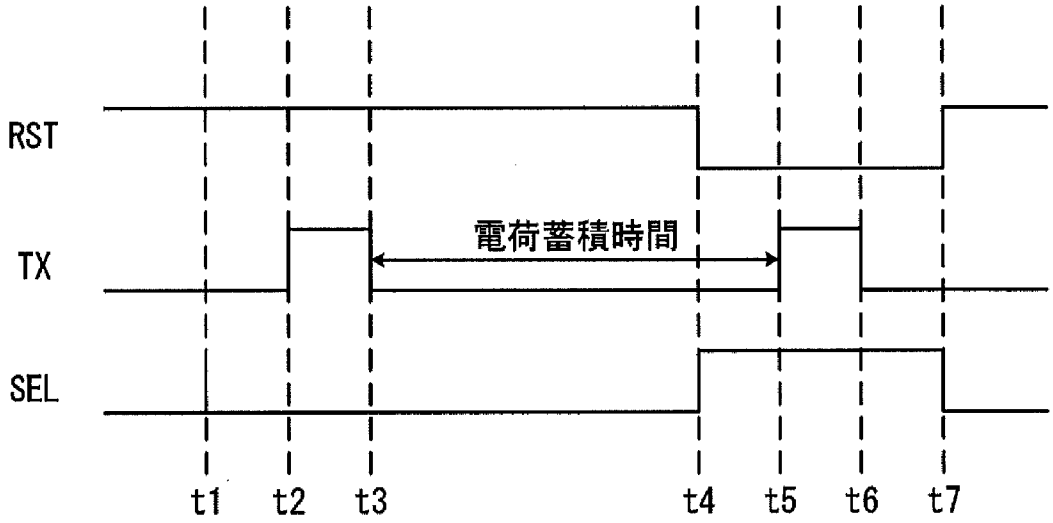
[図3]


TX
RST
10
VDD
15
M2
16
12
M3
M1
C
14
PD
17
11
M4
18
SEL

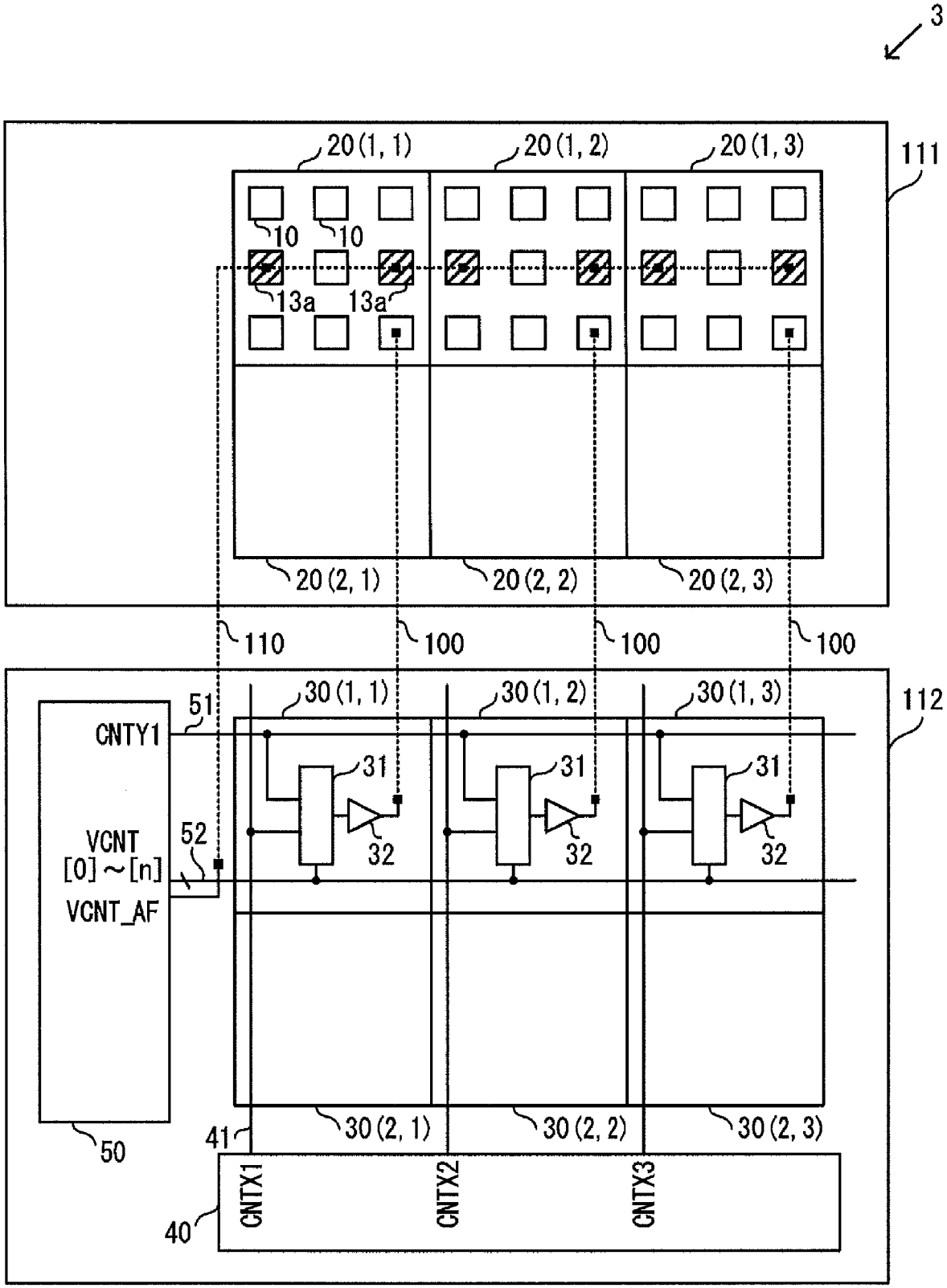
[図4]


20
10
10
10
13a
10
13b
10
10
10
18
26
25

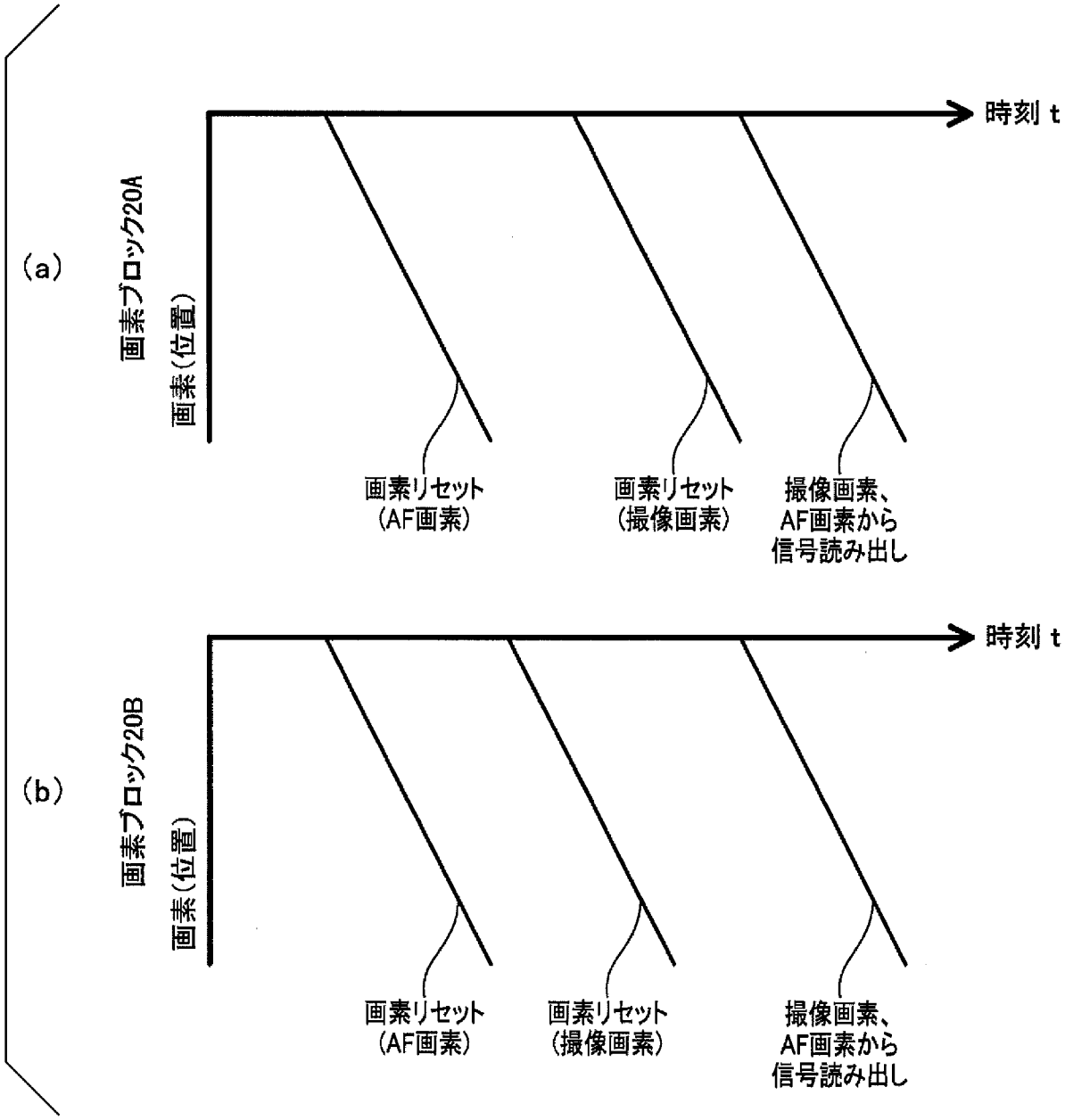
[図5]



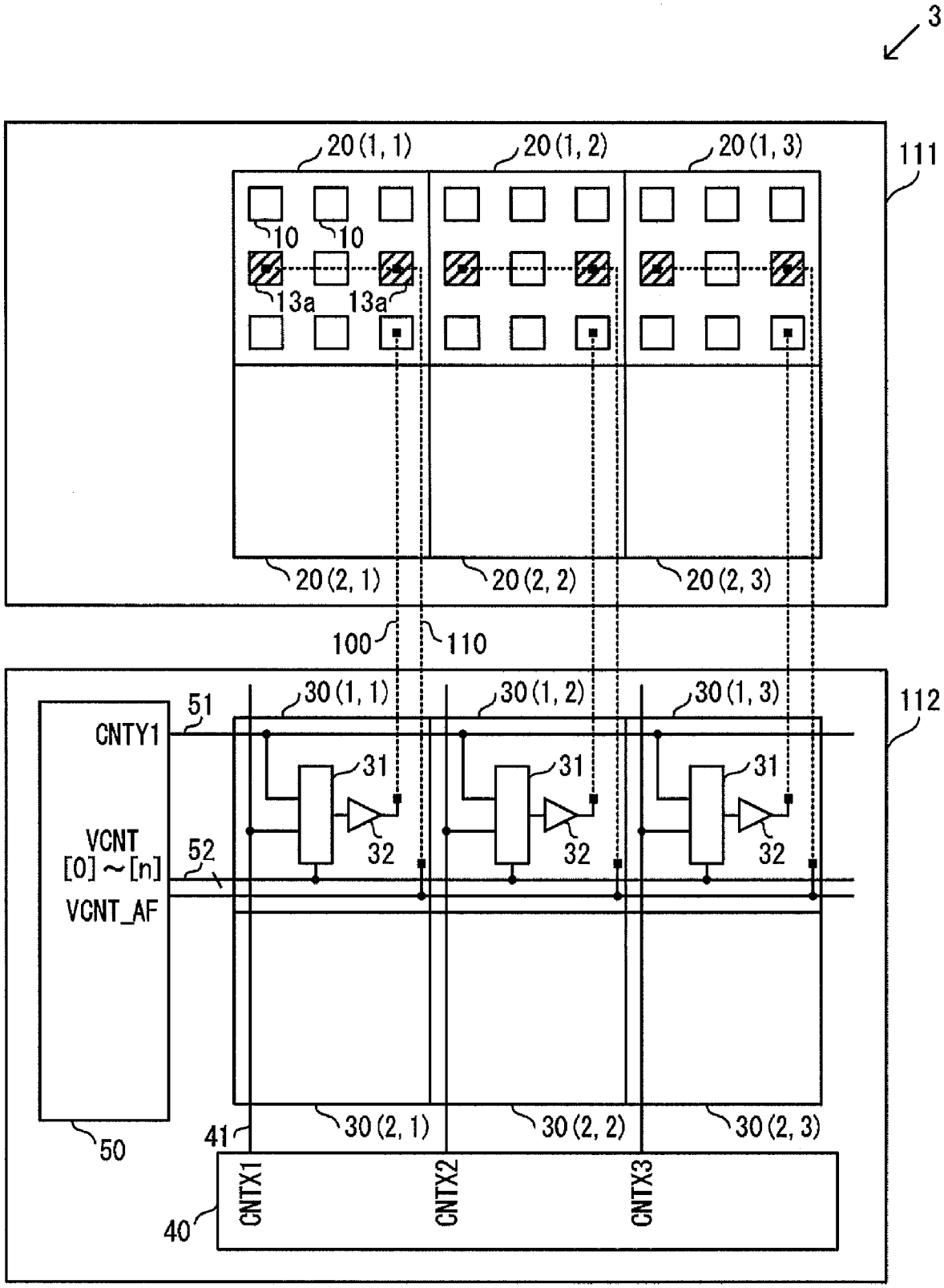
[図6]


3
111
20(1, 1)
20(1, 2)
20(1, 3)
10
10
13a
13a
20(2, 1)
20(2, 2)
20(2, 3)
110
100
100
100
112
51
CNTY1
52
VCNT
[0]～[n]
VCNT_AF
30(1, 1)
30(1, 2)
30(1, 3)
31
31
31
32
32
32
50
41
30(2, 1)
30(2, 2)
30(2, 3)
40
CNTX1
CNTX2
CNTX3

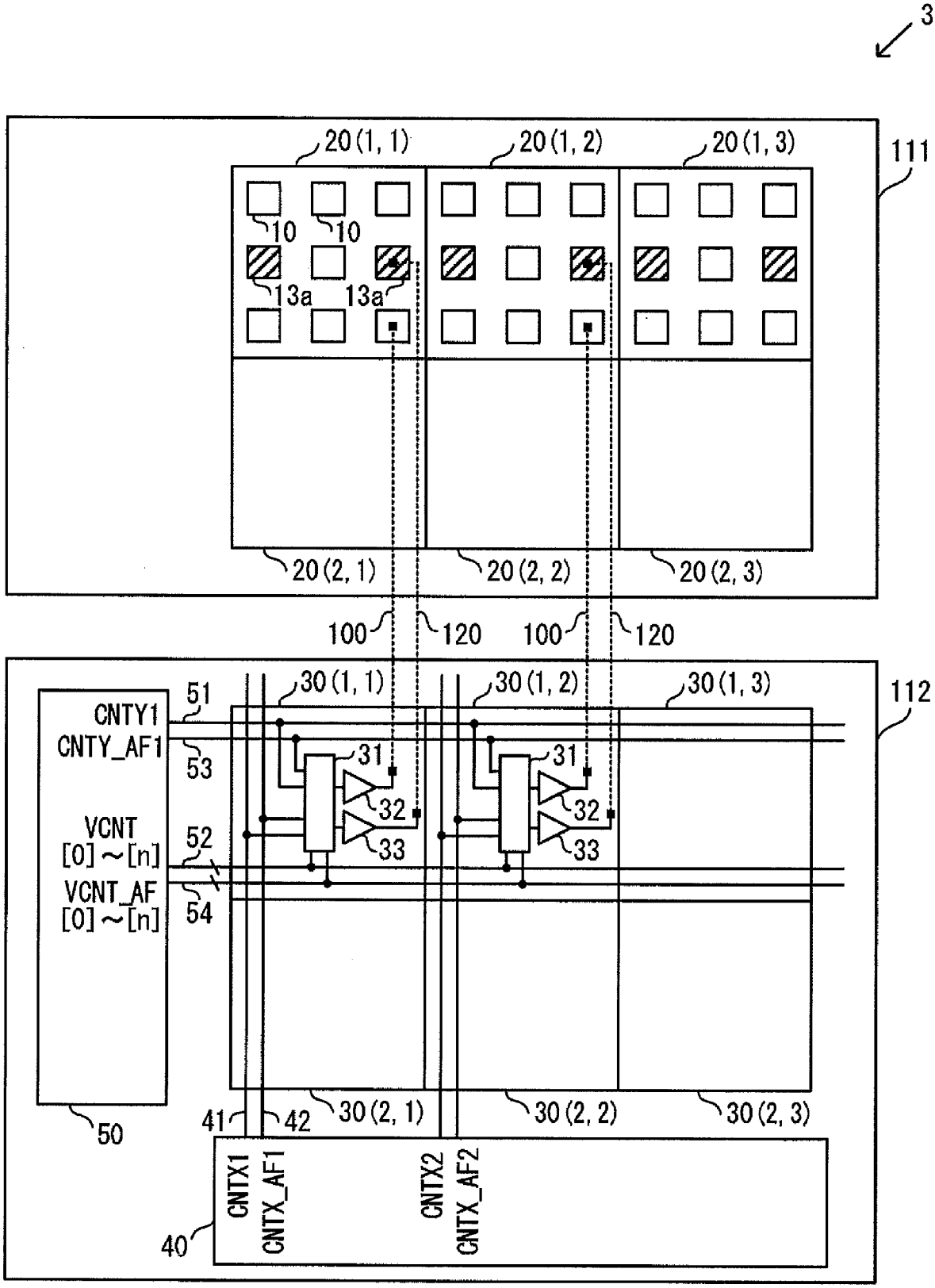
[図7]


(a)
画素ブロック20A
画素(位置)
時刻 t
画素リセット
(AF画素)
画素リセット
(撮像画素)
撮像画素、
AF画素から
信号読み出し
(b)
画素ブロック20B
画素(位置)
時刻 t
画素リセット
(AF画素)
画素リセット
(撮像画素)
撮像画素、
AF画素から
信号読み出し

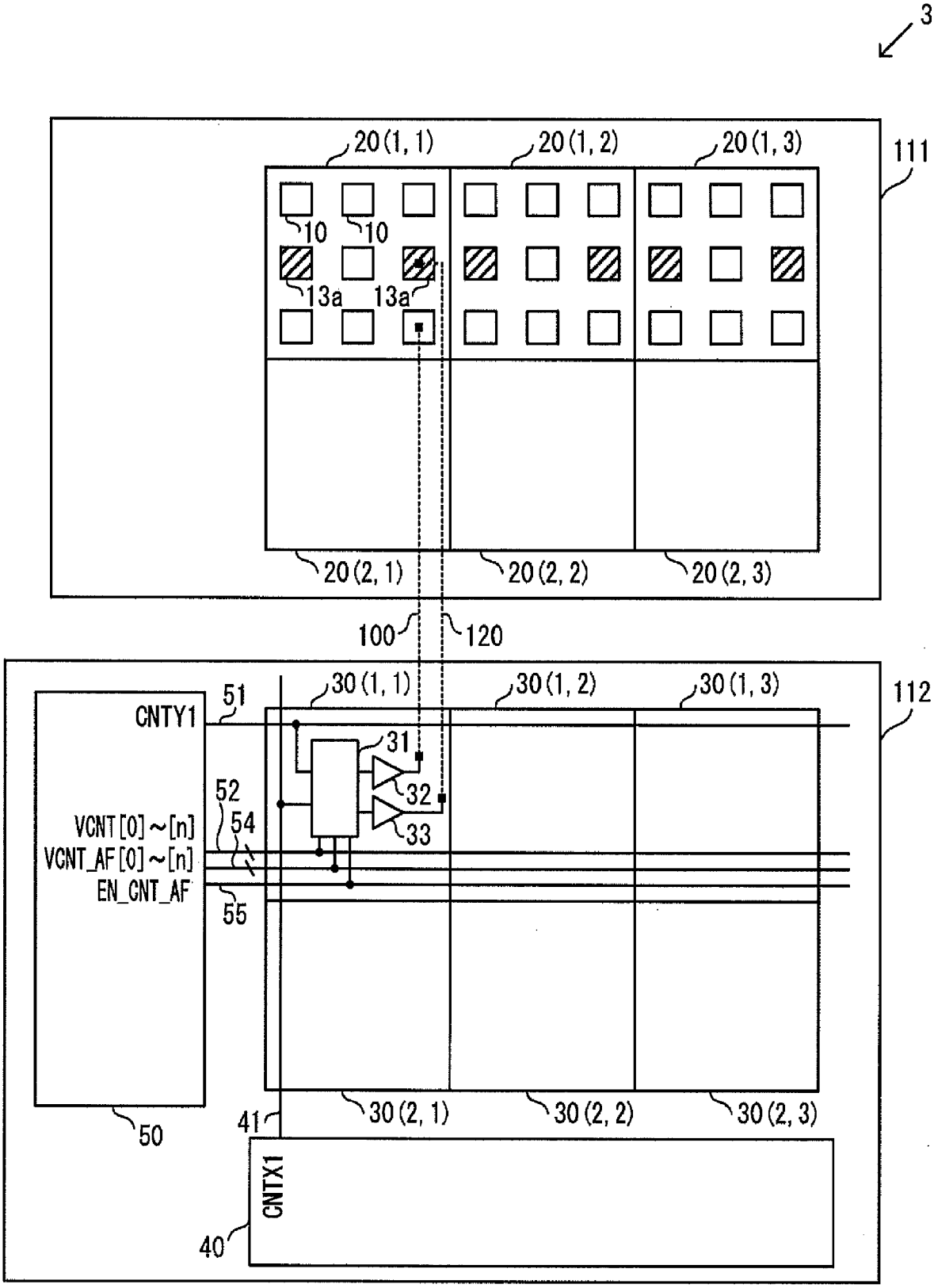
[図8]


3
111
20(1, 1)
20(1, 2)
20(1, 3)
10
10
13a
13a
20(2, 1)
20(2, 2)
20(2, 3)
100
110
112
30(1, 1)
30(1, 2)
30(1, 3)
51
CNTY1
31
32
VCNT
[0]～[n]
52
VCNT_AF
30(2, 1)
30(2, 2)
30(2, 3)
41
50
40
CNTX1
CNTX2
CNTX3

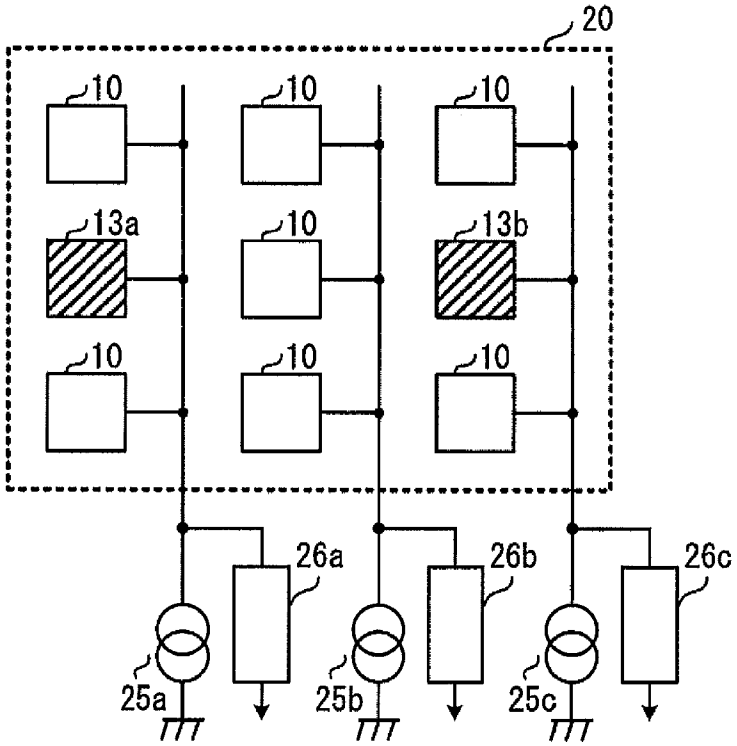
[図9]


3
111
20(1, 1)
20(1, 2)
20(1, 3)
10
10
13a
13a
20(2, 1)
20(2, 2)
20(2, 3)
100
120
100
120
112
30(1, 1)
30(1, 2)
30(1, 3)
51
CNTY1
CNTY_AF1
53
31
32
33
VCNT
[0]～[n]
52
VCNT_AF
[0]～[n]
54
50
41
42
30(2, 1)
30(2, 2)
30(2, 3)
CNTX1
CNTX_AF1
CNTX2
CNTX_AF2
40

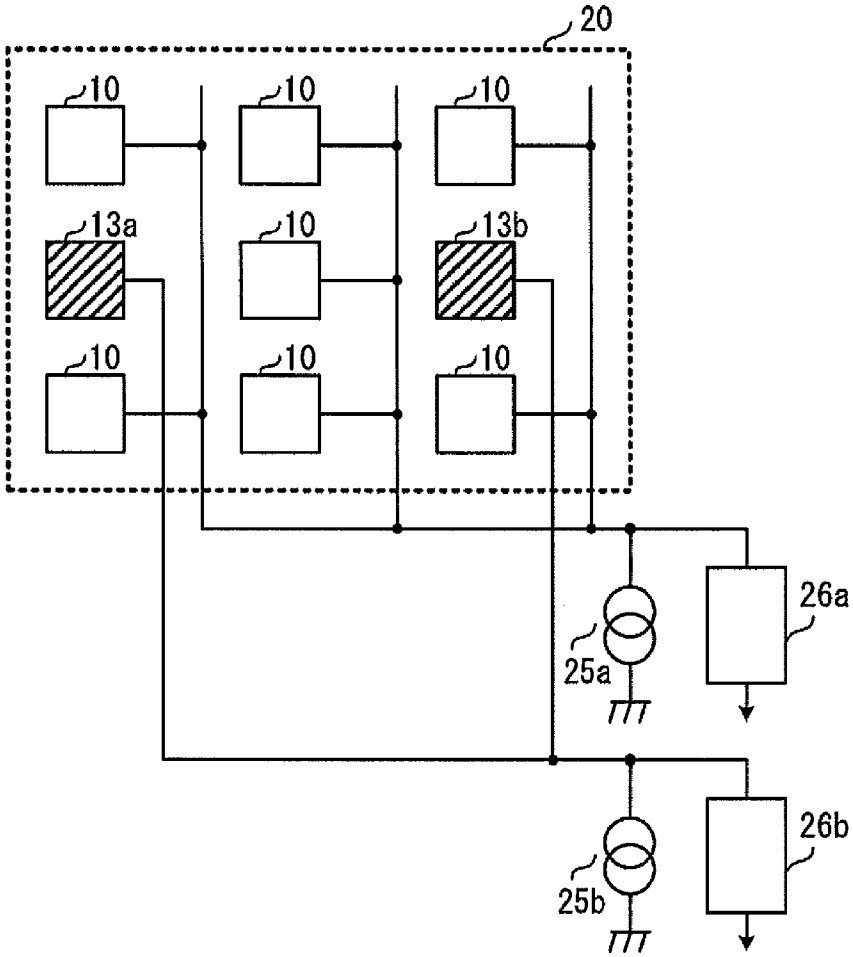
[図10]


3
111
20(1, 1)
20(1, 2)
20(1, 3)
10
10
13a
13a
20(2, 1)
20(2, 2)
20(2, 3)
100
120
112
CNTY1
51
30(1, 1)
30(1, 2)
30(1, 3)
31
32
33
52
54
VCNT[0]~[n]
VCNT_AF[0]~[n]
EN_CNT_AF
55
50
41
30(2, 1)
30(2, 2)
30(2, 3)
CNTX1
40

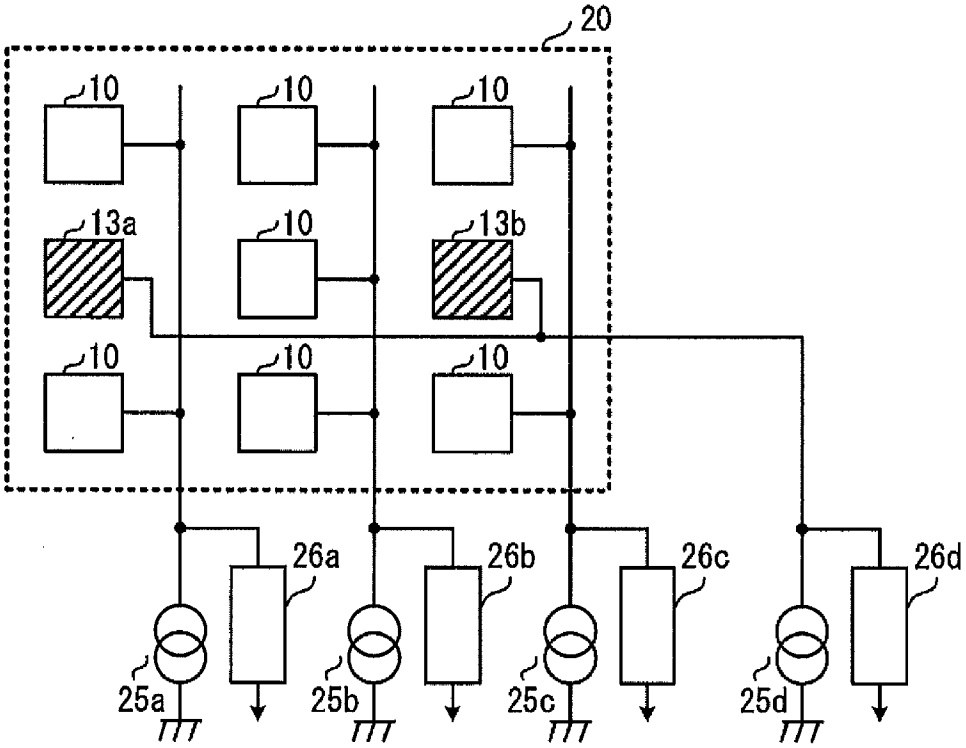
[図11]


20
10
10
10
13a
10
13b
10
10
10
26a
26b
26c
25a
25b
25c

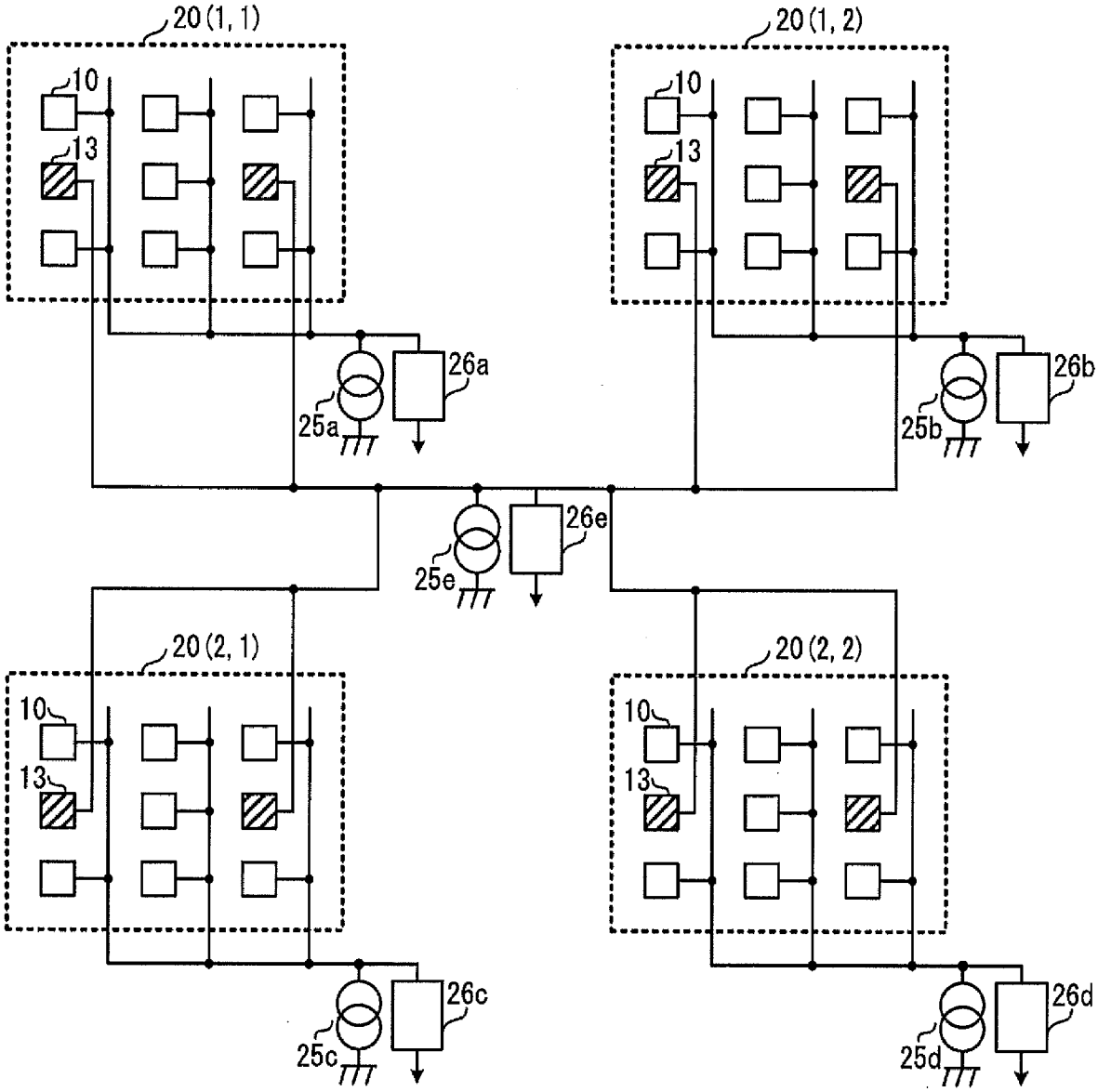
[図12]


20
10
10
10
13a
10
13b
10
10
10
25a
26a
25b
26b

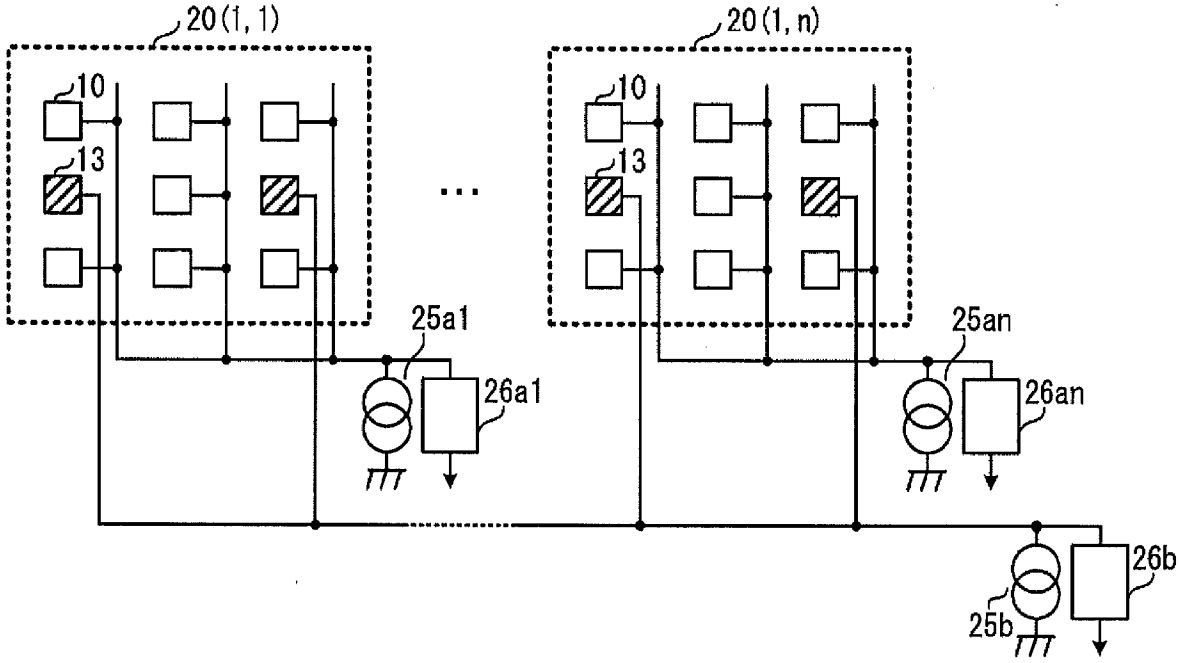
[図13]



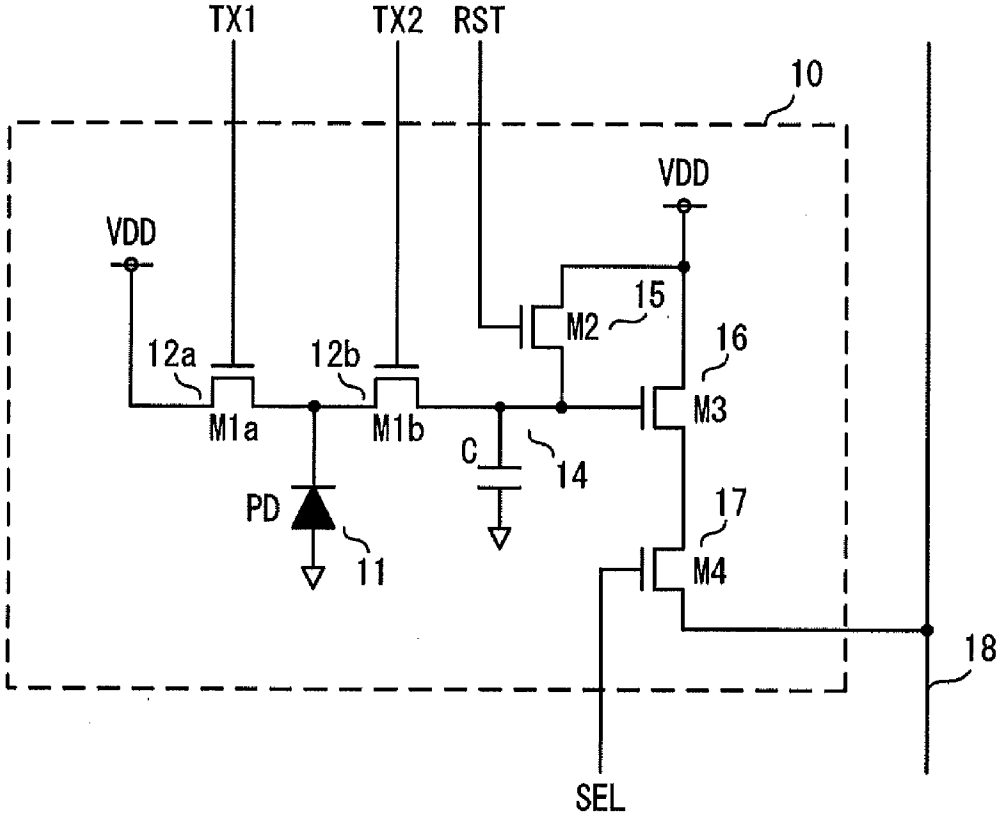
[図14]


20(1, 1)
20(1, 2)
20(2, 1)
20(2, 2)
10
13
25a
26a
25b
26b
25e
26e
25c
26c
25d
26d

[図15]


20(1, 1)
20(1, n)
10
13
25a1
26a1
25an
26an
25b
26b

[図16]


TX1
TX2
RST
10
VDD
VDD
15
M2
16
12a
12b
M3
M1a
M1b
C
14
PD
17
11
M4
18
SEL

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/021385

A. CLASSIFICATION OF SUBJECT MATTER

H04N 5/374(2011.01)i; ***H04N 5/345***(2011.01)i; ***H04N 5/369***(2011.01)i; ***H04N 5/376***(2011.01)i
FI: H04N5/374; H04N5/369 600; H04N5/345; H04N5/376

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374; H04N5/345; H04N5/369; H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-128284 A (CANON INC.) 09 July 2015 (2015-07-09) paragraphs [0013], [0039], [0041], [0045], fig. 1, 8, 10, 11(a)	1-20
X	JP 2009-89143 A (NIKON CORP.) 23 April 2009 (2009-04-23) paragraphs [0002], [0016], [0027]-[0041], fig. 1, 10	1-9, 12-20
X	JP 2009-17152 A (NIKON CORP.) 22 January 2009 (2009-01-22) paragraphs [0027], [0092]-[0094], fig. 1, 18, 21	1-9, 12, 13, 19, 20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 July 2022	**02 August 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/021385

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2015-128284 A	09 July 2015	US 2015/0156428 A1 paragraphs [0026], [0052], [0054], [0058], fig. 1, 8, 10, 11A CN 104683668 A KR 10-2015-0062955 A	
JP 2009-89143 A	23 April 2009	US 2009/0086084 A1 paragraphs [0005], [0033], [0044]-[0059], fig. 1, 10	
JP 2009-17152 A	22 January 2009	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/021385

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/374(2011.01)i; H04N 5/345(2011.01)i; H04N 5/369(2011.01)i; H04N 5/376(2011.01)i
FI: H04N5/374; H04N5/369 600; H04N5/345; H04N5/376

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/374; H04N5/345; H04N5/369; H04N5/376

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2015-128284 A (キヤノン株式会社) 09.07.2015 (2015-07-09) 段落 [0013], [0039], [0041], [0045], 図1,8,10,11(a)	1-20
X	JP 2009-89143 A (株式会社ニコン) 23.04.2009 (2009-04-23) 段落 [0002], [0016], [0027]-[0041], 図1,10	1-9,12-20
X	JP 2009-17152 A (株式会社ニコン) 22.01.2009 (2009-01-22) 段落 [0027], [0092]-[0094], 図1,18,21	1-9,12,13,19,20

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.07.2022	02.08.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
鈴木　明 5V 9185

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/021385

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-128284 A	09.07.2015	US 2015/0156428 A1 段落［0026］，［0052］，［0054］，［0058］，図1,8,10,11A CN 104683668 A KR 10-2015-0062955 A	
JP 2009-89143 A	23.04.2009	US 2009/0086084 A1 段落［0005］，［0033］，［0044］－［0059］，図1,10	
JP 2009-17152 A	22.01.2009	（ファミリーなし）	