

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5569321号  
(P5569321)

(45) 発行日 平成26年8月13日(2014.8.13)

(24) 登録日 平成26年7月4日(2014.7.4)

(51) Int.Cl.	F I	
HO 1 L 21/337 (2006.01)	HO 1 L 29/80	V
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	H
HO 1 L 29/808 (2006.01)	HO 1 L 29/78	6 5 2 T
HO 1 L 29/812 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 29/778 (2006.01)	HO 1 L 29/78	6 5 2 S
請求項の数 6 (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2010-227850 (P2010-227850)  
 (22) 出願日 平成22年10月7日(2010.10.7)  
 (65) 公開番号 特開2012-84617 (P2012-84617A)  
 (43) 公開日 平成24年4月26日(2012.4.26)  
 審査請求日 平成23年4月26日(2011.4.26)

(73) 特許権者 000002130  
 住友電気工業株式会社  
 大阪府大阪市中央区北浜四丁目5番33号  
 (74) 代理人 110000693  
 特許業務法人ハートクラスタ  
 (74) 代理人 100111936  
 弁理士 渡辺 征一  
 (72) 発明者 岡田 政也  
 大阪府大阪市此花区島屋一丁目1番3号  
 住友電気工業株式会社大阪製作所内  
 (72) 発明者 木山 誠  
 兵庫県伊丹市昆陽北一丁目1番1号 住友  
 電気工業株式会社伊丹製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

表層から n 型 GaN 系半導体層まで届く開口部が設けられた GaN 系積層体を備える縦型の半導体装置であって、

前記開口部の壁面および該開口部周縁の前記 GaN 系積層体を覆うように位置するチャンネルを含む再成長層と、

前記 n 型 GaN 系半導体層上に接して位置し、前記開口部の壁面で前記再成長層にその端面が被覆される p 型 GaN 系半導体層と、

前記開口部において前記再成長層の上に位置するゲート電極と、

前記開口部の周囲の前記 GaN 系積層体上に位置するソース電極とを備え、

前記再成長層は電子走行層および電子供給層を含み、前記チャンネルが前記電子走行層内の前記電子供給層との界面に生じる二次元電子ガスにより形成され、前記電子走行層および電子供給層はともにアンドープであり、

前記 p 型 GaN 系半導体層が前記 GaN 系積層体の表層をなし、かつ前記ソース電極が前記再成長層および p 型 GaN 系半導体層に接して位置し、

前記 p 型 GaN 系半導体層の上層にある半導体層はアンドープの GaN 系半導体層に限られることを特徴とする、半導体装置。

【請求項2】

前記再成長層は前記ソース電極の側面まで延在しており、該ソース電極は、該再成長層に側面で接しながら前記 p 型 GaN 系半導体層内に延びていることを特徴とする、請求項

1に記載の半導体装置。

【請求項3】

前記p型GaN系半導体層のマグネシウム濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下とすることを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】

前記再成長層上であって、前記ゲート電極の下に、絶縁層を備えることを特徴とする、請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】

GaN系積層体をMOCVD法によって成長する、縦型の半導体装置の製造方法であって、

n<sup>-</sup>型GaN系半導体層上に、前記GaN系積層体の表層をなすp型GaN系半導体層を形成する工程と、

エッチングにより、前記表層から前記n<sup>-</sup>型GaN系半導体層にまで届く開口部を形成する工程と、

前記開口部および該開口部周縁に、電子走行層および電子供給層を含む再成長層を成長する工程と、

前記開口部周囲の前記GaN系積層体の表層に、前記再成長層および前記p型GaN系半導体層の両方に接触するようにソース電極を形成する工程と、

前記再成長層を形成した後、真空雰囲気または不活性気体雰囲気において加熱する脱水素アニールを行う工程とを備え、

前記再成長層における前記電子走行層および電子供給層をアンドープとし、前記p型GaN系半導体層の上層にある半導体層はアンドープのGaN系半導体層に限られることを特徴とする、半導体装置の製造方法。

【請求項6】

前記脱水素アニールは、前記ソース電極を形成する工程よりも前に行うことを特徴とする、請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、大電力のスイッチングに用いられる、オン抵抗が低く、かつ優れた耐圧性能を持つ、縦型の半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

大電流用のスイッチング素子には、低いオン抵抗、ドレインリーク電流の抑止、高い逆方向耐圧などが求められる。III族窒化物半導体を用いた電界効果トランジスタ(FET: Field Effect Transistor)は、バンドギャップが大きいことから、高耐圧、高温動作などの点で優れており、とくにGaN系半導体を用いた縦型トランジスタは、大電力の制御用トランジスタとして注目されている。たとえばGaN系半導体に開口部を設けて、その開口部の側面に二次元電子ガス(2DEG: 2 Dimensional Electron Gas)のチャンネルを含む再成長層を設けることで、移動度を高めてオン抵抗を低くした縦型GaN系FETの提案がなされている(特許文献1)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-286942号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記の縦型FETにおいては、再成長層を設ける開口部の周囲にガードリングの作用を奏するp型GaN層を挿入する。このため、チャンネルを形成する二次元電子ガスによる高

10

20

30

40

50

い移動度を得ながら、 $n p n$ 構造となることから縦方向の耐压性能を確保することができる。

しかし、半導体積層体の成膜方法によっては、期待した耐压性能を得られない場合がある。

#### 【0005】

本発明は、低いオン抵抗を得ながら、かつ優れた耐压性能を持つ、縦型の半導体装置およびその製造方法を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0006】

本発明の半導体装置は、表層から $n$ 型 $G a N$ 系半導体層（以下、 $n$ 型ドリフト層と記す）まで届く開口部が設けられた $G a N$ 系積層体を備える縦型の半導体装置である。この半導体装置では、開口部は $n$ 型ドリフト層にまで届いており、開口部の壁面および該開口部周縁の $G a N$ 系積層体を覆うように位置するチャネルを含む再成長層と、 $n$ 型ドリフト層上に接して位置し、開口部の壁面で再成長層にその端面が被覆される $p$ 型 $G a N$ 系半導体層（以下、 $p$ 型バリア層と記す）と、開口部において再成長層の上に位置するゲート電極と、開口部の周囲の $G a N$ 系積層体上に位置するソース電極とを備える。そして、再成長層は電子走行層および電子供給層を含み、チャネルが電子走行層内の電子供給層との界面に生じる二次元電子ガスにより形成され、電子走行層および電子供給層はともにアンドープであり、 $p$ 型バリア層が $G a N$ 系積層体の表層をなし、かつソース電極が再成長層および $p$ 型バリア層に接して位置し、 $p$ 型 $G a N$ 系半導体層の上層にある半導体層はアンドープの半導体層に限られることを特徴とする。

#### 【0007】

本発明者らは、 $G a N$ 系積層体のトップ側が $n p n$ 構造で終端すると、高濃度の水素が $p$ 型層に集積して抜けにくくなることを経験的に知るに至った。しかし何故、 $G a N$ 系積層体のトップ側が $n p n$ 構造になると、高濃度の水素が集積するかは明確になっていない。水素はプロトンで存在し、正孔に類似の形態なので、表層が $n$ 型層の場合、 $p n$ 接合の障壁によって $p$ 型層の中に閉じこめられるからと推測できるが検証はされていない。事実として、 $G a N$ 系積層体のトップ側が $n p n$ 構造で終端する場合、高濃度の水素が $p$ 型層に集積する。

水素が $p$ 型バリア層に高濃度で滞留すると、マグネシウム（ $M g$ ）がアクセプタまたは $p$ 型不純物として機能しにくくなり、 $p$ 型バリア層として期待通りの機能を発揮しなくなる。この結果、（１）耐压性能が低下し、（２）ピンチオフ特性が劣化する。このような、高濃度の水素の $p$ 型バリア層への集積による、耐压性能およびピンチオフ特性の劣化は、 $n p n$ 構造の帰結といえる。

さらに、ソース電極は $p$ 型バリア層に接触することで、この半導体装置のオフ動作のアンバランス破壊によって生成される正孔を引き抜く。しかし、 $p$ 型バリア層のアクセプタ濃度が低いとソース電極と $p$ 型バリア層との接触抵抗は増大して、円滑に正孔を引き抜くことができない。長期間、正孔が引き抜かれず堆積すると、この正孔の堆積によって耐压性能が不安定になり耐压性能が劣化する。

本発明の構成によれば、 $G a N$ 系積層体のトップ側は、従来表層をなしていた $n$ 型コンタクト層を無くして、 $n$ 型ドリフト層/ $p$ 型バリア層、という、 $n p$ 構造にする。すなわち $n p$ 構造で終端する。このため、高濃度の水素が終端部における $p n$ 接合の障壁で $p$ 型バリア層内に閉じこめられることがなくなる。この結果、 $p$ 型バリア層に期待される本来の作用である、耐压性能、ピンチオフ特性、およびソース電極との協働による正孔の円滑な引き抜き、を確実に得ることができる。

その他、高濃度水素の集積に伴う多くの不都合を除くことができる。

#### 【0008】

再成長層をソース電極の側面まで延在させ、該ソース電極を、該再成長層に側面で接しながら $p$ 型バリア層内に延ばすことができる。

これによって $n$ 型コンタクト層を設けることなく簡単な構造により、ソース電極から再

10

20

30

40

50

成長層のチャンネルにいたるアクセス抵抗を低くすることができる。すなわち簡単な構造でオン抵抗を低くすることができる。

【0009】

p型バリア層のMg濃度を $1E17\text{cm}^{-3}$ 以上 $1E19\text{cm}^{-3}$ 以下とすることができる。

水素によって不活性化されるMgの量は減少して、Mgの利用率は向上する。上記の濃度範囲のうち適当なMg濃度を用いて、低いオン抵抗と、高い耐圧性能およびピンチオフ特性とを兼ね備えた半導体装置を得ることができる。

【0010】

再成長層上であって、ゲート電極の下に、絶縁層を備えることができる。

ゲート電極下に絶縁層を配置することで、ゲートに正電圧を印加したときのゲートリーク電流を抑制できるため、大電流動作がしやすくなる。また、しきい値電圧をより正方向にシフトできるため、ノーマリーオフを得やすくなる。

【0011】

本発明の半導体装置の製造方法は、GaN系積層体をMOCVD法によって成長する、縦型の半導体装置の製造方法である。この方法は、n型ドリフト層上に、GaN系積層体の表層をなすp型バリア層を形成する工程と、エッチングにより、表層からn型ドリフト層にまで届く開口部を形成する工程と、開口部および該開口部周縁に、電子走行層および電子供給層を含む再成長層を成長する工程と、開口部周囲のGaN系積層体の表層に、再成長層およびp型バリア層の両方に接触するようにソース電極を形成する工程と、再成長層を形成した後、真空雰囲気または不活性気体雰囲気において加熱する脱水素アニールを行う工程とを備え、再成長層における電子走行層および電子供給層をアンドープとし、p型GaN系半導体層の上層にある半導体層はアンドープのGaN系半導体層に限られることを特徴とする。

【0012】

上記の方法によって、再成長層の形成時に集積される水素を、脱水素アニールによって再成長層から容易に放散させることができる。雰囲気が重要であり、少なくともMOCVD成膜時の雰囲気よりも数オーダー水素濃度が低い雰囲気が必須である。脱水素アニールは、MOCVD成長室とは異なる槽に移してその槽で行ってもよいし、MOCVD装置の有機金属原料ガスを閉じて、成長室の雰囲気を減圧（真空）、または不活性気体の雰囲気に変えて当該MOCVD成長室で行ってもよい。加熱温度は、たとえば600以上800以下にするのが好ましい。保持時間は、昇温および降温の経過時間が十分あればとくに保持しなくてもよい。

再成長層はアンドープなので、pn接合の障壁は形成されないため、水素は容易に離脱できる。この結果、耐圧性能およびピンチオフ特性を向上させる、本来のp型バリア層の性能を発揮することができる。

【0013】

脱水素アニールを、ソース電極を形成する工程よりも前に行うのがよい。

ソース電極は、開口部の周囲を覆って大きい面積比率で配置されるので、p型バリア層上を大きな蓋のように被覆する。このため脱水素アニールの妨げになる。また、再成長層上であってゲート電極下に絶縁膜を配置する場合には、脱水素アニールは、その絶縁膜の形成工程よりも前に行うのがよい。

【発明の効果】

【0014】

本発明の半導体装置等によれば、低いオン抵抗を得ながら、かつ優れた耐圧性能およびピンチオフ特性を持つことができる。また、オフ動作時に生成する正孔をソース電極との協働によって円滑に引き抜くことができる。その他、高濃度の水素集積に伴う各種の不都合を除去することができる。

【図面の簡単な説明】

【0015】

10

20

30

40

50

【図1】本発明の実施の形態における半導体装置（縦型GaN系FET）を示し、図2のI-I線に沿う断面図である。

【図2】図1の半導体装置が形成されているチップの平面図である。

【図3】GaN基板上にGaN系積層体を形成した状態を示す図である。

【図4】GaN系積層体に開口部を設けた状態を示す図である。

【図5】RIEによって開口部を設ける段階を示し、(a)はレジストパターンを配置した状態、(b)はイオンを照射しながら開口を掘り下げて開口を拡大（後退）させてゆく状態、を示す図である。

【図6】開口部に再成長層を成長した状態、を示す図である。

【図7】再成長層の成長およびその後の脱水素アニールにおける温度-時間パターンを示す図である。

10

【図8】再成長層上に絶縁膜を成長させた状態を示す図である。

【発明を実施するための形態】

【0016】

図1は、本発明の実施の形態における半導体装置10を示す断面図である。この半導体装置10では、(GaN系基板1)の積層構造を有する。GaN系積層体15は、基板1側から(n<sup>-</sup>型GaNドリフト層4/p型GaNバリア層6)の構造を有し、GaN基板1に積層されている。表層にp型GaNバリア層6が配置される点は、本実施の形態における大きな特徴である。電子をキャリアとする半導体素子では、npn構造を採用するのが普通である。本実施の形態におけるnp構造は大きな特徴点である。

20

p型GaNバリア層6の表面からn<sup>-</sup>型GaNドリフト層4に届く開口部28が設けられている。開口部28に露出する上記GaN系半導体層15を覆うように、電子走行層(チャンネル層)22および電子供給層(キャリア供給層)26を含む再成長層27が形成されている。再成長層27上には絶縁膜9を介在させてゲート電極Gが配置される。

p型GaNバリア層は、本実施の形態ではp型GaNバリア層6としているが、p型AlGaN層を用いてもよい。積層体15を構成するその他の層についても、場合に応じて、上記に示したGaN層を他のGaN系半導体層としてよい。

GaN系積層体15上にソース電極Sが形成され、このソース電極Sと対面するように、当該ソース電極Sと、n<sup>-</sup>型GaNドリフト層4等を挟んで、ドレイン電極Dが設けられている。電子走行層(チャンネル層)22はアンドープGaN層により、また電子供給層(キャリア供給層)26はアンドープAlGaN層で形成される。電子走行層22と電子供給層26の界面に、二次元電子ガス(2DEG: 2 Dimensional Electron Gas)が形成され、この2DEGが、ソース電極Sとドレイン電極Dとの間の縦方向電流のチャンネルを構成し、かつ低いオン抵抗を実現する。ソース電極Sは、その側面で再成長層27に接して、p型GaNバリア層6内に延びており、再成長層27およびp型GaNバリア層6の両方に導電接続している。

30

【0017】

上記の構成において、p型GaNバリア層6は次の作用を発揮する。

(a1) 耐圧性能の向上

(a2) バンドの正方向へのシフトによるピンチオフ特性の向上

40

しかし、p型GaNバリア層6については、次の理由によりアクセプタ濃度を十分高くできない。

(b1) p型GaNバリア層6は、チャンネルに面しており、アクセプタの混入はチャンネル特性の劣化を生じる。すなわちアクセプタが電子走行層22/電子供給層26に混入すると、オン抵抗が増大する。

(b2) p型GaNバリア層6は、直下のn<sup>-</sup>型GaN系ドリフト層4とpn接合を形成し、チャンネルOFF時に、良好な逆方向I(電流)-V(電圧)特性(耐圧性能)を得る。しかし、アクセプタ濃度が高いと、逆方向特性が劣化する。

上記(b1)および(b2)によって、p型GaNバリア層6のアクセプタ濃度を十分高くできない。

50

## 【0018】

従来の縦型半導体装置では、基板1側から(n<sup>-</sup>型GaNDリフト層/p型GaNバリア層/n<sup>+</sup>型GaNコンタクト層)の構成を持つ積層体がGaN基板上に積層されていた。注意すべき点は、表層をなす層がn<sup>+</sup>型GaNコンタクト層である。したがって、基板1側からnpn構造が形成されている。

従来のnpn構造をもつ半導体装置の場合、アクセプタ濃度を十分高くできないということに加えて、高濃度水素の集積という大きな因子が加わる。半導体装置は、量産段階に入ると、高い成長能率とくに大面積基板への成膜が可能、良好な結晶品質などを得られることから、MOVPE(Metal Organic Vapor Phase Epitaxy)法で成長される。この種の半導体装置が実用レベルに入って量産される場合、上記の理由でほとんど例外なくMOVPE法で成長されることになる。MOVPE法では、トリメチルガリウム(TMg)などの有機金属ガスが、アンモニアおよび水素などに搬送されて成長室に入り、膜を形成する。成膜に寄与した後、多量の水素等は排気されるが、水素はイオン状態ではサイズが小さいため半導体積層構造内に必ず侵入する。従来のnpn構造をもつ半導体装置では、水素は熱履歴を受けても半導体装置から離脱せずに残留する傾向が強かった。とくにGa系半導体においてnpn構造内のp型層に高濃度の水素の集積が顕著に生じることが、本発明者らによって確認された。本発明者らは、npn構造内のp型GaNバリア層に集積した高濃度の水素は、表面のn<sup>+</sup>型コンタクト層との間に形成されるpn接合の障壁によって表面側への移動を妨げられる結果と推測している。p型GaNバリア層内に集積した高濃度の水素は、同層内のアクセプタを不活性化させる、すなわちp型不純物として機能させにくくする。このため、上記の(b1)および(b2)の理由によりアクセプタ濃度を十分高くできないことに加えて、高濃度の水素によってアクセプタ濃度がさらに実質的に低下する。

## 【0019】

図1に示す半導体装置10のp型GaNバリア層6上にn<sup>+</sup>型コンタクト層が追加されている従来の半導体装置では、p型GaNバリア層内の水素濃度はつぎのように高い値を示す。

(n<sup>+</sup>型GaNコンタクト層/p型GaNバリア層内で $[H] = 2 \times 10^{18} \text{ cm}^{-3}$  / n<sup>-</sup>型GaNDリフト層内で $[H] = 1 \times 10^{16} \text{ cm}^{-3}$ )

n<sup>+</sup>型GaNコンタクト層では、p型GaNバリア層との界面における $[H] = 2 \times 10^{18} \text{ cm}^{-3}$ から表面側へと急峻に低下して、低下した底で $[H] = 3 \times 10^{16} \text{ cm}^{-3}$ 程度になる。表面では表面特有の立ち上がりを示すが、これは実質的に問題にならない。問題は、p型GaNバリア層内での $[H] = 2 \times 10^{18} \text{ cm}^{-3}$ という異常に高い水素濃度である。

上記の水素濃度は、SIMS(Secondary Ion Mass Spectroscopy)を用いて、n<sup>+</sup>型コンタクト層が積層された従来の半導体装置の表面から内部へと分析した結果である。従来の半導体装置は、上記のように、図1に示す開口部が設けられた縦型半導体装置に対して、表層にn<sup>+</sup>型コンタクト層が追加されただけで、他の構成は図1の装置と同じである。

## 【0020】

p型GaNバリア6が、上記(a1)および(a2)の作用を十分発揮するためには、実質的に十分高いアクセプタ濃度をもつ必要がある。しかし、従来の半導体装置におけるp型GaNバリア層内での $[H] = 2 \times 10^{18} \text{ cm}^{-3}$ という高濃度の水素が存在したのでは、Mgなどのアクセプタはアクセプタとして機能せず、上記(a1)および(a2)の作用を得ることが難しい。Mgは、水素による不活性化とは別に、室温ではその数パーセント程度しかアクセプタとして機能しないという温度要因がある。しかし、本発明が問題とするのは、温度要因とは関係のない水素によるMgの不活性化である。

さらに、上記のような高濃度の水素の集積は、上記の他に、半導体装置の作動に対して多くの不都合な影響を及ぼす。たとえば、アクセプタ濃度が低くなると、ソース電極とp型GaNバリア層を接触させて正孔を引き抜くことが、接触抵抗が増大するため円滑に作動しなくなる。すなわち、半導体装置のオフ動作時にp型GaNバリア層とn<sup>-</sup>型GaN

10

20

30

40

50

ドリフト層とのpn接合でアバランシェ破壊によって生成される正孔は、堆積すると耐圧性能が不安定になる。ソース電極をp型GaNバリア層に低抵抗で接触させると、正孔はソース電極(グランド)へと引き抜くことができる。

その他、高濃度の水素の集積は好ましくない影響を及ぼす。

#### 【0021】

本実施の形態では、上記のように、表層にp型GaNバリア層6を配置して、基板1側からnp構造とする。この結果、高濃度の水素がp型GaNバリア層6内に集積しなくなる。この結果、p型GaNバリア層6は、(b1)および(b2)のおそれを生じない程度の低いアクセプタ濃度を保ちながら、つぎの作用を發揮することができる。

(a1)耐圧性能の向上

(a2)バンドの正方向へのシフトによるピンチオフ特性の向上

(a3)オフ動作時にp型GaNバリア層とn<sup>-</sup>型GaNドリフト層とのpn接合でアバランシェ破壊によって生成される正孔を、ソース電極Sと協働して除くことができる。

#### 【0022】

図2は、図1に示した縦型GaN系半導体装置10の平面図であり、図1は本図におけるI-I線に沿う断面図である。図2によれば、開口部28およびゲート電極Gを六角形とし、ゲート配線12を避けながら、その周囲をほぼソース電極Sで覆って、最密充填(ハニカム構造)とすることにより単位面積当たりのゲート電極周囲長を長く取れる。このような形状の面からも、オン抵抗を下げることができる。電流は、ソース電極Sから直接に再成長層27内のチャンネル(電子走行層22)に入り、n<sup>-</sup>型GaNドリフト層4を経て、ドレイン電極Dへと流れる。ソース電極Sおよびその配線と、ゲート電極G、ゲート配線12およびゲートパッド13から構成されるゲート構成体とが、相互に干渉しないために、ソース配線は、図示しない層間絶縁膜上に設けられる。層間絶縁膜にはビアホールが設けられ、プラグ導電部を含むソース電極Sは、層間絶縁膜上のソース導電層(図示せず)と導電接続される。このような構造によって、ソース電極Sを含むソース構成体は、大電力用の素子に好適な、低い電気抵抗および高い移動度、を持つことができる。

上記の六角形のハニカム構造は、畝状にして、畝状の開口部を密に配置することでも、上記の面積当たりの開口部周囲長を大きくでき、この結果、電流密度を向上させることができる。

#### 【0023】

次に、本実施の形態における半導体装置10の製造方法を説明する。

GaN基板1は、いわゆる一体物の厚手のGaN基板でも、または支持基体上のGaN膜でもよい。さらに、GaN系積層体の成長時にGaN基板等の上に形成して、その後の工程で、GaN基板等の所定厚み部分を除いて、製品の状態では薄いGaN層下地のみが残っているものであってもよい。これら、GaN基板、支持基体上にオーミック接触するGaN層を有する基板、製品に薄く残された下地のGaN層などを、単にGaN基板と略称する場合もある。

その薄い下地のGaN層は、導電性でも非導電性でもよく、ドレイン電極は、製造工程および製品の構造によるが、薄いGaN層の表面または裏面に設けることができる。GaN基板または支持基体等が製品に残る場合、当該支持基体または基板は、導電性でも、非導電性でもよい。導電性の場合、ドレイン電極は、その支持基体または基板の裏面(下)またはおもて面(上)に直接設けることができる。また、非導電性の場合、非導電性基板の上であって、上記半導体層中の下層側に位置する導電層の上に、ドレイン電極を設けることができる。

#### 【0024】

まず図3に示すように、上記の意味のGaN基板1の上に、n<sup>-</sup>型GaNドリフト層4/p型GaNバリア層6、の積層体15を成長する。GaN基板1とn<sup>-</sup>型GaNドリフト層4との間にGaN系バッファ層(図示せず)を挿入してもよい。

上記の層の形成は、MOCVD(有機金属化学気相成長)法を用いるのがよい。MOCVD法で成長することで、結晶性の良好な積層体15を能率良く形成できる。GaN基板

10

20

30

40

50

1の形成において、導電性基板上に窒化ガリウム膜をMOCVD法によって成長させる場合、ガリウム原料として、トリメチルガリウムを用いる。窒素原料としては高純度アンモニアを用いる。キャリアガスとしては純化水素を用いる。高純度アンモニアの純度は99.999%以上、純化水素の純度は99.999995%以上である。n型ドーパント(ドナー)のSi原料には水素ベースのシランを用い、p型ドーパント(アクセプタ)のMg原料にはビスシクロペンタジエニルマグネシウムを用いるのがよい。

導電性基板としては、直径2インチの導電性窒化ガリウム基板を用いる。1030、100 Torrで、アンモニアおよび水素の雰囲気中で、基板クリーニングを実施する。その後、1050に昇温して、200 Torr、V/III比=1500で窒化ガリウム層を成長させる。上記の導電性基板上のGaN層の形成は、GaN基板1の形成だけでなく、GaN基板1上の積層体15の成長においても共通する方法である。

上記の方法で、GaN基板1上に、n型GaN層ドリフト層4/p型GaNバリア層6、の順にnp構造を成長する。GaN系積層体15の積層が終了した時点でp型GaNバリア層6内には高濃度の水素が集積している。

#### 【0025】

次に、図4に示すように、開口部28をRIE(反応性イオンエッチング)によって形成する。図5(a)および(b)に示すように、エピタキシャル層4,6の表面にレジストパターンM1を形成した後、RIEによって、レジストパターンM1をエッチングして後退させながら開口を広げて開口部28を設ける。このRIE工程において、開口部28の斜面、すなわち積層体15の端面は、イオン照射を受けて損傷される。損傷部では、ダングリンドボンド、格子欠陥の高密度領域などが発生し、その損傷部にRIE装置由来または特定できていない部分からの導電性不純物が到達して富化が生じる。この損傷部の発生は、ドレインリーク電流の増大をもたらすので、修復する必要がある。p型GaNバリア層6に集積した水素は、上記のように多くの悪影響を及ぼすが、損傷部の修復については、水素を所定レベル含むことで、このあと説明する再成長層27の成長時に、ダングリンドボンド等の修復、および不純物の不活性化を得ることができる。

#### 【0026】

次いで、レジストパターンM1を除去し、ウエハを洗浄した後、当該ウエハをMOCVD装置に導入して、図6に示すように、アンドープGaNからなる電子走行層22、およびアンドープAlGaNからなる電子供給層26を含む再成長層27を成長する。このアンドープGaN層22およびAlGaN層26の成長においては、(NH<sub>3</sub>+H<sub>2</sub>)雰囲気において熱クリーニングを行い、引き続き(NH<sub>3</sub>+H<sub>2</sub>)を導入しつつ有機金属原料を供給する。この再成長層27の形成前の熱クリーニング時または形成時に、上記の損傷部の修復、導電性不純物のパッシベーション化を進行させる。

上記の再成長層27の成長時に、水素は確実にGaN系積層体15内に侵入する。とくにp型GaNバリア層6内への集積濃度を増大させる。したがって、脱水素処理は、少なくとも再成長層27の成長を終了した後に必ず行う必要がある。

#### 【0027】

GaN層22およびAlGaN層26の成長、およびその後の脱水素アニールにおける温度-時間パターンを、図7に示す。この再成長層27の形成前の熱クリーニング時または形成時に、上記の損傷部の修復、導電性不純物のパッシベーション化を進行させる。このために、再成長層27の成長時の(NH<sub>3</sub>+H<sub>2</sub>)雰囲気は有益である。

脱水素アニールの温度は、600~800程度にするのがよい。本実施の形態においては、表面側がpn構造なので水素は抜けやすい。このため、p型GaNバリア層6への高濃度の水素の集積はなくなる。この結果、上記(a1)~(a3)の作用を安定して得ることができる。

#### 【0028】

次いで、上記ウエハをMOCVD装置から取り出し、図8に示すように、絶縁膜9を成長させる。その後、再びフォトリソグラフィとイオンビーム蒸着法を用いて、図1に示すように、ソース電極Sをエピタキシャル層表面に、ドレイン電極DをGaN系基板1の裏

10

20

30

40

50

面に形成する。さらにゲート電極Gを開口部28の側面に形成する。

p型GaNバリア層6の電位を固定し、かつ正孔を引き抜くため、当該p型GaNバリア層6に対するp側電極(オーミック電極)を形成することが望ましい。このp側電極は、ソース電極Sが兼ねてもよいし、またはソース電極Sとは別に設けてもよい。図1に示す半導体装置10のソース電極Sは、このp側電極を兼ねる形態をとっている。ここでは、ソース電極Sとは別に、ソース電極Sに接触(短絡)するp側電極を設ける場合について説明する。

フォトリソグラフィを用いて、再成長膜27および絶縁膜9に、ドライエッチングにより溝(孔)を形成し、p型GaNバリア層6を露出しておき、p型GaNバリア層6と低い接触抵抗で接触する金属、例えばNi/Auなどをリフトオフ法により堆積し、パターンニングしてp側電極を形成する。その後、上記方法にて形成したp側電極を覆い、かつ再成長膜27と低い接触抵抗で接触する材料、例えばTi/Alでソース電極をリフトオフ法により堆積し、パターンニングすることでソース電極Sを形成するのがよい。これにより、p側電極はp型GaNバリア層6に、またソース電極Sは電子走行層22と低い抵抗で接触しながら、p側電極とソース電極Sとを接触(短絡)させることで接地の共通電極として機能する。この結果、デバイス面積を小さくすることができる。

#### 【0029】

上記開示された本発明の実施形態の構造は、あくまで例示であって、本発明の範囲はこれらの記載の範囲に限定されるものではない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものである。

#### 【産業上の利用可能性】

#### 【0030】

本発明の半導体装置等によれば、低いオン抵抗を得ながら、かつ優れた耐圧性能およびピンチオフ特性を持つことができる。また、オフ動作時に生成する正孔をソース電極との協働によって円滑に引き抜くことができる。その他、高濃度の水素集積に伴う各種の不都合を除去することができる。このため縦方向に低いオン抵抗で大電流を流すことができ、大電流用のスイッチング素子として好適である。

#### 【符号の説明】

#### 【0031】

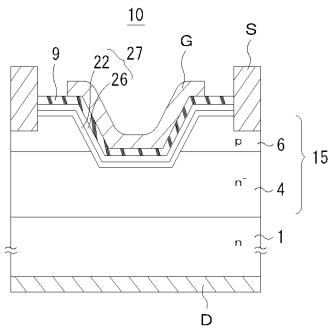
1 GaN基板、4 n<sup>-</sup>型GaNドリフト層、6 p型GaNバリア層、9 絶縁膜、10 半導体装置(縦型GaN FET)、12 ゲート配線、13 ゲートパッド、15 GaN系積層体、22 アンダープローブGaN電子走行層(チャンネル層)、26 AlGaN電子供給層(キャリア供給層)、27 再成長層、28 開口部、M1 レジストパターン、D ドレイン電極、G ゲート電極、S ソース電極。

10

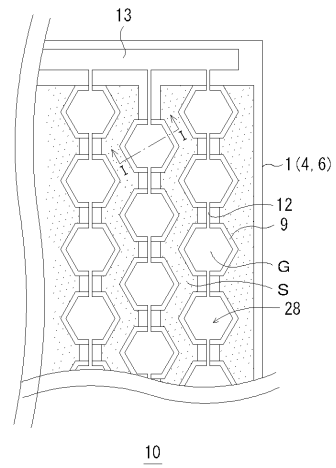
20

30

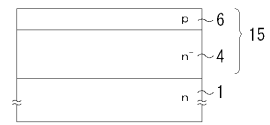
【図1】



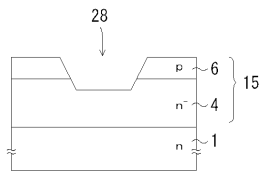
【図2】



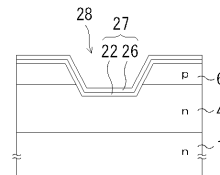
【図3】



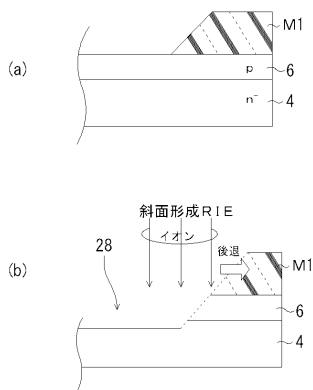
【図4】



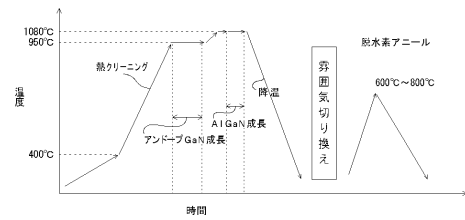
【図6】



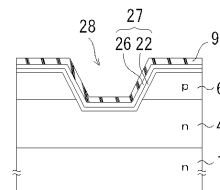
【図5】



【図7】



【図8】



## フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 29/78	(2006.01)	H 0 1 L 29/78	6 5 8 E
H 0 1 L 29/12	(2006.01)	H 0 1 L 29/78	6 5 8 Z
H 0 1 L 21/336	(2006.01)	H 0 1 L 29/78	6 5 8 G
H 0 1 L 29/417	(2006.01)	H 0 1 L 29/50	M
H 0 1 L 21/28	(2006.01)	H 0 1 L 21/28	3 0 1 B
H 0 1 L 29/41	(2006.01)	H 0 1 L 29/44	L
		H 0 1 L 29/78	6 5 2 E

- (72)発明者 斎藤 雄  
兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内
- (72)発明者 八重樫 誠司  
東京都港区芝浦三丁目9番1号 住友電気工業株式会社東京本社内
- (72)発明者 横山 満徳  
東京都港区芝浦三丁目9番1号 住友電気工業株式会社東京本社内
- (72)発明者 井上 和孝  
神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

審査官 儀同 孝信

- (56)参考文献 特開2006-286942(JP,A)  
特開2008-270310(JP,A)  
特開2009-094337(JP,A)  
特開2004-260140(JP,A)  
特開2008-227356(JP,A)  
特表2005-526384(JP,A)  
国際公開第2010/100709(WO,A1)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 7  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 3 3 8  
H 0 1 L 2 9 / 1 2  
H 0 1 L 2 9 / 4 1  
H 0 1 L 2 9 / 4 1 7  
H 0 1 L 2 9 / 7 7 8  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 8 0 8  
H 0 1 L 2 9 / 8 1 2