



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I633552 B

(45)公告日：中華民國 107 (2018) 年 08 月 21 日

(21)申請案號：106106491

(22)申請日：中華民國 106 (2017) 年 02 月 24 日

(51)Int. Cl. : G11C16/06 (2006.01)

(30)優先權：2016/09/21 日本

2016-184250

(71)申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72)發明人：鳥山周一 TORIYAMA, SHUICHI (JP)；堀井秀人 HORII, HIDETO (JP)；河井友也 KAWAI, TOMOYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 9082488B2

US 2009/0135656A1

US 2011/0128789A1

US 2012/0262989A1

US 2013/0070532A1

US 2013/0279261A1

US 2014/0063972A1

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：18 共 49 頁

(54)名稱

半導體記憶體裝置及半導體記憶體裝置之控制方法

SEMICONDUCTOR MEMORY DEVICE AND METHOD OF CONTROLLING THE SAME

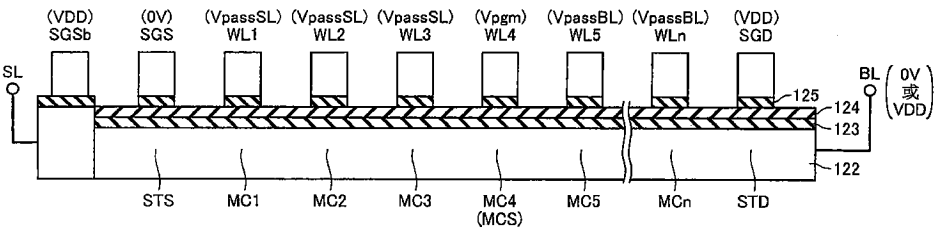
(57)摘要

在對記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係小於參考值時，控制單元係操作以施加程式電壓至與該選擇之記憶體胞對應的字線，且致使所施加至第一字線的電壓高於所施加至第二字線的電壓，該第一字線對應於定位在第一端與該選擇之記憶體胞之間的第一未選擇之記憶體胞，及該第二字線對應於定位在第二端與該選擇之記憶體胞之間的第二未選擇之記憶體胞。

In a write operation to memory cells, the control unit is operative to, when a threshold voltage to be provided to a selected memory cell is not less than a reference value, apply a program voltage to a word line corresponding to a selected memory cell, and cause a voltage applied to a first word line corresponding to a first non-selected memory cell positioned between the first end and the selected memory cell to be higher than a voltage applied to a second word line corresponding to a second non-selected memory cell positioned between the second end and the selected memory cell.

指定代表圖：

第 10 圖



符號簡單說明：

- 122 . . . 半導體層
- 123 . . . 隧道絕緣層
- 124 . . . 電荷累積層
- 125 . . . 區塊絕緣層

第 3 圖係概要透視圖，其描繪記憶體指 MF 的結構；

第 4 圖係概要透視圖，其描繪記憶體胞 MC 的結構；

第 5 圖係剖視圖，其描繪依據第一實施例之非揮發性半導體記憶體裝置的結構；

第 6 圖顯示依據第一實施例之非揮發性半導體記憶體裝置中之寫入操作(以 2 位元/胞方案)的實例；

第 7 圖係依據第一實施例之非揮發性半導體記憶體裝置中的寫入操作(以 2 位元/胞方案)實例；

第 8 圖解說已知裝置中之寫入操作中所施加的電壓；

第 9 圖解說依據第一實施例之非揮發性半導體記憶體裝置中的寫入操作(升壓操作)；

第 10 圖解說第一實施例之非揮發性半導體記憶體裝置中之寫入操作中所施加的電壓；

第 11 圖解說第一實施例的優點；

第 12 圖解說第一實施例的優點；

第 13 圖解說第一實施例的優點；

第 14 圖解說第一實施例的優點；

第 15 圖解說第一實施例的優點；

第 16 圖解說第二實施例之非揮發性半導體記憶體裝置中之寫入操作中所施加的電壓；

第 17 圖解說第三實施例之非揮發性半導體記憶體裝置中之寫入操作中所施加的電壓；以及

第 18 圖解說第四實施例之非揮發性半導體記憶體裝置中之寫入操作中所施加的電壓。

【實施方式】

在下文中，將參照圖式以解說實施例。

[第一實施例]

其次，依據實施例之非揮發性半導體記憶體裝置將參照圖式而被詳細敘述。該等實施例僅係實例，且並不打算要限制本發明之範疇。

例如，在下文中所敘述之非揮發性半導體記憶體裝置具有其中，記憶體串在與基板交叉之方向中以直線延伸的結構。惟，類似的結構可應用至其中，記憶體串具有在中途折回至相對側之 U 形的結構。例如，在以下實施例中所使用之半導體記憶體裝置的個別圖式係概要地描繪。層的厚度、寬度、比例、及類似參數無需一定要與實際參數相同。

以下實施例有關以其中複數個金屬氧化物氮化物氧化物半導體(MONOS)型記憶體胞(電晶體)係沿著與基板相交的方向設置之結構的半導體記憶體裝置。該 MONOS 型記憶體胞包含：半導體層，其係設置在與基板相交的方向中且用作通道；以及閘極電極膜，經由電荷累積層而被設置在該半導體層的側表面上。惟，該記憶體胞可係例如，半導體氧化物氮化物氧化物半導體型記憶體胞(SONOS)，或浮動閘極型記憶體胞之另一個格式。

第 1 圖係依據第一實施例之非揮發性半導體記憶體裝

置的方塊圖。依據第一實施例之非揮發性半導體記憶體裝置在記憶體胞陣列 1 中的預定位址之中儲存由外部主機 9 所輸入的使用者資料。該非揮發性半導體記憶體裝置自記憶體胞陣列 1 中的預定位址讀取使用者資料，用以輸出至外部主機 9。

該非揮發性半導體記憶體裝置包含記憶體胞陣列 1，其儲存資料。該記憶體胞陣列 1 包含複數個記憶體區塊 MB。如稍後在第 2 圖中所描述地，該等記憶體區塊 MB 包含複數個記憶體胞，以及位元線 BL 及字線 WL，其係連接至該等記憶體胞。

該非揮發性半導體記憶體裝置包含圍繞著記憶體胞陣列 1 之周邊而被設置的行控制電路 2。行控制電路 2 轉移電壓產生電路 10 中所產生之電壓至與輸入的使用者資料對應之所需的位元線 BL。行控制電路 2 包含感測放大器(未顯示)，用以當讀取使用者資料時，感測預定之位元線 BL 的電壓或電流。

該非揮發性半導體記憶體裝置包含圍繞著記憶體胞陣列 1 之周邊而被設置的列控制電路 3。列控制電路 3 轉移電壓產生電路 10 中所產生之電壓至與輸入的位址資料對應之所需的字線 WL 或類似的線。

該非揮發性半導體記憶體裝置包含位址暫存器 5，其供應位址資料至行控制電路 2 及列控制電路 3。位址暫存器 5 保持由資料輸入/輸出緩衝器 4 所輸入的位址資料。

該非揮發性半導體記憶體裝置包含電壓產生電路

10，其經由行控制電路 2 及列控制電路 3 而供應電壓至記憶體胞陣列 1。電壓產生電路 10 以與由狀態機器 7 所輸入之內部控制信號對應的預定時序，產生及輸出預定大小的電壓。

該非揮發性半導體記憶體裝置包含狀態機器 7，其將內部控制信號輸入至電壓產生電路 10 或類似電路。狀態機器 7 經由命令介面 6 而接受來自主機 9 的命令資料，用以執行諸如，讀取、寫入、及拭除之資料的輸入及輸出管理或類似操作。

該非揮發性半導體記憶體裝置包含經由 I/O 線而被連接至外部主機 9 的資料輸入/輸出緩衝器 4。資料輸入/輸出緩衝器 4 接收來自外部主機 9 的寫入資料，用以轉移該資料至行控制電路 2。資料輸入/輸出緩衝器 4 接收來自外部主機 9 的命令資料，用以轉移該資料至命令介面 6。資料輸入/輸出緩衝器 4 來自外部主機 9 的位址資料，用以轉移該資料至位址暫存器 5。進一步地，資料輸入/輸出緩衝器 4 接收來自行控制電路 2 的讀取資料，用以轉移該資料至外部主機 9。

該非揮發性半導體記憶體裝置包含命令介面 6，其接收來自外部主機 9 的外部控制信號。命令介面 6 根據由外部主機 9 所輸入之外部控制信號，而決定所輸入至資料輸入/輸出緩衝器 4 的資料是否係寫入資料、命令資料、及位址資料的任一者，而藉以控制資料輸入/輸出緩衝器 4。命令介面 6 轉移從資料輸入/輸出緩衝器 4 接收的命令資

料至狀態機器 7。

行控制電路 2、列控制電路 3、狀態機器 7、電壓產生電路 10、或類似電路組構控制電路，其控制記憶體胞陣列 1。

下文將參照第 2 圖而敘述依據實施例的記憶體胞陣列 1 之電路組態的一部分。第 2 圖係等效電路圖，其描繪組構記憶體胞陣列 1 之記憶體區塊 MB 的組態。

記憶體區塊 MB 包含複數個記憶體胞 MC。該等記憶體胞 MC 各自儲存建構上述的使用者資料之一個或複數個位元的資料。

在第 2 圖中所示之記憶體區塊 MB 處，列控制電路 3 選擇預定的汲極側選擇閘極線 SGD 及預定的字線 WL，用以選擇預定數目的記憶體胞 MC。行控制電路 2 從該等記憶體胞 MC 讀取資料，或寫入資料至該等記憶體胞 MC。

該等記憶體區塊 MB 各包含複數個記憶體指 MF。複數個位元線 BL 及源極線 SL 係共同地連接至該等複數個記憶體指 MF。個別的記憶體指 MF 係經由位元線 BL 而被連接至行控制電路 2，且經由源極線 SL 而被連接至源極線驅動器(未顯示)。

記憶體指 MF 包含複數個記憶體單元 MU。記憶體單元 MU 具有連接至位元線 BL 的一端，及經由源極接點 LI 而被連接至源極線 SL 的另一端。包含在一記憶體指 MF 之中的該等記憶體單元 MU 皆被連接至不同的位元線 BL。

記憶體單元 MU 包含串聯連接的記憶體胞 MC。如下文所敘述地，記憶體胞 MC 包含半導體層、電荷累積層、及控制閘極電極。記憶體胞 MC 在與所施加至控制閘極電極之電壓對應的電荷累積層中累積電荷，用以改變控制閘極電壓(臨限電壓)而改變通道為導電狀態。在下文中，串聯連接的複數個記憶體胞 MC 係稱作“記憶體串 MS”。列控制電路 3 轉移電壓至預定的字線 WL，用以轉移此電壓至記憶體串 MS 中之預定的記憶體胞 MC 之控制閘極。

共同字線 WL 係連接至結構不同記憶體串 MS 之複數個記憶體胞 MC 的個別控制閘極。該等複數個記憶體胞 MC 係經由字線 WL 而被連接至列控制電路 3。在第 2 圖中所示的實例中，該等字線 WL 係獨立地設置用於包含在記憶體單元 MU 中之個別的記憶體胞 MC。該等字線 WL 係共同地設置用於包含在一記憶體區塊 MB 中之所有的記憶體單元 MU。

記憶體單元 MU 包含連接在記憶體串 MS 與位元線 BL 之間的汲極側選擇閘極電晶體 STD。該汲極側選擇閘極電晶體 STD 具有連接至汲極側選擇閘極線 SGD 的控制閘極。該汲極側選擇閘極線 SGD 係連接至列控制電路 3，用以選擇性地連接記憶體串 MS 至與輸入信號對應的位元線 BL。在第 2 圖中所示的實例中，該等汲極側選擇閘極線 SGD 係獨立地設置用於個別的記憶體指 MF。汲極側選擇閘極線 SGD 係共同地連接至記憶體指 MF 中之所有汲極側選擇閘極電晶體 STD 的控制閘極。列控制電路 3 選

擇預定的汲極側選擇閘極線 SGD，用以選擇性地連接預定記憶體指 MF 中的所有記憶體串 MS 至位元線 BL。

記憶體單元 MU 包含源極側選擇閘極電晶體 STS 及最下層源極側選擇閘極電晶體 STSb，其係連接在記憶體串 MS 與源極接點 LI 之間。源極側選擇閘極電晶體 STS 具有連接至源極側選擇閘極線 SGS 的控制閘極。最下層源極側選擇閘極電晶體 STSb 具有連接至最下層源極側選擇閘極線 SGSb 的控制閘極。在第 2 圖中所示的實例中，源極側選擇閘極線 SGS 係共同地連接至記憶體區塊 MB 中的所有源極側選擇閘極電晶體 STS。同樣地，最下層源極側選擇閘極線 SGSb 係共同地連接至記憶體區塊 MB 中的所有最下層源極側選擇閘極電晶體 STSb。列控制電路 3 連接記憶體區塊 MB 中的所有記憶體串 MS 至與輸入信號對應的源極線 SL。

下文將參照第 3 圖而敘述記憶體胞陣列 1 的概要組態。第 3 圖係概要透視圖，其描繪記憶體指 MF 之組態的一部分。第 3 圖省略該組態的一部分。第 3 圖中所示的組態僅係實例。詳細的組態或類似之組態可視需要地予以改變。

記憶體指 MF 包含基板 101 及以 Z 方向疊層在該基板 101 上之複數個導電層 102。該等導電層 102 係形成以具有板形狀，其包圍記憶體軸 105 的側表面。該等導電層 102 及該記憶體軸 105 具有相交部分，其作用為最下層源極側選擇閘極電晶體 STSb、源極側選擇閘極電晶體

STS、記憶體胞 MC、或汲極側選擇閘極電晶體 STD。導電層 102 係由例如，諸如鎢(W)或多晶矽的導電層所組成。個別的導電層 102 作用為字線 WL、記憶體胞 MC 之控制閘極電極、源極側選擇閘極線 SGS、源極側選擇閘極電晶體 STS 之控制閘極電極、汲極側選擇閘極線 SGD、汲極側選擇閘極電晶體 STD 之控制閘極電極、最下層源極側選擇閘極線 SGSb、及最下層源極側選擇閘極電晶體 STSb 之控制閘極電極。

該等複數個導電層 102 係在 X 方向中的端部分處以階梯圖案設置。也就是說，導電層 102 包含接觸部分 102a，其並不與定位在導電層 102 上方之導電層 102 的下表面相對。導電層 102 係在此接觸部分 102a 處連接至通孔接點佈線 109(在下文中簡稱為“接點 109”)。通孔接點佈線 109 具有設置佈線 110 之上端。通孔接點佈線 109 及佈線 110 係由諸如鎢之導電層所建構。

記憶體指 MF 包含導電層 108。導電層 108 具有板形狀，其係與複數個導電層 102 之 Y 方向中的側表面相對，且以 X 方向及 Z 方向延伸。導電層 108 具有與基板 101 接觸的下端。導電層 108 係由例如，諸如鎢(W)之金屬材料所製成。導電層 108 作用為源極接點 LI。

記憶體指 MF 包含複數個導電層 106 及導電層 107。該複數個導電層 106 及該導電層 107 係設置在複數個導電層 102 及記憶體軸 105 的上面。該複數個導電層 106 係以 X 方向設置。該複數個導電層 106 及該導電層 107 以 Y 方

向延伸。記憶體軸 105 係各自連接至導電層 106 的下方表面。導電層 106 係由例如，諸如鎢(W)之導電層所建構，且作用為位元線 BL。導電層 108 係連接至導電層 107 的下方表面。導電層 107 係由例如，諸如鎢(W)之導電層所建構，且作用為源極線 SL。

其次，請參閱第 4 圖，下文將描述記憶體胞 MC 的概要組態。第 4 圖係概要透視圖，其描繪記憶體胞 MC 的組態。第 4 圖省略該組態的一部分。

記憶體胞 MC 係設置在導電層 102 與記憶體軸 105 相交的部分處。以自其中心側起之順序，記憶體軸 105 包含核心絕緣層 121、半導體層 122、隧道絕緣層 123、及電荷累積層 124。半導體層 122、隧道絕緣層 123、及電荷累積層 124 係堆疊在核心絕緣層 121 的側壁上。再者，區塊絕緣層 125 係設置在記憶體軸 105 與導電層 102 之間。

核心絕緣層 121 係由例如，諸如氧化矽(SiO_2)之絕緣層所組成。半導體層 122 係由例如，諸如矽(Si)、矽鍺(SiGe)、碳化矽(SiC)、及碳(C)之半導體層所組成。半導體層 122 作用為記憶體胞 MC 的通道。隧道絕緣層 123 係由例如，諸如氧化矽(SiO_2)之絕緣層所組成。電荷累積層 124 係由例如，諸如可累積電荷之氮化矽(SiN)的絕緣層所組成。區塊絕緣層 125 係由例如，諸如氧化矽(SiO_2)之絕緣層所組成。雖然第 4 圖省略圖示，但例如，包含氧化鋁(Al_2O_3)的鐵電膜可被插入於區塊絕緣層 125 與導電層 102 之間。用以降低對稍後敘述的接點 137 之接觸電阻的導電

層 126 係配置在核心絕緣層 121 的上端處。在下文中所解說之實例不具有鐵電膜。惟，不用多說的是，此並不會限制該等實施例之範疇。

接著，請參閱第 5 圖，將更詳細地敘述依據實施例之非揮發性半導體記憶體裝置。第 5 圖係剖視圖，其描繪非揮發性半導體記憶體裝置之結構的一部分。

依據實施例之非揮發性半導體記憶體裝置包含基板 101、設置在該基板 101 上之堆疊體 SB、記憶體軸 105、及導電層 108。

堆疊體 SB 包含疊層在該基板 101 上之複數個導電層 102。該複數個導電層 102 分別作用為記憶體胞 MC 的控制閘極、字線 WL、及選擇電晶體 STD, STS, STSb 的選擇閘極線。記憶體軸 105 包含以與基板 101 垂直之 Z 方向延伸的半導體層 122。此半導體層 122 作用為記憶體胞 MC 的通道或其類似者。導電層 108 作用為源極線接點 LI。

接著，將解說該堆疊體 SB。堆疊體 SB 包含複數個導電層 102 及交替地設置在基板 101 上的複數個層間絕緣層 103。堆疊體 SB 亦包含區塊絕緣層 125，其覆蓋導電層 102 的上方表面、下方表面、及側表面。導電層 102 係由例如，諸如鎢(W)之導電材料所形成。導電層 102 作用為記憶體胞 MC 的控制閘極或字線 WL。此外，層間絕緣層 103 及區塊絕緣層 125 係由諸如氧化矽(SiO_2)之絕緣材料所形成。

請注意的是，絕緣層 134、135、及 136 係進一步地

以此順序沉積在層間絕緣層 103 的上方側之上。此外，位元線接點 137 係設置以穿透該等絕緣層 134、135、及 136，且到達記憶體軸 105。此位元線接點 137 係在其上端處連接至位元線 BL(導電層 106)，其並未被描繪出。

此外，層間絕緣層 103B 係位在導電層 102B 與基板 101 之間。此致使導電層 102B 經由層間絕緣層 103B 而與基板 101 毗鄰。在層間絕緣層 103B 之 Z 方向中的膜厚度係製成比層間絕緣層 103 之 Z 方向中的膜厚度更小，該層間絕緣層 103 係位在比層間絕緣層 103B 更高的位置處。因而，當一定電壓被施加至最下層源極側選擇閘極線 SGSb(導電層 102B)時，反轉層(通道)係沿著基板 101 的表面而被形成。此允許足夠的胞電流流過記憶體單元 MU、基板、及源極接點 LI。

除此之外，記憶體軸 105 包含半導體層 154。半導體層 154 係與基板 101 成一體地形成，且以 Z 方向自基板 101 延伸。半導體層 154 係藉由執行磊晶成長而被形成於基板 101 上的半導體層，半導體層 154 的晶面係藉由該磊晶成長而與當作基層之基板 101 的晶面對齊。當基板 101 係矽基板時，例如，半導體層 154 係由單晶矽所形成，且作用為最下層源極側選擇閘極電晶體 SGSb 的通道。半導體層 154 的上端係連接至半導體層 122 的下端。

如第 5 圖中所示，隧道絕緣層 123 及電荷累積層 124 係沿著記憶體軸 105 的側表面而被形成。隧道絕緣層 123 及電荷累積層 124 係連續形成，而無需重複多個記憶體胞

MC 之間被分開。其中電荷累積層 124 係在複數個記憶體胞 MC 之間被連續形成的該結構係有利的，其中它是易於製造的。惟，其中當進行元件的小型化時，它在毗鄰的記憶體胞 MC 之間具有較大的元件間干擾係不利的。

然而，在此實施例中，元件間干擾係因為控制電路在寫入操作中執行以下的電壓應用，而被抑制。

首先，為了比較，將參照第 6 圖來敘述已知裝置中之寫入操作的實例。下文將解說其中連接字線 WL4 的記憶體胞 MC4 被處理做為選擇之記憶體胞的情況。此外，下文將解說其中採用在一記憶體胞 MC 中儲存 2 位元資料的方法(2 位元/胞方法)。此僅係實例，且 3 位元或更多位元之資料可在一記憶體胞中被寫入。

2 位元資料可藉由兩步驟而予以寫入：下方頁寫入操作，及上方頁寫入操作。如第 6 圖中所示，下方頁寫入操作係用以寫入 2 位元資料的較低位元之資料的寫入操作。特別地，當下方頁資料“0”係以指示拭除狀態之臨限電壓分佈 E_r (資料“11”)寫入至記憶體胞時，寫入操作被執行以提供表示下方頁資料“0”的臨限電壓分佈 B。當下方頁資料係“1”時，臨限電壓分佈 E_r 被維持，且寫入禁止狀態被給定。

如第 7 圖中所示，上方頁寫入操作係用以寫入 2 位元資料的上方頁資料之資料的寫入操作。特別地，當上方頁資料“0”係寫入至具有臨限電壓分佈 E_r (資料“11”)或臨限電壓分佈 B 的記憶體胞時，寫入操作被執行以提供臨

限電壓分佈 A 或 C。電壓應用操作係執行以致使具有臨限電壓分佈 E_r 的記憶體胞 MC 被給定臨限電壓分佈 A，且具有臨限電壓分佈 B 的記憶體胞 MC 被給定臨限電壓分佈 C。當上方頁資料係“1”時，臨限電壓分佈 E_r 或 B 被維持，且寫入禁止狀態被給定。

在已知裝置中，下方頁寫入操作及上方頁寫入操作二者係藉由施加電壓至個別的佈線而被執行，如第 8 圖中所示。用以寫入之程式電壓 V_{pgm} (例如，20V 或更大)係施加至連接到選擇之記憶體胞 MCS(在此實例中，MC4)的選擇之字線 WL。另一方面，並不寫入記憶體胞但將致使記憶體胞成為導電之寫通電壓 V_{passBL} (例如，大約 8 至 10V)被施加至未選擇之記憶體胞所連接的字線 WL。位元線 BL 係根據將被寫入之資料而被提供以電源供應電壓 VDD 或 0V。連接至選擇之電晶體 STD 的選擇閘極線 SGD 係設置以電源供應電壓 VDD。連接至選擇之電晶體 STS 的選擇閘極線 SGS 係設置以例如，0V。源極線 SL 之電壓係設定為例如，0V。最下層選擇閘極線 SGSb 係設置以電源供應電壓 VDD。

當將 0V 施加至位元線 BL 時，汲極側選擇閘極電晶體 STD 被設定為導電狀態，且 0V 係藉以施加至半導體層 122。由於此，選擇之記憶體胞 MCS 的電荷累積層 124 被給定其中可根據與程式電壓 V_{pgm} 不同之電位而注入電子至該處的狀態(寫入准許之狀態)。

另一方面，當將電源供應電壓 VDD 施加至位元線 BL

時，汲極側選擇閘極電晶體 STD 被設定為非導電狀態，且半導體層 122 被給定浮動狀態(寫入禁止之狀態)。

在如第 8 圖中所示地藉由電壓而執行下方頁寫入操作或上方頁寫入操作之後，驗證讀取操作被執行做為用以確認是否獲得所需之臨限電壓分佈 A、B、或 C 的讀取操作，雖然省略其說明。

在驗證讀取操作中，與將被提供之臨限電壓分佈的下限對應之驗證讀取電壓 V_{av} 、 V_{bv} 、及 V_{cv} 的任一者，係施加至連接到選擇之記憶體胞 MC 的選擇之字線 WL(第 6 圖，請參閱第 7 圖)，與正常讀取操作相似地。該等驗證讀取電壓 V_{av} 、 V_{bv} 、及 V_{cv} 對應於臨限電壓分佈 A、B、及 C 的下限，且高於在讀取操作中被給定至選擇之記憶體胞之控制閘極的讀取電壓 V_a 、 V_b 、及 V_c 。另一方面，連接到未選擇之記憶體胞的未選擇之字線被給定讀取路徑電壓 V_{read} ，其將開啟記憶體胞 MC 而不管所儲存之資料(例如，電壓 V_{read} 具有高於臨限電壓分佈 C 之上限的值)。位元線 BL 被提供以一定的預充電電壓 V_b 。

在此情形下，若電流流過選擇之記憶體胞 MC 時，則相對於與驗證讀取電壓對應之臨限電壓分佈的寫入操作係決定為未完成(失效(FAIL))。相反地，若電流不流過選擇之記憶體胞 MC 時，則寫入操作係決定為完成(通過(PASS))。當在此驗證讀取操作中被決定為失效時，則下一個寫入操作藉由升壓寬度 ΔV 而將程式電壓 V_{pgm} 設定為更大值。此操作係在下文中稱作升壓操作。例如，如第

9 圖中所示，寫入操作係以設定為初始值 V_{pgm0} 的程式電壓 V_{pgm} 開始。然後，在驗證讀取操作中被判斷為失效 (FAIL)，進行升壓操作。一般而言，具有當將被提供至選擇之記憶體胞的臨限電壓係較高時，升壓操作的次數變得更大的傾向。

如上述地，在已知裝置的寫入操作中，所施加至連接到未選擇之記憶體胞的未選擇之字線 WL 的電壓皆被設定為相同的電壓 V_{passBL} ，而不管該字線的位置。惟，如稍後將詳細敘述地，元件間干擾可致使未選擇之記憶體胞的臨限電壓改變。

從而，第一實施例的寫入操作係執行如下，如第 10 圖中所示。也就是說，寫通電壓 V_{passBL} 係施加至選擇之記憶體胞 MC4 的位元線 BL 側上之未選擇的字線 WL，與已知裝置相似地。另一方面，低於上述之寫通電壓 V_{passBL} 的寫通電壓 $V_{passSL}(<V_{passBL})$ 係施加至選擇之記憶體胞 MC4 的源極線 SL 側上之未選擇的字線 WL。例如，寫通電壓 V_{passSL} 可被設定為比寫通電壓 V_{passBL} 更小 2 至 3V 的電壓。當需進一步地抑制元件間干擾時，較佳的是，將寫通電壓 V_{passSL} 設定為負值 ($V_{passSL} < 0$)。抑制該元件間干擾可抑制未選擇之記憶體胞中的臨限電壓之未預期的改變。

然而，第 10 圖之電壓的應用僅當將藉由寫入操作而被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 不小於一定值 (例如，3V) 時被執行。當將藉由寫入操作而被提供至

選擇之記憶體胞 MCS 的臨限電壓 V_{th} 小於一定值時，相同的寫通電壓 V_{passBL} 被提供至所有未選擇之字線 WL，與第 8 圖相似地。例如，假設其中執行如第 6 及 7 圖中所描繪之 2 位元/胞的寫入操作的情況。在此情況中，當執行相對於臨限電壓分佈 A 至 C 中之臨限電壓分佈 A 的寫入操作時，可執行第 8 圖的電壓應用。當執行相對於臨限電壓分佈 B 或 C 的寫入操作時，可執行第 10 圖的電壓應用。

在第 10 圖的電壓應用方法中，雖然元件間干擾被抑制，但電子遷移率減少，且寫入操作的速度劣化。另一方面，在第 8 圖的電壓應用方法中，雖然元件間干擾大，但電子遷移率高。當將被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 係低時(例如，當給定臨限電壓分佈 A 時)，則將被施加至選擇之記憶體胞 MCS 的控制閘極(選擇之字線 WL4)之電壓可具有很小值，且程式電壓 V_{pgm} 之脈波施加的數目通常可很小。從而，根據將被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 之值而在第 8 圖的操作與第 10 圖的操作之間切換，可導致寫入速度及元件間干擾抑制二者的改善。

如上述，在寫入操作中，第一實施例根據將被提供至選擇之記憶體胞 MCS 的臨限電壓之大小，而改變將被提供至未選擇之字線的寫通電壓之大小。此抑制寫入操作速度中的減少，且限制鄰近之記憶體胞中的元件間干擾。

將參照第 11 至 13 圖來敘述第一實施例的優點。

第 11 及 12 圖係概念圖，其描繪當在已知裝置中執行寫入操作時之電荷累積層 124 中的電荷累積狀態。此外，第 13 圖係概念圖，其描繪第一實施例中之電荷累積層 124 中的電荷累積狀態。在第 11 圖至第 13 圖中，具有影線的部分描繪累積之電荷存在於電荷累積層 124 中的區域。

在此，假定的是，假設記憶體胞 MC4 為選擇之記憶體胞 MCS。在此情況中，若電壓 V_{passBL} 係施加至位元線 BL 側及源極線 SL 側二者之上的所有未選擇之字線 WL 時，則其中電荷被累積之電荷累積層 124 中的區域可在選擇之記憶體胞 MC4 與鄰近的未選擇之記憶體胞 MC3 之間的位置處，及在選擇之記憶體胞 MC4 與鄰近的未選擇之記憶體胞 MC5 之間的位置中重疊。

如第 11 圖中所示，當寫入下方頁時，在選擇之記憶體胞 MC4 中的電荷累積層 124 中之累積電荷的總計很小。在此情況中，具有其中存在累積之電荷的區域重疊之低的可能性。

然而，如第 12 圖中所示，當寫入上方頁時，在選擇之記憶體胞 MC4 中的電荷累積層 124 中之累積電荷的總計很大。在此情況中，具有其中存在累積之電荷的區域重疊之高的可能性。

若其中存在累積之電荷的區域重疊，且重疊之區域很大時，電荷可移動穿過重疊區，且由於此，具有可在未選擇之記憶體胞中發生臨限電壓之未預期改變的可能性。例

如，在選擇記憶體胞 MC4 做為選擇之記憶體胞的寫入操作中，若當作目標電壓之臨限電壓 V_{th} 很高，且因此，所注入至選擇之記憶體胞 MC4 中的電荷累積層 124 內之電荷的總計很大時，則其中累積之電荷存在於選擇之記憶體胞 MC4 中的電荷累積層 124 內的區域將朝向鄰近的未選擇之記憶體胞 MC3 及 MC5 而擴展。此致使決定鄰近的未選擇之記憶體胞 MC3 及 MC5 的臨限電壓之累積電荷的分佈改變，而藉以改變鄰近的未選擇之記憶體胞 MC3 及 MC5 的臨限電壓。此意指的是，對選擇之記憶體胞 MC4 的寫入操作將致使鄰近的未選擇之記憶體胞 MC3 及 MC5 的臨限電壓變化。特別地，當選擇之記憶體胞 MC4 的臨限電壓 V_{th} 上升至例如，3V 或更大之高電壓時，此傾向會顯著。在未選擇之記憶體胞的臨限電壓中之未預期的改變被稱做“元件間干擾”。

因而，在第一實施例中，具有高電壓值的寫通電壓 V_{passBL} 係施加至位在選擇之記憶體胞 MCS 的位元線 BL 側上之未選擇的字線 WL，而具有低電壓值的寫通電壓 V_{passSL} ($<V_{passBL}$) 僅被施加至位在選擇之記憶體胞 MCS 的源極線 SL 側上之未選擇的字線 WL。藉由這樣做，如第 13 圖中所示，在選擇之記憶體胞 MCS(MC4)之電荷累積層 124 的源極線 SL 側上之末端處的累積電荷濃度，變成比在選擇之記憶體胞 MCS(MC4)之電荷累積層 124 的位元線 BL 側上之末端處的累積電荷濃度更低。由於此，如第 14 圖中所示，在電荷累積層 124 中之累積電荷存在的

區域偏移至選擇之記憶體胞 MC4 中的位元線 BL 側。此可防止累積之電荷存在的區域在選擇之記憶體胞 MC4 與源極線 SL 側上之鄰近的未選擇之記憶體胞 MC3 之間重疊。此可減低來自選擇之記憶體胞 MC4 的源極線 SL 側上之末端的電荷注入。

即使單獨地具備此，對選擇之記憶體胞 MC4 的寫入操作仍可較少地影響到在源極線 SL 側與該處毗鄰的鄰近之未選擇之記憶體胞 MC3。特別地，可減少早已被保留在未選擇之記憶體胞 MC 中的累積電荷之總計的變化。也就是說，對選擇之記憶體胞 MC4 的寫入操作可較少地影響到源極線 SL 側之鄰近的未選擇之記憶體胞 MC3 之臨限電壓的變化。

另一方面，所施加至位元線 BL 側上之鄰近的未選擇之記憶體胞 MC5 的寫通電壓係 V_{passBL} ，與已知裝置相似地。因而，仍有可能的是，對選擇之記憶體胞 MC4 的寫入操作可影響到位元線 BL 側之毗鄰的未選擇之記憶體胞 MC5 之臨限電壓的變化。然而，寫入操作以在源極線 SL 側的記憶體胞 MC1 開始，且以朝向位元線 BL 的方向 (MC1→MC2→MC3...) 順序地進行。若執行依據該順序的寫入操作，且同時執行如上述之驗證讀取操作時，與在該寫入操作之前比較，記憶體胞 MC5 的臨限電壓(累積電荷)係由對選擇之記憶體胞 MC4 的寫入操作所偏移。惟，臨限電壓之此偏移可在執行對記憶體胞 MC5 的寫入操作時被修正。也就是說，若執行寫入操作而從源極線 SL 側到

位元線 BL 側依序地選擇將被寫入的記憶體胞時，則在選擇之記憶體胞 MCS 的位元線 BL 側上之鄰近的未選擇之記憶體胞的臨限偏移可被最終地降低。若第一實施例的寫入操作係在選擇之記憶體胞 MC4 的臨限電壓 V_{th} 上升至例如，3V 或更大之高值的時候執行時，則可縮短用於該寫入操作所需的時間，且可有效地抑制元件間干擾。

第 15 圖係用於將被提供至未選擇之字線的寫通電壓之不同值的圖形，其指示將被提供至選擇之記憶體胞 MCS 的臨限電壓 $V_{th@MCS}$ ，與當提供 $V_{th@MCS}$ 時之鄰近的未選擇之記憶體胞中的臨限電壓之變化量 ΔV_{th} 間的關係。在該等圖形中，黑色圓點之曲線顯示其中應用已知方法而提供高的寫通電壓 V_{passBL} 至所有未選擇之字線的情況。此外，白色圓點、矩形點、及菱形點之圖形指示其中定位在選擇之記憶體胞 MCS 的源極線 SL 側的未選擇之字線，係提供以低於在位元線 BL 側中之寫通電壓 V_{passSL} 的情況。白色圓點、矩形點、及菱形點之圖形指示的是， V_{passSL} 的電壓值分別被設定為 $V1$ 、 $V2$ 、 $V3$ ($V1 > V2 > V3$)。

從第 15 圖可以看出，當將被提供至選擇之記憶體胞 MCS 的臨限電壓 $V_{th@MCS}$ 很小時，臨限電壓之變化量 ΔV_{th} 係抑制至很小值，而不管將被提供至未選擇之字線 WL 的寫通電壓之值。然而，應瞭解的是，當將被提供至選擇之記憶體胞 MCS 的臨限電壓 $V_{th@MCS}$ 變高時，將被提供至未選擇之字線 WL 的寫通電壓之影響變得顯著。

當高的寫通電壓 V_{passBL} 被提供至所有未選擇之字線時，在鄰近的未選擇之記憶體胞中的臨限電壓之變化量 ΔV_{th} 變得更高。相反地，當寫通電壓 V_{passSL} 係施加至位在選擇之記憶體胞 MCS 的源極線 SL 側中之未選擇之字線 WL 時，變化量 ΔV_{th} 變低。當電壓 V_{passSL} 的電壓值變得如 V_1 、 V_2 、 V_3 ...一樣地小時，變化量 ΔV_{th} 進一步地變得更小。

[第二實施例]

其次，將參照第 16 圖來敘述依據第二實施例之半導體記憶體裝置。因為第二實施例之半導體記憶體裝置的結構係與第一實施例之該者實質地相同，所以將省略重複的說明。在此第二實施例中，在寫入操作中的電壓應用係與第一實施例不同。

如第 16 圖中所示，當對選擇之記憶體胞 MCS，例如，對記憶體胞 MC4 執行寫入操作時，此第二實施例僅提供低的寫通電壓 V_{passSL} 至源極線 SL 側之與選擇之記憶體胞 MC4 鄰近的字線 WL3。定位在字線 WL3 的源極線 SL 側上之未選擇之字線 WL 被提供以高的寫通電壓 V_{passBL} 。此係與第一實施例不同。應注意的是，第 16 圖的電壓應用係在將被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 不小於一定值(例如，3V)的時候執行，而第 8 圖的操作係在小於該一定值的時候執行。此特性係與第一實施例相同。如上述，即使在僅提供寫通電壓 V_{passSL} 至源

極線 SL 側上之與選擇之記憶體胞 MC4 鄰近的未選擇之字線 WL3 的方法下，在選擇之記憶體胞 MC4 與鄰近的未選擇之記憶體胞 MC3 之間的元件間干擾仍被充分地抑制。因而，依據第二實施例，可獲得與第一實施例之該者實質地相同的優點。

[第三實施例]

接著，將參照第 17 圖來敘述依據第三實施例之半導體記憶體裝置。因為第三實施例之半導體記憶體裝置的結構係與第一實施例之該者實質地相同，所以將省略重複的說明。在此第三實施例中，在寫入操作中的電壓應用係與第一實施例不同。

第三實施例係與第一實施例相似，其中，當在選擇之記憶體胞 MCS 上，例如，在記憶體胞 MC4 上執行寫入操作時，位在選擇之記憶體胞 MC4 的源極線側上之字線 WL1 至 WL3 被提供以低於寫通電壓 V_{passBL} 的寫通電壓。

惟，在此第三實施例中，當在源極線 SL 與選擇之記憶體胞 MCS 之間具有複數個未選擇之字線 WL 時，與選擇之記憶體胞 MCS 遠離的未選擇之字線 WL 被提供以更低的電壓。也就是說，在第 17 圖的情況中，將被提供至未選擇之字線 WL3、WL2、及 WL1 的電壓分別係 $V_{passSL3}$ 、 $V_{passSL2}$ 、 $V_{passSL1}$ 。它們被給定 $V_{passSL3} > V_{passSL2} > V_{passSL1}$ 的關係。此係與第一實施例不同。

應注意的是，第 17 圖的電壓應用係在將被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 不小於一定值(例如，3V)的時候執行，而第 8 圖的操作係在小於該一定值的時候執行。此特性係與第一實施例相同。依據第三實施例，可獲得與第一實施例之該者大致相同的優點。

[第四實施例]

接著，將參照第 18 圖來敘述依據第四實施例之半導體記憶體裝置。因為第四實施例之半導體記憶體裝置的結構係與第一實施例之該者實質地相同，所以將省略重複的說明。在此第四實施例中，在寫入操作中的電壓應用係與第一實施例不同。

第四實施例係與上述實施例不同，其中，第一電壓應用操作及第二電壓應用操作係如第 18 圖中所示地重複著。第一電壓應用操作係施加相同的寫通電壓 V_{passBL} 至所有未選擇之字線 WL 的電壓應用操作，且係與已知裝置中所進行之方法相同的電壓應用操作。另一方面，第二電壓應用操作係其中寫通電壓 V_{passBL} 被施加至選擇之記憶體胞 MCS 的位元線 BL 側上之未選擇之字線 WL，而低於寫通電壓 V_{passBL} 的寫通電壓 V_{passSL} 被施加至選擇之記憶體胞 MCS 的源極線 SL 側上之未選擇之字線 WL 的電壓應用操作。該兩個電壓應用操作係輪流地執行，例如，一個接一個地。因為第一電壓應用操作係與已知方法相同，所以元件間干擾大。然而，在第二電壓應用操作中，

元件間干擾被抑制。元件間干擾可藉由例如，在一寫入操作中輪流執行第一電壓應用操作及第二電壓應用操作，而加以抑制。

應注意的是，與上述實施例相似地，此第四實施例的操作係僅當將被提供至選擇之記憶體胞 MCS 的臨限電壓 V_{th} 不小於一定值時進行。若小於該一定值時，則可使用已知方法(第 8 圖)，與上述實施例中相似地。

雖然已描述本發明的某些實施例，但該等實施例僅當做實例而被呈現，且並不意圖要限制本發明之範疇。實際上，在此所描述之新穎的方法和系統可以以各種其他的形式實施；而且，在此所描述之方法和系統的形式中之種種省略、取代、及改變可予以做成，而不會背離本發明的精神。附錄之申請專利範圍及其等效範圍係打算要涵蓋該等形式或修正為落在本發明的範疇和精神之內。

【符號說明】

- 1：記憶體胞陣列
- 2：行控制電路
- 3：列控制電路
- 4：資料輸入/輸出緩衝器
- 5：位址暫存器
- 6：命令介面
- 7：狀態機器
- 9：主機

10：電壓產生電路

101：基板

102、106、107、108：導電層

103、103B：層間絕緣層

105：記憶體軸

109：通孔接點佈線

110：佈線

121：核心絕緣層

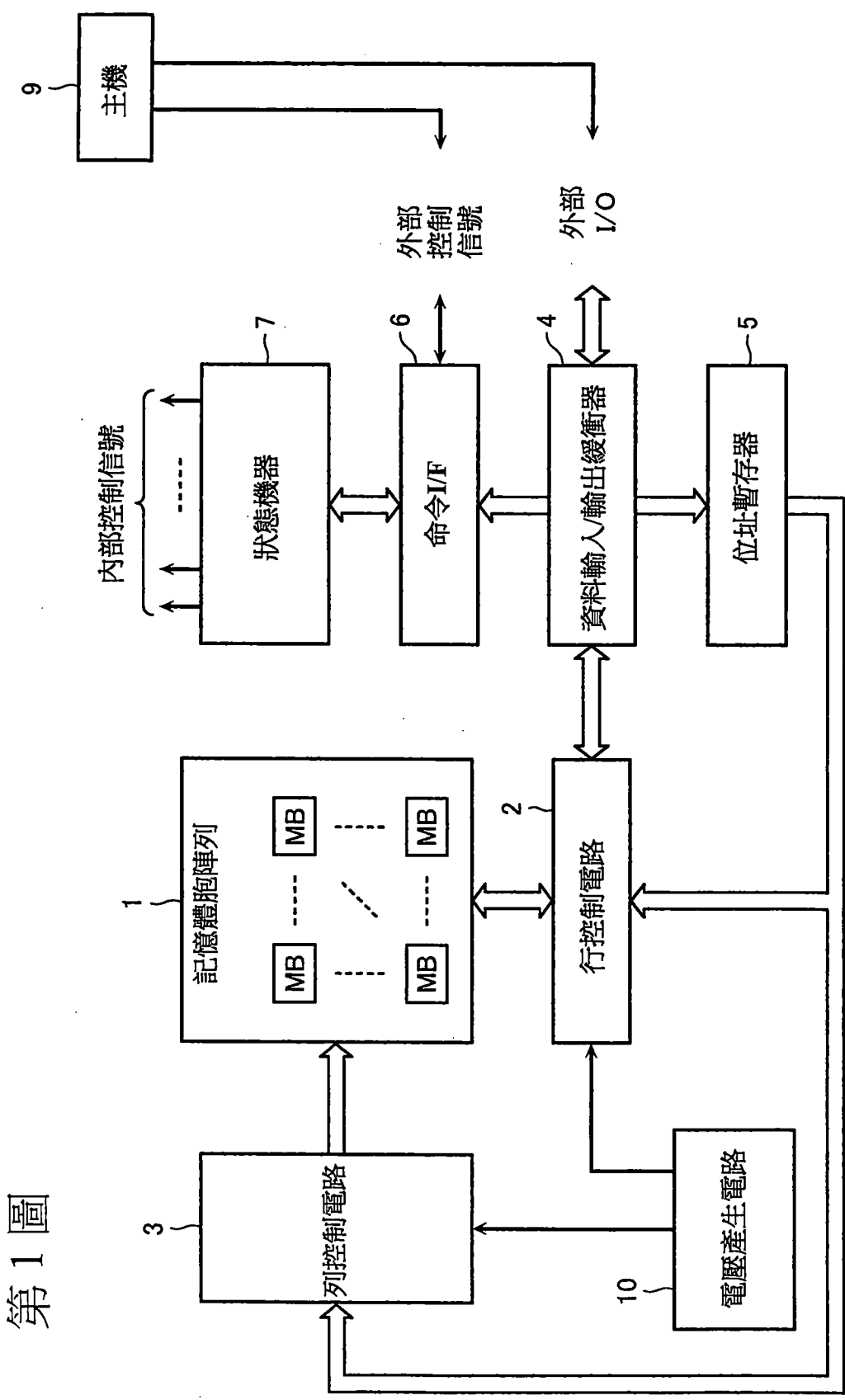
122、154：半導體層

123：隧道絕緣層

124：電荷累積層

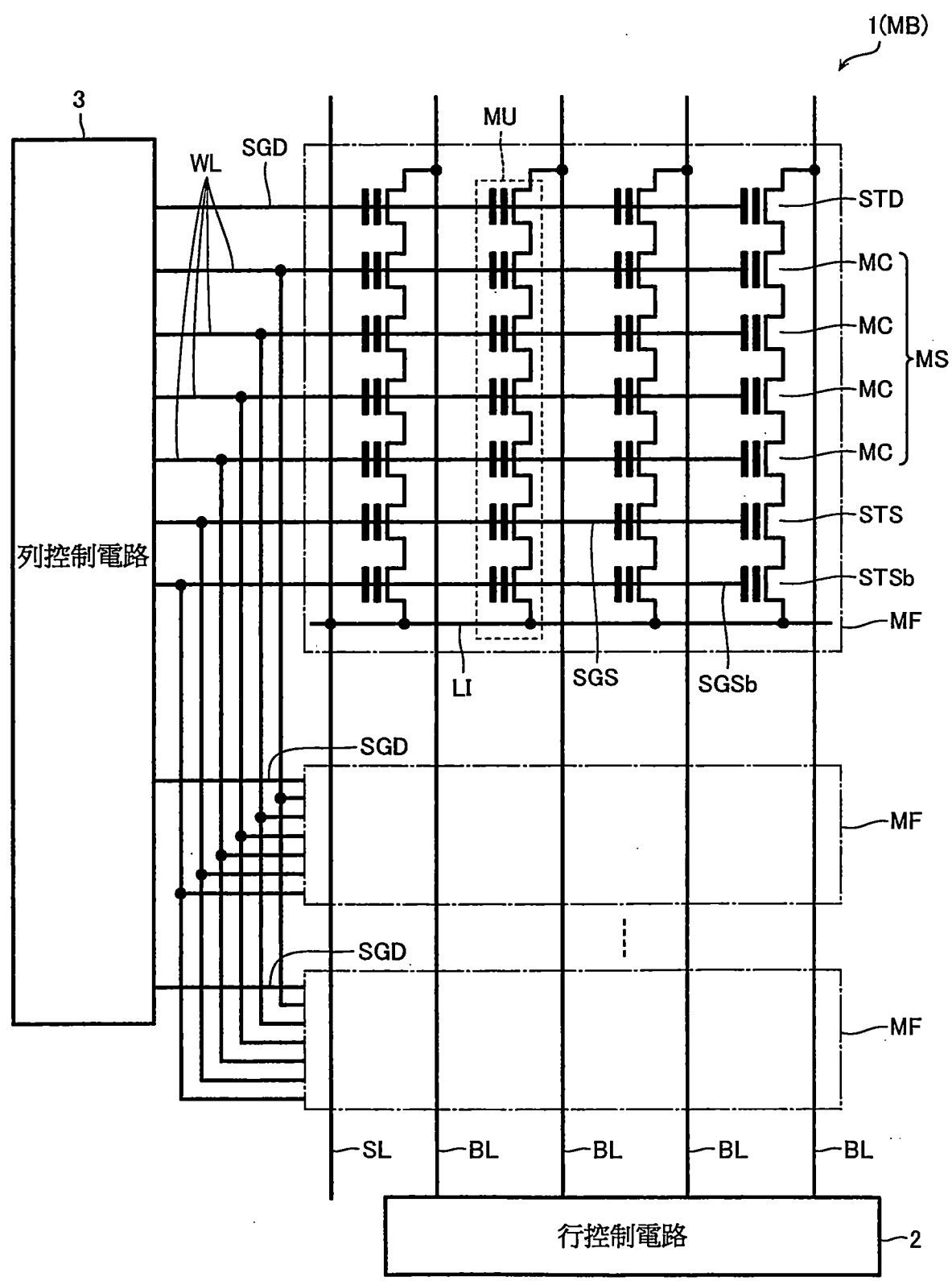
125：區塊絕緣層

圖式

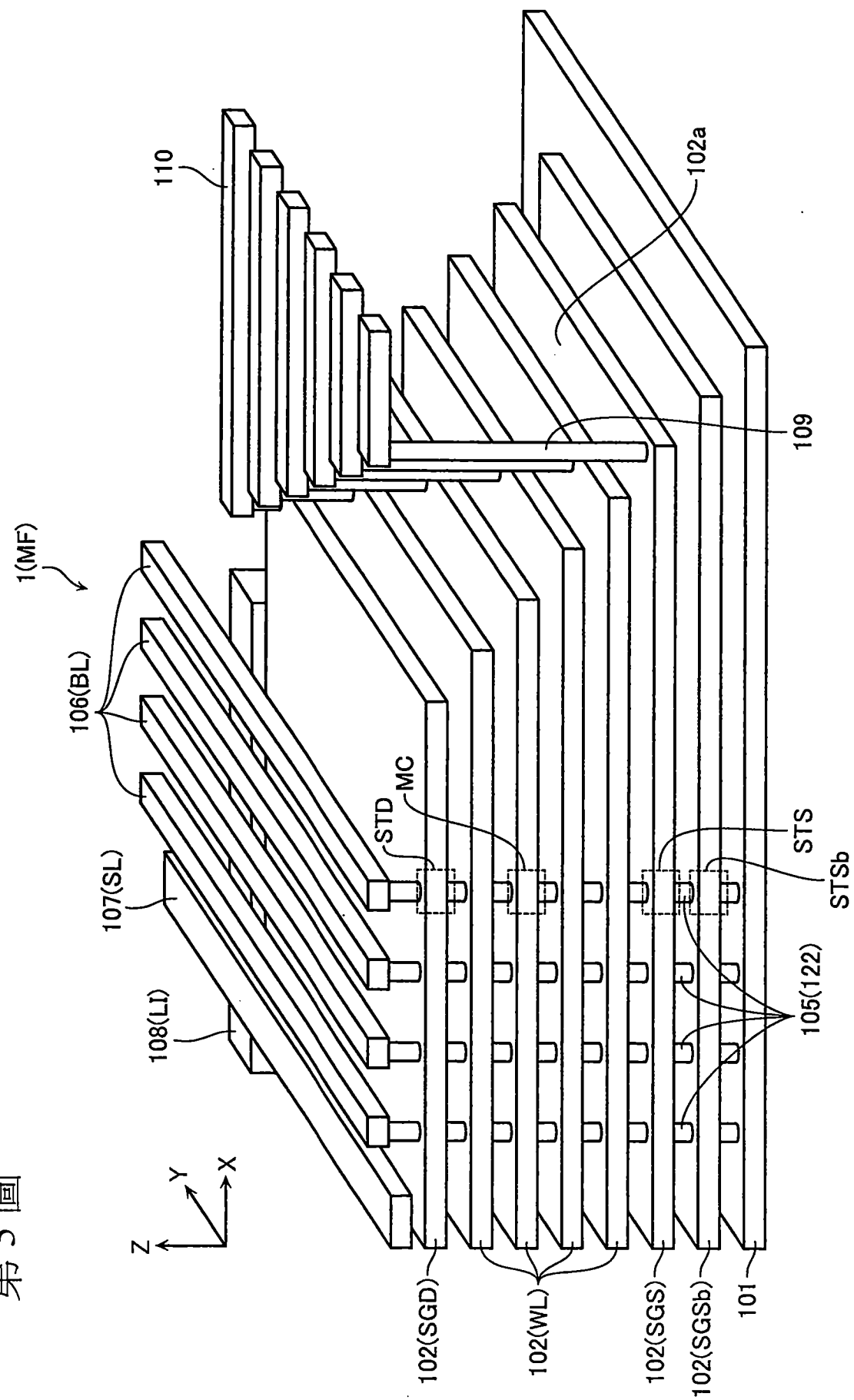


第 1 圖

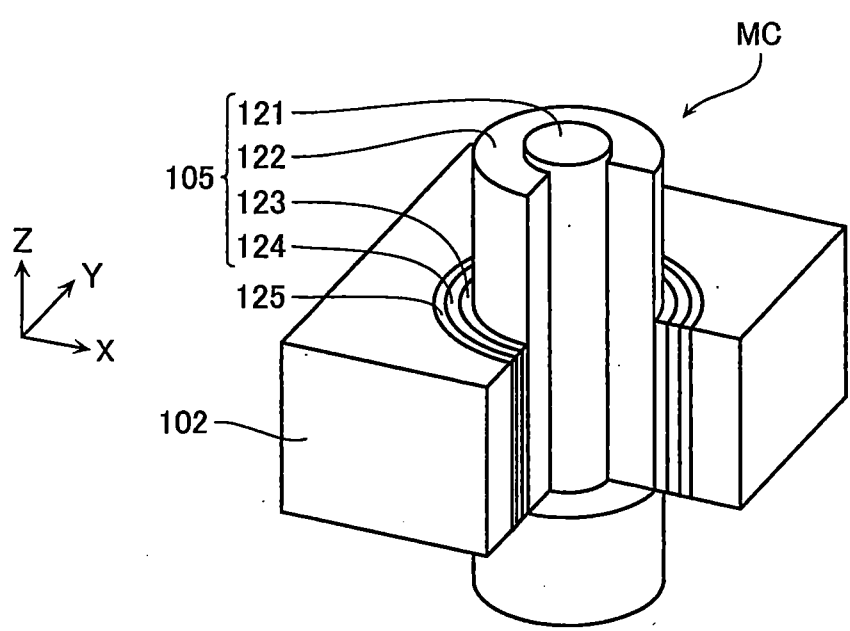
第 2 圖



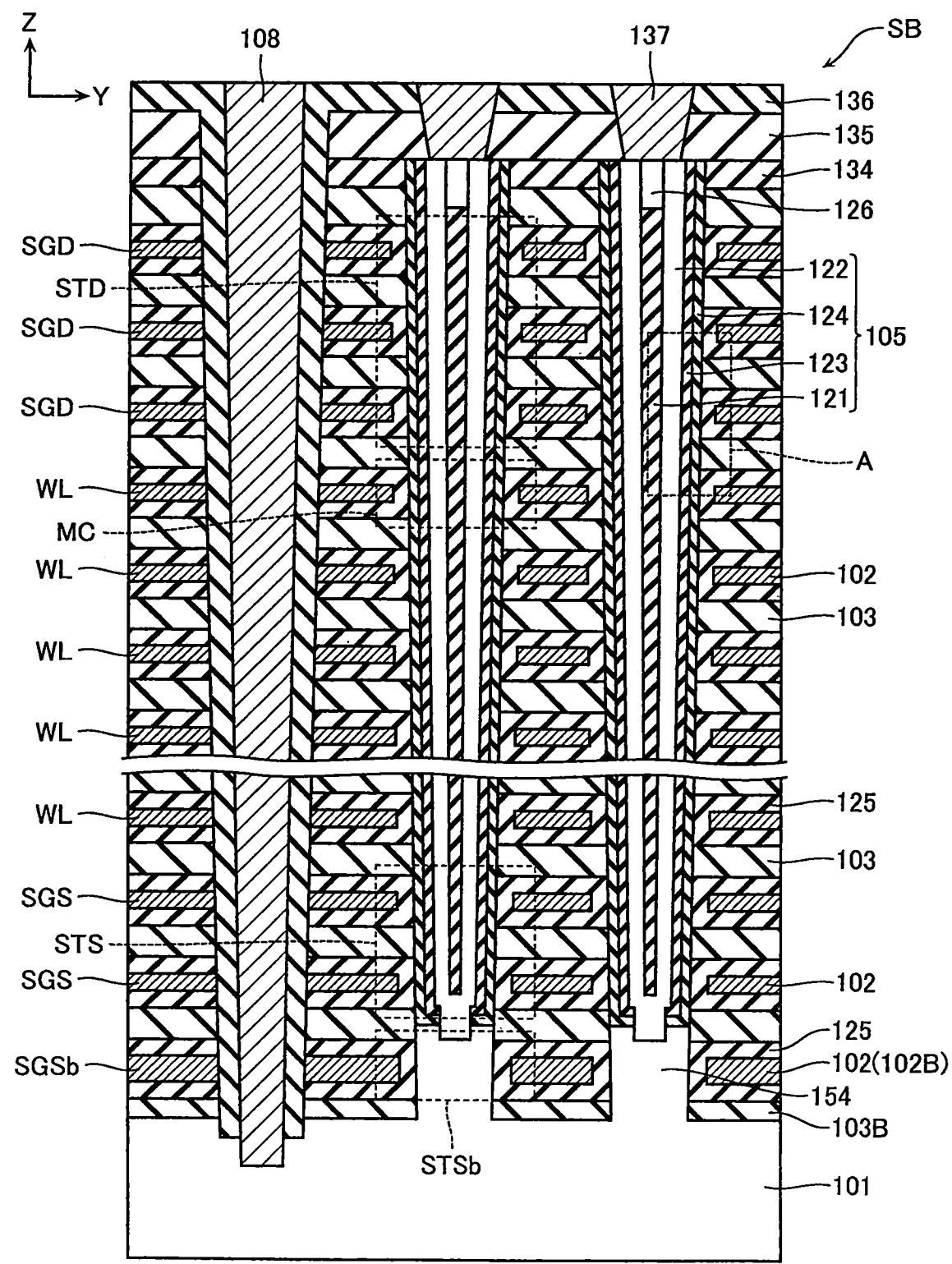
第3圖



第 4 圖

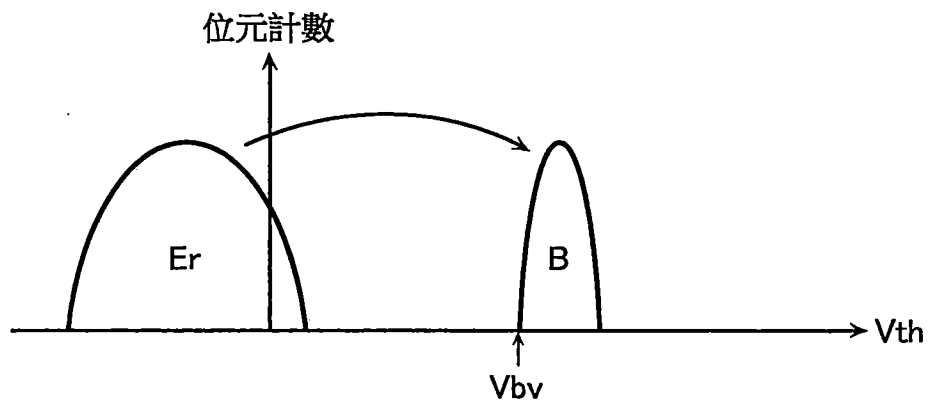


第 5 圖



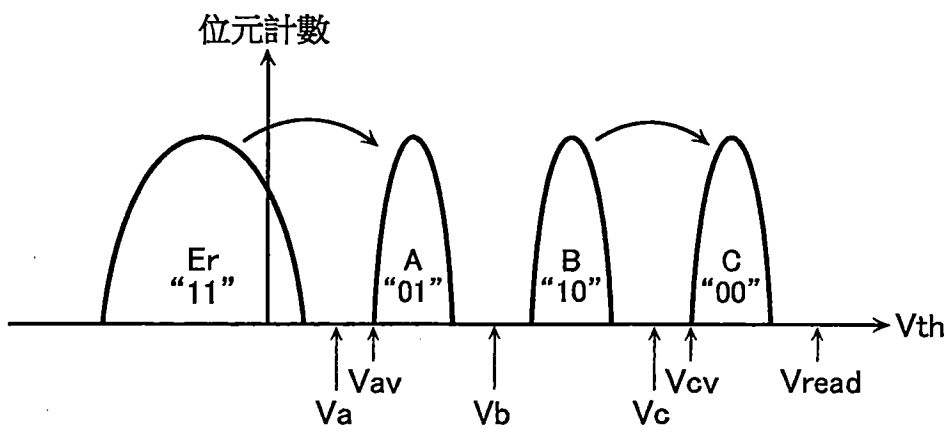
第 6 圖

[下方頁程式]

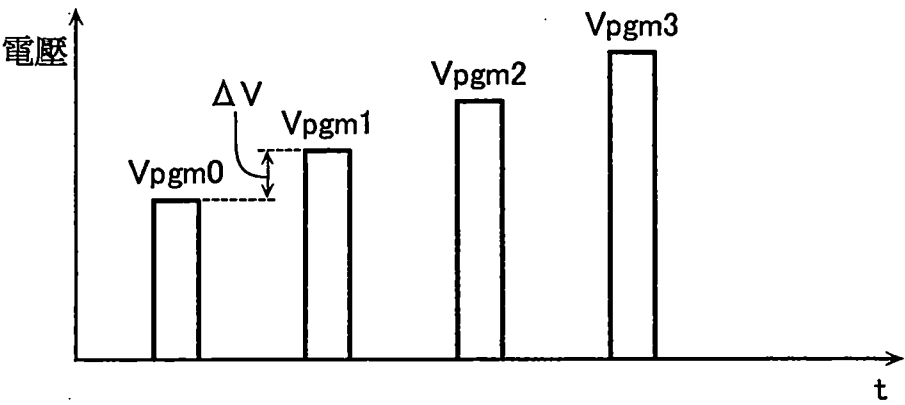


第 7 圖

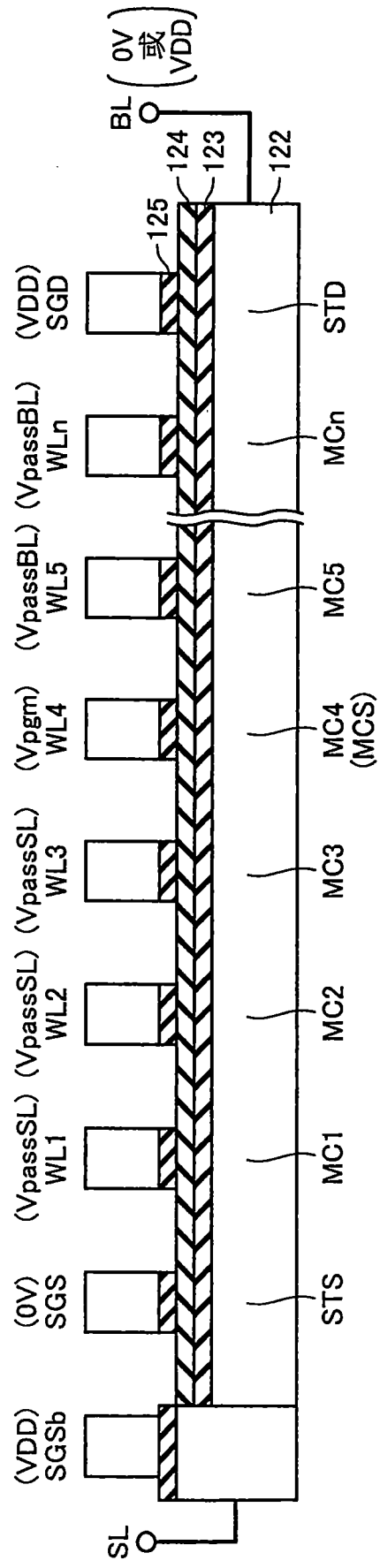
[上方頁程式]



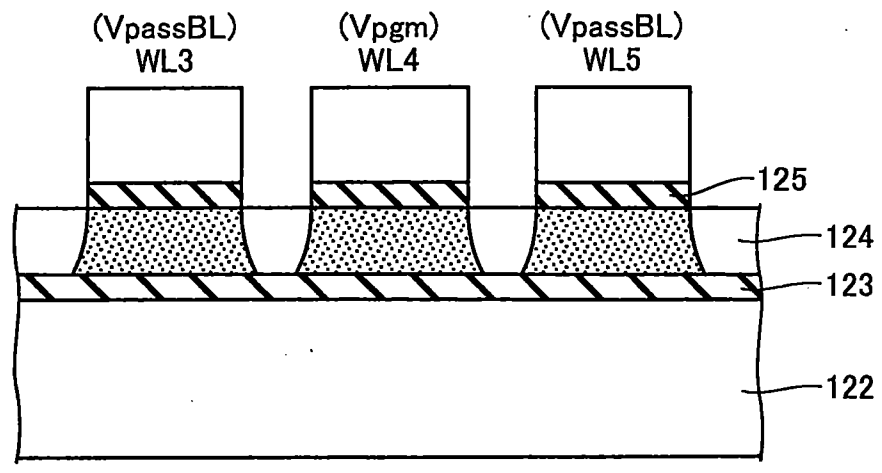
第 9 圖



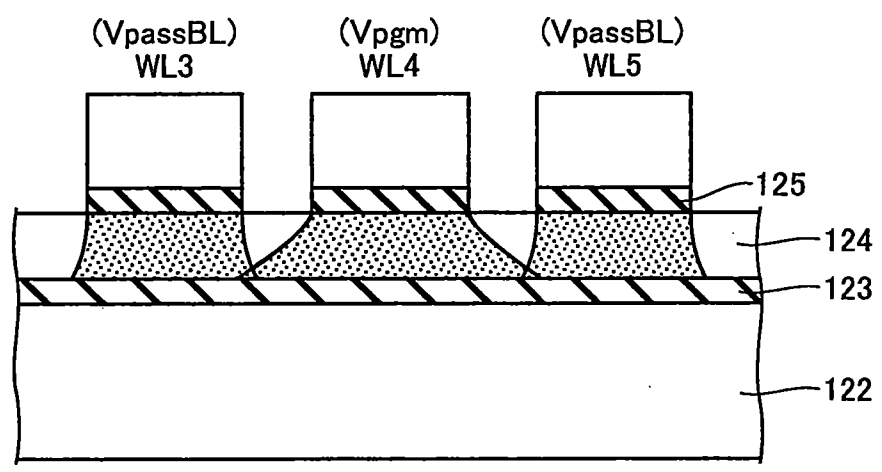
第 10 圖



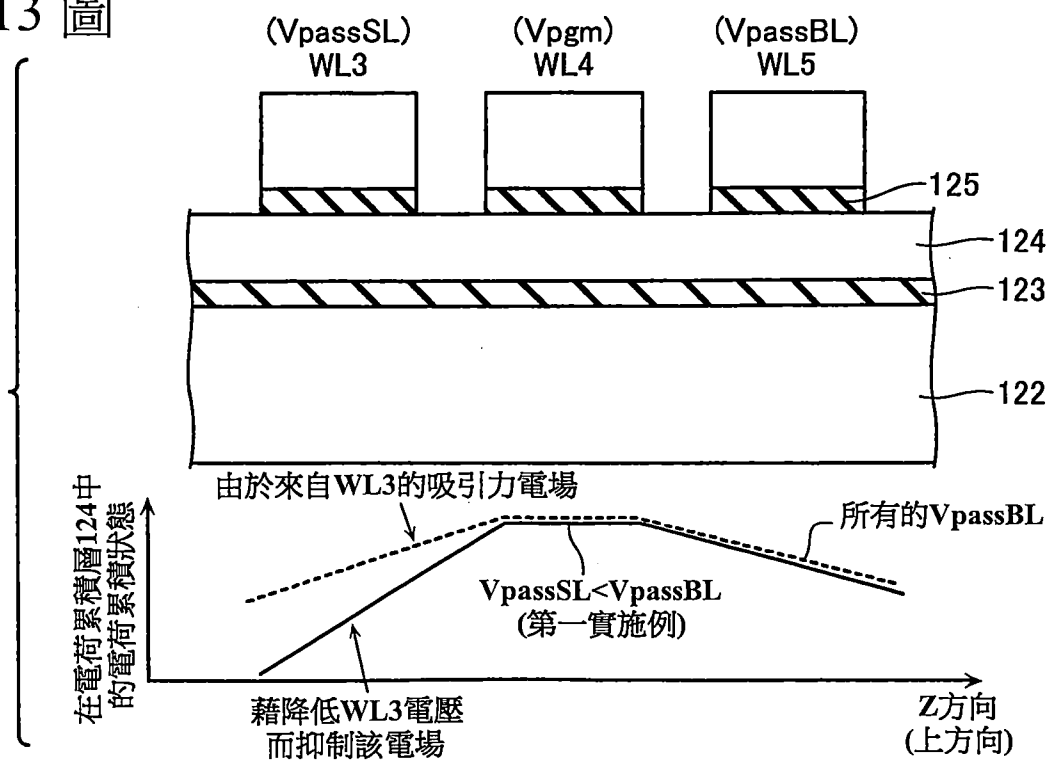
第 11 圖



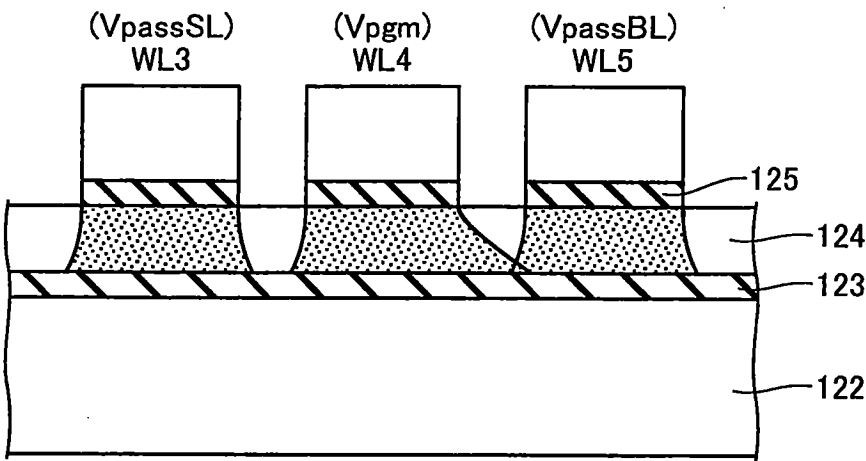
第 12 圖



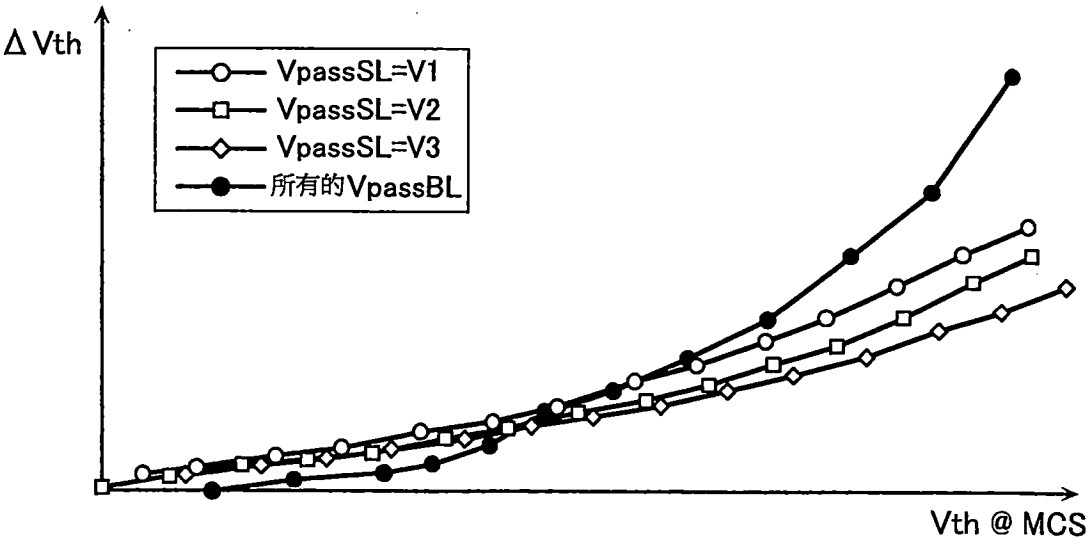
第 13 圖



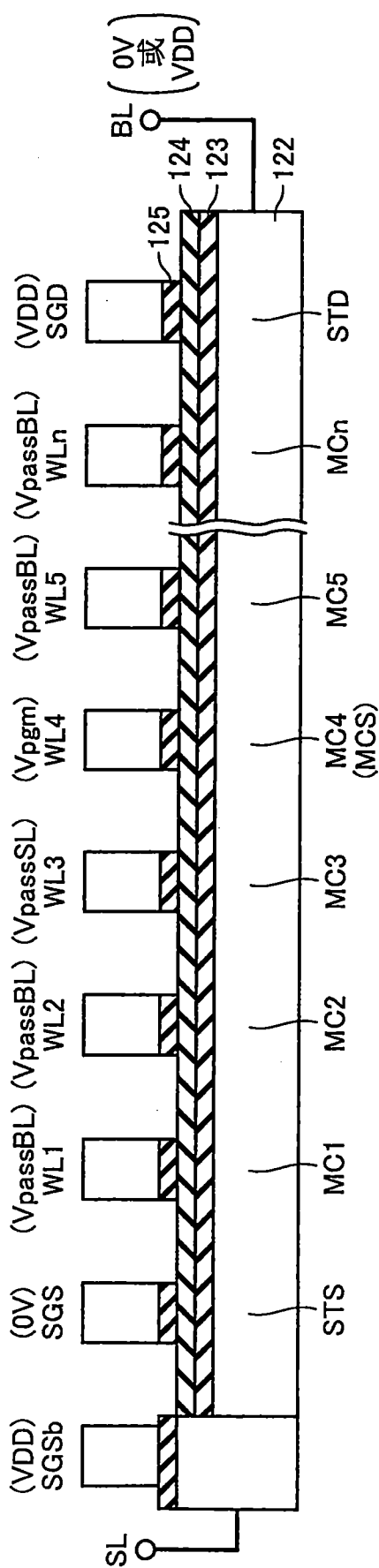
第 14 圖



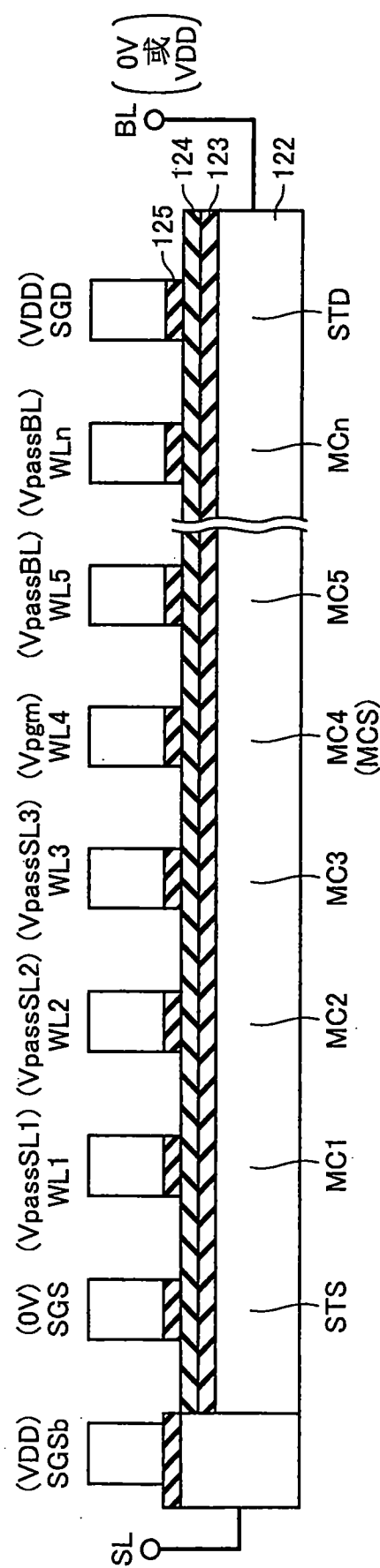
第 15 圖



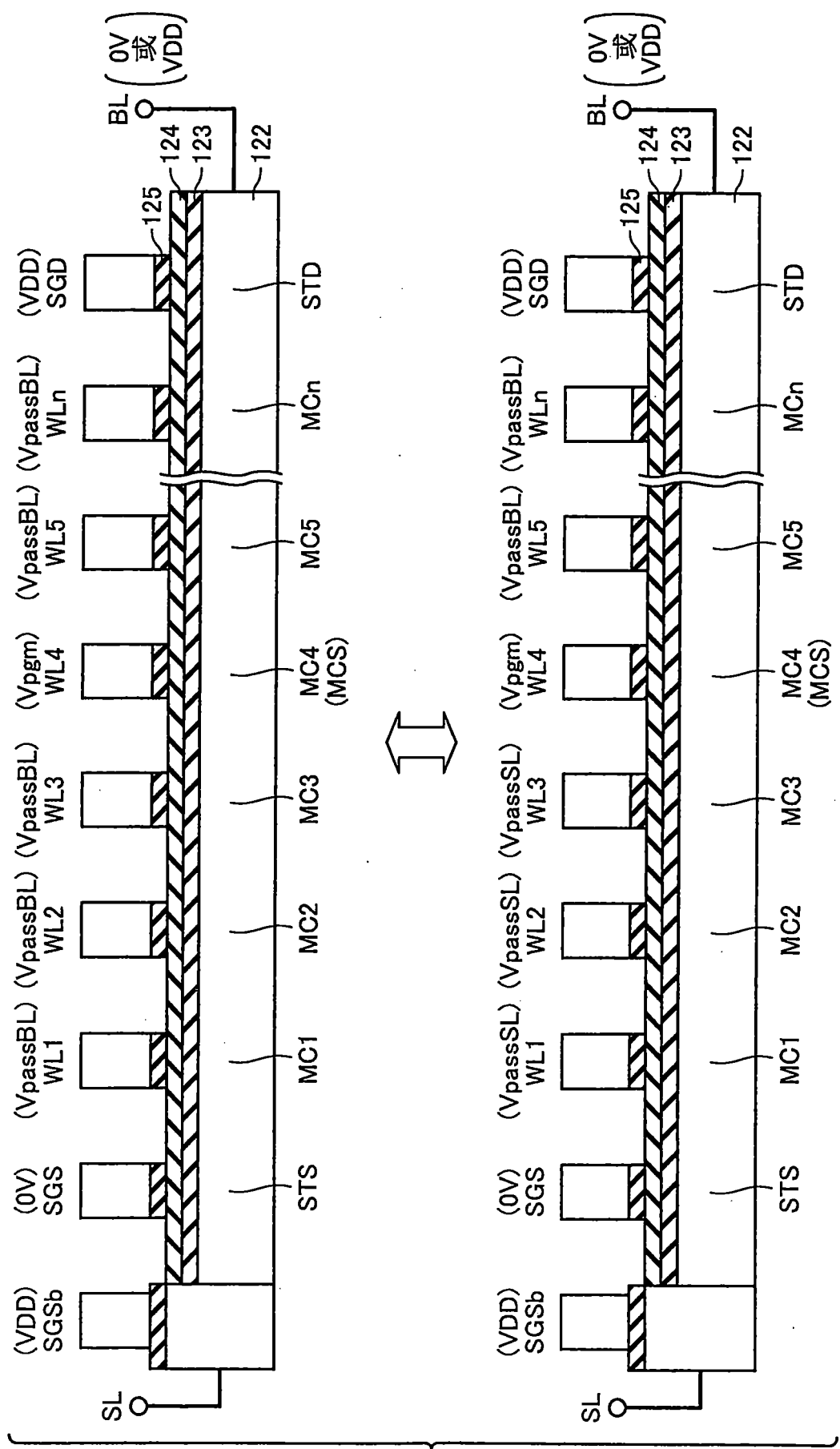
第 16 圖



第 17 圖



第18圖



【代表圖】

【本案指定代表圖】：第(10)圖。

【本代表圖之符號簡單說明】：

122：半導體層

123：隧道絕緣層

124：電荷累積層

125：區塊絕緣層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體記憶體裝置及半導體記憶體裝置之控制方法

Semiconductor memory device and method of controlling the same

[相關申請案之對照]

此申請案係根據 2016 年 9 月 21 日所申請之先前的日本專利申請案第 2016-184250 號且主張該申請案的權益，該申請案的全部內容將結合於本文以供參考。

【技術領域】

在下文中所敘述之實施例有關半導體記憶體裝置及其製造方法。

【先前技術】

近年來，在進行 NAND 型快閃記憶體之小型化的同時，資料寫入操作中之元件間的干擾變得嚴重。也就是說，當將資料寫入於 NAND 型快閃記憶體之中時，寫通電壓係施加至未選擇之記憶體胞的閘極。該寫通電壓係設定該等未選擇之記憶體胞為開啟(ON)狀態的電壓，但不改變其臨限電壓。對照地，比寫通電壓更高的程式電壓係施加至其係寫入對象的選擇之記憶體胞的閘極。此將改變該選擇之記憶體胞的臨限電壓。

惟，由於在小型化的進行所導致之相鄰的記憶體胞之間的元件間干擾，所以具有該等相鄰的記憶體胞之臨限電壓改變之漸增的可能性。

【發明內容】

依據實施例之半導體記憶體裝置包含：記憶體胞陣列，其中複數個記憶體胞係串聯連接以形成記憶體單元；字線，係連接至該複數個記憶體胞的控制閘極；位元線，係連接至該記憶體單元的第一端；源極線，係連接至該記憶體單元的第二端；以及控制單元，其控制該記憶體胞陣列。在對該等記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，該控制單元係操作以施加程式電壓至與該選擇之記憶體胞對應的字線，且致使所施加至第一字線的電壓高於所施加至第二字線的電壓，該第一字線對應於定位在該第一端與該選擇之記憶體胞之間的第一未選擇之記憶體胞，及該第二字線對應於定位在該第二端與該選擇之記憶體胞之間的第二未選擇之記憶體胞。

【圖式簡單說明】

第 1 圖係依據第一實施例之非揮發性半導體記憶體裝置的方塊圖；

第 2 圖係等效電路圖，其描繪包含在記憶體胞陣列 1 中之記憶體區塊 MB 的結構；

I633552

發明摘要

※申請案號：106106491

※申請日：106 年 02 月 24 日

※IPC 分類：

【發明名稱】(中文/英文)

半導體記憶體裝置及半導體記憶體裝置之控制方法

Semiconductor memory device and method of controlling the same

【中文】

在對記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係小於參考值時，控制單元係操作以施加程式電壓至與該選擇之記憶體胞對應的字線，且致使所施加至第一字線的電壓高於所施加至第二字線的電壓，該第一字線對應於定位在第一端與該選擇之記憶體胞之間的第一未選擇之記憶體胞，及該第二字線對應於定位在第二端與該選擇之記憶體胞之間的第二未選擇之記憶體胞。

【英文】

In a write operation to memory cells, the control unit is operative to, when a threshold voltage to be provided to a selected memory cell is not less than a reference value,

apply a program voltage to a word line corresponding to a selected memory cell, and cause a voltage applied to a first word line corresponding to a first non-selected memory cell positioned between the first end and the selected memory cell to be higher than a voltage applied to a second word line corresponding to a second non-selected memory cell positioned between the second end and the selected memory cell.

申請專利範圍

1.一種半導體記憶體裝置，包含：

記憶體胞陣列，其中複數個記憶體胞係串聯連接以形成記憶體單元；

字線，係連接至該複數個記憶體胞的控制閘極；

位元線，係連接至該記憶體單元的第一端；

源極線，係連接至該記憶體單元的第二端；以及

控制單元，其控制該記憶體胞陣列，其中

在對該等記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，該控制單元係操作以

施加程式電壓至與選擇之記憶體胞對應的字線，
且

致使所施加至第一字線的電壓高於所施加至第二字線的電壓，該第一字線對應於定位在該第一端與該選擇之記憶體胞之間的第一未選擇之記憶體胞，及該第二字線對應於定位在該第二端與該選擇之記憶體胞之間的第二未選擇之記憶體胞。

2.如申請專利範圍第 1 項之半導體記憶體裝置，其中當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，則所施加至該第二字線的該電壓具有負值。

3.如申請專利範圍第 1 項之半導體記憶體裝置，其中在對該等記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係小於參考值時，該控制單元係操

作以

施加程式電壓至與該選擇之記憶體胞對應的該字線，
且

致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等，該第一字線對應於定位在該第一端與該選擇之記憶體胞之間的該第一未選擇之記憶體胞，及該第二字線對應於定位在該第二端與該選擇之記憶體胞之間的該第二未選擇之記憶體胞。

4.如申請專利範圍第 3 項之半導體記憶體裝置，其中當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，則所施加至該第二字線的該電壓具有負值。

5.如申請專利範圍第 1 項之半導體記憶體裝置，其中當具有複數個該第二字線時，該控制單元施加較高的電壓至較靠近該選擇之記憶體胞的該第二字線。

6.如申請專利範圍第 1 項之半導體記憶體裝置，其中當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，該控制單元係操作以執行第一電壓應用操作及第二電壓應用操作，

該第一電壓應用操作致使所施加至該第一字線的該電壓高於所施加至該第二字線的該電壓，以及

該第二電壓應用操作致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等。

7.如申請專利範圍第 3 項之半導體記憶體裝置，其中當將被提供至選擇之記憶體胞的臨限電壓係不小於參

考值時，該控制單元係操作以執行第一電壓應用操作及第二電壓應用操作，

該第一電壓應用操作致使所施加至該第一字線的該電壓高於所施加至該第二字線的該電壓，以及

該第二電壓應用操作致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等。

8.如申請專利範圍第 7 項之半導體記憶體裝置，其中當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，則所施加至該第二字線的該電壓具有負值。

9.如申請專利範圍第 1 項之半導體記憶體裝置，其中該控制單元係操作以從該第二端順序地選擇記憶體胞，用以執行寫入操作。

10.如申請專利範圍第 9 項之半導體記憶體裝置，其中

當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，則所施加至該第二字線的該電壓具有負值。

11.如申請專利範圍第 1 項之半導體記憶體裝置，其中該記憶體單元包含：

記憶體軸；

電荷累積層，係設置在該記憶體軸的側壁上；以及

導電層，其圍繞該記憶體軸的側表面，

該電荷累積層係連續地設置在一記憶體單元的該複數個記憶體胞上。

12.一種半導體記憶體裝置的控制方法，該半導體記

記憶體裝置包含：記憶體胞陣列，其中複數個記憶體胞係串聯連接以形成記憶體單元；字線，係連接至該複數個記憶體胞的控制閘極；位元線，係連接至該記憶體單元的第一端；以及源極線，係連接至該記憶體單元的第二端；

其中在對該等記憶體胞的寫入操作中，該方法包含，當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，

施加程式電壓至與該選擇之記憶體胞對應的字線，且致使所施加至第一字線的電壓高於所施加至第二字線的電壓，該第一字線對應於定位在該第一端與該選擇之記憶體胞之間的第一未選擇之記憶體胞，及該第二字線對應於定位在該第二端與該選擇之記憶體胞之間的第二未選擇之記憶體胞。

13.如申請專利範圍第 12 項之半導體記憶體裝置的控制方法，其中

當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，則所施加至該第二字線的該電壓具有負值。

14.如申請專利範圍第 12 項之半導體記憶體裝置的控制方法，其中

當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，該方法執行第一電壓應用操作及第二電壓應用操作，

該第一電壓應用操作致使所施加至該第一字線的該電壓高於所施加至該第二字線的該電壓，以及

該第二電壓應用操作致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等。

15.如申請專利範圍第 12 項之半導體記憶體裝置的控制方法，其中

在對該等記憶體胞的寫入操作中，當將被提供至選擇之記憶體胞的臨限電壓係小於參考值時，該方法進一步包含：

施加程式電壓至與該選擇之記憶體胞對應的該字線，
且

致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等，該第一字線對應於定位在該第一端與該選擇之記憶體胞之間的該第一未選擇之記憶體胞，及該第二字線對應於定位在該第二端與該選擇之記憶體胞之間的該第二未選擇之記憶體胞。

16.如申請專利範圍第 15 項之半導體記憶體裝置的控制方法，其中

當將被提供至選擇之記憶體胞的臨限電壓係不小於參考值時，該方法執行第一電壓應用操作及第二電壓應用操作，

該第一電壓應用操作致使所施加至該第一字線的該電壓高於所施加至該第二字線的該電壓，以及

該第二電壓應用操作致使所施加至該第一字線的該電壓與所施加至該第二字線的該電壓相等。