



등록특허 10-2436100



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월24일  
(11) 등록번호 10-2436100  
(24) 등록일자 2022년08월22일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/027* (2006.01) *G03F 1/70* (2012.01)  
*G03F 1/80* (2012.01) *G03F 7/20* (2006.01)
- (52) CPC특허분류  
*H01L 21/0274* (2013.01)  
*G03F 1/70* (2013.01)
- (21) 출원번호 10-2018-7010710
- (22) 출원일자(국제) 2016년09월20일  
심사청구일자 2020년11월17일
- (85) 번역문제출일자 2018년04월16일
- (65) 공개번호 10-2018-0049101
- (43) 공개일자 2018년05월10일
- (86) 국제출원번호 PCT/US2016/052694
- (87) 국제공개번호 WO 2017/053316  
국제공개일자 2017년03월30일

(30) 우선권주장  
62/232,005 2015년09월24일 미국(US)  
62/258,119 2015년11월20일 미국(US)

## (56) 선행기술조사문헌

US20090258492 A1\*

KR1020150094823 A\*

\*는 심사관에 의하여 인용된 문헌

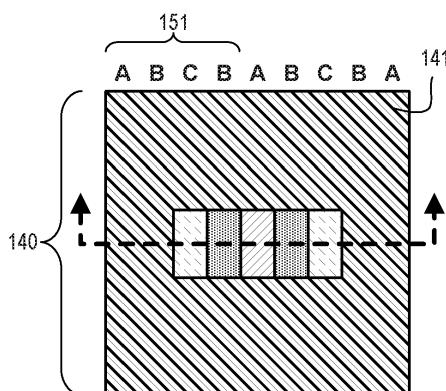
전체 청구항 수 : 총 19 항

심사관 : 박중현

## (54) 발명의 명칭 분해능이하 기판 패터닝을 위한 에칭 마스크를 형성하는 방법

**(57) 요약**

여기에 개시된 기술은 고분해능 피처를 생성하기 위해 피치 감소를 위한 그리고 또한 분해능이하(sub-resolution) 피처의 피치 상의 컷팅을 위한 방법 및 제조 구조물을 제공한다. 기술은 상이한 에칭 특성을 갖는 복수의 재료들을 사용하여 피처를 선택적으로 에칭하고 지정된 곳에 컷 또는 블록을 생성하는 것을 포함한다. 교대하는 재료들의 패턴이 하부층 상에 형성된다. 교대하는 재료들의 패턴 상에 에칭 마스크가 위치된다. 하부층의 일부를 덮지 않도록 교대하는 재료들 중의 하나 이상이 다른 재료에 비해 우선적으로 제거될 수 있다. 에칭 마스크 및 교대하는 재료의 남은 라인들은 함께 분해능이하 피처를 정의하는 결합 에칭 마스크를 형성한다.

**대 표 도** - 도4a

(52) CPC특허분류

*G03F 1/80* (2013.01)

*G03F 7/70575* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판을 패터닝하는 방법에 있어서,

기판의 하부층(underlying layer) 상에 멀티라인(multi-line) 층을 형성하는 단계 - 상기 멀티라인 층은 둘 이상의 상이한 재료들의 교대하는(alternating) 라인들의 패턴을 갖는 영역을 포함하고, 각각의 라인은 수평 두께, 수직 높이를 가지며 상기 하부층에 걸쳐 연장되고, 상기 교대하는 라인들의 패턴의 각각의 라인은 상기 멀티라인 층의 상부 표면 상에서 아무것도 덮여 있지 않으며(uncovered) 상기 멀티라인 층의 하부 표면으로 수직으로 연장되고, 상기 둘 이상의 상이한 재료들 중의 적어도 둘은 서로에 대해 상이한 내에칭성(etch resistivity)을 가짐으로써 서로 화학적으로 상이하고, 상기 멀티라인 층을 형성하는 단계는, 상기 상이한 재료들 중의 제1 재료의 라인을 형성하는 단계 및 각각 상기 라인 상에 상기 상이한 재료들 중의 제2 재료를 퇴적함으로써 인접한 라인을 형성하는 단계를 포함함 - ;

상기 멀티라인 층 상에, 상기 멀티라인 층의 일부를 마스킹하는 마스크 재료를 포함한 패터닝된 마스크 층을 형성하는 단계; 및

상기 하부층의 일부가 아무것도 덮여 있지 않게 되도록 상기 둘 이상의 상이한 재료들 중의 적어도 하나를 선택적으로 제거하는 단계

를 포함하는, 기판을 패터닝하는 방법.

#### 청구항 2

청구항 1에 있어서, 상기 둘 이상의 상이한 재료들은 셋 이상의 상이한 재료들을 포함하고, 상기 둘 이상의 상이한 재료들 중의 적어도 하나를 선택적으로 제거하는 단계는, 상기 하부층의 대응하는 부분이 아무것도 덮여 있지 않게 되도록 상기 셋 이상의 상이한 재료들 중의 둘을 선택적으로 제거하는 단계를 포함하는 것인, 기판을 패터닝하는 방법.

#### 청구항 3

청구항 1에 있어서, 상기 둘 이상의 상이한 재료들은 넷 이상의 상이한 재료들을 포함하고, 상기 둘 이상의 상이한 재료들 중의 적어도 하나를 선택적으로 제거하는 단계는, 상기 하부층의 대응하는 부분이 아무것도 덮여 있지 않게 되도록 상기 넷 이상의 상이한 재료들 중의 둘을 선택적으로 제거하는 단계를 포함하는 것인, 기판을 패터닝하는 방법.

#### 청구항 4

청구항 1에 있어서, 상기 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴은 A-B-A-B의 반복 순서를 포함하며, 재료 A 및 재료 B는 서로에 대해 상이한 내에칭성을 갖는 것인, 기판을 패터닝하는 방법.

#### 청구항 5

청구항 1에 있어서, 상기 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴은 A-B-C-B-A-B-C-B의 반복 순서를 포함하며, 재료 A 및 재료 B는 서로에 대해 상이한 내에칭성을 갖는 것인, 기판을 패터닝하는 방법.

#### 청구항 6

청구항 5에 있어서, 재료 C는 재료 A 및 재료 B에 대해 상이한 내에칭성을 갖는 것인, 기판을 패터닝하는 방법.

#### 청구항 7

청구항 1에 있어서, 상기 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴은 A-B-C-D-C-B-A-B-C-D-C-B의 반복 순서를 포함하며, 재료 A, B, C 및 D 중의 적어도 둘은 서로에 대해 상이한 내에칭성을 갖는 것인, 기판을

패터닝하는 방법.

#### 청구항 8

청구항 1에 있어서, 상기 패터닝된 마스크 층을 형성하는 단계는 마스크 재료의 럴리프 패턴을 형성하는 단계를 포함하는 것인, 기판을 패터닝하는 방법.

#### 청구항 9

청구항 1에 있어서, 상기 마스크 재료는 금속을 포함하는 것인, 기판을 패터닝하는 방법.

#### 청구항 10

청구항 1에 있어서, 상기 멀티라인 층을 형성하는 단계는,

상기 하부층 상에 위치되며 상기 제1 재료로 구성된 맨드릴(mandrel)을 갖는 상기 기판을 제공하는 단계;

상기 맨드릴의 노출된 측벽 상에 상기 제2 재료로 구성된 제1 측벽 스페이서를 형성하는 단계;

상기 제1 측벽 스페이서의 노출된 측벽 상에 제3 재료로 구성된 제2 측벽 스페이서를 형성하는 단계; 및

서로 마주하는 상기 제2 측벽 스페이서의 노출된 측벽들 사이에 정의되는 개방 공간을 채우는 충전 구조물을 형성하는 단계

를 포함하고,

상기 충전 구조물은 제4 재료로 구성되고, 상기 맨드릴, 상기 제1 측벽 스페이서, 상기 제2 측벽 스페이서, 및 상기 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않으며, 상기 제1 재료, 상기 제2 재료, 상기 제3 재료, 및 상기 제4 재료 중의 적어도 두 개의 재료는 서로 화학적으로 상이한 것인, 기판을 패터닝하는 방법.

#### 청구항 11

청구항 1에 있어서, 상기 멀티라인 층을 형성하는 단계는,

상기 하부층 상에 위치되며 상기 제1 재료로 구성된 맨드릴을 갖는 상기 기판을 제공하는 단계;

상기 맨드릴의 노출된 측벽 상에 상기 제2 재료로 구성된 제1 측벽 스페이서를 형성하는 단계; 및

서로 마주하는 상기 제1 측벽 스페이서의 노출된 측벽들 사이에 정의되는 개방 공간을 채우는 충전 구조물을 형성하는 단계

를 포함하고,

상기 충전 구조물은 제4 재료로 구성되고, 상기 맨드릴, 상기 제1 측벽 스페이서, 및 상기 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않으며, 상기 제1 재료, 상기 제2 재료, 및 상기 제4 재료 중의 적어도 두 개의 재료는 서로 화학적으로 상이한 것인, 기판을 패터닝하는 방법.

#### 청구항 12

기판을 패터닝하는 방법에 있어서,

기판의 하부층 상에 멀티라인 층을 형성하는 단계 - 상기 멀티라인 층은 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴을 갖는 영역을 포함하고, 각각의 라인은 수평 두께, 수직 높이를 가지며 상기 하부층에 걸쳐 연장되고, 상기 교대하는 라인들의 패턴의 각각의 라인은 상기 멀티라인 층의 상부 표면 상에서 아무것도 덮여 있지 않으며 상기 멀티라인 층의 하부 표면으로 수직으로 연장되고, 상기 둘 이상의 상이한 재료들 중의 적어도 둘은 서로에 대해 상이한 내에칭성을 가짐으로써 서로 화학적으로 상이하고, 상기 멀티라인 층을 형성하는 단계는, 상기 상이한 재료들 중의 제1 재료의 라인을 형성하는 단계 및 각각 상기 라인 상에 상기 상이한 재료들 중의 제2 재료를 퇴적함으로써 인접한 라인을 형성하는 단계를 포함함 - ;

상기 멀티라인 층 상에, 상기 멀티라인 층의 일부를 마스킹하는 마스크 재료를 포함한 패터닝된 마스크 층을 형성하는 단계; 및

상기 하부층의 일부가 아무것도 덮여 있지 않게 되도록 상기 둘 이상의 상이한 재료들 중의 적어도 하나를 선택

적으로 제거하는 단계

를 포함하고,

상기 멀티라인 층을 형성하는 단계는,

상기 하부층 상에 위치되며 제1 재료로 구성된 맨드릴을 갖는 상기 기판을 제공하는 단계; 및

상기 맨드릴의 노출된 측벽들 사이에 정의되는 개방 공간을 채우는 충전 구조물을 형성하는 단계 - 상기 충전 구조물은 제4 재료로 구성되고, 상기 맨드릴, 및 상기 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않으며, 상기 제1 재료 및 상기 제4 재료는 서로 화학적으로 상이함 -

를 포함하는 것인, 기판을 패터닝하는 방법.

### 청구항 13

청구항 1에 있어서, 상기 마스크 재료 및 상기 멀티라인 층의 남은 재료에 의해 정의되는 결합 패턴을 상기 하부층으로 전사하는 단계를 더 포함하는, 기판을 패터닝하는 방법.

### 청구항 14

청구항 13에 있어서, 상기 하부층은 상기 결합 패턴의 전사 동안 상기 결합 패턴을 수용하는 기억 층인 것인, 기판을 패터닝하는 방법.

### 청구항 15

청구항 14에 있어서, 상기 기억 층은 상기 멀티라인 층에서의 재료들에 대해 상이한 내에칭성을 갖는 재료로 구성되는 것인, 기판을 패터닝하는 방법.

### 청구항 16

청구항 13에 있어서, 상기 결합 패턴을 상기 하부층으로 전사하는 단계는, 상기 하부층 내의 하나 이상의 매립 구조물을 컷팅하는 단계를 포함하는 것인, 기판을 패터닝하는 방법.

### 청구항 17

청구항 1에 있어서, 상기 둘 이상의 라인들에서의 주어진 재료 라인의 피치는 주어진 포토리소그래피 시스템의 광학 분해능보다 더 작은 것인, 기판을 패터닝하는 방법.

### 청구항 18

삭제

### 청구항 19

청구항 1에 있어서, 각각의 재료의 라인들은 16 나노미터보다 더 작은 하프피치(half-pitch) 간격을 갖는 것인, 기판을 패터닝하는 방법.

### 청구항 20

기판을 패터닝하는 방법에 있어서,

기판의 하부층 상에 멀티라인 층을 형성하는 단계 - 상기 멀티라인 층은 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴을 갖는 영역을 포함하고, 각각의 라인은 수평 두께, 수직 높이를 가지며 상기 하부층에 걸쳐 연장되고, 상기 교대하는 라인들의 패턴의 각각의 라인은 상기 멀티라인 층의 상부 표면 상에서 아무것도 덮여 있지 않으며 상기 멀티라인 층의 하부 표면으로 수직으로 연장되고, 상기 둘 이상의 상이한 재료들 중의 적어도 둘은 서로에 대해 상이한 내에칭성을 가짐으로써 서로 화학적으로 상이하고, 상기 멀티라인 층을 형성하는 단계는, 상기 상이한 재료들 중의 제1 재료의 라인을 형성하는 단계 및 각각 상기 라인 상에 상기 상이한 재료들 중의 제2 재료를 퇴적함으로써 인접한 라인을 형성하는 단계를 포함하고, 상기 멀티라인 층은 또한 상기 둘 이상의 상이한 재료들의 교대하는 라인들의 패턴의 일부로서 트렌치를 정의하며, 정의된 트렌치는 재료의 라인들과 평행하게 연장되고 패터닝된 마스크 층의 일부를 덮지 않음 - ;

상기 멀티라인 층 상에, 상기 멀티라인 층의 일부를 마스킹하는 마스크 재료를 포함한 상기 패터닝된 마스크 층을 형성하는 단계; 및

마스크 재료 및 상기 하부층을 덮는 상기 멀티라인 층의 재료에 의해 정의되는 결합 패턴을 상기 하부층으로 전사하는 단계

를 포함하는, 기판을 패터닝하는 방법.

## 발명의 설명

### 기술 분야

[0001] 본 출원은, 2015년 11월 20일 출원되어 발명의 명칭이 “Methods of Forming Etch Masks for Sub-Resolution Substrate Patterning” 인 미국 가특허 출원 번호 제62/258,119호의 우선권을 주장하며, 이는 그 전체가 참조에 의해 여기에 포함된다. 본 출원은 또한, 2015년 9월 24일 출원되어 발명의 명칭이 “Methods of Forming Etch Masks for Sub-Resolution Substrate Patterning” 인 미국 가특허 출원 번호 제62/232,005호의 우선권을 주장하며, 이는 그 전체가 참조에 의해 여기에 포함된다.

### 배경 기술

[0002] 본 개시는 기판 프로세싱에 관한 것으로, 보다 상세하게는 반도체 웨이퍼의 패터닝을 포함하여 기판을 패터닝하는 기술에 관한 것이다.

[0003] 리소그래피 프로세스에 있어서 선폭을 축소시키는 방법은 역사적으로 더 큰 NA(numerical aperture) 광학기기, 더 짧은 노출 파장, 또는 공기가 아닌 다른 계면 매체(예컨대, 수침)를 사용하는 것을 수반하여왔다. 종래의 리소그래피 프로세스의 분해능이 이론 한계에 다다름에 따라, 제조자들은 광학 한계를 극복하기 위해 이중 패터닝(DP; double-patterning) 방법으로 전환하기 시작했다.

[0004] (포토리소그래피와 같은) 재료 프로세싱 방법에서, 패터닝된 층을 생성하는 것은, 기판의 상면에 포토레지스트와 같은 방사선 감응 재료의 얇은 층을 도포하는 것을 포함한다. 이 방사선 감응 재료는, 기판 상의 하부층(underlying layer)으로 패턴을 전사하도록 에칭 마스크로서 사용될 수 있는 릴리프 패턴으로 변형된다. 방사선 감응 재료의 패터닝은 일반적으로, 예를 들어 포토리소그래피 시스템을 사용하여, 방사선 감응 재료에 레티클(및 관련 광학기기)을 통한 화학 방사선에의 노출을 수반한다. 이 노출 다음에는 현상 용매를 사용하여 방사선 감응 재료의 조사된 영역(포지티브 포토레지스트의 경우) 또는 조사되지 않은 영역(네가티브 레지스트의 경우)의 제거가 이어질 수 있다. 이 마스크 층은 복수의 부층을 포함할 수 있다.

[0005] 기판에 방사선 또는 광의 패턴을 노출시키는 종래의 리소그래피 기술은, 노출되는 피처(feature)의 크기를 한정하고 노출된 피처들 간의 간격 또는 피치(pitch)를 한정하는 다양한 난제를 갖고 있다. 노출 한계를 완화시키기 위한 하나의 종래의 기술은, 종래의 리소그래피 기술로 현재 가능한 것보다 더 작은 피치로 더 작은 피처의 패터닝을 가능하게 하도록 이중 패터닝 접근을 사용하는 것이다.

### 발명의 내용

[0006] 반도체 기술은 14 나노미터, 7 nm, 5 nm 및 그 이하의 피처 크기를 포함하는 더 작은 피처 크기 또는 노드로 계속해서 발전하고 있다. 다양한 소자들이 제조되는 피처의 크기에 있어서의 이 계속되는 감소로 피처를 형성하는 데에 사용되는 기술에 대한 요구가 점점 더 커지고 있다. 이를 피처의 사이징을 기술하는 데에 “피치”의 개념이 사용될 수 있다. 피치는 2개의 인접한 반복 피처의 2개의 동일 포인트 간의 간격이다. 이어서, 하프피치(half-pitch)는 인접한 피처의 동일 피처 간의 간격의 절반이다.

[0007] 피치 감소 기술은, “피치 2배화(pitch doubling)” 등에 의해 예시되는 바와 같이 (종종 다소 잘못된 것이긴 하지만 일상적으로) “피치 증식(pitch multiplication)”으로 칭해진다. 피치 감소 기술은 피처 크기 한계(광학 분해능 한계)를 넘어 포토리소그래피의 능력을 확대할 수 있다. 즉, 피치의 특정 팩터만큼의 종래의 증식은 (보다 정확하게는 피치 감소, 또는 피치 밀도의 증배) 지정된 팩터만큼 목표 피치를 감소시키는 것을 수반한다. 193 nm 액침 리소그래피와 함께 사용되는 이중 패터닝 기술은 종래에 22 nm 노드 및 그 이하 노드를 패터닝하는 데에 가장 유망한 기술 중의 하나로서 간주된다. 주목할 만한 것은, 자가 정렬된 스페이서 이중 패터닝(SADP; self-aligned spacer double patterning)이 이미 피치 밀도 2배화 프로세스로서 확립되었고 NAND 플래시 메모리 디바이스의 고용량 제조에 채택되었다는 것이다. 또한, 피치 4배화(quadrupling)로서 SADP 단계를 두 번 반

복하여 초미세 분해능이 얻어질 수 있다.

[0008] 패턴 밀도 또는 피치 밀도를 증가시키기 위한 여러 가지 패터닝 기술이 존재하지만, 종래의 패터닝 기술은 에칭된 피처의 거친 표면 또는 열악한 분해능의 단점을 갖는다. 따라서, 종래의 기술은 매우 작은 치수(20 nm 이하)에 대해 바람직한 충실도(fidelity) 및 균일도 수준을 제공할 수 없다. 신뢰성있는 리소그래피 기술은 약 80 nm의 피치를 갖는 피처를 생성할 수 있다. 그러나, 종래의 그리고 신흥 설계 사양은 약 20 nm 또는 10 nm보다 더 작은 임계 치수를 갖는 피처를 제조하기를 원한다. 또한, 피치 밀도 2배화 및 4배화 기술로, 분해능이하(sub-resolution) 라인이 생성될 수 있지만, 이들 라인 사이의 연결이나 컷(cut)을 행하는 것이 난제이며, 특히 이러한 것에 필요한 피치 및 치수가 종래의 포토리소그래피 시스템의 능력의 훨씬 아래이기 때문이다.

[0009] 여기에 개시된 기술은 고분해능 피처를 생성하기 위해 피치 감소(피치/피처 밀도 증가)를 위한 그리고 또한 분해능이하 피처의 피치 상의 컷팅을 위한 방법을 제공한다. 여기에서의 기술은 기판 상에 상이한 에칭 특성을 갖는 복수의 재료 라인(복수의 인접한 재료)을 위치시키는 것을 포함한다. 그 다음, 피처를 선택적으로 에칭하고 원하는 곳에 컷 및 블록을 생성하기 위해 이들 재료의 일부를 격리하도록 복수의 재료 라인 상에 에칭 마스크가 형성된다. 복수의 재료는 교대하는(alternating) 분해능이하 라인들의 패턴일 수 있고, 각각의 라인은 다른 라인에 비해 우선적으로 에칭될 수 있다. 하나 이상의 에칭된 라인과 함께 결합된 에칭 마스크는 분해능이하 피처를 정의하는 결합 에칭 마스크를 제공한다. 따라서, 여기에서의 방법은, 예를 들어 블록킹 또는 컷팅을 위해, 선택적인 자가 정렬을 제공하는 일련의 재료들을 제공한다. 아래의 전사 층 또는 기억 층과 함께, 많은 상이한 에칭 선택도에 접근할 수 있다.

[0010] 하나의 실시예는 기판을 패터닝하는 방법을 포함한다. 하부층 상에 또는 위에 멀티라인 층이 형성된다. 멀티라인 층은 둘 이상의 상이한 재료의 교대하는 라인들의 패턴을 갖는 영역을 포함한다. 각각의 라인은 수평 두께, 수직 높이를 가지며, 하부층에 걸쳐 연장된다. 교대하는 라인들의 패턴의 각각의 패턴은 멀티라인 층의 상부 표면 상에서 아무 것도 덮여 있지 않으며(uncovered), 멀티라인 층의 하부 표면으로 수직으로 연장된다. 둘 이상의 상이한 재료 중의 적어도 둘은 서로에 대해 상이한 내에칭성(etch resistivity)을 가짐으로써 서로 화학적으로 상이하다. 패터닝된 마스크 층이 멀티라인 층 상에 형성된다. 패터닝된 마스크 층은 멀티라인 층의 일부를 마스킹하는 마스크 재료를 포함한다. 둘 이상의 상이한 재료 중의 적어도 하나가 선택적으로 제거되며 그 결과 하부층의 일부가 아무것도 덮여 있지 않게 된다.

[0011] 물론, 명확하게 하기 위해 여기에 기재된 바와 다른 단계의 설명 순서가 제시되었다. 일반적으로, 이들 단계는 임의의 적합한 순서로 수행될 수 있다. 또한, 여기에서의 다양한 특징, 기술, 구성 등의 각각이 본 개시의 상이한 곳에 설명되어 있을 수 있지만, 개념의 각각은 서로 독립적으로 또는 서로 결합하여 실행될 수 있는 것으로 의도된다. 따라서, 본 발명은 많은 상이한 방식들로 구현되고 보여질 수 있다.

[0012] 이 요약 부분이 본 개시 또는 청구하는 발명의 모든 실시예 및/또는 접증적인 신규의 양상을 명시한 것은 아님을 유의하자. 대신, 이 요약은 단지 다양한 실시예들의 예비 설명 및 종래 기술 이상의 신규성의 대응점을 제공하는 것이다. 본 발명 및 실시예의 추가적인 세부사항 및/또는 가능한 관점에 대하여, 아래에 더 설명되는 바와 같은 본 개시의 상세한 설명 및 대응하는 도면을 참조한다.

### 도면의 간단한 설명

[0013] 첨부 도면과 함께 고려되는 다음의 상세한 설명을 참조하여 본 발명의 다양한 실시예 및 이의 많은 동반 이점의 보다 완전한 인식이 용이하게 명백하게 될 것이다. 도면은 반드시 실축척대로 도시된 것이 아니며, 대신에 특징, 원리 및 개념을 예시하는 데에 중점을 둔다.

도 1a, 도 1b, 도 1c 및 도 1d는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

도 2a 및 도 2b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 상부 평면도이다.

도 3a 및 도 3b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

도 4a 및 도 4b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 상부 평면도이다.

도 5a 및 도 5b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

도 6a 및 도 6b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 상부 평면도이다.

도 7a 및 도 7b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

도 8a 및 도 8b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 상부 평면도이다.

도 9a 및 도 9b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

도 10a 및 도 10b는 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 상부 평면도이다.

도 11 내지 도 18은 여기에 개시된 실시예에 따른 예시적인 기판 세그먼트의 측단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0014]

여기에서 개시된 기술은 고분해능 피처를 생성하기 위해 피치 감소(피치/피처 밀도 증가)를 위한 그리고 또한 분해능이하 피처의 피치 상의 컷팅을 위한 방법 및 제조 구조물을 제공한다. 기술은, 피처를 선택적으로 에칭하고 지정된 곳에 컷 또는 블록을 생성하도록 상이한 에칭 특성을 갖는 복수의 재료를 사용하는 것을 포함한다. 교대하는 재료들의 패턴이 하부층 상에 형성된다. 교대하는 재료들의 패턴 상에 에칭 마스크가 위치된다. 교대하는 재료들의 하나 이상은 하부층의 일부를 덮지 않도록 다른 재료에 비해 우선적으로 제거될 수 있다. 에칭 마스크 및 교대하는 재료들의 남은 라인은 함께 분해능이하 피처를 정의하는 결합 에칭 마스크를 형성한다. 재료의 다양한 패턴이 하부층 상에 형성될 수 있고, 패턴은 둘, 셋, 넷, 다섯, 또는 그 이상의 상이한 재료를 포함할 수 있다. 패턴은 40 나노미터 이하 및 심지어는 12 나노미터 이하 그리고 더 작은 하프 피치를 갖는 것을 포함할 수 있다. 재료의 임계 치수는, 리소그래피 시스템의 광학 분해능에만 의존하는 대신, (원자층 중착과 같은) 퇴적 유형에 의해 제어될 수 있다.

[0015]

하나의 실시예는 기판을 패터닝하는 방법을 포함한다. 이러한 방법은 반도체 디바이스 및 집적 회로의 제조에 유용하다. 이제 도 1a, 도 1b, 도 1c, 도 1d, 도 2a 및 도 2b를 참조하면, 멀티라인 층이 하부층(135) 상에 또는 위에 형성된다. 멀티라인 층은 하부층 바로 위에 또는 반사 방지 코팅(ARC; anti-reflective coating) 층과 같은 임의의 중간 층 또는 계면 막 또는 평탄화 층 상에 형성될 수 있다. 멀티라인 층은 둘 이상의 상이한 재료의 교대하는 라인들의 패턴을 갖는 영역을 포함한다. 일부 실시예에서, 교대하는 라인들은 본질적으로 기판의 전체 표면을 덮을 수 있지만, 다른 대안의 실시예에서 특정 영역만 교대하는 라인들의 패턴을 갖는다. 각각의 라인은 수평 두께, 수직 높이를 가지며, 하부층에 걸쳐 연장된다. 교대하는 라인들은 직선, 곡선, 경마장 경로 등을 포함할 수 있다는 것을 유의하자. 교대하는 라인들의 또다른 예는 각각의 링이 곡선인 동심원 세트가 있다. 교대하는 라인들의 패턴의 각각의 라인은 멀티라인 층의 상부 표면 상에서 아무것도 덮여 있지 않으며 멀티라인 층의 하부 표면으로 수직으로 연장된다. 다르게 말하자면, 재료 라인들이 재료의 수직 스택에 대조적으로 기판 표면에 걸쳐 수평으로 교대하기 때문에, 특정 재료의 각각의 라인은 멀티라인 층의 하부 표면으로 이방성 에칭됨으로써 하부층을 덮지 않게 될 수 있다. 둘 이상의 상이한 재료 중의 적어도 둘은 서로에 대해 상이한 내에칭성을 가짐으로써 서로 화학적으로 상이하다.

[0016]

서로 상이한 내에칭성을 갖는 것은, 여기에서 사용될 때, 주어진 하나의 재료를 다른 재료(들)보다 더 빠른 속도로 에칭하는 적어도 하나의 에천트(또는 에천트 조합)가 있음을 의미한다. 둘 이상의 주어진 재료를 동일한 속도로 에칭하는 특정 에천트가 존재할 수 있지만, 다른 재료(들)에 비해 더 빠르게 포함된 재료를 에칭하는 적어도 하나의 에천트가 존재한다는 것을 유의하자. 다른 재료에 비해 하나의 재료를 에칭하는 것은, 다른 것을 실질적으로 에칭하지 않고서 하나의 재료를 에칭하는 것, 또는 3:1, 4:1, 10:1 등의 에칭 속도 비를 갖는 것과 같이 다른 재료에 비교하여 실질적으로 더 큰 속도로 하나의 재료를 에칭하는 것을 포함할 수 있다. 2개의 재료가 상이한 내에칭성을 갖는 것에 대해, 이는 통상적으로, 포함된 특정 원자 요소 또는 원자 요소의 배열에 의한 것과 같이, 2개의 재료가 서로 화학적으로 상이함을 의미한다. 2개의 재료 중의 하나가 도펀트를 포함한다는 것을 제외하고는 거의 동일한 2개의 재료는, 그럼에도 상이한 내에칭성을 가질 수 있다. 또한, 동일한 원자 요소를 갖지만 상이한 분자 또는 결정 구조를 갖는 재료도 또한 내에칭성 차이를 제공할 수 있다.

[0017]

도 1a, 도 1b, 도 1c 및 도 1d는 특정 멀티라인 층을 형성한 예의 결과를 예시한다. 예를 들어, 도 1a 및 도 1b는 3개의 재료 라인이 위에 형성되어 있는 측단면 기판 세그먼트를 도시한다. 상이한 재료는 A, B, 및 C로 표기되어 있다. 팔호(151)는 교대하는 라인들의 특정 패턴 세그먼트를 도시함을 유의하자. 이 패턴은 A-B-C-B의 시퀀스를 따르며, 그 다음 반복된다. 따라서, 이 패턴은 A-B-C-B-A-B-C-B-A-B-C-B-A 등의 시퀀스로 계속될 수 있다. 이 특정 멀티라인 층에서 재료 A는 재료 A의 양측에 재료 B의 라인을 가짐으로써 재료 C와 접촉하는 것으로부터 격리될 수 있다는 것을 유의하자. 다른 실시예에서, 재료 C가 일부 영역에서는 없거나 다른 영역에서는 더 클 수 있도록, 주어진 재료의 하프 피치가 달라질 수 있다. 도 2a 및 도 2b는 이 기판 세그먼트의 상부 평면도를 도시한다. 상부 평면도로부터, 멀티라인 층(150)으로부터의 각각의 상이한 재료가 아무것도 안 덮여 있거나 접근 가능하다는 것을 유의하자.

- [0018] 도 1c는, 팔호(152)에 의해 도시된 바와 같이 서로 교대하는 2개의 재료만(A 및 B) 있는, 교대하는 라인들의 상이한 패턴을 갖는 멀티라인 층(150)을 도시한다. 도 1d는 4개의 재료를 갖는 교대하는 라인들의 상이한 패턴을 갖는 멀티라인 층(150)을 도시한다. 팔호(153)는 반복될 수 있는 이 예의 패턴의 세그먼트를 마킹한다. 예를 들어, 반복하는 라인들의 교대하는 패턴은 A-B-C-D-C-B-A-B-C-D-C-B-A의 시퀀스를 가질 수 있으며, 이는 그대로 계속되거나 피치 변형된 일부 영역을 가질 수 있다. 상이한 둘 이상의 재료 라인의 교대하는 라인들의 패턴의 임의의 이 멀티라인 층으로, 추후에 기재되는 바와 같이, 결합된 에칭 마스크를 수정하도록(통합 에칭 마스크로서 에칭 마스크에 추가하거나 에칭 마스크로부터 감함) 이들 재료의 하나 이상의 선택적 제거를 위해 멀티라인 층의 특정 영역을 격리하도록 에칭 마스크가 사용될 수 있다.
- [0019] 이제 도 3a, 도 3b, 도 4a 및 도 4b를 참조하면, 패터닝된 마스크 층(140)이 기판(105) 상에 형성된다. 패터닝된 마스크 층은 멀티라인 층(150)의 일부를 마스킹하는 마스크 재료(141)를 포함한다. 임의의 종래의 마스크 재료 및 패턴 형성 프로세스가 패터닝된 마스크 층(140)을 형성하는 데에 사용될 수 있다는 것을 유의하자. 예를 들어, 패터닝된 마스크 층(140)은 리소그래피 패터닝될 수 있고, 또는 주어진 피치 중식 프로세스의 결과일 수 있다. 마스크 재료(141)는 유기 재료 및 포토레지스트, 무기 재료 뿐만 아니라 금속 함유 재료, 유기금속 등을 포함할 수 있다. 하나의 예에서, 마스크 층 재료가 예를 들어 스판온 퇴적, 화학적 기상 증착 등에 의해 멀티라인 층(150) 상에 퇴적된다. 그 다음, 마스크 재료의 일부를 제거하도록 마스크 재료가 패터닝 및 에칭되고, 그리하여 그 결과 기판(105) 상의 마스크 재료의 릴리프 패턴이 된다.
- [0020] 주어진 마스크 재료는 비교적 얇은 층 또는 비교적 두꺼운 층으로서 퇴적될 수 있다. 도 3a는 도 4a의 중심 부분을 통한 측단면도이다. 대응하는 도 3b 및 도 4b는 패터닝된 마스크 층(140)의 상이한 패턴/구성을 도시하며, 마스크 재료(141)는 개구를 정의하는 메사(mesa)이고, 즉 메사를 둘러싸는 영역이 개구이다. 아래에서 명백한 바와 같이, 재료의 상이한 배열로부터 오는 상이한 결과적인 패턴을 예시하도록 릴리프 패턴의 둘 다의 유형이 도면에 도시되어 있다.
- [0021] 일부 실시예에서, 패터닝된 마스크 층(140)은 개별적으로 패터닝된 층을 포함하는 복수의 개별 마스크 층을 포함할 수 있다. 예를 들어, 몇몇 리소-에칭 동작이 마스크 층 형성 동안 실행될 수 있다. 따라서, 마스크 층 자체는 복수의 마스크 패턴 또는 막을 포함할 수 있고, 또는 분해 패턴 형성 기술의 결과로서 생성될 수 있다.
- [0022] 멀티라인 층 상에 패터닝된 마스크 층을 형성한 후에, 둘 이상의 상이한 재료의 적어도 하나가 선택적으로 제거될 수 있으며, 그 결과 하부층(135)의 일부가 아무것도 덮여 있지 않게 된다. 습식 에칭, 건식(플라즈마) 에칭, 애싱 등과 같은 임의의 다양한 재료 제거 프로세스에 의해 선택적 제거가 실행될 수 있다. 도 5a는 이러한 선택적 제거의 예를 도시한다. 도 5a에서, 재료 B는 예를 들어 방향성 에칭에 의해 패터닝된 마스크 층(140)에서의 개구를 통해 제거되었다. 재료 C 및 A가 패터닝된 마스크 층(140)의 일부로서 남는다. 도 6a에서, 상부 평면도로부터, 하부층(135)의 일부는 아무것도 덮여 있지 않다. 도 6a에서, 패터닝된 마스크 층(140)에서의 개구는 재료 A 및 C의 라인들에 의해 좁아지거나 제한되며, 결합 에칭 마스크를 형성하도록 멀티라인 층(150)이 패터닝된 마스크 층(140)과 결합될 때 2개의 비교적 더 작은 개구를 남긴다는 것을 유의하자.
- [0023] 도 5b 및 도 6b는 상이한 예를 도시한다. 도 5b에서, 예를 들어 방향성 에칭에 의해, 재료 A 및 B가 제거되었다. 일부 실시예에서, 재료 A 및 B는 예를 들어 상이한 에칭 화학을 사용함으로써 교대로 제거될 수 있다. 다른 실시예에서, 재료 A 및 B는 재료 A의 라인을 남기며 동시에 제거될 수 있다(패터닝된 에칭 마스크에 의해 차단되지 않음). 여기에서 재료의 라인들은 동일한 속도로 2개의 재료를 에칭하도록 구성된 에칠프(공정 가스 혼합물)로 동시에 제거될 수 있다. 일부 실시예에서, 제거되는 2개의 재료는 동시 제거를 용이하게 하도록 동일한 화학 조성을 가질 수 있다. 도 5b 및 도 6b에서, 재료 C만 남으며, 재료 C는 마스크 재료(141)에 추가되고, 이 결합 패턴은 본질적으로 이 특정 기판 세그먼트 예에서 “H” 형상을 갖는 에칭 마스크를 형성한다는 것을 유의하자. 알 수 있는 바와 같이, 재료의 라인들 상에 위치된 주어진 패터닝된 마스크 층으로 결합 에칭 마스크를 형성하도록 재료를 추가하거나 제거하기 위한 복수의 상이한 옵션들이 존재한다.
- [0024] 예를 들어, 다른 실시예에서, 둘 이상의 상이한 재료는 셋 이상의 상이한 재료를 포함한다. 그러면, 둘 이상의 상이한 재료 중의 적어도 하나를 선택적으로 제거하는 것은, 셋 이상의 상이한 재료 중의 둘을 선택적으로 제거하는 것을 포함할 수 있으며, 그 결과 패터닝된 마스크 층의 대응하는 부분은 아무것도 덮여 있지 않게 된다. 또 다른 실시예에서, 둘 이상의 상이한 재료는 넷 이상의 상이한 재료를 포함한다. 그러면, 둘 이상의 상이한 재료 중의 적어도 하나를 선택적으로 제거하는 것은, 넷 이상의 상이한 재료 중의 둘을 선택적으로 제거하는 것을 포함하며, 그 결과 패터닝된 마스크 층의 대응하는 부분은 아무것도 덮여 있지 않게 된다.
- [0025] 일부 실시예에서, 둘 이상의 상이한 재료의 교대하는 라인들의 패턴은 A-B-A-B의 반복 시퀀스를 포함하며, 재료

A 및 재료 B는 서로에 대해 상이한 내에칭성을 갖는다. 다른 실시예에서, 둘 이상의 상이한 재료의 교대하는 라인들의 패턴은 A-B-C-B-A-B-C-B의 반복 시퀀스를 포함하며, 재료 A 및 재료 B는 서로에 대해 상이한 내에칭성을 갖는다. 예를 들어, 재료 C는 재료 A 및 재료 B에 대해 상이한 내에칭성을 가질 수 있다. 다른 실시예에서, 둘 이상의 상이한 재료의 교대하는 라인들의 패턴은 A-B-C-D-C-B-A-B-C-D-C-B의 반복 시퀀스를 포함하며, 재료 A, B, C 및 D 중의 적어도 둘은 서로에 대해 상이한 내에칭성을 갖는다.

[0026] 다양한 상이한 제조 기술이 멀티라인 층을 형성하는 데에 사용될 수 있다. 예를 들어, 하부층 상에 위치된 맨드릴(mandrel)을 갖는 기판이 제공될 수 있으며 맨드릴은 제1 재료로 구성된다. 그 다음, 제1 측벽 스페이서가 맨드릴의 노출된 측벽 상에 형성된다. 제1 측벽 스페이서는 제2 재료로 구성된다. 제2 측벽 스페이서는 제1 측벽 스페이서의 노출된 측벽 상에 형성된다. 제2 측벽 스페이서는 제3 재료로 구성된다. 그 다음, 서로 마주하는 제2 측벽 스페이서의 노출된 측벽 사이에 정의되는 개방 공간을 채우는 충전 구조물이 형성된다. 충전 구조물은 제4 재료로 구성된다. 맨드릴, 제1 측벽 스페이서, 제2 측벽 스페이서, 및 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않다(노출됨). 제1 재료, 제2 재료, 제3 재료 및 제4 재료 중의 적어도 2개의 재료는 서로 화학적으로 상이하다.

[0027] 다른 실시예에서, 하부층 상에 위치된 맨드릴을 갖는 기판이 제공될 수 있으며 맨드릴은 제1 재료로 구성된다. 그 다음, 제1 측벽 스페이서가 맨드릴의 노출된 측벽 상에 형성된다. 제1 측벽 스페이서는 제2 재료로 구성된다. 그 다음, 서로 마주하는 제1 측벽 스페이서의 노출된 측벽 사이에 정의되는 개방 공간을 채우는 충전 구조물이 형성된다. 충전 구조물은 제4 재료로 구성된다. 맨드릴, 제1 측벽 스페이서 및 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않다(노출됨). 제1 재료, 제2 재료, 및 제4 재료 중의 적어도 2개의 재료는 서로 화학적으로 상이하다.

[0028] 다른 실시예에서, 하부층 상에 위치된 맨드릴을 갖는 기판이 제공될 수 있으며 맨드릴은 제1 재료로 구성된다. 그 다음, 맨드릴의 노출된 측벽 사이에 정의되는 개방 공간을 채우는 충전 구조물이 형성된다. 충전 구조물은 제4 재료로 구성된다. 맨드릴 및 충전 구조물의 상부 표면은 전부 아무것도 덮여 있지 않다(노출됨). 제1 재료 및 제4 재료 중의 적어도 2개의 재료는 서로 화학적으로 상이하다. 교대하는 재료의 둘 또는 셋의 라인을 형성하기 위한 대안의 방법은, 상이한 재료의 교대하는 라인들을 형성하도록 블록 코폴리머의 방향성 자가 어셈블리 동작을 실행하는 것이다. 극자외선 리소그래피, 직접 기록 인쇄 패턴, 자가 정렬된 콰드 패터닝, 자가 정렬된 이중 패터닝 등을 포함하여 멀티라인 층의 전부 또는 일부를 형성하기 위한 많은 다른 기술들이 사용될 수 있다.

[0029] 이제 도 7a, 도 8a, 도 7b 및 도 8b를 참조하면, 여기에서의 기술은 결합 패턴(160)을 하부층(135)으로 전사하는 것을 포함할 수 있다. 결합 패턴(160)은 마스크 재료 및 멀티라인 층의 남은 재료에 의해 정의된다. 일부 실시예에서, 멀티라인 층과 하부층 사이에 있는 추가의 층은 멀티라인 층에서의 다른 재료에 비교하여 상이한 내에칭성을 가질 수 있고, 따라서 패턴 전사를 제어하기 위한 또다른 에칭 선택도 옵션을 제공할 수 있다. 대안으로서, 하부층은 이 추가적인 에칭 선택적 재료를 제공할 수 있고, 그러면 하부층 밑의 타겟 층은 패턴 전사를 위한 타겟이 될 수 있다. 일부 실시예에서, 하부층은 결합 패턴의 전사 동안 결합 패턴을 수용하는 기억 층일 수 있다. 이 기억 층은 멀티라인 층에서의 재료에 비해 상이한 내에칭성을 갖는 재료로 구성될 수 있다. 이러한 구성으로, 주어진 결합 패턴이 기억 층으로 전사될 수 있고, 그 다음 멀티라인 층에서의 현재 존재하는 라인이 제거될 수 있으며, 결합된 패턴 전사가 다시 실행될 수 있다.

[0030] 도 9a, 도 10a, 도 9b 및 도 10b는 하부층(135)에의 결합 패턴 전사 후 그리고 패터닝된 마스크 층 및 멀티라인 층을 제거한 후 예의 패터닝된 기판 세그먼트를 도시한다. 이전의 도면과 같이, 도 9a는 상부 평면도 도 10a에 대응하는 측단면도이며, 도 9b는 상부 평면도 도 10b에 대응하는 측단면도이다.

[0031] 다른 실시예에서, 하부층에 결합 패턴을 전사하는 것은, 하부층 내에 하나 이상의 매립 구조물을 컷팅하는 것을 포함할 수 있다. 하부층은 결합 패턴 전사로 컷팅되거나 추가될 수 있는 매립 편 구조물 또는 기타 피처를 가질 수 있다. 알 수 있는 바와 같이, 둘 이상의 라인들에서의 재료의 주어진 라인의 피치는 주어진 포토리소그래피 시스템의 광학 분해능보다 더 작을 수 있다. 이는, 맨드릴이 이중 또는 복수의 패터닝 감소 기술에 의해 형성될 수 있고 그 다음 추가의 재료가 원자층 증착 또는 다른 고도의 제어 가능한 퇴적 기술에 의해 퇴적될 수 있기 때문에 실현될 수 있다. 이 방식으로 형성된 재료의 라인은 16 나노미터보다 더 작은 하프 피치 간격을 가질 수 있다.

[0032] 도 11 내지 도 18은 특정 멀티라인 층을 형성하기 위한 하나의 예시적인 기술에 대한 더 많은 세부사항을 제공한다. 이들 도면에서, 4개의 상이한 재료의 멀티라인 층이 형성되고 있다. 도 11에서, 하부층(135) 상에 위치

된 맨드릴(111)을 갖는 기판이 제공된다. 맨드릴(111)은 제1 재료로 구성된다. 기판은 실리콘 웨이퍼를 포함할 수 있다. 주어진 제조 플로우 내에서 주어진 기판의 제조 단계에 따라 하나 이상의 추가의 하부층 및/또는 매립 구조물이 포함될 수 있다. 맨드릴이 구성될 수 있는 많은 상이한 재료들이 존재한다. 재료는 다양한 질화물, 산화물, 유기물, 금속 뿐만 아니라 기타 종래의 이용가능한 재료를 포함할 수 있다. 맨드릴(111)은 종래의 패터닝 기술을 사용하여 형성될 수 있다. 예를 들어, 맨드릴(111)은 자가 정렬된 이중 패터닝 또는 자가 정렬된 사중 패터닝 기술의 결과일 수 있고, 따라서 분해능이하 하프 피치를 가질 수 있다.

[0033] 도 13에 도시된 바와 같이 제1 측벽 스페이서(112)가 맨드릴(111)의 노출된 측벽 상에 형성된다. 제1 측벽 스페이서(112)는 제2 재료로 구성된다. 도 13은 맨드릴(111)의 수직 측벽 상에 형성된 스페이서를 도시함을 유의하자. 제1 측벽 스페이서(112)를 형성하는 것은 기판 상에 제2 재료를 등각으로(*conformally*) 퇴적하는 것을 포함할 수 있다. 도 12는 기판(105) 상에 퇴적된 제1 컨포멀(*conformal*) 막(122)을 도시한다. 이러한 스페이서 형성은 종래에 공지되어 있다. 예를 들어, 원자층 증착(ALD)과 같은 고도의 컨포멀 퇴적 기술이 스페이서 재료를 퇴적하기 위해 선택될 수 있으며, 스페이서 재료는 맨드릴(111) 및 하부층(135)을 대략 균일하게 덮는다. 그 다음, 측벽 스페이서의 형성을 완료하도록 스페이서 개방 예칭이 실행될 수 있다. 이러한 스페이서 개방 예칭은 통상적으로 맨드릴(111)의 상부 표면으로부터 그리고 맨드릴(111)의 측벽 상에 퇴적된 제2 재료 사이에 있는 하부층(135)으로부터 제2 재료를 제거하는 방향성 예칭이다(맨드릴의 측벽 상의 재료가 하부층(135)을 덮는 곳을 제외함).

[0034] 도 15에 도시된 바와 같이 제2 측벽 스페이서(113)가 제1 측벽 스페이서(112)의 노출된 측벽 상에 형성된다. 제2 측벽 스페이서(113)는 제3 재료로 구성된다. 도 15는 제1 측벽 스페이서(112)의 수직 측벽 상에 형성된 스페이서를 도시함을 유의하자. 제2 측벽 스페이서(113)를 형성하는 것은 기판 상에 제3 재료를 등각으로 퇴적하는 것을 포함할 수 있다. 도 14는 기판(105) 상에 퇴적된 제2 컨포멀 막(123)을 도시한다. 이러한 스페이서 형성은 종래에 공지되어 있다. 예를 들어, 원자층 증착(ALD)과 같은 고도의 컨포멀 퇴적 기술이 스페이서 재료를 퇴적하기 위해 선택될 수 있으며, 스페이서 재료는 맨드릴(111), 제1 측벽 스페이서(112) 및 패터닝된 마스크 층(140)을 포함할 수 있는, 기판 상의 기존의 구조물을 대략 균일하게 덮는다. 그 다음, 측벽 스페이서의 형성을 완료하도록 스페이서 개방 예칭이 실행될 수 있다. 이러한 스페이서 개방 예칭은 통상적으로 맨드릴(111), 제1 측벽 스페이서(112)의 상부 표면으로부터 그리고 제1 측벽 스페이서(112)의 측벽 상에 퇴적된 제3 재료 사이에 있는 패터닝된 마스크 층(140)으로부터 제3 재료를 제거하는 방향성 예칭이다(구조물의 수직 측벽 상의 재료가 패터닝된 마스크 층(140)을 덮는 곳을 제외함). 제1 측벽 스페이서(112)의 적어도 일부는 제2 측벽 스페이서를 형성하기 전에 서로 사이의 개방 공간을 정의한다. 일부 위치에서, 제1 측벽 스페이서를 형성하는 것이 선택된 맨드릴 쌍 사이의 공간을 완전히 채우고 따라서 이러한 위치에 제2 측벽 스페이서를 형성하는 것을 막도록, 맨드릴 하프피치는 단축될 수 있다. 다르게 말하자면, 맨드릴의 피치를 변화시키는 것이, 제1 측벽 스페이서나 제2 측벽 스페이서로부터 일부 합병된 스페이서를 야기할 수 있다. 이러한 제조 기술은 (예를 들어) 집적 회로를 위한 전력 레일을 형성하는 데 있어서 유리할 수 있다.

[0035] 이제 도 17을 참조하면, 그 다음, (충전 구조물(114)을 형성하기 전에) 서로 마주하는 제2 측벽 스페이서(113)의 노출된 측벽 사이에 정의되는 개방 공간을 채우는 충전 구조물(114)이 기판(105) 상에 형성된다. 충전 구조물(114)은 제4 재료로 구성된다. 충전 구조물(114)은 맨드릴(111), 제1 측벽 스페이서(112), 제2 측벽 스페이서(113) 및 충전 구조물(114)의 상부 표면이 전부 아무것도 덮여 있지 않도록 형성된다. 형성 동안의 재료 선택은, 제1 재료, 제2 재료, 제3 재료 및 제4 재료가 전부 서로 화학적으로 상이하도록 이루어진다. 충전 구조물(114)을 형성하는 것은, 기판 상에 제4 재료의 과퇴적(*overburden*) 재료(124)를 퇴적하는 것을 포함할 수 있다. 도 16은 기존의 구조를 완전히 덮을 수 있는, 기판(105) 상에 퇴적된 과퇴적 재료(124)를 도시한다. 스픈온 퇴적을 포함하여 과퇴적 재료(124)를 퇴적하기 위한 다양한 퇴적 기술이 사용될 수 있다. 퇴적 후에, 과퇴적 재료(124)는, 제4 재료가 제2 측벽 스페이서(113)의 상부 표면 아래로 리세스될 때까지 예칭 백되거나 또는 달리 풀다운될 수 있다. 제4 재료는 또한, 제1 측벽 스페이서(112) 및 맨드릴(111)의 상부 표면 아래로 리세스될 수 있다. 이 멀티라인 층이 형성된 후에, 포토레지스트 또는 하드마스크 재료의 릴리프 패턴과 같은 패터닝된 마스크 층(140)이 그 위에 형성될 수 있다.

[0036] 다른 실시예는 충전 구조물을 제외할 수 있고, 대신에 멀티라인 층의 하나 이상의 라인으로서 트렌치(충전되지 않은 라인) 기능을 가질 수 있다. 예를 들어, 하부층 위에 멀티라인 층이 형성된다. 패터닝된 마스크가 멀티라인 층 상에 형성된다. 멀티라인 층은 둘 이상의 상이한 재료의 교대하는 라인들의 패턴을 갖는 영역을 포함한다. 이 영역에서, 각각의 라인은 수평 두께, 수직 높이를 가지며, 패터닝된 마스크 층에 걸쳐 연장되고, 교대하는 라인들의 패턴의 각각의 라인은 멀티라인 층의 상부 표면 상에서 아무것도 덮여 있지 않으며 멀티라인

층의 하부 표면으로 수직으로 연장된다. 둘 이상의 상이한 재료 중의 적어도 둘은 서로에 대해 상이한 내에 청성을 가짐으로써 서로 화학적으로 상이하다. 멀티라인 층은 또한 둘 이상의 상이한 재료의 교대하는 라인들의 패턴의 일부로서 트렌치를 정의한다. 따라서, 정의된 트렌치는 재료의 라인들과 평행하게 연장되고 패터닝된 마스크 층의 일부를 덮지 않는다.

[0037] 이러한 멀티라인 층의 하나의 예는 도 15에서, 패턴 전사를 준비하는 멀티라인 층으로서 또는 에칭 마스크를 그 위에 위치한 후가 도시되어 있다. 따라서, 이 특정 예의 실시예에서, 과정적 재료를 퇴적하고 과정적 재료를 풀다운하는 것이 생략된다. 이는 일부 응용에서, 특정 충전 재료는 트렌치를 채우고 풀다운하는 것이 다른 것 보다 더 어려울 수 있기 때문에 유리할 수 있다. 주어진 설계는 멀티라인 층에 남아있는 트렌치의 패턴이 있는 것을 설명할 수 있고 이 개구를 제1 패턴 전사 위치로서 사용할 수 있다. 따라서, 결합 패턴이 하부층에 전사될 수 있다. 그 다음, 결합 패턴은 마스크 재료 및 패터닝된 마스크 층을 덮는 멀티라인 층의 재료에 의해 정의된다. 따라서, 어떠한 재료도 갖지 않는 하나의 라인으로, 라인 중의 하나를 먼저 선택적으로 제거해야 할 필요 없이 초기 패턴 전사가 실행될 수 있다. 또 다른 예를 도 1b에서 볼 수 있다. 도 1b에서의 패턴은 A-B-C-B-A-B-C-B이며, 이는 이어서 반복된다. 이 멀티라인 층에서, 재료 C를 형성하는 것이 생략될 수 있고, 따라서 재료 C가 표시된 곳에 대신에 트렌치가 있을 것이다. 이 구성은 맨드릴로서 재료 A를 형성하고 등각으로 재료 B를 퇴적한 다음, 재료 B에 대해 스페이서 개방 에칭을 실행하여 재료 A 상에 측벽 스페이서를 형성하고 재료 B가 하부층으로부터 제거됨으로써 생성될 수 있다.

[0038] 따라서, 하부층(135) 상에 멀티라인 층(150)이 형성된다. 멀티라인 층(150)으로부터의 임의의 라인 또는 라인 조합이 선택적으로 제거될 수 있고, 그 다음 남은 라인 및 패터닝된 마스크 층(140)의 결합 패턴이 하부층(135)으로 전사될 수 있다.

[0039] 알 수 있는 바와 같이, 선택 가능한 재료 및 재료 조합의 매트릭스는, 종래의 포토리소그래피 시스템의 분해능 능력 아래의 원하는 위치 및 길이로 피치를 생성하도록 형성될 수 있다. 에칭된 피치 자체가 기억 층 및/또는 타겟 층으로 전사될 수 있고 패턴을 반전하는 데에도 사용될 수 있다는 것을 유의하자. 따라서, 둘, 셋, 넷, 다섯 또는 그 이상의 상이한 재료가 선택적 에칭을 위해 접근될 수 있다. 패터닝된 마스크 및 상이한 재료의 차등 에칭 선택도를 사용하여 자가 정렬이 기관 상의 다양한 곳에서 선택될 수 있다. 다르게 말하자면, 공지된 치수의 상이한 재료들로, 설계자는 에칭을 실행하여 그 에칭이 분해능이하 치수로 에칭이 자가정렬되어야 할 곳을 선택할 수 있다. 예를 들어, 포토레지스트 재료로부터의 주어진 콘택 패턴이 비교적 크고 복수의 재료에 걸쳐 이어지는 경우, 콘택은 그 특정 콘택 패턴 개구 내의 재료 중 하나에서만 에칭될 것이다.

[0040] 따라서, 여기에서의 기술은 원하는 컬러 방식, 즉 차등 에칭 선택도를 갖는 재료를 제공하는 데에 사용될 수 있다. 또한, 설계 관심사에 따라 재료의 교대하는 라인들의 패턴이 상이한 피치를 갖도록 제조될 수 있다. 종래에는 피치 상의 컷팅이 매우 어려웠다. 종래의 포토리소그래피 시스템은 약 42 나노미터의 컷을 행할 수 있다. 그러나, 여기에서의 기술을 이용하여, 주어진 기관 상의 어느 곳에든 마음대로 콘택이 배치될 수 있다. 이 패터닝 기술은 또한 컬러에 걸친 피치 분할을 가능하게 한다. 일부 영역에서 재료들 사이에 풀 하프 피치가 있을 수 있지만, 다른 영역에서는 예를 들어 맨드릴 사이에 비교적 큰 양의 자가 정렬이 존재한다. 또한, 재료 중의 둘이 서로 인접해 있는, 이용 가능한 재료 중의 둘 이상을 선택함으로써, 오프피치(off-pitch) 또는 혼합 크기의 에칭이 실행될 수 있다. 따라서, 여기에서의 기술로 다양한 피치 배수가 컷 또는 블록으로서 행해질 수 있다.

[0041] 이러한 구조 또는 패턴이 형성되면서, 많은 옵션들이 패턴 전사에 적용 가능하다. 예를 들어, 하나의 옵션은 전사로부터 주어진 마스크 패턴을 추가하거나 감하는 것이다. 비한정적인 예로써, 블록을 추가한 결과, 블록이 2개의 라인에 추가되었기 때문에 “H” 형상이 될 수 있다. 블록을 감하는 것은, 주어진 블록 마스크의 자가 정렬된 컷을 제공할 수 있다. 결합 에칭 마스크를 형성하도록 임의의 복수의 위의 재료에 임의의 명시야 또는 암시야 마스크가 추가되거나 그로부터 감할 수 있다(선택적 에칭 후에). 다르게 말하자면, 임의의 2차원 멀티 재료 층이 기관 상에 형성될 수 있고, 그 다음 임의의 2차원 마스크 패턴이 멀티재료 층 상에 형성될 수 있다. 처음에 마스크 층이 리소그래피 패터닝에 의해 형성(등록)되었을 수 있지만, 그리고 처음에 멀티재료 층도 리소그래피로 등록되었을 수 있지만, 2개의 층의 교차점은 분해능이하 패터닝을 제공하는데, 2개의 층의 조합 및 복수의 덮이지 않은 재료의 하나 이상을 선택적으로 에칭할 수 있는 능력이 리소그래피 등록을 증진시켜, 자가정렬된 게이트 및 자가정렬된 블록 에칭을 포함한 많은 정밀 에칭 전사 동작 및 옵션을 제공하기 때문이다.

[0042] 앞의 설명에서, 프로세싱 시스템의 특정 기하학 및 여기에 사용된 다양한 컴포넌트 및 프로세스의 기재와 같은 구체적인 세부사항들이 설명되었다. 그러나, 여기에서의 기술은 이를 구체적인 세부사항에서 벗어난 다른 실시 예에서 실시될 수 있고, 이러한 세부사항은 설명을 위한 목적인 것이며 한정하는 것이 아님을 이해하여야 한다.

여기에서 개시된 실시예는 첨부 도면을 참조하여 기재되었다. 마찬가지로, 설명을 위한 목적으로, 완전한 이해를 제공하기 위해 특정 수치, 재료 및 구성이 서술되었다. 그러나, 실시예는 이러한 구체적인 세부사항 없이도 실시될 수 있다. 실질적으로 동일한 기능 구성을 갖는 컴포넌트는 유사한 참조 문자로 표시되고, 따라서 임의의 중복 기재는 생략되었을 수 있다.

[0043] 다양한 실시예를 이해하는 것을 돕도록 다양한 기술들이 복수의 개별 동작들로서 기재되었다. 기재의 순서는 이 동작들이 반드시 순서에 따라야 함을 의미하는 것으로 해석되어서는 안 된다. 실제로, 이들 동작은 제시된 순서대로 수행될 필요가 없다. 기재된 동작들은 기재된 실시예와 상이한 순서로 수행될 수 있다. 추가의 실시 예에서 다양한 추가의 동작이 수행될 수 있고 그리고/또는 기재된 동작들이 생략될 수도 있다.

[0044] 여기에서 사용될 때에 “기판” 또는 “타겟 기판”은 일반적으로 본 발명에 따라 처리되고 있는 객체를 지칭한다. 기판은 디바이스, 구체적으로 반도체 또는 기타 전자 디바이스의 임의의 재료 부분 또는 구조물을 포함할 수 있고, 예를 들어 반도체 웨이퍼, 레티클과 같은 베이스 기판 구조물이거나 박막과 같이 베이스 기판 위에 있거나 이를 덮는 층일 수 있다. 따라서, 기판은 임의의 특정 베이스 구조물, 하부층 또는 상부층, 패터닝된 또는 패터닝되지 않은 것에 한정되지 않으며, 오히려 임의의 이러한 층 또는 베이스 구조물 그리고 층 및/또는 베이스 구조물의 임의의 조합을 포함하는 것을 고려할 수 있다. 기재는 기판의 특정 유형을 참조할 수 있지만, 이는 단지 설명을 위한 목적인 것이다.

[0045] 당해 기술 분야에서의 숙련자는 또한, 본 발명의 동일 목적을 여전히 달성하면서 상기에 설명된 기술의 동작에 많은 변형이 행해질 수 있다는 것을 이해할 것이다. 이러한 변형은 본 개시의 범위 내에 포함되는 것으로 의도된다. 그리하여, 본 발명의 실시예의 전술한 기재는 한정하는 것으로 의도되지 않는다. 오히려 본 발명의 실시예에 대한 임의의 한정은 다음 청구항에서 제시된다.

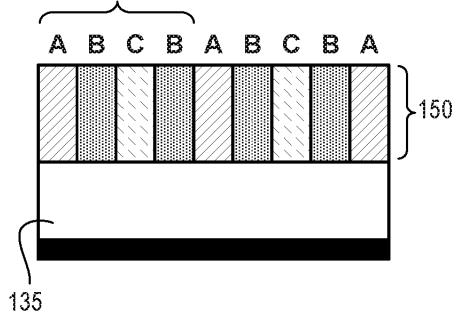
## 도면

### 도면 1a

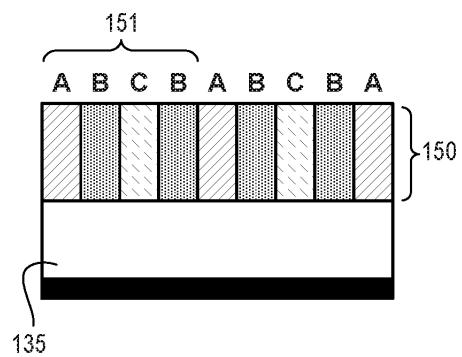
105



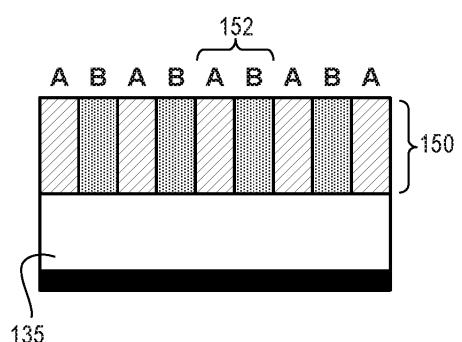
151



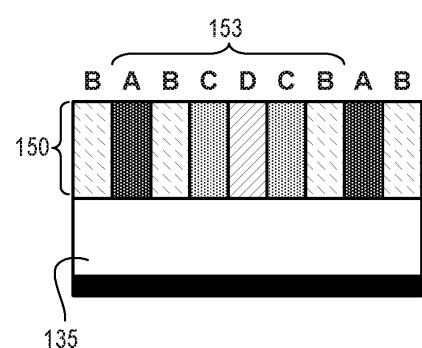
도면 1b



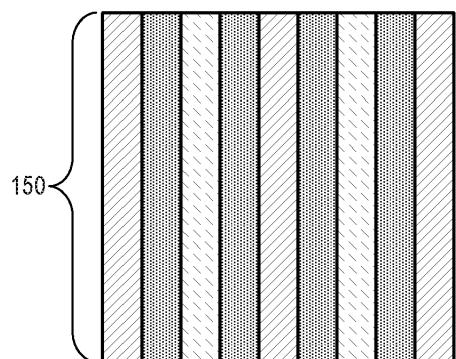
도면 1c



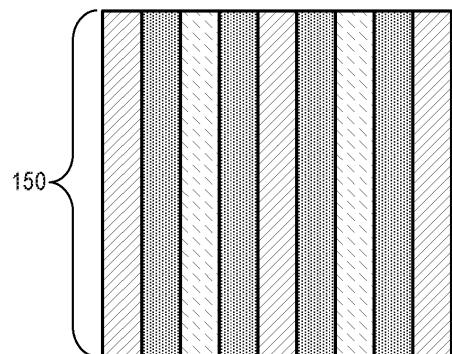
도면 1d



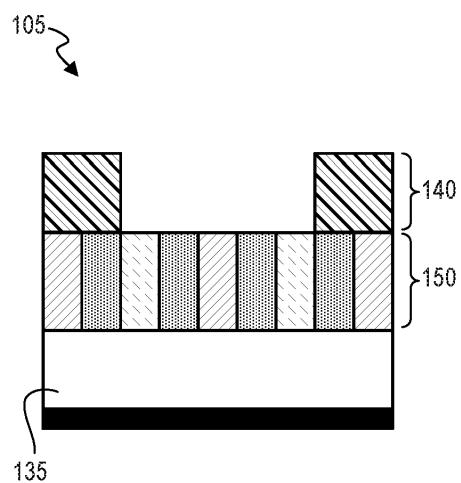
도면 2a



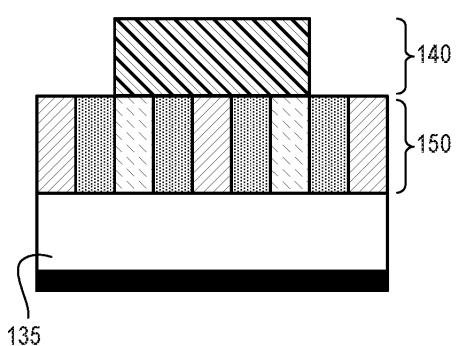
도면2b



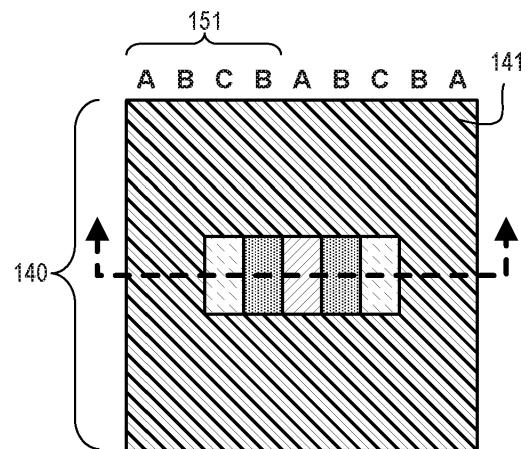
도면3a



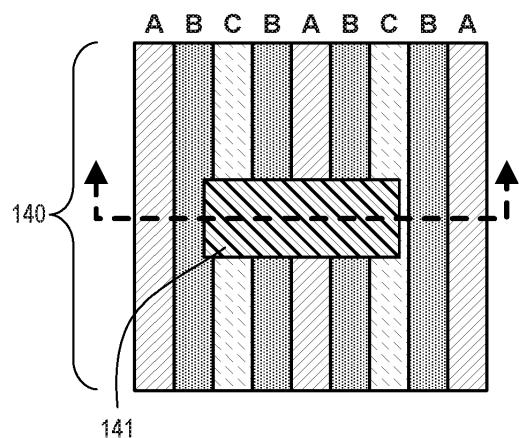
도면3b



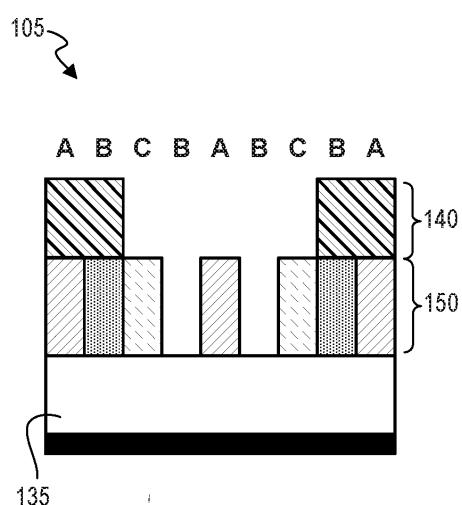
도면4a



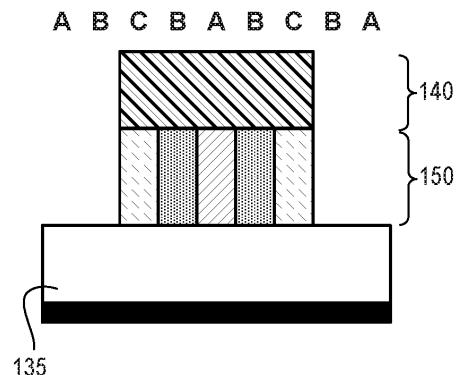
도면4b



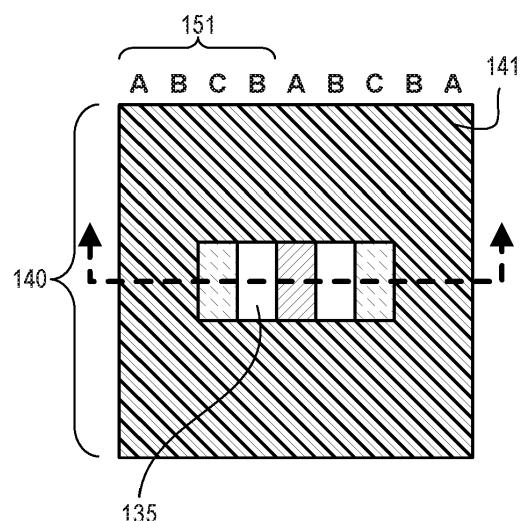
도면5a



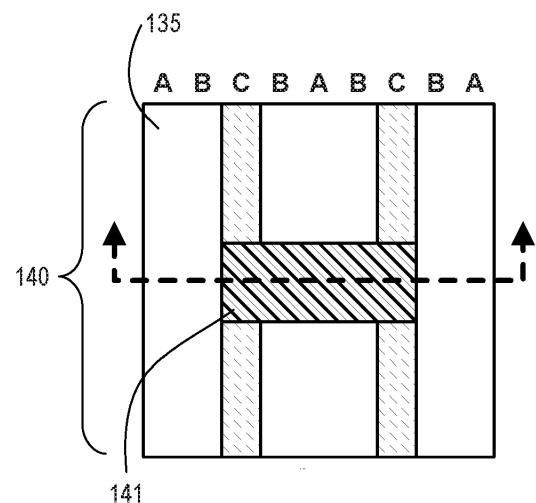
도면5b



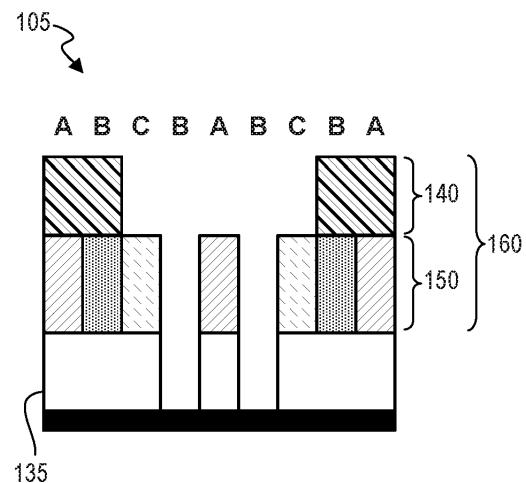
도면6a



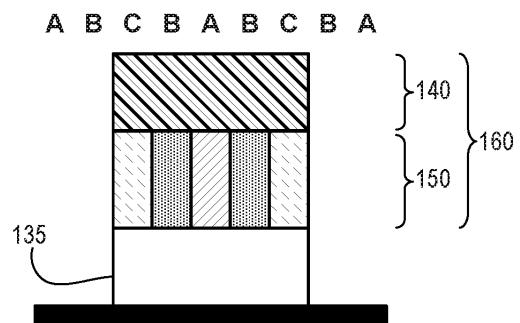
도면6b



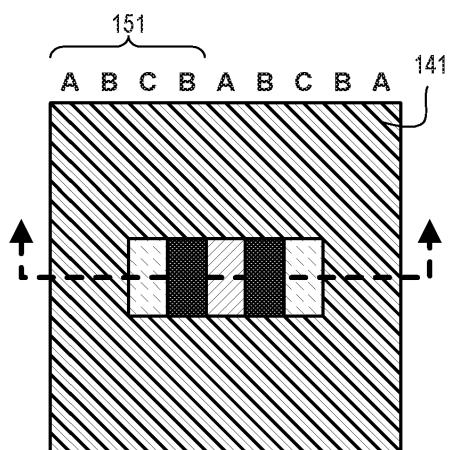
도면7a



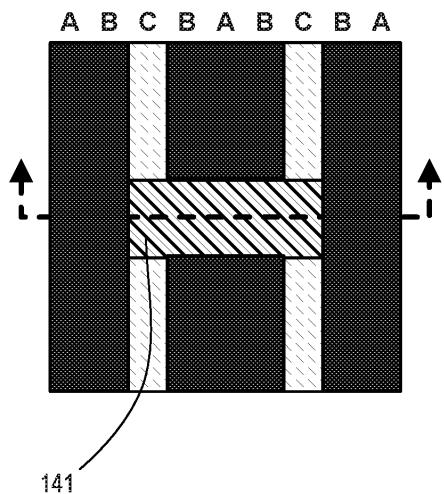
도면7b



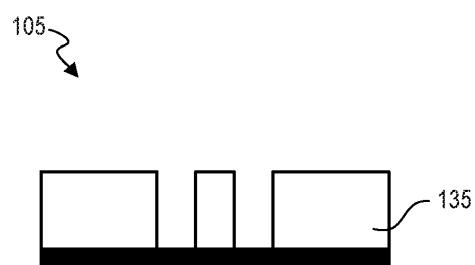
도면8a



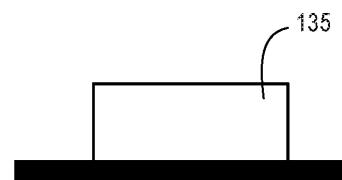
도면8b



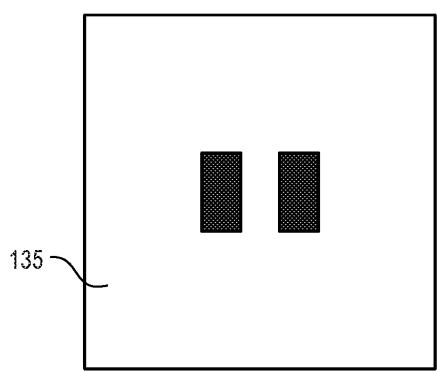
도면9a



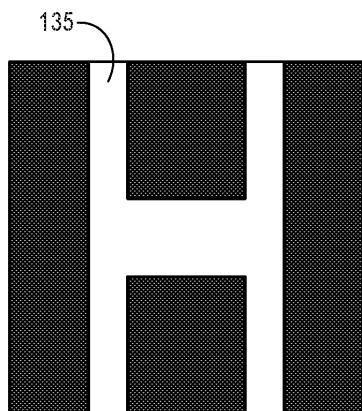
도면9b



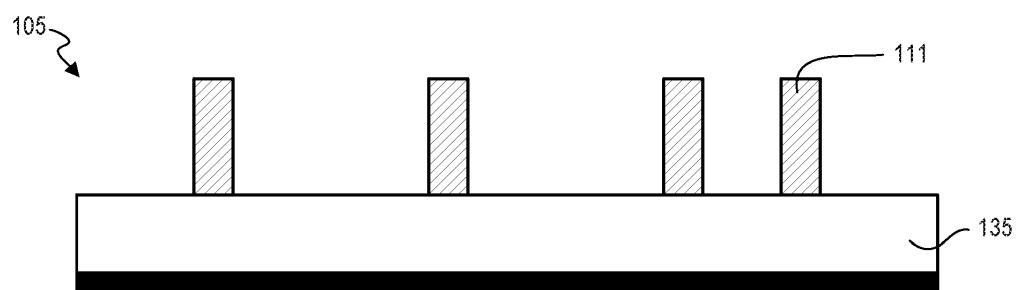
도면10a



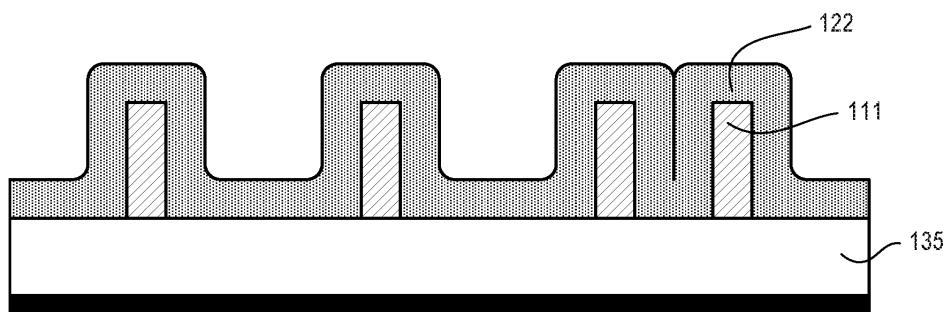
도면10b



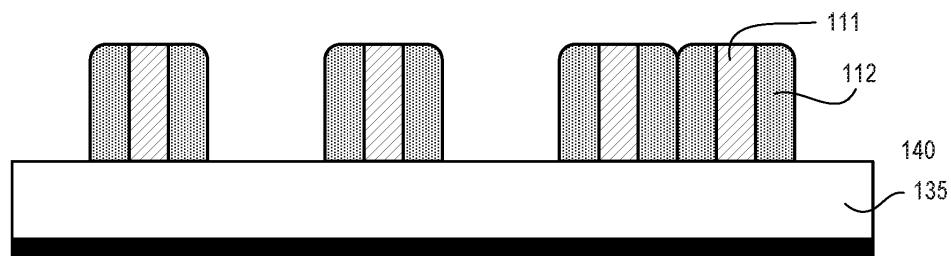
도면11



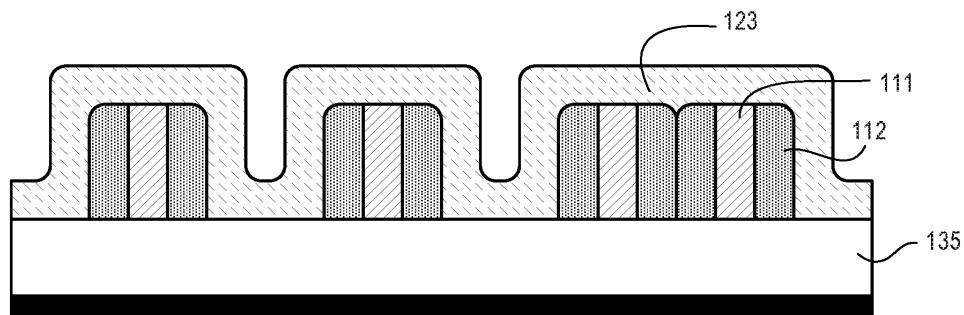
도면12



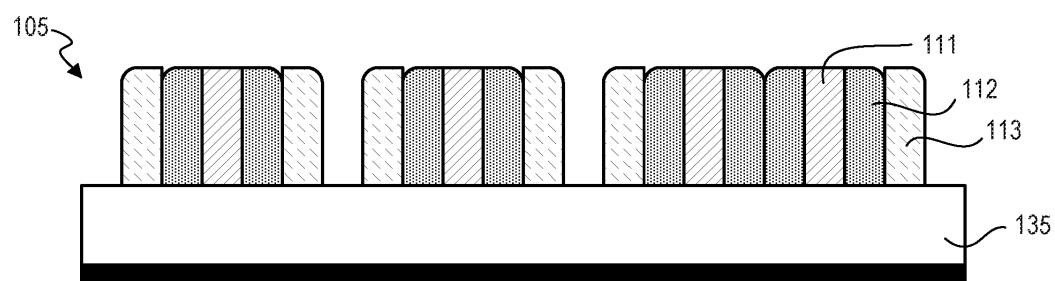
도면13



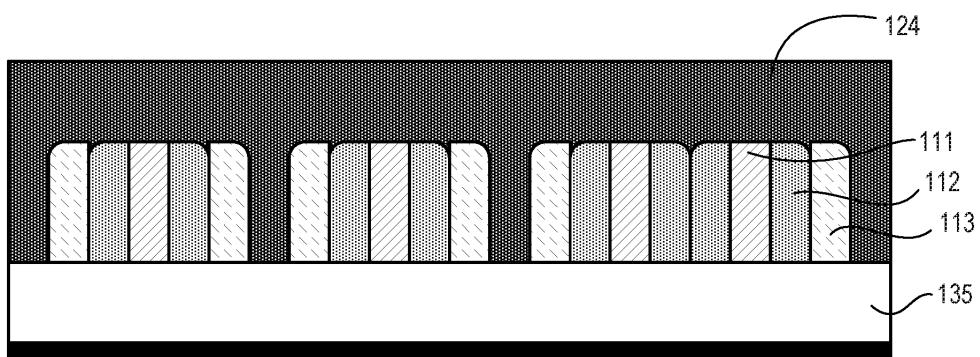
도면14



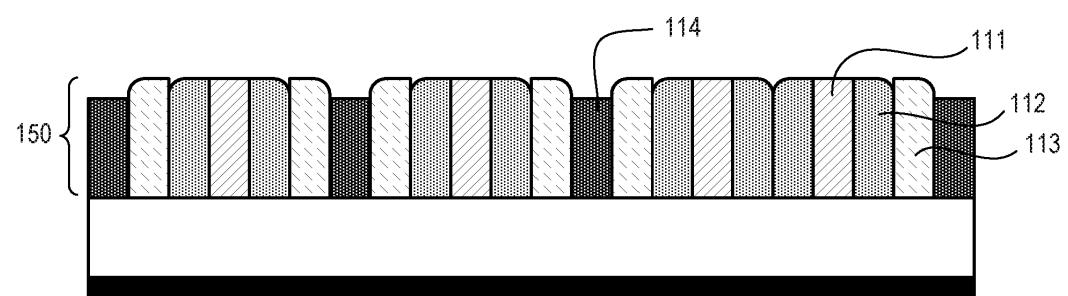
도면15



도면16



도면17



도면18

