

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4868488号  
(P4868488)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月25日(2011.11.25)

(51) Int. Cl.	F I				
<b>GO4G</b> 5/00 (2006.01)	GO4G	5/00		J	
<b>GO4C</b> 9/02 (2006.01)	GO4C	9/02		A	
<b>HO4L</b> 7/00 (2006.01)	HO4L	7/00		Z	

請求項の数 13 (全 22 頁)

(21) 出願番号 特願2004-224662 (P2004-224662)  
 (22) 出願日 平成16年7月30日(2004.7.30)  
 (65) 公開番号 特開2005-55439 (P2005-55439A)  
 (43) 公開日 平成17年3月3日(2005.3.3)  
 審査請求日 平成19年7月30日(2007.7.30)  
 (31) 優先権主張番号 10334990.1  
 (32) 優先日 平成15年7月31日(2003.7.31)  
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 501211693  
 アトメル ジャーマニー ゲゼルシャフト  
 ミット ベシュレンクテル ハフツング  
 ATME L Germany GmbH  
 ドイツ連邦共和国 ハイльブロン テレジ  
 エンシュトラーセ 2  
 Theresienstrasse 2,  
 D-74025 Heilbronn,  
 Germany  
 (74) 代理人 100061815  
 弁理士 矢野 敏雄  
 (74) 代理人 100099483  
 弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 電波時計

(57) 【特許請求の範囲】

【請求項1】

時報送信局(101)から送信された報時信号(89)から時間情報を獲得するための方法であって、

報時信号(89)が一定の持続時間の多数の時間フレーム(80~82)から成っている形式の方法において、

時間情報の獲得のために、時間フレーム毎に、1つの時間フレーム(80~82)の持続時間よりも短い少なくとも1つの時間領域(86, 87, 88)をそれぞれ報時信号(89)の振幅の変化に基づいて検査するようにし、さらに、

前記報時信号(89)内の時間情報は、ビット形態で存在し、その場合それぞれ1つの時間フレーム(80~82)に少なくとも1つのデータビット(83~85)が割当てられ、当該データビット(83~85)の値は、報時信号(89)の振幅変化の持続時間(T1, T2)によって定められ、報時信号(89)の振幅変化の第1の持続時間(T1)は、データビット(83, 85)の第1の論理値に相応し、振幅変化の第2の持続時間(T2)は、データビット(84)の第2の論理値に相応し、さらに、

振幅変化の第1の時点(t0, t2, t4)を確定し、

振幅変化の第1の時点(t0, t2, t4)並びに第1及び第2の持続時間(T1, T2)から、第1の持続時間(T1)に関する第2の時点(t1, t5)と第2の持続時間(T2)に関する第3の時点(t3)を定め、

第1の時点(t1, t5)近傍に設けられている第1の時間領域(86)は、報時信号

10

20

( 8 9 ) の振幅が当該振幅の最初の値をとっているかどうかについて検査され、  
第 1 の領域 ( 8 6 ) における振幅が最初の値をとっている場合には、データビット ( 8 3 ) に第 1 の論理値が割当てられるようにしたことを特徴とする方法。

【請求項 2】

時報送信局 ( 1 0 1 ) から送信された報時信号 ( 8 9 ) から時間情報を獲得するための方法であって、

報時信号 ( 8 9 ) が一定の持続時間の多数の時間フレーム ( 8 0 ~ 8 2 ) から成っており、

報時信号 ( 8 9 ) 内の時間情報は、ビット形態で存在し、その場合それぞれ 1 つの時間フレーム ( 8 0 ~ 8 2 ) に少なくとも 1 つのデータビット ( 8 3 ~ 8 5 ) が割当てられ、

当該データビット ( 8 3 ~ 8 5 ) の値は、報時信号 ( 8 9 ) の振幅変化の持続時間 ( T 1 , T 2 ) によって定められ、

報時信号 ( 8 9 ) の振幅変化の第 1 の持続時間 ( T 1 ) は、データビット ( 8 3 , 8 5 ) の第 1 の論理値に相応し、

振幅変化の第 2 の持続時間 ( T 2 ) は、データビット ( 8 4 ) の第 2 の論理値に相応する形式の方法において、

振幅変化の第 1 の時点 ( t 0 , t 2 , t 4 ) を確定し、

振幅変化の第 1 の時点 ( t 0 , t 2 , t 4 ) 並びに第 1 及び第 2 の持続時間 ( T 1 , T 2 ) から、第 1 の持続時間 ( T 1 ) に関する第 2 の時点 ( t 1 , t 5 ) と第 2 の持続時間 ( T 2 ) に関する第 3 の時点 ( t 3 ) を定め、

第 1 の時点 ( t 1 , t 5 ) 近傍に設けられている第 1 の時間領域 ( 8 6 ) は、報時信号 ( 8 9 ) の振幅が当該振幅の最初の値をとっているかどうかについて検査され、

第 1 の領域 ( 8 6 ) における振幅が最初の値をとっている場合には、データビット ( 8 3 ) に第 1 の論理値が割当てられるようにしたことを特徴とする方法。

【請求項 3】

第 3 の時点 ( t 3 ) 近傍に設けられている第 2 の時間領域 ( 8 7 ) は、報時信号 ( 8 9 ) の振幅が最初の振幅まで上昇しているか否かに関して検査され、第 2 の時間領域 ( 8 7 ) 内の振幅が上昇している場合には、データビット ( 3 4 ) に第 2 の論理値が割当てられる、請求項 2 記載の方法。

【請求項 4】

第 1 の時間領域 ( 8 6 ) と第 2 の時間領域 ( 8 7 ) を含んだ通しの唯一の時間領域 ( 8 8 ) が設けられている、請求項 1 から 3 いずれか 1 項記載の方法。

【請求項 5】

報時信号 ( 8 9 ) はそれぞれ、第 1 の時間領域 ( 8 6 ) 内および/または第 2 の時間領域 ( 8 7 ) 内及び/又は唯一の時間領域 ( 8 8 ) 内で報時信号 ( 8 9 ) 中に障害があるかどうか検査され、当該領域から障害がフィルタリング処理によって取り除かれる、請求項 1 から 4 いずれか 1 項記載の方法。

【請求項 6】

第 1 の時点 ( t 0 , t 2 , t 4 ) は、時間フレーム ( 8 0 ~ 8 2 ) の開始を表わしている、請求項 1 から 5 いずれか 1 項記載の方法。

【請求項 7】

振幅変化の第 1 の時点 ( t 0 , t 2 , t 4 ) は、報時信号 ( 8 9 ) の所定の固定タイムベース ( 5 1 ) への同期化によって実施される、請求項 1 から 6 いずれか 1 項記載の方法。

【請求項 8】

報時信号 ( 8 9 ) の時間フレーム ( 8 0 - 8 2 ) が所定のタイムベース ( 5 1 ) へ同期化されている場合には、同期信号 ( 5 6 ) が生成される請求項 1 から 7 いずれか 1 項記載の方法。

【請求項 9】

データテレグラムの第 1 のデータビットから開始されて 5 9 ないし 6 0 のデータビット

10

20

30

40

50

が順次連続して中間記憶され、

59ないし60の全てのデータビットが中間メモリ(70)から読出されてバッファメモリ(48)に供給され、

前記供給されたデータビットは、特にシリアルに、計算ユニットへ伝送され、

計算ユニットは、読出された59ないし60のデータビットから正確な時間および/または正確な日付を算出する、請求項1から8いずれか1項記載の方法。

【請求項10】

請求項1から9に記載の方法を用いることにより、時間情報を含んだ報時信号(3)を受信するための受信装置(1)であって、

前記受信装置は、

前記報時信号(3)を受け取るための少なくとも1つのアンテナ(2)と、

前記報時信号(3)内に含まれる時間情報を取り出すための論理/制御ユニット(30)と、

前記論理/制御ユニット(30)の出力側に接続された入/出力ユニット(32)とを有し、該入/出力ユニット(32)の出力側からは、前記報時信号(3)から取り出した時間情報から導出された出力信号を送出するように構成されている、受信装置(1)において、

前記論理/制御ユニット(30)がビット識別回路(45, 46)を含んでおり、該ビット識別回路(45, 46)は、報時テレグラムのプロトコルと振幅変化の持続時間に相応してデータビットに第1の論理値若しくは第2の論理値を割当てるように構成されており、さらに、

前記ビット識別回路(45, 46)は、時間発生器(45)を含んでおり、該時間発生器(45)は、固定タイムベース(51)に基づき報時テレグラムのプロトコルに応じて、振幅変化の持続時間が、論理"0"に相応する第1の持続時間(T1)に相応しているのか、又は論理"1"に相応する第2の持続時間(T2)に相応しているのか、を確定するように構成されていることを特徴とする受信装置。

【請求項11】

同期化装置(43)が設けられており、該同期化装置は、報時信号(3, 89)の時間フレーム(80~82)の開始時点(t0, t2, t4)および/または終了時点に対して同期化させる、請求項10記載の受信装置。

【請求項12】

前記同期化装置(43)には、カウンタ(52)と、比較器(53)と、リセットユニット(54)と、出力ユニット(53)が含まれており、

前記カウンタ(52)は、基準周波数による制御によってその計数状態(52)をカウントアップしており、

前記比較器(53)は、カウンタ(52)の計数状態(55)を所定の値、特に時間フレームの持続時間(T3)に相応する値と比較し、

前記リセットユニット(54)は、計数状態(55)と所定の値とが一致した場合に、若しくは新たな報時信号(29)が現れた場合に、前記カウンタ(52)をリセットし、

前記出力ユニット(53)は、カウンタ(52)の計数状態(55)が所定の値と一致した場合に、ビット識別回路(45, 46)の駆動制御のための同期信号(56)を発生する、請求項11記載の受信装置。

【請求項13】

基準化装置(44)が設けられており、該基準化装置は、基準周波数(42)、特に水晶発信器の周波数から分周器を用いて固定タイムベース(51)を提供している、請求項10から12いずれか1項記載の受信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、報時送信局から送信された報時信号から時間情報を得るための方法に関して

10

20

30

40

50

いる。さらに本発明は、電波時計並びに電波時計のための受信装置、受信装置の利用に関する。

【背景技術】

【0002】

時間の流れをできるだけ正確に計り表示することは従来からの大きな関心事である。複雑な経済活動と様々な通信システムを有する近代的な企業は、その場合統一的でかつ特に正確な時間測定を必要としている。このことは近代的なセシウム原子時計を用いることで可能となり、この原子時計は非常な高精度で時間を計ることができる。但しこの場合この正確な時間情報は、他の加入者にもアクセスできる必要性がある。

【0003】

既にかなり依然から、無線電波が時間情報の伝送に適した媒体であることがわかっている。衛星による時間伝送サービスの達成は重要であるにもかかわらず、長波の無線電波を用いた時間伝搬が今日では際立った役割を演じている。とりわけ長波の以下のような特性は、将来的にも時間情報の伝送に対して強く関心をひくものである。すなわちこの長波による時間信号は、到達範囲が非常に広く、しかも建物の中にも届き、非常に小さなフェライトアンテナでもなお受信が可能なことである。高周波の衛星信号の受信の際には、木や建物などの障害物が強い信号減衰を引き起すのに対して、長波信号の受信は、このような障害物を通して影響を受けることがあまりない。このような時間情報の重畳された長波の伝搬特性は、最新のマイクロエレクトロニクスの既存手段と組み合わせられて、例えばバッテリー駆動もしくはソーラー駆動が可能な小型の電波時計構造を可能にしている。

【0004】

時間情報の重畳された長波の提供に対しては、その送信範囲にある電波時計に相応の時間情報を供給することのできる送信局が必要である。ドイツ連邦国立度量衡研究所（PTB）によってコントロールされている長波送信局であるDCF-77（標準時報局）によって、信頼性の高い時間信号及び標準周波数送信局が稼働されている。この送信局は、原子時計によって制御されており、周波数が77.5kHzで出力が50kWの（これは通常のラジオ受信機の受信範囲外である）長波の時間信号を公共の電子時計スケールMEZに従って継続的に（24時間）送信している。他の諸外国、例えば日本や米国などでも時間情報を長波の周波数帯域、40kHzと120kHzの間の帯域幅の長波周波数で振幅変調信号を用いて送信している類似の送信局が存在している。

【0005】

これらの国々では、時間情報の伝送に対して正確に一分間の長さの時間フレームを含んだ形態が利用されている。この時間フレームには、分、時間、日、曜日、月、年などの値がBCDコード（2進化10進コード）の形態で含まれ、これらはビット毎に1Hzのパルス幅変調をもって伝送される。この場合1つのフレームの最初のパルスの上昇縁かまたは下降縁が正確に0秒に同期化される。典型的な電波時計は、次のように構成される。すなわち1つのフレーム若しくは複数の時間フレームの時間情報の受入れによる時間設定が、0秒信号がまず最初に受信された時点から行われるように構成される。

【0006】

時間情報の伝送は、ここではいわゆる報時信号に基づいて行われている。そのためこの報時信号の相応する送信機ないし受信機は、以下では報時送信機ないし報時受信機と称する。この報時信号とは、比較的短い期間の送信機時間信号と理解されたい。これは送信機から提供される時間基準（標準時間）を伝送する役割を果たす。この場合変調振動は大抵は次のような複数の時間マーカーを有する。すなわち所定の不確実性を伴って送信された時間基準を再現する復調されたパルスのみを表わす時間マーカーを有する。この復調結果は、シングルパルスとして、パルスコードの形態で時刻値のテキストに伝送された符号化された時間情報と取り違えることは許されない。

【0007】

図1には、時間信号送信局DCF-77の符号化された時間情報のコード化概要図が符号Aで示されている。このコード化概要図は、ここでは59のビットからなっている。こ

10

20

30

40

50

の場合それぞれ1ビットは当該時間フレームの一秒に相応している。それにより一分間の経過の中でいわゆる報時テレグラムが送信可能である。これは二進化によってコード化された形態で特に時間と日付に対する情報が含まれている。最初の15ビットBには、一般的なコーディング情報、例えば作動モード情報などが含まれている。次の5つのビットCは、一般情報が含まれている。すなわち符号Rは、アンテナ情報ビットであり、A1は、中央ヨーロッパの通常時間(MEZ)と中央ヨーロッパ夏時間(MESZ)の間の移行に対する変更予告ビットであり、Z1, Z2は、通常時間と夏時間の表示、A2は、うるう秒の予告ビット、Sは符号化された時間情報(時間コード)の開始ビットを表わしている。そして21ビット~59ビットまでは、時間及び時刻情報がBCDコードで伝送される。この場合これらのデータは後続する各分に対しても有効である。詳細には符号Dの領域のビットには“分”に関する情報が含まれ、符号Eの領域のビットには、“時間”に関する情報が含まれ、符号Fの領域のビットには、“日”に関する情報が含まれ、符号Gの領域のビットには、“曜日”に関する情報が含まれ、符号Hの領域のビットには、“月”に関する情報が含まれ、符号Iの領域のビットには、“年”に関する情報が含まれている。これらの情報は、ビット形式の符号化された形態で挿入されている。符号D, E, Iで示されている各領域のそれぞれ終端には、検査ビットP1, P2, P3が設けられている。60番目のビットには割当てがなく、これは専ら次のフレームの開始を表わすことだけに用いられている。符号Mは分マーカを表わし、それによってテレグラムの開始が示される。

10

#### 【0008】

20

図1に表わされている、報時信号の伝送のためのコード化概要図の構造とビットパターンは、一般に公知であり、これについては例えばPeter Hetzelらによる公知文献“Zeitinformation und Normalfrequenz, Telekom Praxis, Band I, 1993”が参照される。

#### 【0009】

報時情報の伝送は、個々の秒マーカによって振幅変調される。この変調は、各秒の開始から搬送波信号XのダウンX1, X2又はアップからなっている。この場合各秒の開始時点では(時報局DCF-77から送信される報時信号のケースでは各分の59番目の秒だけは除く)、搬送波振幅が0.1秒の期間(X1)、若しくは0.2秒の期間(X2)の間だけ約25%減少する。この異なる期間の低減は、そのつどの秒マーカないしはデータビットを定めている。この異なる期間の秒マーカは、時刻と日付の二進符号化に用いられ、0.1秒の期間の秒マーカX1は、二進数の“0”を表わし、0.2秒の期間の秒マーカX2は、二進数の“1”を表わしている。60番目の秒マーカが欠けていることによって、次の分マーカが予告される。各秒信号との組み合わせで、標準時報局から送信された時間情報の評価が可能となる。図2には、一例としてそのような振幅変調を施された報時信号の断面が示されている。この場合符号化は、種々異なるパルス長のHF信号の低減によって行われている。

30

#### 【0010】

例えば独国特許発明第3516810号明細書に記載されている従来の報時信号受信機は、時報局から送信された振幅変調された報時信号を受信し、それを再び復調して異なる長さのパルス信号として送出する。このことはリアルタイムで行われる。すなわち、各秒毎に、種々異なる長さのパルス信号が出力側から図2に示された理想的な報時信号に相応して生成される。その場合時間情報は、搬送波の種々異なる長さのパルスによって符号化されて存在する。この報時信号受信機からは、異なる長さのパルスが後置接続されているマイクロコントローラに供給される。マイクロコントローラはこのパルス信号を評価し、それらのパルスの長さに相応してそれぞれのパルスにビット値“1”ないし“0”を割当てるかどうかを決定する。このことはまず報時信号のそのつどの時間フレームの秒開始を定めることによって実行される。この秒開始が識別されたならば、求められたパルス期間からそれぞれビット値“1”か“0”が求められ得る。マイクロコントローラは全59ビットに続いて分を受入れ、各秒パルスのビット符号化に基づいて正確な時刻と日付の存在を確定する。この正確な時刻と日付の評価はいずれにせよ、1つの分の59の秒ビットが

40

50

一義的に識別された場合にのみ可能である。それによってそれらの秒ビットにそれぞれ一義的に“0”又は“1”が割当てられる。

【0011】

このような時報局の信号における秒開始を求めるための方法は、例えば独国特許発明第19514036号明細書から公知である。

【0012】

問題となることは、受信した報時信号に障害信号が重畳される可能性があることである。このようなことは電気機器若しくは電子機器との干渉領域に基づいて生じ得る。図3 aには、受信機の出力側から送出される、障害信号の重畳された報時信号の測定が示されている。それとの比較で図3のbには、時報局から障害なく伝送された相応の報時信号が示されている。これらの障害信号の種別と規模に応じて報時信号の受信に障害が発生し得る。しかしながらそのような障害発生の場合では、報時信号の正しい受信が一分間の長さまで可能になるまでは、送受信され続けなければならない。それによって正しい時間と日付の確定のための59の秒ビットが得られる。それらのビットに続いて妥当性検査の名目で完全な報時テレグラムのさらなる分の第2の障害のない受信との比較がなされる。受入れられた2つの報時テレグラムの一致が確認された場合には、この情報が復号化されて時間情報として変換され得る。

【0013】

障害や干渉の非常に多い周辺環境、たとえば都会における企業施設近傍のオフィス空間においては大量のデータモニタやコンピュータ機器などが存在しており、それらの電気機器ないし電子機器に起因して特に多くの障害や干渉が生じ得る。これらの“障害網”に起因して、報時テレグラムの正しい受信が非常に長い時間の経過した後でしか可能にならないことが頻繁に生じる。このことは、報時受信機を相応に長時間作動させなければならないことにつながる。限られたエネルギー供給源、例えばバッテリーや電池しかもたない報時受信機の場合では、このことはエネルギーの著しい早期消耗につながる。

【0014】

干渉や障害のない受信は、夜間の時間帯に入った後も頻繁に可能となる。しかしながらこのことは、例えばバッテリー交換によって報時受信機が再スタートされた場合には、次の日にならないと正しい時間が表示できないことを意味するに等しい。

【0015】

さらなる問題は、以下に記述するように生じる。すなわち、報時信号の復号化に対して、電波時計においてはマイクロコントローラが用いられている。この報時受信機に後置接続されるマイクロコントローラは、コストの理由から典型的には4ビットのマイクロコントローラで構成され、約2kバイトのごく僅かなメモリしか有していない。このメモリの大半は、マイクロコントローラのプログラムのために用いられており、このプログラムの大半も、障害のある秒パルスや種々異なる秒パルスの処理に用いられる。従って目下のマイクロコントローラは、受信した障害のある秒パルス进行评估することでほぼ完全に手一杯の状態である。この時点でこのマイクロコントローラは別の目的に使用することはできない。

【0016】

特に図3のaに相応する障害の重畳された報時信号に対して、受信期間中の障害発生に関するできるだけ多くの情報が必要である。この特別な情報を用いれば、マイクロコントローラの相応するプログラムを次のように改善することができる。すなわち比較的障害の多い周辺環境の中でも報時信号の十分に確実な評価が可能となるように改善することができる。障害処理に関して最適化されたプログラムは、目下のところ電波時計の品質を実質的に定めている。

【0017】

その上さらにメモリ容量の理由から非常にコンパクトなプログラムしか利用できない。それにもかかわらず秒パルスの評価の際に高い品質と確実性を可能にするためと、障害信号のインテリジェントな識別を実現するために、このプログラムが典型的にはアセンブラ

10

20

30

40

50

プログラミング言語で作成される。ここでは与えられた諸条件のもとで、受信技術への要求と、障害の影響や主に長波技術及びアナログ技術から生じるさらなる問題を解決するために、プログラミングの際の極めて高いノウハウが必要とされる。同時にこのプログラムは、非常にコンパクトにプログラミングされるべきでもあり、そのため所要メモリ容量はできるだけ少なくする必要がある。しかしながら実際には前述したような諸条件を充たした相応のプログラムを簡単にプログラミングできるようなプログラマーは存在しない。そのようなプログラムの品質は、実質的に電波時計の品質を定める。

【0018】

さらに一般的な電波時計と報時信号受信のための受信回路のバックグラウンドについては、例えば独国特許出願公開第19808431号明細書、独国特許出願公開第4319946号明細書、独国特許発明第4304321号明細書、独国特許出願公開第4237112号明細書および独国特許出願公開第4233126号明細書が参照される。報時信号の同期化に関しては、独国実用新案第29813498号明細書、独国特許発明第4403124号明細書が参照される。報時信号からの時間情報の情報獲得と処理に関しては、独国特許発明第19514031号明細書、独国特許発明第3733965号明細書および欧州特許第042913号明細書が参照される。

【特許文献1】独国特許発明第3516810号明細書

【特許文献2】独国特許発明第19514036号明細書

【特許文献3】独国特許出願公開第19808431号明細書

【特許文献4】独国特許出願公開第4319946号明細書

【特許文献5】独国特許発明第4304321号明細書

【特許文献6】独国特許出願公開第4237112号明細書

【特許文献7】独国特許出願公開第4233126号明細書

【特許文献8】独国実用新案第29813498号明細書

【特許文献9】独国特許発明第4403124号明細書

【特許文献10】独国特許発明第19514031号明細書

【特許文献11】独国特許発明第3733965号明細書

【特許文献12】欧州特許第042913号明細書

【非特許文献1】Peter Hetzel著 “Zeitinformation und Normalfrequenz, Telekom Praxis, Band I, 1993”

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明の課題は、電波時計における報時信号の評価の際の計算コストを低減させることである。特に迅速で品質的にも改善された評価及び/又は障害にも不感の評価を可能にすることが望まれており、さらに報時信号の評価に対してはその所要記憶容量をできるだけ少なくさせることが望ましい。

【課題を解決するための手段】

【0020】

前記課題は独立請求項の特徴部分に記載された本発明によって解決される。

【発明を実施するための最良の形態】

【0021】

本発明が基礎としている考察は、時間情報の復号化のために各時間フレームの全ての期間を残らず検査する必要はないということである。この場合本発明は、つぎのような認識から出発している。すなわち符号化された時間情報は、そのつどの時間フレーム内部のそれぞれ短い期間内に存在し、時間フレームの残りの領域には時間情報は存在しないことである。この期間ないしその持続時間は、報時テレグラムのプロトコルによって予め与えられ、そのため既知である。それ故に報時信号内のそのような期待される変更がおこなわれる領域を検知するだけで完全に十分である。この場合の変更は、報時信号の振幅の立上がりでも立ち下がりでもあり得る。それ故に全く一般的には、時間情報の獲得のために、振

10

20

30

40

50

幅変更に対する時間フレーム毎の所定の時間領域のみが検査されなければならない、その持続時間は全時間フレームの持続時間よりも短い。理想的には、そのつど次のような領域のみが検査される。すなわち変更に対して期待される変更分だけが直接検査される。その都度の時間フレームの残りの領域は考慮されないままである。

【 0 0 2 2 】

この場合当該方法の精度、並びに相応する受信構成要素の精度に応じて、推定される変化領域周辺の領域は任意に小さくしてもよい。それによってシステムリソースを縮小することができる。これによって計算機コスト、特に符号化された領域外の情報の計算のためにいわば無償で準備しなければならないコストが節約できる。

【 0 0 2 3 】

同期化された時間フレームのケースでは、すなわち符号化された領域の既知の開始（変化）のケースでは、符号化された領域の終端が次のことによって検知され得る。すなわち変化の推定される領域付近の唯一の時間領域のみを検査することによって検知される。このような変化がそこで検知されたならば、振幅の変化が推定される領域近傍のさらなる時間領域を検査することなく（これは第2の論理値に相応する）、当該の符号化された領域に直接第1の論理値が割当てられる。それとは逆に唯一の時間領域において何も変化が検知されなかった場合には、当該の符号化された領域には、直接第2の論理値が割当てられる。もちろんこのことは、データビットを表わす、そして報時信号の振幅中の障害成分ではない変化が、（障害の考慮下で）十分な確実性をもって検知可能である場合にのみ機能する。

【 0 0 2 4 】

時間情報の復号化の際の確実性の向上と復号化されたデータの検査のために適切でかつ有利には、特に本発明による受信装置が障害の多い環境で作動されると、振幅の変化が推定される変化領域でのさらなる時間領域が検査される。これは第2の論理値に相応する。

【 0 0 2 5 】

本発明によればさらに、少なくとも2つの順次連続する報時信号の振幅の変化から1つの時間間隔が確定され、その持続時間からデータビットの値が導出される。その場合は特に、順次連続する2つの変化がそのつどの時間フレーム内に存在する。

【 0 0 2 6 】

本発明によれば、報時信号の時間フレーム内の振幅低減の始端、並びに既知の時間マーカーにおけるその潜在的な端部のみが検査される。その結果から生じる持続時間からはそのつどの秒マーカーのデータビットが非常に簡単に確定できる。その場合秒マーカーの残りの領域と場合によってはそこに存在し得る障害成分は抑圧されたままである。この時間情報の獲得は、既に受信機内でおこなわれる。それにより、マイクロプロセッサは、時間情報の獲得に関しては負担を軽減される。

【 0 0 2 7 】

本発明による方法では、実質的に時間フレーム（ないしは秒パルス）は、固定のタイムベース上で同期化される。この既知のタイムベースに基づいて（これは基準周波数から導出される）、本発明による受信回路は、所定の数の秒パルスの受信後に自動的に当該秒パルス乃至フレームのそれぞれの開始に同期化する。

【 0 0 2 8 】

このことは本発明によれば同期化回路によって実現される。この同期化回路はカウンタを有している。このカウンタが固定のタイムベースの正確なクロックによってロードされ、そのつどの受信された秒パルスによってリセットされる。比較器は、秒パルスの到着の際にカウンタユニットを固定値と比較し、その結果から同期化に対する補正値を導出する。同期化は、所定の数の受信パルスの後でおこなわれる。このことは有利にはプログラムの手助けなしで自動的に行われ、それによって非常に簡単に実行が可能となる。この場合同期化は、そのつどの受信されたパルスのパルス長にも依存すること無く行われる。

【 0 0 2 9 】

受信したパルスの同期化が成功した場合には、そのつどの秒の正確な開始とそれに伴う

10

20

30

40

50



データビット情報が得られる。続いて本発明によれば、そのつどのデータパルスの端部のみが検知されるだけでよい。但しこのデータパルスは典型的にはごく僅かなパルス長しか有さないの(但し様々な国の標準時報局のもとで可変である)、このことは非常に簡単に可能となる。これは次のような手法で実行される。すなわち例えば既知のタイムベースから導出された時間に従って、データパルスがそのつどのデータビットに対して特徴付けられる特殊な時間窓内に存在しているかどうか検出される。その結果からは、データパルスの長さデータビット自体が推論される。

【0030】

秒パルス開始への同期化と、送信局特有のパルス長に対する走査の制限によって、本来のパルスに重畳した障害パルスないし障害成分(これらはデータパルスとして評価されかねない)が十分に回避できる。それにより、秒パルス開始への同期化を果たせなかった従来のソフトウェア評価に比べて十分に高い耐障害性が達成される。なぜなら評価に対してフレームないし秒パルスの一部(典型的にはパルスの10%~30%)しか重要でなくなるからである。ましてや残りの部分は典型的には全く考慮されない。

10

【0031】

それによってもはや、マイクロプロセッサのプログラムが、報時信号における障害成分の処理のための高価なプロシージャを有する必要はなくなる。それにより、エラー処理に関する特殊な手法も、受信パルスの評価のためのパルス期間の許容偏差ももはや必要ない。従ってこのプログラムはこれまでに用いられてきたプログラムよりも遙かに簡素にでき、このソフトウェアの製造もより簡単にかつ低コストに実施することが可能である。

20

【0032】

このようなデータの獲得は、ほぼ完全に受信機によって実施されるので、マイクロプロセッサの負担が軽減され、それによって別の制御や計算機能を手に入れることができる。そのようなことに基づいて、当該マイクロプロセッサのプログラムは、より簡単に実現できる。このことは所要記憶スペースの節約にも直接寄与する。従ってこのマイクロプロセッサと共に当該電波時計装置全体は、低コストに製造できる。

【0033】

それに伴ってマイクロコントローラの電力消費もより僅かになり、そのため特に限定的なエネルギー供給の適用下でも当該エネルギー供給の寿命が延びる。

【0034】

有利には、秒開始を求めるための一例として、前述した独国特許発明第19514036号明細書に記載の方法が利用されてもよい。この文献は有利にはこの方法に関して本願との関係がある。

30

【0035】

本発明のさらに別の有利な実施例および改善例は従属請求項に記載されている。

【実施例】

【0036】

次に本発明を図面に基づき以下の明細書で詳細に説明する。なお全ての図面において同じ構成要素ないし同じ機能の構成要素に対しては他意のない限り同じ符号が用いられる。

【0037】

図4には、報時信号を受入れるように構成されたアナログ受信装置がブロック回路図で示されている。図4では符号1で受信回路が示されている。この受信機1は、ここでは無線周波同調受信機として構成されている。そのような無線周波同調受信機1は特に有利には電波時計への使用に適している。

40

【0038】

受信機1は、受信側にアンテナ2を有している。このアンテナ2は、ループアンテナとして構成されてもよいしフェライトアンテナとして構成されてもよく、図には示されていない報時信号送信局にチューニングされている。このアンテナ2を介して受信機1は、報時送信局から送信される報時信号3を受入れる状態におかれる。アンテナ2には制御増幅器“Regelverstärker”4が後置接続されている。この制御増幅器4の第2の入力側は制

50

御信号 5 の供給に用いられている。制御増幅器 4 の増幅は、この場合制御信号 5 に依存しており、その場合残りの機能ユニットの構成に応じて所定の偏差が許容される。この制御増幅器 4 の出力側にはフィルタ 6 が後置接続されている。この有利には圧電的に構成されているフィルタ 6 を介して（これも報時送信局の周波数に同調されている）、制御増幅器 4 の出力側は、後段増幅器 “Nachverstärker” 7 の入力側に接続されている。この後段増幅器 7 には、整流器 8、例えばダイオード回路が後置接続されている。この整流器 8 に後置接続されている減算装置 9 内では、受信され、制御され、増幅され、整流された報時信号 10 が、基準信号源 12 から生成された信号 11 に基づいて減算処理される。この減算装置 9 の出力側から生成された信号は、基準電位に接続された蓄積コンデンサ 13 に供給される。この蓄積コンデンサ 13 内に蓄積された電荷ないしは蓄積コンデンサ 13 を介して降下した電圧からは、制御増幅器 4 の駆動制御のための制御電圧 5 が形成される。

10

## 【 0 0 3 9 】

蓄積コンデンサ 13 と減算装置 9 は共に、整流された信号 10 と基準信号 11 の差分を時間に関して積分する差分積分器 “Differenzintegrator” を形成している。整流された信号 10 と基準信号 11 が相互に一致しない時には、制御電圧 12 が蓄積コンデンサを介して変更される。それによって、制御増幅器 4 の増幅度も次のように変更される。すなわち生じた差分が減じられるように変更される。この過程は、信号 10 と 11 が一致した後では停止状態になる。

## 【 0 0 4 0 】

減算装置 9 と蓄積コンデンサ 13 の間のタップ（ここから制御信号 5 がピックアップ可能である）は、さらに復号化装置 14 の入力側に接続されている。この復号化装置 14 は、制御信号 5 から振幅走査の包絡線が求められる。この包絡線信号 15 は、当該受信機 1 の出力側から取出し可能であり、それに伴って図 4 には示されていないがマイクロコントローラにその供給が可能である。

20

## 【 0 0 4 1 】

このような無線周波同調受信機 1 の構造と機能形式は、既に冒頭で述べた独国特許発明第 3 5 1 6 8 1 0 号明細書に開示されている。この明細書は、時間信号受信機の構造と機能形式に関しては完全に本願の参考文献となり得る。

## 【 0 0 4 2 】

図 5 には、時間信号受信機の一部がブロック回路図で詳細に示されている。図 5 中符号 20 は、例えば図 4 に対応する時間信号受信機内で利用されているような集積回路の一例を表わしている。この集積回路 20 は、2 つの（図示されてはいない）アンテナに接続可能である。2 つもしくはそれ以上のアンテナの設置によって受信機 1 が多数の報時信号送信局に同調することが可能となる。この場合制御増幅器 4 は、当該アンテナの入力側 21, 22 にそれぞれ例えば制御可能なスイッチ 23, 24 によって接続可能である。制御増幅器 4 の他の入力側は、入力側 21, 22 に接続されている。これらの入力側には、例えば基準信号 IN1, IN2 が入力結合可能である。制御増幅器 4 の出力側は、後段増幅器 7 の入力側に接続されており、この場合それらの間には、補償要素 6、例えばコンデンサで構成されるフィルタ 6 が介在的に設けられている。これにより、入力側 QL - \_\_QH 間の寄生容量が補償可能となる。

30

40

## 【 0 0 4 3 】

集積回路 20 は、さらにスイッチングユニット 25 を有している。このスイッチングユニット 25 は、例えばその入力側 QL - \_\_QH に切換え可能な複数のフィルタを有し、それらによってスイッチングユニット 25 をその出力側から複数の周波数が供給できるように構成している。これらの周波数は、当該スイッチングユニット 25 の制御入力側 26, 36, 37 を介して設定調整可能である。制御増幅器 4 は、このスイッチングユニット 25 から供給される制御信号 27 を介して制御可能である。さらにスイッチングユニット 25 は、出力信号 28 を生成しており、この信号 28 は、後段増幅器 7 の第 2 の入力側に入力結合されている。この後段増幅器 7 は、後置接続されている整流器 8 を駆動制御している。整流器 8 は、制御信号 31 (AGC “Automatic Gain Control” 信号) を生成してお

50

り、この信号が制御増幅器 4 を駆動制御している。整流器 8 の出力側からはさらに出力信号 29、例えば矩形波の出力信号 (TCO 信号) が生成されており、これは後置接続されている論理/制御ユニット 30 (時間情報抽出装置) に供給される。

【0044】

論理/制御ユニット 30 は、入/出力ユニット (I/O ユニット) に接続されており、この入/出力ユニット 30 は、当該集積回路 20 の入/出力端子 33 に接続されている。この出力側 33 からは、論理/制御ユニット 30 内で処理され復号化され記憶された報時信号が取出し可能である。集積回路 20 に後置接続される、図 5 中に示されていないマイクロコントローラが、論理/制御ユニット 30 内に格納され復号化された報時信号も必要に応じて読出される。これらの端子 33 を介して当該集積化された回路 20 ないし論理制御ユニット 30 は、さらにクロック制御信号が供給可能である。

10

【0045】

スイッチングユニット 25 は、そのさらなる制御のために論理/制御ユニット 30 に接続されており、論理/制御ユニット 30 は、制御信号 38 によって駆動制御される。さらに集積回路は端子 36, 37 を有しており、それらの端子を介して論理/制御ユニット 30 には制御信号 SS1, SS2 が印加され得る。

【0046】

この論理/制御ユニット 30 (これはとりわけ図 4 からの減算装置 9、蓄積コンデンサ 13 及び復号化装置 14 の機能性を含む) は、以下の明細書でさらに詳細に説明する。

【0047】

20

集積回路 20 は、エネルギー供給のために第 1 の供給端子 34 ないし第 2 の供給端子 35 を有している。本発明の実施例によれば、第 1 の供給端子 34 は、第 1 の供給電位 VCC、例えば正の供給電位ないしバッテリー電位を有している。それに対して第 2 の供給端子 35 は、第 2 の供給電位 GND、例えば負の供給電位ないし基準アース電位を有する。集積回路 20 の構成要素とこれらの供給端子 34, 35 との回路技術的な相互接続は、見易さを重視する理由から詳細には描写されていないが、しかしながら当業者にとっては明らかである。

【0048】

図 6 には、図 5 に相応した論理/制御ユニット 30 の一般的な構造がブロック回路図で表わされている。

30

【0049】

この論理/制御ユニット 30 は、第 1 の入力側 40 を有しており、該第 1 の入力側 40 を介して、受信され増幅され整流された TCO 信号 29 が入力結合可能である。第 2 の入力側 41 を介して、例えば 32 kHz の周波数を有するクロック制御信号 42 が当該論理/制御ユニット 30 に入力結合可能である。この論理/制御ユニット 30 は、入力側 40 に接続されている同期化ユニット 43 を有している。さらにクロック制御信号入力側 41 に接続された装置 44 が設けられており、この装置は、さらなる信号処理ないし同期化のためのタイムベースを生成する。論理/制御ユニット 30 は、同期化ユニット 43 ないし装置 44 に後置接続された時間発生器 45 を有している。同期化ユニット 43 と時間発生器 45 (特にカウンター若しくはマルチバイブレータ) は、ビット識別制御部 46 に後置接続されている。このビット識別制御部 46 は、受信された信号に、それらの振幅と持続時間に依存して値 "0" 若しくは値 "1" を割当てする。ビット識別制御部 46 には、記憶ユニット 47 が後置接続されており、その中に個々のビット値が記憶される。論理回路 30 は、さらに出力インターフェース 48 を有しており、このインターフェース 48 は記憶装置 47 に後置接続され、当該論理/制御ユニット 30 の少なくとも 1 つのデータ出力側 49 に接続されている。このデータ出力側 49 を介して、記憶されている値が、後置接続されプログラム制御されたユニット、例えばマイクロコントローラ若しくはマイクロプロセッサによって読出される。

40

【0050】

図 7 には、図 6 に相応する論理/制御ユニット 30 の詳細なブロック回路図が示されて

50

いる。

【 0 0 5 1 】

クロック制御信号入力側 4 1 を介して、装置 4 4 には、内的（若しくは外的）クロック制御信号 4 2 が供給される。この装置 4 4 の目的は、時間発生器 4 5 並びに同期化ユニット 4 3 に対して所定のタイムベースを供給することである。この目的のために当該装置 4 4 は、典型的には入力バッファと分周器を有している。その分周器を介して入力結合されたクロック制御信号からは、逡降された所定の周波数のクロック制御信号 5 1 が生成される。例えば前記装置 4 4 は、約 3 2 k H z の周波数のクロック制御信号 4 2 から 1 0 2 4 H z の周波数の逡降されたクロック制御信号が生成される。

【 0 0 5 2 】

同期化装置 4 3 は、カウンタ 5 2 と比較装置 5 3 と制御装置 5 4 を有している。カウンタ 5 2 には、逡降されたクロック制御信号 5 1 が供給される。この場合カウンタ 5 2 の計数状態は、クロック制御信号 5 1 の各クロックに伴ってカウントアップされる。カウンタ 5 2 のカウンタ状態 5 5 は、この場合比較装置 5 3 の値（当該実施例では値 1 0 0 0 ）と比較される。この比較装置 5 3 は、当該比較に依存して時間発生器 4 5 を駆動制御する。比較装置 5 3 はさらにリセット信号 5 7 を生成しており、この信号はカウンタ 5 2 並びに制御装置 5 4 に供給される。制御装置 5 4（この入力側には T C O 信号 2 9 が供給されている）の出力側からは、T C O 信号に依存したリセット信号 5 8 が生成される。このリセット信号 5 8 もカウンタ 5 2 に供給可能である。このリセット信号 5 8 は、カウンタ 5 2 がまだ同期化されていない場合にそれをリセットさせる目的で用いられる。カウンタ 5 2 が同期化している場合には、比較装置 5 3 のリセット信号 5 7 によってリセットされる。

【 0 0 5 3 】

時間発生器 4 5 は、一方では、増幅され整流された T C O 信号 2 9 が供給され、他方では 1 0 2 4 H z に逡降されたクロック制御信号 5 1 が供給される。この時間発生器 4 5 は、同期化ユニット 4 3 の信号 5 6 によって駆動制御される。この同期信号 5 6 は、秒パルスの開始を示し、本発明によれば、時間発生器 4 5 の同期化に用いられる。

【 0 0 5 4 】

時間発生器 4 5 は、複数の出力側 6 0 を有している。これらの出力側 6 0 には、当該出力側 6 0 の数に相応する数の記憶ユニット 6 1 ~ 6 5 が後置接続されている。これらの出力側 6 0 からは、信号 2 9 に関する種々異なる長さのパルスないし情報が取出し可能である。時報送信局 D C F - 7 7 から送信された報時信号に対しては、単に 2 つの出力側が必要になるだけであるが、図 7 に示されている構成例は、それに反して当該回路装置の適用範囲が、他の報時送信局に対しても可能となるように拡張された機能性を有している。例えば時報送信局 D C F - 7 7 から送信された信号は、1 0 0 m s e c のパルス長が又は 2 0 0 m s e c のパルス長を有する。しかしながら他の国々、例えば日本やアメリカ合衆国においては、それとは異なるパルス長、例えば 3 0 0 m s e c、5 0 0 m s e c、8 0 0 m s e c で実施されている。図 7 に相応する本発明による回路を用いれば、これらのパルス長を区別することも可能である。

【 0 0 5 5 】

これらの時間パルスの長さに応じて、出力側 6 0 にはそれぞれの信号が生じ、それらは相応の記憶装置 6 1 ~ 6 5 に格納される。それぞれどの記憶装置に書き込むかは、例えば出力側 6 0 に設けられたマルチプレクサによって選択可能である。このマルチプレクサは記憶装置 6 1 ~ 6 5 に前置接続される。時間発生器 4 5 は、さらに制御信号 6 6 を生成しており、この制御信号 6 6 を介して記憶ユニット 6 1 ~ 6 5 が駆動制御される。この制御信号 6 6 は、相応する長さの時間パルスが確定的に識別されたかどうかを示し、それによって相応の記憶装置 6 1 ~ 6 5 が書込み可能となる。

【 0 0 5 6 】

これらの記憶装置 6 1 ~ 6 5 の出力側は、さらなる比較装置 6 7 に接続されている。それによりこの比較装置 6 7 には、記憶装置 6 1 ~ 6 5 の内容が供給可能となる。この比較装置 6 7 は、それぞれ記憶装置 6 1 ~ 6 5 に格納されている値を当該値が許容可能かどうか

10

20

30

40

50

かに関して相応するプロトコルと比較する。この比較装置 67 にはさらに、時間発生器 45 から生成されたさらなる制御信号 68 が供給される。このさらなる制御信号 68 は、比較装置 67 に報時信号の分通過を表わし、それによって報時テレグラムの開始を示す。

【0057】

比較装置 67 には、決定ユニット 69 が後置接続されている。この決定ユニット 69 は、1つの値にビット値“0”若しくはビット値“1”を割当てて。比較装置 67 と決定ユニット 69 は、共にビット識別制御部 46 を形成している。

【0058】

ビット識別制御部 46 には、記憶装置 47 が後置接続されており、この記憶装置 47 は、報時テレグラムの 60 の秒ビットに相応して少なくとも 60 個のビット記憶スペース 70 を有している。一例においては、60 番目のビット記憶スペース 70 は、省いてもよい。なぜならいずれにせよこのビットが塞がることはないからである。これらのビット記憶スペース 70 には、送信された報時テレグラムの種々のビットが相応の順序で格納される。この順序は、制御信号 75 を介して制御される。この制御信号 75 は、ビット識別制御部 46 ないし比較装置から生成されており、送信された報時信号の個々のビットが報時テレグラムに応じて正しい順序でビット記憶スペース 70 に格納されることを保証している。当該記憶装置 47 の 60 のビット記憶スペース 70 が埋まった場合には、後置接続されている出力シフトレジスタ 48 に制御信号 71 が供給される。

【0059】

この出力シフトレジスタ 48 は、3つの入出力側 72, 73, 49 を有している。出力側 72 からは、シフトレジスタの全てのビットが埋まった場合には制御信号 71 から導出された信号が取出し可能である。この信号が、後置接続されたマイクロプロセッサによって読み出されると、マイクロプロセッサは、必要に応じてビット記憶スペース 70 に記憶されているデータビットを、入力側 73 の要求信号を介して要求する。この種の要求が存在すると、ビット記憶スペース 70 のデータ内容が出力シフトレジスタ 48 に供給され、ここにおいてデータ出力側 49 を介して、後置接続されたマイクロプロセッサによって非常に高速にシリアルに読出される。この場合供給されるデータの平行な読出しももちろん考察可能である。

【0060】

図 8 には、時報送信局 DCF - 77 から送信された報時信号の例が示されており、この信号に基づいて本発明による方法を以下に説明する。

【0061】

図 8 の実施例では、完全な秒パルス 80, 81, 82 が示されており、これらはそれぞれデータビット 83 ~ 85 を揺する時間フレームを定めている。第 1 の秒パルス 80 は、時点  $t_0$  で開始され、時点  $t_2$  で終了する。この時点  $t_2$  は同時に第 2 の秒パルス 81 の開始時点を形成しており、これは時点  $t_4$  で終了している。第 3 の秒パルス 82 も第 2 の秒パルス 81 の終了時点  $t_4$  で開始され、時点  $t_6$  で終了している。

【0062】

一般に時点  $t_0, t_2, t_4, t_6$  は、各報時信号 89 の変わり目の開始を表わしている。それに対して時点  $t_1, t_3, t_5$  は、各報時信号 89 の変わり目の終了を表わしている。

【0063】

各秒パルス 80 ~ 82 の始まりにおいては、送信された信号は、例えばもとの振幅の 25% まで低減された振幅を有する。第 1 の秒パルス 80 では、時点  $t_0$  と  $t_1$  の間の時間領域 83 において、送信された信号の低減された振幅が存在している。それに対して秒パルス 80 の時点  $t_1$  と  $t_2$  の間の残りの時間領域ではフルの振幅を有している。これらの低減された振幅の領域 83 ~ 85 は、DCF - 77 のケースでは、 $T_1 = 100 \text{ msec}$  若しくは  $T_2 = 200 \text{ msec}$  である。その場合  $100 \text{ msec}$  のパルスは論理“0”の値に相応し、 $200 \text{ msec}$  のパルスは論理“1”の値に相応している。従って秒パルス 80, 82 には、論理“0”が割当てられ、秒パルス 81 には論理“1”が割当てられる

10

20

30

40

50

。ここでは逆の論理値あるいは別のパルス長も考えられる。

【 0 0 6 4 】

以下では本発明による方法を図 8 の概略的に示されている送信された報時信号と、図 5 ~ 図 7 のブロック回路図に示された装置に基づいて詳細に説明する。

【 0 0 6 5 】

論理/制御ユニット 30 は、正確にわかっている基準周波数に基づき、受信した所定の数の報時信号パルスに従って秒パルスの各開始に自動的に同期する。その場合秒開始への同期化に対しては内的若しくは外的な固定のタイムベースが用いられる。この固定のタイムベースの基本位置は、有利には各電子時計内に存在する水晶発振器の周波数であってもよい。これは正確に 32.768 kHz の周波数を供給している。それにより付加的な基準周波数は何も必要なくなる。この水晶時計の誤差及びその周波数から逡降された基準周波数の誤差は十分に満足のゆくレベルである。この基準周波数は、分周器を用いて、例えば分周値  $2^5 = 32$  でもって、良好な適用が可能な値まで、例えば 1024 Hz まで逡降される。

10

【 0 0 6 6 】

T C O スタートパルスは、カウンタ 52 の計数状態 55 をリセットする。このカウンタ 52 は、装置 44 から生成された 1024 Hz の信号のパルスを連続的にカウントアップする。その場合各パルスはほぼ 1 msec の持続時間に相応する。ここにおいて新たな T C O パルス 29 がカウンタ 52 に供給されると、比較段 53 において、カウンタ状態 55 が比較段 53 の値 “ 1 0 0 0 ” よりも大きいのか、小さいのかそれとも等しいのかが決定される。カウンタ状態 55 がほぼこの値 “ 1 0 0 0 ” に相応するのならば、これは 1 秒 ( = 1000 msec ) の間隔に相応し、新たな秒の開始としてマーキングされる。比較装置 53 は、その結果からパルス 56 を生成し、これは同期化パルスとして使用される。それと同時に同期化パルス 57 は、カウンタ 52 の計数状態 55 を 0 にリセットし、カウンタ 52 はここにおいて再び信号 51 によってクロック制御され、連続的にカウントアップされる。値 “ 1 0 0 0 ” の各新たな計数状態のもとでは、同期化パルス 56 があら他意にトリガされる。このようにして受信され増幅され整流された報時信号 29 の広範な領域に亘る高精度の同期化が内的なカウントシーケンス 51 によって実現される。

20

【 0 0 6 7 】

カウンタ 52 が計数状態 1000 に達する前に ( ないしはそれに基づいて ) T C O スタートパルス 29 が入力されると、同期化パルス 56 はトリガされない。このケースでは、計数状態 55 が再び 0 にリセットされるだけで新たにカウントアップが開始される。この過程は、入力側で再びスタートパルスが入力されるまで、すなわち計数状態 55 がほぼ値 “ 1 0 0 0 ” に相応するまで自動的に行われる。またここでは有利には、計数状態 55 が値 “ 1 0 0 0 ” から僅かだけずれている場合でも、これを同期化として解釈しそれに基づいて同期信号 56 を送出するようにしてもよい。

30

【 0 0 6 8 】

このようにして、正確にわかっている基準周波数 ( 32.768 kHz 信号 ) をベースにして論理/制御ユニット 30 は、受信した所定の数のスタートパルスに従って自動的に秒パルスの各開始に同期する。この場合この同期化は、送信された秒パルスの各パルス長には依存せずに行われる。この同期は、カウンタ 52 のいくつかの実行の後で及びいくつかの秒パルスの後で既に形成可能である。そのように形成された同期化のケースにおいては、秒パルスの正確な開始と各データビット 83 ~ 85 の情報が正確にわかる。ここにおいてこれらのデータビット 83 ~ 85 を読出すために、各秒パルス 80 ~ 82 の全体的内容を読出す必要はない。それどころか相応するデータビット 83 ~ 85 の終端を検査することで完全に十分である。なぜならばデータビット 83 ~ 85 は異なる時報送信局から送信された報時信号に相応して任意の長さになるわけではなく、所定の長さを有するものなので、これらのデータパルス 83 ~ 85 の各終端も正確にわかる。ドイツの標準時報局 D C F - 77 から送信された信号のケースでは、各データビット 83 ~ 85 の終端は、100 msec 後か若しくは 200 msec 後に測定され、そこから秒パルス 80 ~ 82 の開

40

50

始が推定できる。このことは、これらの時間領域、すなわち100 msec後と200 msec後において、それらの振幅についての検査が必要となることを意味する。このことは次のように行われる。すなわち相応する持続時間の経過後に、さらに低減された振幅の存在に関する検出がなされるようにして行われる。その結果からデータビット83～85のパルス持続時間と、データビット83～85自体が推任される。このようにしてパルス83～85へのビット値の即座の割当てが可能となる。

【0069】

二義的な曖昧性を回避するために、専ら正確な時点（秒パルス開始後の100 msecないしは200 msec後に生じる時点）のみを検査するのではなく、許容偏差の理由と障害の影響を避けるために、有利には、これらの時点の前後の所定の時間領域も加えることが可能である。それにより、許容偏差窓86～88が100 msecないし200 msecの時間マーカーに生じる。これらの許容偏差窓86～88は、そのつどの要求に適切に合わせることも可能である（例えば時間信号受信機が障害の多い領域内にあるのかどうかに関して）。例えば時間信号受信機が障害の多い領域内にあるならば、この許容偏差窓86～88も十分広幅に選択される。

10

【0070】

これらの時間窓86～88の設計仕様は、その上さらに基準周波数と同期化回路によって提供される受信感度にも向けられるべきである。

【0071】

有利な実施例では、100 msecないし200 msecの各領域のみが検査されるのではなく、有利には、100 msecの時点も200 msecの時点も含んだ一貫した通しの時間窓86～88がパルス振幅の上昇に基づいて検査される。例えば2つのケースにおいて秒開始後に75 msec～225 msecの間の時間窓86～88が用いられてもよい。上記例では、評価が各秒パルス80～82内で150 msecの期間の間だけ実施される。

20

【0072】

それにより、時間窓86～88の領域においてのみデータビットの評価が行われる。データビット83～85の決定に係わる当該時間窓86～88以外の領域は、本発明によれば考慮されることはなく、検査もされない。これにより、データビット83～85の獲得のためのコストが最小限に抑えられる。それ故に受信され検査された報時信号における障害は当該領域においては無視できる。なぜならいずれにせよデータビット83～85の確定には利用されないからである。

30

【0073】

送信された報時信号からの正確な日付と正確な時間の本発明による復号化と出力は以下のように行われる。

【0074】

報時テレグラムの最後のビットを用いれば自動的に次の報時テレグラムの完全な分のスタートパルスが識別できる。その場合識別されたデータビット83～85の記憶が相応するシフトレジスタのデータテレグラムに割当てられた記憶箇所において行われる。データテレグラムの59のデータビット全てがシフトレジスタに記憶された後では、後置接続された評価ユニットにおいてデータが目下存在しピックアップ可能であることを知らせるために、出力信号71がセットされる。この評価ユニットは、電波時計のケースでは大抵は4ビットのマイクロコントローラで実現される。このマイクロコントローラは、ここにおいてこれらのデータを端子73を介して要求し、それに基づいてそれらのデータが端子49を介して速い順序でマイクロコントローラに伝送される。全データ伝送は、例えば分の全59ビットに対して例えば100 msecだけ継続する。このマイクロコントローラはその後では再び他の目的に、例えば制御目的に自由に使えるようになる。この時間の間は、データ伝送に基づく障害によって生じ得る受信機の受信感度の影響を予防するために、受信回路の制御電圧がデータ伝送前に存在していた値に維持される。

40

【0075】

50

専用に設けられた制御線路の外部からの結線接続によって制御/論理ユニット30は、様々な送信プロトコルに設定調整できる。例えば論理/制御ユニット30と電波時計はドイツの送信プロトコルDCV77の他にもさらに付加的に若しくは代替的に他の送信プロトコル、例えばWWVB(USA)、MSF(イギリス)、JJY(日本)、BPC(中国)の評価と後続処理が可能ないように設計仕様することも可能である。

#### 【0076】

1つの時報送信局のプロトコルにおいて3以上のパルス長が存在するケースでは、有利な構成によれば、さらなるパルス長に、データテレグラム中の適切なビット値の位置の1つが割当てられる。それにより、1つの妥当性検査が可能となる。なぜなら時報送信局の様々なプロトコルが制御/論理装置30内に格納されているからである。非常に早期時点で、詳細にはマイクロコントローラがそのつどのデータをピックアップする前にエラー識別とその結果から導出されるエラー修正ルーチンないしエラー除去ルーチンが可能である。

10

#### 【0077】

図9には、概略的に簡単に示した電波時計のブロック回路図が示されている。符号100で示されている電波時計は、時報送信局101から送信される報時信号3を受信するための1つ(又は複数の)アンテナ2を有している。このアンテナ2には、集積回路20(図6及び図7参照)が後置接続されている。この集積回路20は、論理/制御ユニット30(図6及び図7参照)を有している。アンテナ2と集積回路20は共に受信機1を形成する。この受信機の出力側にはプログラミング制御されたユニット102、例えばマイクロコントローラ若しくはマイクロプロセッサが後置接続されている。マイクロコントローラは、受信機によって生成されたデータビットを受入れ、そこから正確な時刻と正確な日付けを計算し、その結果から時刻と日付のための信号105を生成する。さらにこの電波時計100は、その時刻が水晶発信器104に基づいて制御される電子時計103を有している。この電子時計103は、表示部106、例えばディスプレイと接続されており、このディスプレイを介して時刻を表示する。ここにおいて電子時計103に信号105が供給されると、それに基づいて電子時計103は、表示している日付ないし時間を相応に修正する。

20

#### 【0078】

本発明は、前述の有利な実施例に基づいて説明してきたが、これは本発明がこれらの実施例に限定されることを意味したものではない。それどころか多くの方式や形態の変更が可能である。

30

#### 【0079】

本発明は、必ずしも時報送信局DCF-77から送信された報時信号の受信のための受信機回路ないし電波時計に限定されるものではなく、本発明はもちろんその他の任意の時報送信局のもとでも有利に投入が可能である。

#### 【0080】

プログラム制御されたユニットに対しても必ずしもマイクロコントローラが必要というわけではない。それどころかこのマイクロコントローラの機能性は他の適切な回路、例えばマイクロプロセッサやデジタル信号プロセッサ(DSP)、ファジイコントローラ、固

40

#### 【0081】

特に本発明自体は、前述したような計数表示限定されるものではなく、これも単に例示的に示しただけのものである。本発明は当業者の技術知識の枠内で任意の変更が可能である。

#### 【0082】

前述した具体的な回路技術的な変更も、可能性のあるいくつかの実施例を表わしただけのものであり、本発明による受信機の基本的な機能、特に同期化装置、時間発生器、記憶装置並びにそれに伴う本発明の対象からそれない限りは、簡単な構成素子や機能ユニット

50



の交換による変更も非常に容易に可能である。

【0083】

その上さらに本発明の電波時計の概念には、前述したような構造を有してはいるが、報時信号の伝送が有線で行われるもの、例えば通常の時計台装置などの電波時計も含まれる。

【0084】

前述した実施例では、コード化がそれぞれ搬送波信号の時間フレーム開始時の低減によって実現されていたが、このコード化自体ももちろん振幅の上昇によって実現されてもよいし、一般的な搬送波信号の振幅の変化によって実現されてもよい。同様に、前述の実施例においては報時信号振幅の変化の開始が検出されていた。本発明によればこの開始に基づいてそれぞれの終端もそのつどのコード化に依存して推定されていた。これらのことも単に例示していただけたものであって、同じような形態で終端の検出に基づいて開始を推定することももちろん可能である。このケースでは、本発明の基本的な原理から逸脱することなく搬送波信号振幅の変化の開始時点が逆算され得る。さらに同じような形態で本発明による方法によれば有利には、変更の開始が確定されると、それに基づいて検査すべき終端に対する時間領域が確定され得るが、その逆のケースにおいても回路技術的に僅かな付加的コスト、例えば1つのバッファメモリを要するだけで終端からの逆算が可能となる。

【図面の簡単な説明】

【0085】

【図1】報時送信局DCF-77から送信され符号化されている時間情報の符号化概要図(報時テレグラム)である

【図2】理想的な報時送信信号の5つの秒パルスを示した断面図

【図3】a)は報時受信機の出力側からの実際の報時信号を表わした断面図、b)はそれに対応する、報時送信局から障害なく送信された報時信号の断面図

【図4】無線周波同調受信機のブロック回路図

【図5】図4による本発明による受信装置内で利用できるように集積化された回路のブロック回路図

【図6】図5からの論理/制御ユニットの構造を表わしたブロック回路図

【図7】受信した報時信号の同期化、評価、記憶のためのユニットを有している図5または図6による論理/制御ユニットの構造を詳細に表わしたブロック回路図

【図8】秒パルスの信号開始について同期化するための本発明による方法を説明するための、送信された報時信号の断面を表わした図

【図9】概略的に表わされた電波時計のブロック回路図

【符号の説明】

【0086】

- 1 受信機、受信回路
- 2 (フェライト)アンテナ
- 3 報時信号
- 4 制御増幅器、入力側増幅器
- 5 制御信号、制御電圧
- 6 (圧電)フィルタ、コンデンサ
- 7 後段増幅器
- 8 整流器
- 9 減算器
- 10 整流され増幅された信号
- 11 基準信号
- 12 基準源
- 13 メモリコンデンサ
- 14 復号化装置

10

20

30

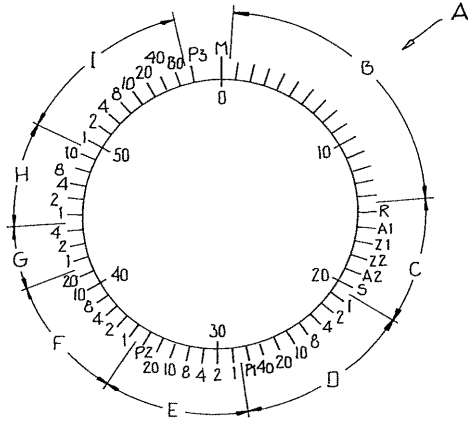
40

50

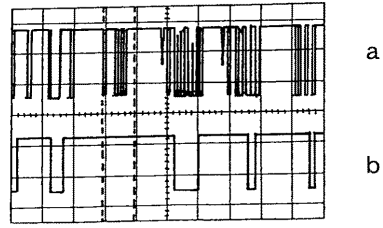
1 5	受信機出力側	
2 0	集積回路	
2 1 , 2 2	入力側、アンテナ入力側	
2 1 , 2 2	入力側、基準入力側	
2 3 , 2 4	制御可能スイッチ	
2 5	スイッチユニット、切換え可能フィルタ	
2 6	制御入力側	
2 7 , 2 8	制御信号	
2 9	整流され増幅された報時信号	
3 0	論理制御ユニット	10
3 1	制御信号	
3 2	入/出力装置, I/Oユニット	
3 3	出力側	
3 4 , 3 5	給電電位のための端子	
3 6 , 3 7	制御端子	
3 8	制御信号	
4 0	報時信号入力側	
4 1	クロック制御信号入力側	
4 2	クロック制御信号	
4 3	同期化ユニット	20
4 4	時間ベース生成装置、基準化装置	
4 5	時間発生器(ビット識別回路)	
4 6	ビット識別制御部(ビット識別回路)	
4 7	メモリ装置	
4 8	出力インターフェース, 出力シフトレジスタ	
4 9	論理制御ユニットのデータ出力側	
5 1	分周されたクロック信号(固定タイムベース)	
5 2	カウンタ	
5 3	比較装置, 比較器	
5 4	制御装置、リセットユニット	30
5 5	計数状態、計数状態信号	
5 6	同期信号	
5 7 , 5 8	リセット信号	
6 0	出力側	
6 1 - 6 5	記憶装置	
6 6	制御信号	
6 7	比較装置	
6 8	制御信号	
6 9	決定装置	
7 0	ビットメモリスペース	40
7 2	出力側	
7 3	(要求)入力側	
8 0 - 8 2	秒パルス, (時間)フレーム	
8 3 - 8 5	データバス, 減少された振幅を有するパルス	
8 6 - 8 8	時間窓	
8 9	報時信号	
1 0 0	電波時計	
1 0 1	報時送信局	
1 0 2	プログラム制御されたユニット, マイクロコントローラ, マイクロプロセッサ	
1 0 3	電子時計、自動時計	50

104	水晶時計	
105	正確な時刻/日付のための信号	
106	表示部	
t0 - t6	時点	
T1, T2	持続時間	
T3	フレーム期間	
VCC	(正の)給電電圧	
GND	基準電位	
IN1, IN2	基準信号	
QL, QM, QIN, QH	制御信号	10
SS1, SS2	制御信号	
A	符号化概要図	
B	一般的符号化ビット	
C	一般的日付/時刻情報	
D	“分”ビット	
E	“時”ビット	
F	“日”ビット	
G	“曜日”ビット	
H	“月”ビット	
I	“年”ビット	20
M	“分”マーカー	
R	“アンテナビット	
A1	MEZからMESSZへの伝送のための予告ビット	
Z1, Z2	ゾーン時間ビット	
A2	閏秒に対する予告ビット	
S	符号化された時間情報のスタートビット	
P1, P2, P3	検査ビット	
X	(報時)搬送波信号	
X1, X2	搬送波信号の立ち下がり	

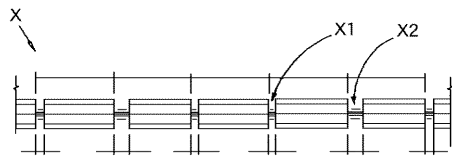
【図1】



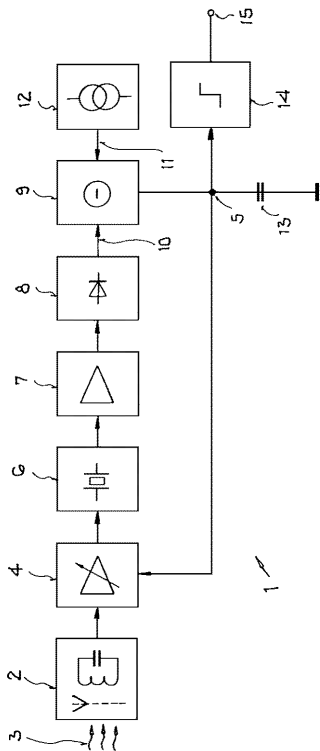
【図3】



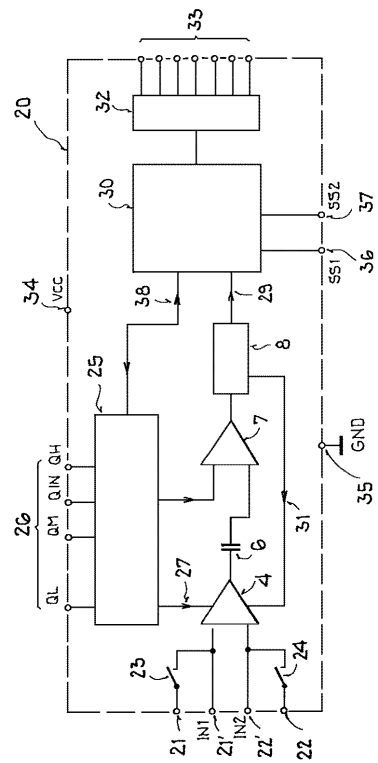
【図2】



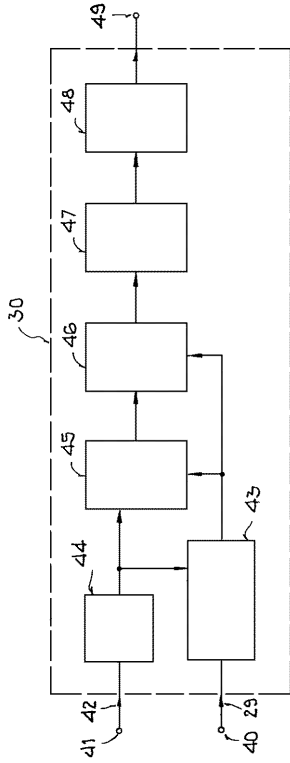
【図4】



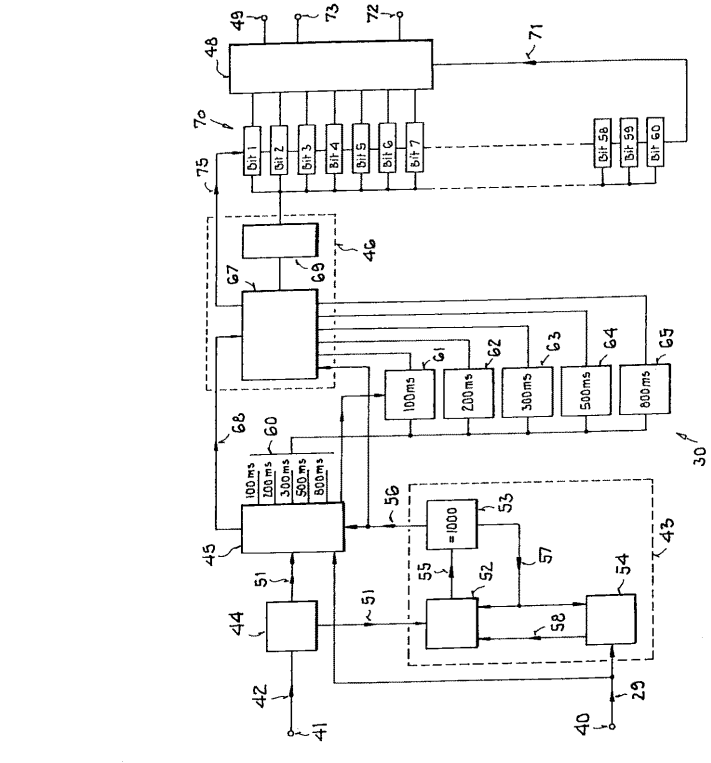
【図5】



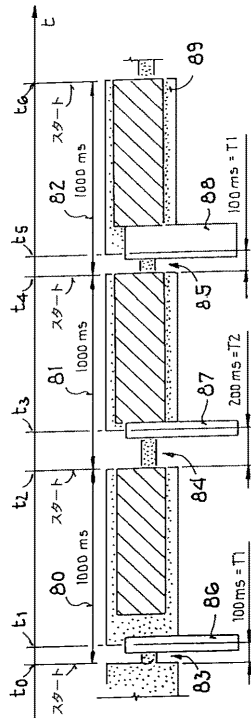
【図 6】



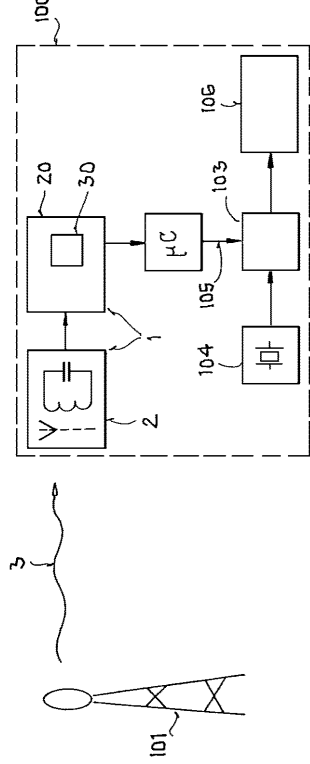
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(74)代理人 100114890

弁理士 アインゼル・フェリックス＝ラインハルト

(72)発明者 ローラント ポローニオ

ドイツ連邦共和国 ネッカーズウルム シュタイナッハシュトラッセ 49

(72)発明者 ハンス－ヨアヒム ザイラー

ドイツ連邦共和国 ハイльブロン アスペルガーシュトラッセ 39 / 1

審査官 武田 知晋

(56)参考文献 特開平04 - 105092 (JP, A)

特開2002 - 048881 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G04G 5 / 00

G04C 9 / 02

H04L 7 / 00