



(12) 发明专利申请

(10) 申请公布号 CN 104932842 A

(43) 申请公布日 2015. 09. 23

(21) 申请号 201510340364. 9

(22) 申请日 2015. 06. 18

(71) 申请人 武汉新芯集成电路制造有限公司  
地址 430205 湖北省武汉市东湖开发区高新四路 18 号

(72) 发明人 黄雪青

(74) 专利代理机构 上海申新律师事务所 31272  
代理人 吴俊

(51) Int. Cl.  
G06F 3/06(2006. 01)

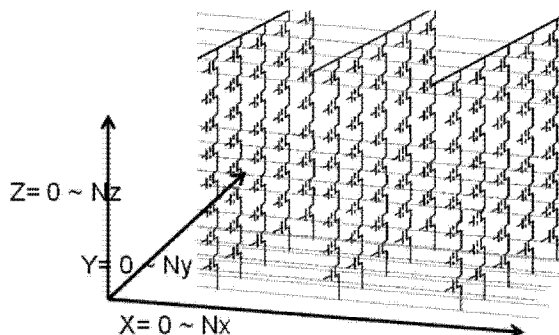
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种将三维存储器的三维比特数据转换成二维比特图的方法

(57) 摘要

本发明涉及三维立体闪存存储器领域, 尤其涉及一种将三维存储器的三维比特数据转换成二维比特图的方法, 这种方法将三维立体闪存存储器的三维比特数据按照一定的规则顺序排列生成二维平面的比特图。所生成的二维平面的比特图, 能够直观地观察整个阵列 (array) 的逻辑状态, 定位失效比特的物理位置, 对后续的特性分析和失效分析有非常大的帮助。



1. 一种将三维存储器的三维比特数据转换成二维比特图的方法,其特征在于,包括:  
将原始三维比特数据从三维存储器的三维坐标系中的分布转换成二维坐标系中呈现为二维比特图的二维分布。

2. 如权利要求 1 所述的方法,其特征在于:

将所述三维存储器的原始三维比特数据定义为在 X 维度、Y 维度、Z 维度三个维度分布;

预定义原始三维比特数据在三维坐标系中的坐标为  $(X_i, Y_i, Z_i)$ ,并将该原始三维比特数据转换成二维比特图上的二维分布,将生成的二维坐标定义为  $(X_i', Y_i')$ ;

按照转换规则,将三维比特坐标转换到二维比特坐标,以生成二维比特图。

3. 如权利要求 2 所述的方法,其特征在于,所述转换规则为:

$$X_i' = X_i + X_i \times (Z_i - 1)$$

$$Y_i' = Y_i$$

其中,  $i$  的取值为大于等于 1 的自然数。

4. 如权利要求 2 所述的方法,其特征在于,所述三维存储器在 X 维度的比特总数为  $N_x$ 。

5. 如权利要求 4 所述的方法,其特征在于,所述  $X_i$  的取值范围为  $0 \sim N_x$ 。

6. 如权利要求 2 所述的方法,其特征在于,所述三维存储器在 Y 维度的比特总数为  $N_y$ 。

7. 如权利要求 6 所述的方法,其特征在于,所述  $Y_i$  的取值范围为  $0 \sim N_y$ 。

8. 如权利要求 2 所述的方法,其特征在于,所述三维存储器在 Z 维度的比特总数为  $N_z$ 。

9. 如权利要求 8 所述的方法,其特征在于,所述  $Z_i$  的取值范围为  $0 \sim N_z$ 。

10. 如权利要求 8 所述的方法,其特征在于,所述  $N_z$  等于 32 或 64。

## 一种将三维存储器的三维比特数据转换成二维比特图的方法

### 技术领域

[0001] 本发明涉及三维立体闪存存储器领域,尤其涉及一种将三维存储器的三维比特数据转换成二维比特图的方法。

### 背景技术

[0002] 三维立体闪存存储器(例如 3D NAND)是一种最前沿的闪存(flash)技术。这种 flash 将存储单元在 Z 方向堆叠,形成空间立体结构,是未来大数据 flash 发展的主要方向。在做 flash 特性或者失效分析的时候,需要定位到每一个比特所存储的数据,然后将存储的数据制作成平面的比特图(bitmap)。

[0003] 比特图能够全面地提供整个阵列(array)的逻辑状态,并且能够直观地进行观察,是一种进行特性和失效分析非常有效的工具,在二维平面闪存有广泛的应用。但是对于三维立体闪存这种新技术,目前还没有相关的报道。对于平面 flash 来说,只要将比特之间的真实物理相匹配就可以了。但是对于三维闪存,物理位置是无法在一个平面内实现一一对应的。

### 发明内容

[0004] 鉴于上述问题,本发明针对三维立体闪存存储器提出了一种新的 bitmap 生成方法。这种方法将三维立体闪存的比特按照一定的规则顺序,排列生成二维平面的比特图。所生成的二维平面的比特图,能够直观地观察整个阵列(array)的逻辑状态,定位失效比特的物理位置,对后续的分析有非常大的帮助。

[0005] 本发明解决上述技术问题所采用的技术方案为:

[0006] 一种将三维存储器的三维比特数据转换成二维比特图的方法,其特征在于,包括:

[0007] 将原始三维比特数据从三维存储器的三维坐标系中的分布转换成二维坐标系中呈现为二维比特图的二维分布。

[0008] 优选的,上述的方法,其中:

[0009] 将所述三维存储器的原始三维比特数据定义为在 X 维度、Y 维度、Z 维度三个维度分布;

[0010] 预定义原始三维比特数据在三维坐标系中的坐标为  $(X_i, Y_i, Z_i)$ ,并将该原始三维比特数据转换成二维比特图上的二维分布,将生成的二维坐标定义为  $(X_i', Y_i')$ ;

[0011] 按照转换规则,将三维比特坐标转换到二维比特坐标,以生成二维比特图。

[0012] 优选的,上述的方法,其中,所述转换规则为:

[0013]  $X_i' = X_i + X_i \times (Z_i - 1)$

[0014]  $Y_i' = Y_i$

[0015] 其中, i 的取值为大于等于 1 的自然数。

- [0016] 优选的,上述的方法,其中,所述三维存储器在 X 维度的比特总数为  $N_x$ 。
- [0017] 优选的,上述的方法,其中,所述  $X_i$  的取值范围为  $0 \sim N_x$ 。
- [0018] 优选的,上述的方法,其中,所述三维存储器在 Y 维度的比特总数为  $N_y$ 。
- [0019] 优选的,上述的方法,其中,所述  $Y_i$  的取值范围为  $0 \sim N_y$ 。
- [0020] 优选的,上述的方法,其中,所述三维存储器在 Z 维度的比特总数为  $N_z$ 。
- [0021] 优选的,上述的方法,其中,所述  $Z_i$  的取值范围为  $0 \sim N_z$ 。
- [0022] 优选的,上述的方法,其中,所述  $N_z$  等于 32 或 64。
- [0023] 上述技术方案具有如下优点或有益效果:本发明针对三维立体闪存存储器提出了一种将三维比特数据转换成二维比特图的方法。这种方法将三维立体闪存存储器的比特按照一定的规则顺序,排列生成二维平面的比特图。所生成的二维平面的比特图,能够直观地观察整个阵列(array)的逻辑状态,定位失效比特的物理位置,对后续的分析有非常大的帮助。

### 附图说明

[0024] 通过阅读参照以下附图对非限制性实施例所作的详细描述,本发明及其特征、外形和优点将会变得更加明显。在全部附图中相同的标记指示相同的部分。并未可以按照比例绘制附图,重点在于示出本发明的主旨。

- [0025] 图 1 是三维立体闪存存储器的比特图;
- [0026] 图 2 是实施例中三维立体闪存存储器的真实比特图;
- [0027] 图 3 是实施例中根据对应规则生成的二维比特示意图;
- [0028] 图 4 是实施例中三维立体闪存存储器的比特分布图。

### 具体实施方式

[0029] 基于 3D NAND 中的一系列比特数据都是呈现为三维分布,当 FLASH 存储器中某一个或者几个比特数据发生失效等异常情况时,因为三维分布的比特数据不直观,而且任何一个比特数据的坐标系都由三个维度来确定,相对而二维坐标系中比特数据仅仅由两个维度的坐标来确定的方式,多了寻找异常比特数据地址的复杂程度。本发明的一个发明精神在于将三维空间的比特数据全部转换到一个二维坐标系上来直观的进行分析比对。

[0030] 参照图 1,由于 3D NAND 器件的 3D 物理结构模式,决定了该三维立体闪存的所有的原始三维比特数据分布在三个维度(为方便说明,将这三个维度在笛卡尔坐标系上定义为 X/Y/Z, X 方向垂直于 Y 方向并且 Z 方向垂直于 X、Y 两者所在的公共平面)。其中, X 方向上比特总数为  $N_x$ , 也即比特在 X 维度的取值范围为  $X = 0 \sim N_x$ 。Y 方向上比特总数为  $N_y$ , 也即比特在 Y 维度的取值范围为  $Y = 0 \sim N_y$ 。Z 方向上比特总数为  $N_z$ , 也即比特在 Z 维度的取值范围为  $Z = 0 \sim N_z$ 。需要注意的是,图 1 中只展示出一部分比特的分布示意图,实际在 X/Y/Z 方向上比特无限延伸,图中未全部展示。

[0031] 下面结合附图和具体的实施例对本发明的生成三维立体闪存比特图的方法作进一步的说明,但是不作为本发明的限定。

[0032] 参照图 2,是三维立体闪存的真实比特图,其中粗线框内的部分代表失效的比特位,但因为三维立体闪存的比特分布在三个维度(如上所述 X/Y/Z 三个维度),其物理位置

无法在一个平面内实现一一对应,也即无法准确地寻找出这些失效的比特位。根据本发明的方法,记录需要寻找的三维比特为  $(X_i, Y_i, Z_i)$ ,其中  $X_i, Y_i, Z_i$  均为大约等于 1 的自然数,并且取值范围分别如上所述为  $N_x, N_y, N_z$ 。将对应生成的二维坐标记录为  $(X_i', Y_i')$ ; 则采用对应规则:

$$[0033] \quad X_i' = X_i + X_i(Z_i - 1)$$

$$[0034] \quad Y_i' = Y_i$$

[0035] 即可将三维立体闪存的比特对应生成一张二维的比特分布示意图。

[0036] 具体可参照图 3~图 4。我们将图 4 中粗线框内的比特位定义为需要寻找的三维立体闪存中失效的比特位,表示一个 cell string。为了便于理解,我们特意选取一个带有具体数值的可选但非必须的实施例来进行阐释,这些比特位的三维坐标为(按照 Z 方向从小到大排列): $(X_1 = 1, Y_1 = 1, Z_1 = 1)$ 、 $(X_1 = 1, Y_1 = 1, Z_2 = 2)$ 、 $(X_1 = 1, Y_1 = 1, Z_3 = 3)$ 、 $(X_1 = 1, Y_1 = 1, Z_4 = 4)$ 、 $(X_1 = 1, Y_1 = 1, Z_5 = 5)$ 、 $(X_1 = 1, Y_1 = 1, Z_6 = 6)$ 、 $(X_1 = 1, Y_1 = 1, Z_7 = 7)$ 、 $(X_1 = 1, Y_1 = 1, Z_8 = 8)$ ,根据对应规则

$$[0037] \quad X_i' = X_i + X_i(Z_i - 1)$$

$$[0038] \quad Y_i' = Y_i$$

[0039] 生成的二维比特坐标为(图 3 中粗线框内的部分): $(X'_1 = 1, Y'_1 = 1)$ 、 $(X'_2 = 2, Y'_1 = 1)$ 、 $(X'_3 = 3, Y'_1 = 1)$ 、 $(X'_4 = 4, Y'_1 = 1)$ 、 $(X'_5 = 5, Y'_1 = 1)$ 、 $(X'_6 = 6, Y'_1 = 1)$ 、 $(X'_7 = 7, Y'_1 = 1)$ 、 $(X'_8 = 8, Y'_1 = 1)$ 。注意这里的具体的数值仅仅是基于理解的便利而提出的范例,但这不构成本发明的限制条件。

[0040] 对应的,图 4 中其他比特位也可以按照上述方法一一对应生成图 3 中的二维坐标,此处不再赘述。

[0041] 需要说明的是, $N_z$  的取值一般为 32 或 64, $N_x$  和  $N_y$  可根据实际闪存大小取值不同,本实施例中为叙述方便,如图 4 所示将  $N_x$  取值为 3, $N_y$  取值为 5, $N_z$  取值为 8,但这仅仅作为说明,不构成对本发明的限制。

[0042] 综上所述,本发明公开了一种将三维存储器的三维比特数据转换成二维比特图的方法,这种方法将三维立体闪存存储器的三维比特数据按照一定的规则顺序,排列生成二维平面的比特图。所生成的二维平面的比特图,能够直观地观察整个阵列(array)的逻辑状态,定位失效比特的物理位置,对特性分析和失效分析有非常大的帮助。

[0043] 本领域技术人员应该理解,本领域技术人员在结合现有技术以及上述实施例可以实现所述变化例,在此不做赘述。这样的变化例并不影响本发明的实质内容,在此不予赘述。

[0044] 以上对本发明的较佳实施例进行了描述。需要理解的是,本发明并不局限于上述特定实施方式,其中未尽详细描述的设备 and 结构应该理解为用本领域中的普通方式予以实施;任何熟悉本领域的技术人员,在不脱离本发明技术方案范围情况下,都可利用上述揭示的方法和技术内容对本发明技术方案做出许多可能的变动和修饰,或修改为等同变化的等效实施例,这并不影响本发明的实质内容。因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰,均仍属于本发明技术方案保护的范围内。

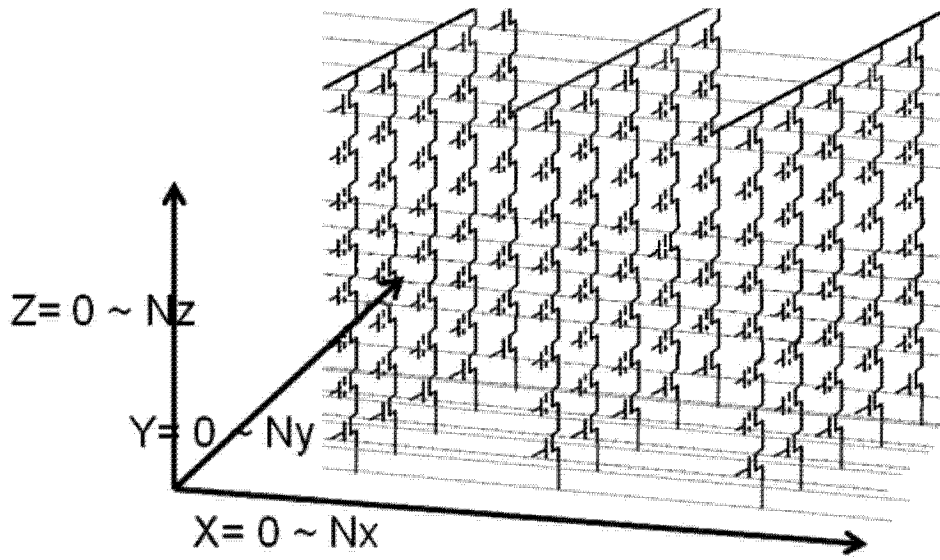


图 1

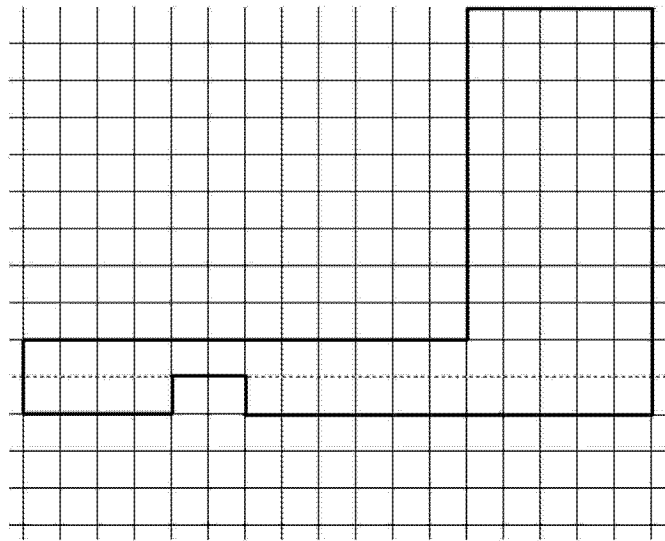


图 2

|       | Y' 1   | Y' 2   | Y' 3   | Y' 4   | Y' 5   |
|-------|--------|--------|--------|--------|--------|
| X' 1  | X1Y1Z1 | X1Y2Z1 | X1Y3Z1 | X1Y4Z1 | X1Y5Z1 |
| X' 2  | X1Y1Z2 | X1Y2Z2 | X1Y3Z2 | X1Y4Z2 | X1Y5Z2 |
| X' 3  | X1Y1Z3 | X1Y2Z3 | X1Y3Z3 | X1Y4Z3 | X1Y5Z3 |
| X' 4  | X1Y1Z4 | X1Y2Z4 | X1Y3Z4 | X1Y4Z4 | X1Y5Z4 |
| X' 5  | X1Y1Z5 | X1Y2Z5 | X1Y3Z5 | X1Y4Z5 | X1Y5Z5 |
| X' 6  | X1Y1Z6 | X1Y2Z6 | X1Y3Z6 | X1Y4Z6 | X1Y5Z6 |
| X' 7  | X1Y1Z7 | X1Y2Z7 | X1Y3Z7 | X1Y4Z7 | X1Y5Z7 |
| X' 8  | X1Y1Z8 | X1Y2Z8 | X1Y3Z8 | X1Y4Z8 | X1Y5Z8 |
| X' 9  | X2Y1Z1 | X2Y2Z1 | X2Y3Z1 | X2Y4Z1 | X2Y5Z1 |
| X' 10 | X2Y1Z2 | X2Y2Z2 | X2Y3Z2 | X2Y4Z2 | X2Y5Z2 |
| X' 11 | X2Y1Z3 | X2Y2Z3 | X2Y3Z3 | X2Y4Z3 | X2Y5Z3 |
| X' 12 | X2Y1Z4 | X2Y2Z4 | X2Y3Z4 | X2Y4Z4 | X2Y5Z4 |
| X' 13 | X2Y1Z5 | X2Y2Z5 | X2Y3Z5 | X2Y4Z5 | X2Y5Z5 |
| X' 14 | X2Y1Z6 | X2Y2Z6 | X2Y3Z6 | X2Y4Z6 | X2Y5Z6 |
| X' 15 | X2Y1Z7 | X2Y2Z7 | X2Y3Z7 | X2Y4Z7 | X2Y5Z7 |
| X' 16 | X2Y1Z8 | X2Y2Z8 | X2Y3Z8 | X2Y4Z8 | X2Y5Z8 |
| X' 17 | X3Y1Z1 | X3Y2Z1 | X3Y3Z1 | X3Y4Z1 | X3Y5Z1 |
| X' 18 | X3Y1Z2 | X3Y2Z2 | X3Y3Z2 | X3Y4Z2 | X3Y5Z2 |
| X' 19 | X3Y1Z3 | X3Y2Z3 | X3Y3Z3 | X3Y4Z3 | X3Y5Z3 |
| X' 20 | X3Y1Z4 | X3Y2Z4 | X3Y3Z4 | X3Y4Z4 | X3Y5Z4 |
| X' 21 | X3Y1Z5 | X3Y2Z5 | X3Y3Z5 | X3Y4Z5 | X3Y5Z5 |
| X' 22 | X3Y1Z6 | X3Y2Z6 | X3Y3Z6 | X3Y4Z6 | X3Y5Z6 |
| X' 23 | X3Y1Z7 | X3Y2Z7 | X3Y3Z7 | X3Y4Z7 | X3Y5Z7 |
| X' 24 | X3Y1Z8 | X3Y2Z8 | X3Y3Z8 | X3Y4Z8 | X3Y5Z8 |

图 3

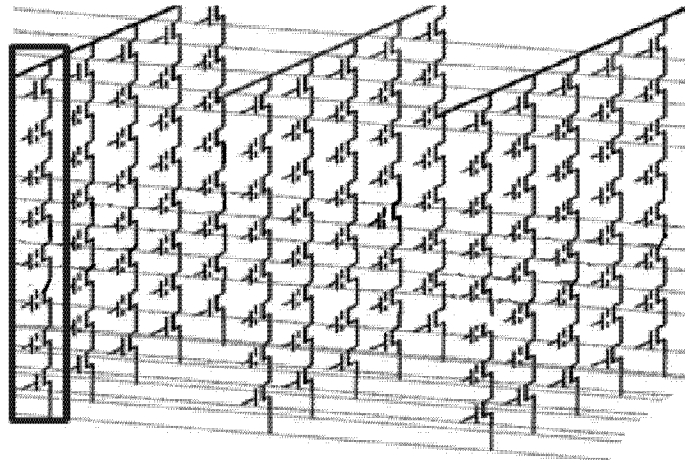


图 4