

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 4 日(04.06.2015)



(10) 国際公開番号
WO 2015/079579 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2013/082262
- (22) 国際出願日: 2013 年 11 月 29 日(29.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町 2 丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 新田 甲之輔 (NITTA Konosuke); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP). 若林 浩二 (WAKABAYASHI Koji); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

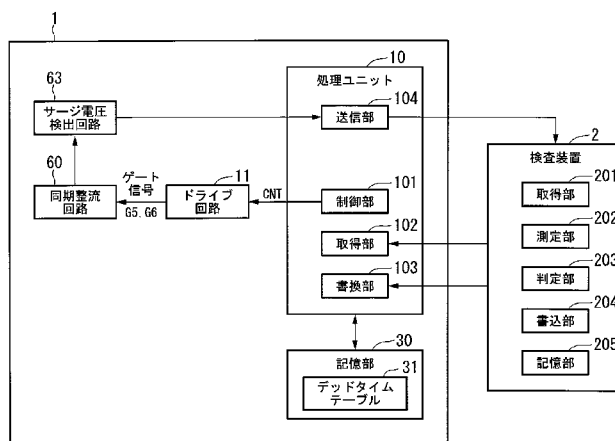
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER-SUPPLY DEVICE, INSPECTION DEVICE, AND OPTIMIZATION METHOD FOR POWER-SUPPLY DEVICE

(54) 発明の名称: 電源装置、検査装置、及び電源装置の最適化方法

[図1]



2 Inspection device
10 Processing module
11 Drive circuit
30, 205 Storage unit
31 Dead-time table
60 Synchronous-rectification circuit
63 Surge-voltage detection circuit
101 Control unit

102, 201 Acquisition unit
103 Replacement unit
104 Transmission unit
202 Measurement unit
203 Determination unit
204 Writing unit
G5, G6 Gate signals

(57) Abstract: This power-supply device (1) is provided with the following: a storage unit (30) that stores first dead times for switching elements (Q5 and Q6) that perform synchronous rectification; a detection unit (surge-voltage detection circuit (63)) that detects surge voltages across the switching elements; a transmission unit (104) that outputs information indicating a surge voltage detected by the detection unit; an acquisition unit (102) that acquires information on second dead times set on the basis of the surge-voltage-indicating information; a replacement unit (103) that replaces the first dead times stored in the storage unit with the second dead times acquired by the acquisition unit; and a control unit (101) that controls the switching elements in accordance with the second dead times stored in the storage unit.

(57) 要約: 電源装置 (1) は、同期整流を行うスイッチング素子 (Q5 及び Q6) の第 1 デッドタイムを記憶する記憶部 (30) と、スイッチング素子に発生するサージ電圧値を検出する検出部 (サージ電圧検出回路 (63)) と、検出部が検出したサージ電圧値を示す情報を出力する送信部 (104) と、サージ電圧値を示す情報に基づいて設定された第 2 デッドタイムの情報

報を取得する取得部 (102) と、記憶部に記憶された第 1 デッドタイムを取得部が取得した第 2 デッドタイムに書き換える書換部 (103) と、記憶部に記憶された第 2 デッドタイムに応じてスイッチング素子を制御する制御部 (101) と、を備える。

明 細 書

発明の名称：電源装置、検査装置、及び電源装置の最適化方法 技術分野

[0001] 本発明は、電源装置、検査装置、及び電源装置の最適化方法に関する。

背景技術

[0002] 一次側回路と二次側回路との間を絶縁するトランスと、このトランスの一次巻線に流れる電流の方向を切り換えて駆動するスイッチング回路と、二次巻線に誘起される電圧を2つのスイッチング素子を用いて同期整流する同期整流回路と、を備える同期整流型の電源装置がある。

上記同期整流回路においては、二次巻線に誘導起電力が誘起されている状態において、2つのスイッチング素子の間に貫通電流が流れることを回避するために、一方のスイッチがオン状態になっている期間と、他方のスイッチがオン状態になっている期間とが重ならないように、デッドタイム（非重畳時間）が設けられている。

[0003] このデッドタイムにおいては、スイッチング素子のスイッチング動作により電流の流れ方が変化し、スイッチング素子にサージ電圧が発生することがある。このサージ電圧が高い場合、電源装置は、スイッチング素子に高耐圧の素子を使用することが要求され、その分、コストの上昇を招くことになる。このため、同期整流回路では、スイッチング素子のスイッチング動作に起因して発生するサージ電圧を、できるだけ低減することが求められている。

[0004] 特許文献1では、スイッチを駆動するPWM（Pulse Width Modulation；パルス幅変調）信号における負荷時間率に比例する値を用いて、パワーロスの変化を推定してデッドタイムを調整することが提案されている。また、特許文献2では、デッドタイムに付随する電力損失を最小にする際のノイズとなる測定誤差などの影響を低減することが提案されている。特許文献1及び2に記載の技術では、電力コンバータが、デッドタイムを調整するためのパラメータを測定する測定回路を有し、測定した結果

に応じてデッドタイムを調整している。

- [0005] 上記同期整流回路において、スイッチング素子のスイッチング時に発生するサージ電圧は、デッドタイムに応じて変化する。そのため、デッドタイムは、サージ電圧が最も小さくなる最適なデッドタイムに調整されることが望まれる。

上記最適なデッドタイムは、スイッチング素子を駆動するドライブ回路の遅延時間のバラツキや、スイッチング素子の特性のバラツキに左右される。このため、電源装置では、実際に組み立てられた製品毎にデッドタイムを補正することが必要になる。

先行技術文献

特許文献

- [0006] 特許文献1：特表2007-535286号公報
特許文献2：特表2009-515498号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、上記特許文献1及び2に記載に開示された技術において、デッドタイムを補正するために、最適なデッドタイムを決定する回路を、製品毎に備える必要がある。このため、回路構成が複雑となり、その分、コストの上昇を招くという問題があった。
- [0008] 本発明は、斯かる実情に鑑みなされたものであり、新たな回路を製品の内部に追加することなく、サージ電圧が最小になる最適デッドタイムを製品毎に設定できる、電源装置、検査装置、及び電源装置の最適化方法を提供することを目的とする。

課題を解決するための手段

- [0009] 上記目的を達成するため、本発明の一態様に係る電源装置は、同期整流を行うスイッチング素子の第1デッドタイムを記憶する記憶部と、前記スイッチング素子に発生するサージ電圧値を検出する検出部と、前記検出部が検出

した前記サージ電圧値を示す情報を入力する送信部と、前記サージ電圧値を示す情報に基づいて設定された第2デッドタイムの情報を取得する取得部と、前記記憶部に記憶された前記第1デッドタイムを前記取得部が取得した前記第2デッドタイムに書き換える書換部と、前記記憶部に記憶された前記第2デッドタイムに応じて前記スイッチング素子を制御する制御部と、を備えることを特徴とする。

[0010] 本発明の一態様に係る検査装置は、同期整流を行うスイッチング素子の第1デッドタイムが外部入力されるデッドタイムの情報により変更可能な電源装置に対して、前記第1デッドタイムを変更するように指示するとともに、前記スイッチング素子に発生するサージ電圧の検出値の情報を前記電源装置から入力して前記サージ電圧を測定する測定部と、前記測定部により測定された前記サージ電圧の測定結果に基づいて、前記サージ電圧が最も小さくなる第2デッドタイムを判定する判定部と、前記第2デッドタイムの情報を前記電源装置に通知して、前記電源装置において前記第1デッドタイムを前記第2デッドタイムに設定させる書込部と、を備えることを特徴とする。

[0011] 本発明の一態様に係る電源装置の最適化方法は、電源装置内の同期整流を行うスイッチング素子のデッドタイムをデッドタイム設定部により最適化する電源装置の最適化方法であって、前記電源装置が、第1デッドタイムを前記デッドタイム設定部からの指示により変更する手順と、前記電源装置が、前記スイッチング素子に発生するサージ電圧値を検出し、このサージ電圧値を示す情報を、前記デッドタイム設定部に出力する手順と、を含み、前記デッドタイム設定部が、前記電源装置に対して、前記第1デッドタイムを変更するように指示するとともに、前記スイッチング素子に発生するサージ電圧値を示す情報を、前記電源装置から取得する手順と、前記デッドタイム設定部が、前記サージ電圧値の情報に基づいて、前記スイッチング素子において発生するサージ電圧の大きさを測定する手順と、前記デッドタイム設定部が、前記サージ電圧の測定値に基づいて、前記サージ電圧が最も小さくなる第2デッドタイム判定する手順と、前記デッドタイム設定部が、前記第2デッ

ドタイムの情報を前記電源装置に通知して、前記電源装置において、前記第1デッドタイムを前記第2デッドタイムに設定させる手順と、を含むことを特徴とする。

発明の効果

[0012] 本発明によれば、新たな回路を製品の内部に追加することなく、サージ電圧が最小になる最適デッドタイムを製品毎に設定できる。

図面の簡単な説明

[0013] [図1]本発明の第1実施形態に係る電源装置及び検査装置の概略構成を示す機能ブロック図である。

[図2]最適デッドタイムの設定動作の概要を示す説明図である。

[図3]電源装置の構成例を示す構成図である。

[図4A]第3電流検出回路の構成例を示す構成図である。

[図4B]第3電流検出回路の動作を説明するための波形図である。

[図5]スイッチング素子Q5及びQ6のゲート信号の波形を示すタイムチャートである。

[図6]同期整流回路に流れる電流の態様と、デッドタイムにおける電流の態様を示す説明図である。

[図7]デッドタイムテーブルの例を示す説明図である。

[図8]デッドタイムを変化させた場合のスイッチング素子のドレイン・ソース間電圧の例を示す波形図である。

[図9]デッドタイムを変化させた場合のサージ電圧の測定例を示す説明図である。

[図10]デッドタイムを変化させた場合のサージ電圧の変化と、スイッチング素子の特性のバラツキによるサージ電圧の変化の例を示すグラフである。

[図11]最適デッドタイムの設定処理の流れを示すフローチャートである。

[図12]本発明の第2実施形態に係る電源装置の構成例を示す構成図である。

[図13]本発明の第3実施形態に係る電源装置の構成例を示す構成図である。

発明を実施するための形態

[0014] 以下、本発明の実施の形態を添付図面を参照して説明する。

[0015] [第1実施形態]

図1は、本発明の第1実施形態に係る電源装置1及び検査装置2（デッドタイム設定部）の概略構成を示す機能ブロック図である。この図において、電源装置1は、入力される直流電圧を、所定の直流電圧に変換して出力するDC/DCコンバータであり、本発明に直接に関係する部分のみを示している。

この図1に示す電源装置1及び検査装置2は、電源装置1の同期整流回路60内のスイッチング素子のデッドタイムを変化させると、スイッチング素子に発生するサージ電圧が変化することを利用する。検査装置2は、電源装置1にスイッチング素子のデッドタイムを変化させるように指示し、このデッドタイムの変化に応じたサージ電圧の変化を測定する。検査装置2は、測定結果に基づいて、サージ電圧が最小になるときのデッドタイムを最適デッドタイムと判定し、この最適デッドタイムの情報を電源装置1に通知する。電源装置1は、検査装置2から通知された最適デッドタイムを記憶部30に設定する。

[0016] この図1に示すように、電源装置1は、処理ユニット10、ドライブ回路11、記憶部30、同期整流回路60、及びサージ電圧検出回路63を備えている。また、電源装置1には、この電源装置1における入出力電流と入出力電圧を設定する検査装置2が接続されている。

[0017] 処理ユニット10は、電源装置1の全体の動作を統括して制御する制御装置である。この処理ユニット10は、CPU（Central Processing Unit；中央演算処理装置）、ROM（Read Only Memory）、RAM（Random Access Memory）、A/D変換器（ADC；アナログーデジタル変換器）、カウンタ等を含むマイクロコンピュータや、マイクロコントローラや、DSP（Digital Signal Processor）等で構成されている。処理ユニット10は、専用のハードウェアにより実現されるものであってもよい。この

処理ユニット１０は、制御部１０１、取得部１０２、書換部１０３、送信部１０４を備える（詳細は後述する）。

[0018] ドライブ回路１１は、制御部１０１が出力するオンオフ制御信号ＣＮＴから、同期整流回路６０が備えるスイッチング素子Ｑ５及びＱ６を駆動するためのゲート信号Ｇ５及びＧ６を生成する。

同期整流回路６０は、後述する図３に示すように、トランス５０の二次巻線に誘起される電圧を２つのスイッチング素子Ｑ５及びＱ６を用いて全波整流する同期整流回路である（詳細は後述する）。

サージ電圧検出回路６３は、同期整流回路６０のスイッチング素子Ｑ５及びＱ６のオン動作とオフ動作に伴い発生するサージ電圧を検出する。このサージ電圧の検出値は、処理ユニット１０の送信部１０４を介して、検査装置２に送信される。

[0019] 記憶部３０には、同期整流を行うスイッチング素子Ｑ５及びＱ６のデッドタイム（第１デッドタイム）を、出力電流値に関連づけて記憶する。例えば、後述する図７に示すように、記憶部３０には、電源装置１の出力電流Ｉ_oの値に関連づけられたデッドタイムのデータが、デッドタイムテーブル３１の形式で記憶されている。

[0020] 次に、処理ユニット１０が備える各機能部について説明する。

制御部１０１は、同期整流回路６０内のスイッチング素子Ｑ５及びＱ６のスイッチング動作を制御するためのオンオフ制御信号ＣＮＴを生成する。このオンオフ制御信号ＣＮＴは、ドライブ回路１１により、スイッチング素子Ｑ５及びＱ６を駆動するためのゲート信号Ｇ５及びＧ６に変換される。制御部１０１は、このオンオフ制御信号ＣＮＴを生成する際に、記憶部３０に記憶されたデッドタイムテーブル３１を参照し、このデッドタイムがゲート信号Ｇ５及びＧ６に含まれるようにしてオンオフ制御信号ＣＮＴを生成する。

[0021] 取得部１０２は、検査装置２からデッドタイムの変更指示の情報を受信する。この変更指示には、変更後の新たなデッドタイムを表す情報が含まれている。取得部１０２は、検査装置２から受信したデッドタイムの変更指示の

情報を書換部 103 に通知する。

[0022] 書換部 103 は、取得部 102 から得られたデッドタイムの変更指示に基づいて、記憶部 30 に記憶されたデッドタイム（第 1 デッドタイム）を、取得部 102 が取得した最適デッドタイム（第 2 デッドタイム）に書き換える。例えば、書換部 103 は、デッドタイムの変更指示に基づいて、すでに記録されたデッドタイムを増減するようにデータを書き換える。また、書換部 103 は、検査装置 2 において最適デッドタイムが判定された場合に、この最適デッドタイムを、取得部 102 を介して取得し、デッドタイムテーブル 31 を最適デッドタイムのデータに書き換える。

送信部 104 は、サージ電圧検出回路 63 により検出されたスイッチング素子 Q5 及び Q6 のサージ電圧値を示す情報を、検査装置 2 に送信する。

[0023] また、検査装置 2 は、取得部 201、測定部 202、判定部 203、書込部 204、及び記憶部 205 を備えている。この検査装置 2 は、例えばテストである。

取得部 201 は、処理ユニット 10 が送信したサージ電圧検出回路 63 が検出したサージ電圧値を示す情報を取得する。

測定部 202 は、取得部 102 が取得したサージ電圧の検出値の情報に基づいて、同期整流回路 60 のスイッチング素子 Q5 及び Q6 において発生するサージ電圧の大きさを測定する。測定部 202 は、同期整流回路 60 において発生するサージ電圧を測定する場合に、電源装置 1 の処理ユニット 10 に対して、同期整流回路 60 のスイッチング素子 Q5 及び Q6 におけるデッドタイムを変化させるように指示し、このデッドタイムの変化に応じて変わる同期整流回路 60 に発生するサージ電圧を測定する。

判定部 203 は、同期整流回路 60 におけるデッドタイムの変化に応じて変化するサージ電圧値に基づいて、サージ電圧が最小になるときのデッドタイムを最適デッドタイムと判定する。

[0024] 書込部 204 は、判定部 203 により判定された最適デッドタイムの情報を、電源装置 1 の取得部 102 に送信する。記憶部 205 は、電源装置 1 の

記憶部 30 に記憶されたデッドタイムテーブル 31 が予め記憶されていてもよい。また、検査装置 2 は、記憶部 30 に記憶されたデッドタイムテーブル 31 のデータを読み取り、読み取ったデッドタイムテーブル 31 のデータを記憶してよい。

[0025] 上述のように検査装置 2 は、同期整流回路 60 のスイッチング素子のデッドタイムが電源装置 1 によって変化されたときのサージ電圧を測定する。これにより、電源装置 1 は、サージ電圧が最小になるときのデッドタイムを最適なデッドタイムとして記憶部 30 に設定することができる。

[0026] 次に、図 2 は、最適デッドタイムの設定動作の概要を示す説明図である。以下、図 2 を参照して、上記構成の電源装置 1 における最適デッドタイムの設定動作について説明する。

図 2 に示すように、電源装置 1 の入力側に、入力電圧 V_{in} を測定する電圧計 5 と、入力電流 I_{in} を測定する電流計 6 とを配置する。また、電源装置 1 の出力側に、出力電圧 V_{out} を測定する電圧計 7 と、出力電流 I_o を測定する電流計 8 とが接続される。

そして、第 1 の手順として、検査装置 2 は、入力電圧 V_{in} 、出力電流 I_o 、出力電圧 V_{out} が一定になるように設定する。すなわち、検査装置 2 は、電源装置 1 を入出力電圧の変動や負荷変動の影響がない状態にする。

[0027] 第 2 の手順として、検査装置 2 は、電源装置 1 に指示して、記憶部 30 内のデッドタイムテーブル 31 に記憶されたデッドタイムを、基準デッドタイムから増加方向及び減少方向に変化させるように書き換えるとともに、このデッドタイムの変化に応じたサージ電圧の変化を測定する。

例えば、後述する図 10 に示すように、デッドタイムを基準デッドタイムから $\pm 3 \Delta T$ に変化させて、サージ電圧の変化を測定する。なお、 ΔT は、クロック信号に基づく時間である。

[0028] ここで、基準デッドタイムは、デッドタイムの調整開始前に、予めデッドタイムテーブル 31 に記憶されているデッドタイムである。なお、基準デッドタイムは、複数の電源装置 1 のそれぞれのドライブ回路 11 の遅延時間の

バラツキと、スイッチング素子Q 5 及びQ 6 の特性のバラツキを考慮して設定される。この基準デッドタイムは、平均的なデッドタイムに基づいて、最適なデッドタイムであると推定されるデッドタイムである。

[0029] 第3 の手順として、検査装置 2 では、サージ電圧が最も小さくなるデッドタイムを判定する。すなわち、検査装置 2 は、サージ電圧が最も小さくなるデッドタイムを最適デッドタイムと判定する。この手順において、検査装置 2 は、最適デッドタイムの情報を電源装置 1 に通知し、電源装置 1 は、現在の出力電流 I_o に対応する最適デッドタイムをデッドタイムテーブル 3 1 に上書きする。

そして、検査装置 2 は、出力電流 I_o を異なる幾つかの電流値に変化させて、上記第 2 の手順と第 3 の手順とを繰り返し実行し、それぞれの電流値 I_o に応じて、デッドタイムテーブル 3 1 に記憶されたデッドタイムのデータを最適デッドタイムに補正する。

[0030] なお、基準デッドタイムが最適デッドタイムにより補正される量は、異なる出力電流 I_o の値に対して同じ傾向になることが多い。なお、同じ傾向とは、第 1 の出力電流 I_o のとき、最適なデッドタイムが基準デッドタイムに対して正方向に変化させた値である場合、他の出力電流 I_o においても最適なデッドタイムは基準デッドタイムに対して正方向に変化させた値になる傾向である。この場合は、1 つの出力電流 I_o から得られた補正量により、デッドタイムテーブル 3 1 に記憶されたデッドタイムの全体のデータを補正してもよい。

[0031] このように、検査装置 2 は、サージ電圧が最も小さくなる最適デッドタイムを決定し、この決定した最適デッドタイムを電源装置 1 の記憶部 3 0 に上書きすることで、デッドタイムを最適化することができる。

これにより、本実施形態の電源装置 1 は、デッドタイムを測定するための測定回路や、デッドタイムを判定する回路を製品の内部に追加することなく、製品毎に最適なデッドタイムを個別に設定することができる。

[0032] 図 3 は、電源装置 1 の構成例を示す構成図である。この図 3 に示す電源装

置 1 は、直流電源 21 から入力される直流電圧 V_{in} を、所定の定電圧の直流電圧 V_{out} に変換する DC/DC コンバータである。図 3 に示すように、電源装置 1 は、一次側回路 40、同期整流回路 60、電流検出回路 70、処理ユニット 10、ドライブ回路 11 を備える。この電源装置 1 は、トランス 50 により一次側回路と二次側回路との間を絶縁するように構成されており、トランス 50 の一次巻線 51 は、この一次巻線 51 を駆動するフルブリッジ回路 20 に接続されている。また、電源装置 1 には、負荷装置 80 が接続される。

[0033] 一次側回路 40 は、トランス 50 の一次巻線 51、電流検出用トランス 54 の一次巻線 55、フルブリッジ回路 20、コンデンサ C1、及び直流電源 21 を備える。

[0034] フルブリッジ回路 20 は、一次巻線 51 を駆動するブリッジ回路であり、例えば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いた 4 つのスイッチング素子、すなわち、スイッチング素子 Q1、スイッチング素子 Q2、スイッチング素子 Q3、及びスイッチング素子 Q4 で構成されている。このスイッチング素子 Q1 から Q4 のそれぞれには、ボディーダイオード D1 から D4 が並列に接続されている。つまり、スイッチング素子 Q1 から Q4 のそれぞれは、ドレイン側にカソード端子が接続され、ソース側にアノード端子が接続されるボディーダイオード D1 から D4 (以下、「ボディーダイオード」を、単に「ダイオード」とも呼ぶ。) を備えている。つまり、スイッチング素子 Q1 から Q4 のそれぞれは、ドレイン側に、対応するダイオード D1 から D4 のカソード端子が接続され、ソース側にアノード端子が接続されるボディーダイオード D1 から D4 を備えている。

[0035] このフルブリッジ回路 20 において、電流を供給する側のスイッチング素子 Q1 及び Q3 のドレインは、直流電源 21 の正電圧側の電源線 V_{in+} に接続され、電流が供給される側のスイッチング素子 Q2 及び Q4 のソースは、直流電源 21 の負電圧側の電源線 V_{in-} に接続されている。なお、直流

電源 2 1 には、ノイズ吸収用のコンデンサ C 1 が並列に接続されている。

[0036] そして、スイッチング素子 Q 1 のソースとスイッチング素子 Q 2 のドレインとの接続点には、トランス 5 0 の一次巻線 5 1 の一方の端子 a が接続されている。

また、スイッチング素子 Q 3 のソースとスイッチング素子 Q 4 のドレインとの接続点には、電流検出用トランス 5 4 の一次巻線 5 5 の一方の端子 k に接続され、電流検出用トランス 5 4 の一次巻線 5 5 の他方の端子 g は、トランス 5 0 の一次巻線 5 1 の他方の端子 b に接続されている。スイッチング素子 Q 1 から Q 4 それぞれのゲートに信号 G 1 から G 4 が、処理ユニット 1 0 からドライブ回路 1 1 を介して供給される。

これにより、電源装置 1 は、トランス 5 0 の一次巻線 5 1 をフルブリッジ回路 2 0 により駆動するとともに、一次巻線 5 1 に流れる電流を電流検出用トランス 5 4 により計測することができる。

[0037] なお、このフルブリッジ回路 2 0 は、トランス 5 0 の一次巻線 5 1 のリーケージインダクタンス（漏れインダクタンス）と、スイッチング素子 Q 1 から Q 4 のキャパシタンス成分（寄生容量）とにより、スイッチング素子 Q 1 から Q 4 のオン／オフ時の過渡状態にだけ共振作用を利用する部分共振型のフルブリッジ回路として構成されている。つまり、制御部 1 0 1 は、スイッチング素子 Q 1 から Q 4 の寄生容量に蓄積される電荷ができるだけ小さくなるタイミングで、スイッチング素子 Q 1 及び Q 4、あるいはスイッチング素子 Q 2 及び Q 3 をオンにすることにより、スイッチング素子 Q 1 から Q 4 におけるスイッチング損失を低減している。なお、スイッチング素子 Q 1 から Q 4 におけるキャパシタンス成分は、ドレイン・ソース間の容量とゲート・ドレイン間の容量との和である。

[0038] そして、フルブリッジ回路 2 0 内のスイッチング素子 Q 1 から Q 4 のそれぞれのゲートには、ドライブ回路 1 1 から出力されるゲート信号 G 1 から G 4 が供給される。これによりスイッチング素子 Q 1 から Q 4 がオン状態とオフ状態と制御される。このゲート信号 G 1 から G 4 は、処理ユニット 1 0 内

の制御部 101 から出力されるオンオフ制御信号 CNT (PWM 信号) に基づいて生成される信号である。

このドライブ回路 11 は、後述する同期整流スイッチ回路 61 内のスイッチング素子 Q5 及び Q6 をオン状態とオフ状態とに制御するゲート信号 G5 及び G6 も生成する。このゲート信号 G5 及び G6 は、処理ユニット 10 内の制御部 101 から出力されるオンオフ制御信号 CNT に基づいて生成される信号である。

[0039] ドライブ回路 11 は、スイッチング素子 Q1 から Q4 をオン状態とオフ状態とに制御する場合に、スイッチング素子 Q1 及び Q4 がオン状態でかつスイッチング素子 Q2 及び Q3 がオフ状態である期間と、スイッチング素子 Q1 及び Q4 がオフ状態でかつスイッチング素子 Q2 及び Q3 がオン状態である期間とが交互に到来するゲート信号を生成する。これにより、トランス 50 の一次巻線 51 の一端から他端に向けて電流が流れ、また、一次巻線 51 の他端から一端に向けて電流が流れる。トランス 50 の一次巻線 51 に方向の異なる電流が交互に流れると、トランス 50 の二次巻線 52、53 には、誘起電圧 V1、及び V2 が発生する。

[0040] 一次側回路 40 には、電源線 Vin+ を介してフルブリッジ回路 20 に流れる電流を計測するための第 1 電流検出回路 22 が設けられている。この第 1 電流検出回路 22 は、スイッチング素子 Q1 から Q4 の過電流保護を防ぐための電流検出回路である。この第 1 電流検出回路 22 の検出結果に基づいて、処理ユニット 10 は、電源線 Vin+ を介してフルブリッジ回路 20 に所定値以上の過電流が流れたことが検出された場合に、スイッチング素子 Q1 から Q4 を瞬時にオフ状態にするようにドライブ回路 11 に指示し、スイッチング素子 Q1 から Q4 が過電流により破壊されること防いでいる。

[0041] トランス 50 の一次巻線 51 と、電流検出用トランス 54 の一次巻線 55 とには一次側回路 40 のフルブリッジ回路 20 が接続される。トランス 50 の二次巻線 52、53 側には、この二次巻線 52、53 に誘起される電圧を全波整流する同期整流回路 60 が接続される。電流検出用トランス 54 の二

次巻線 56 には、電流検出回路 70 が接続される。

[0042] 次に、トランス 50 の二次巻線側の同期整流回路 60 の構成について説明する。

同期整流回路 60 は、トランス 50 の二次巻線 52、53、同期整流スイッチ回路 61、整流平滑回路（チョークコイル L11 とコンデンサ C11）、第 2 電流検出回路 62、サージ電圧検出回路 63 を備える。同期整流回路 60 は、トランス 50 の二次巻線 52、53 に誘起される電圧 V1、V2（誘導起電力）を全波整流して直流電圧に変換する。

この同期整流回路 60 において、同期整流スイッチ回路 61 を構成するスイッチング素子 Q5 及び Q6 は、制御部 101 によりオン状態とオフ状態とのタイミングが制御され、トランス 50 の二次巻線 52、53 に誘起される電圧 V1、V2 を同期整流する。同期整流回路 60 は、同期整流した直流電圧をチョークコイル L11 とコンデンサ C11 で平滑化し、出力端子 Out1 と Out2 を介して、負荷装置 80 に電力を供給する。

負荷装置 80 は、例えば、ランプや、モータや、或いは、バッテリー等である。

[0043] 同期整流スイッチ回路 61 のスイッチング素子 Q5 及び Q6 は、例えば MOSFET で構成されている。そして、スイッチング素子 Q5 及び Q6 のそれぞれには、ボディダイオード D5 及び D6 が並列に接続されている。つまり、スイッチング素子 Q5 及び Q6 のそれぞれは、ドレイン側に対応するダイオード D5 及び D6 のカソード端子が接続され、ソース側にアノード端子が接続される。

[0044] 上記同期整流回路 60 において、トランス 50 の二次巻線のセンタータップ、つまり、二次巻線 52 及び二次巻線 53 の接続点の端子 d は、チョークコイル L11 の一端に接続され、チョークコイル L11 の他端は、コンデンサ C11 の正電圧側の電極に接続されるとともに、正電圧側の出力端子 Out1 に接続されている。

また、トランス 50 の二次巻線 52 の端子 c には、同期整流スイッチ回路

61内のスイッチング素子Q6のドレインが接続され、スイッチング素子Q6のソースは、基準電位線GNDを介して、基準電位側の出力端子Out2に接続されている。

また、トランス50の二次巻線53の端子eには、同期整流スイッチ回路61内のスイッチング素子Q5のドレインが接続され、スイッチング素子Q5のソースは、基準電位線GNDを介して出力端子Out2に接続されている。

[0045] 上記構成において、処理ユニット10は、トランス50の二次巻線52、53に電圧V2、V3が誘起されるタイミングに同期して、スイッチング素子Q5及びQ6のオン状態とオフ状態とのタイミングを制御する。このように、スイッチング素子Q5及びQ6をオン状態とオフ状態と制御することにより、ダイオードD5及びD6の順方向電圧Vfにより発生する電力損失を低減することができる。

[0046] 同期整流回路60には、スイッチング素子Q5（或は、スイッチング素子Q5及びQ6の両方）に流れる電流を計測するための第2電流検出回路62が設けられている。第2電流検出回路62は、計測したスイッチング素子Q5（或は、スイッチング素子Q5及びQ6の両方）に流れる電流を示す信号を処理ユニット10に出力する。

[0047] また、同期整流回路60には、スイッチング素子Q5及びQ6のドレイン端子に発生するサージ電圧を検出するサージ電圧検出回路63が設けられている。このサージ電圧検出回路63は、例えば、ピーク値ホールド回路等で構成され、検出したサージ電圧の検出信号を、処理ユニット10に出力する。

[0048] 次に、電流検出回路70について説明する。

電流検出回路70は、電流検出用トランス54の二次巻線56、整流回路71、ダイオード72、分圧回路73、及び第3電流検出回路74を備える。

ここで、一次巻線51、二次巻線52、53は、トランス50を構成し、

一次巻線 55、二次巻線 56 は、電流検出用トランス 54 を構成する。

[0049] 本実施形態の電源装置 1 では、電流検出用トランス 54 と電流検出回路 70 とを用いて、トランス 50 の一次巻線 51 に流れる電流を検出することにより、出力電流 I_o を間接的に検出するように構成されている。これは、同期整流回路 60 のチョークコイル L11 に直列に電流検出用トランスを挿入して出力電流 I_o を検出する場合、例えば、100A を超えるような出力電流 I_o を検出する場合には、電流検出用トランスの検出値にノイズが重畳することがあり、また、発熱の問題が発生する可能性がある。そこで、トランス 50 の一次巻線 51 に流れる一次側電流を電流検出用トランス 54 で検出することにより、出力電流 I_o を検出している。なお、勿論、後述するように、同期整流回路 60 内で出力電流 I_o を検出してもよい。

[0050] 電流検出回路 70 は、電流検出用トランス 54 の二次巻線 56 の端子 m, n に接続される整流回路 71 と、ダイオード 72 と分圧回路 73 と、第 3 電流検出回路 74 と、を有している。ダイオード 72 のアノードは、整流回路 71 の一方の端子に接続され、カソードは分圧回路 73 に接続される。分圧回路 73 は、分圧した結果を表す信号 S1 を処理ユニット 10 に出力する。第 3 電流検出回路 74 の一端は、整流回路 71 の一方の端子に接続され、検出した結果を表す信号 S2 を処理ユニット 10 に出力する。

[0051] 整流回路 71 は、ダイオードブリッジ回路で構成される全波整流回路である。

分圧回路 73 は、抵抗分圧回路で構成されている。ダイオード 72 と分圧回路 73 とで構成される回路は、整流回路 71 から出力される電流 I_{ct} の還流ループを形成する。この分圧回路 73 から処理ユニット 10 に出力される信号 S1 は、例えば、スイッチング素子 Q1 から Q4 の過電流保護用の信号として用いることができる。なお、ダイオード 72 は、後述する第 3 電流検出回路 74 のダイオード 741 において生じる V_f （順方向の電圧降下分）を補償するための電圧補償用のダイオードである。

[0052] 一方、第 3 電流検出回路 74 は、電流検出用トランス 54 の二次巻線 56

から整流回路 71 を介して出力される電流 I_{ct} により、出力電流 I_o を間接的に検出するための回路である。

図 4 A は、第 3 電流検出回路 74 の構成例を示す構成図である。この図 4 A に示すように、第 3 電流検出回路 74 は、ダイオード 741 を介して電流 I_{ct} により充電されるコンデンサ 742 と、コンデンサ 742 の両端の電圧を検出するための分圧用の抵抗器 743、744 と、ノイズ吸収用のコンデンサ 745 と、抵抗器 746 と、で構成されている。

[0053] ダイオード 741 のアノードは、第 3 電流検出回路 74 の入力端子である。ダイオード 741 のカソードは、抵抗器 743 の一端とコンデンサ 742 の一端とに接続される。ダイオード 741 は、電流のピークを検出する働きをする。

[0054] 抵抗器 743 の他端は、抵抗器 744 の一端とコンデンサ 745 の一端と抵抗器 746 の一端とに接続される。

コンデンサ 742 の他端、抵抗器 744 の他端、及びコンデンサ 745 の他端は、接地される。

コンデンサ 742、コンデンサ 745、抵抗器 743、抵抗器 744、及び抵抗器 746 によって、所望の応答速度で電流を検出する回路が構成される。

抵抗器 746 の他端は、処理ユニット 10 の ADC 110 に接続される。

[0055] また、図 4 B は、第 3 電流検出回路 74 の動作を説明するための波形図である。図 4 B において、横軸は時刻、縦軸は電圧と電流である。

第 3 電流検出回路 74 において、図 4 B に示す全波整流波形の電流 I_{ct} が、整流回路 71 から第 3 電流検出回路 74 に向けて流れると、電流 I_{ct} により第 3 電流検出回路 74 のコンデンサ 742 が充電される。そして、この電流 I_{ct} により充電されるコンデンサ 742 の両端の電圧 V_{ct} は、図 4 B に示すように、平滑された電圧波形となる。この電圧 V_{ct} は、抵抗器 743、744 により分圧され、抵抗器 744 と抵抗器 743 の接続点 N1 には、処理ユニット 10 内の A/D 変換器 (ADC) 110 の入力電圧範囲

に適合する電圧信号 V_{sc} が生成される。なお、抵抗器 744 には、並列にノイズ吸収用のコンデンサ 745 が接続されている。

[0056] そして、この電圧信号 V_{sc} は、抵抗器 740 を介して、信号 S2 として、処理ユニット 10 内の A/D 変換器 110 に入力される。A/D 変換器 110 は、信号 S2 を A/D 変換し、この A/D 変換したデジタル値の信号を、制御部 101 に入力する。

このように、電流検出回路 70 では、トランス 50 の一次巻線 51 に流れる電流を検出することにより、出力電流 I_o を間接的に検出することができる。

[0057] 上記構成の電源装置 1 において、処理ユニット 10 内の制御部 101 は、ドライブ回路 11 を介して、フルブリッジ回路 20 内のスイッチング素子 Q1 から Q4 のそれぞれにゲート信号 G1 から G4 を供給する。つまり、制御部 101 は、不図示の出力電圧検出回路により、出力電圧 V_{out} を検出し、この出力電圧 V_{out} が一定になるように、スイッチング素子 Q1 から Q4 のオン／オフのタイミング（デューティ比）を制御する。

また、制御部 101 は、ドライブ回路 11 を介して、同期整流スイッチ回路 61 内のスイッチング素子 Q5 及び Q6 のそれぞれにゲート信号 G5 及び G6 を供給する。つまり、制御部 101 は、スイッチング素子 Q5 及び Q6 のオン／オフのタイミングを制御することにより、スイッチング素子 Q5 及び Q6 に同期整流を行わせる。

[0058] 図 5 は、スイッチング素子 Q5 及び Q6 のゲート信号の波形を示すタイムチャートである。この図 5 では、横軸に時間 t を示し、縦軸に、トランス 50 の一次巻線 51 に流れる電流により二次巻線 52、53 に誘起される電圧波形と、スイッチング素子 Q5 のゲート信号 G5 の波形と、スイッチング素子 Q6 のゲート信号 G6 の波形と、を並べて示している。なお、各ゲート信号が、ハイ信号（H）の場合に、当該ゲート信号に対応するスイッチング素子がオン状態になり、ロー信号（L）の場合に、当該ゲート信号に対応するスイッチング素子がオフ状態になる。

[0059] この図5において、時刻 t_0 では、スイッチング素子 Q_5 及び Q_6 の両方がオン状態にある。つまり、時刻 t_0 において、スイッチング素子 Q_5 及び Q_6 とにより、チョークコイル L_{11} に流れる電流の還流ループが形成されている。

図6は、同期整流回路に流れる電流の態様とデッドタイムにおける電流の態様を示す説明図である。例えば、図6の上段に示すように、時刻 t_0 の時点において、電流 I_1 が、スイッチング素子 Q_5 を介して、トランス50の二次巻線53に還流している状態にあるとする。

[0060] 続いて、時刻 t_0 の後の時刻 t_1 において、制御部101は、ゲート信号 G_5 をLにしてスイッチング素子 Q_5 をオフ状態にする。なお、ゲート信号 G_6 はHであり、スイッチング素子 Q_6 はオン状態のままである。この時刻 t_1 において、スイッチング素子 Q_5 がオフ状態になると、図6の下段に示すように、今までスイッチング素子 Q_5 に流れていた電流 I_1 は、ボディダイオード D_5 に転流する。

[0061] 続いて、時刻 t_1 から所定のデッドタイム DT_{35} を経過した時刻 t_2 において、フルブリッジ回路20のスイッチング素子 Q_2 及び Q_3 がオン状態になる。そして、時刻 t_2 において、フルブリッジ回路20のスイッチング素子 Q_2 及び Q_3 がオン状態になると、トランス50の二次巻線52、53に、負極性の電圧が誘起される。なお、ここで、負極性の電圧とは、二次巻線52、53の端子eの電位が、端子cの電位よりも高い状態を意味している。このフルブリッジ回路20のスイッチング素子 Q_2 及び Q_3 のオン状態は、時刻 t_3 まで継続される。

[0062] この時刻 t_2 において、二次巻線52、53に、負極性の電圧 V_2 、 V_3 が誘起されると、図6の下段に示すように、スイッチング素子 Q_5 に流れていた電流 I_1 は、二次巻線53に誘起される電圧によりダイオード D_5 が逆バイアスされて次第に消失する。その一方で、二次巻線52から電流 I_2 が流れ始める。

このように、時刻 t_1 から時刻 t_2 までのデッドタイム DT_{35} において

、スイッチング素子Q 5がオフ状態に遷移する際に、スイッチング素子Q 5に流れる電流I 1の態様が変化するとともに、二次巻線5 2から電流I 2が流れ始める。このため、スイッチング素子Q 5のドレイン端子に、大きなサージ電圧が発生する。例えば、図8に示すように、スイッチング素子Q 5がオフして、ドレイン・ソース間電圧V d sが、ゼロ電圧に近い値から電圧V oに立ち上がる際に、大きなサージ電圧V nが発生する。

[0063] 続いて、時刻t 3において、フルブリッジ回路2 0のスイッチング素子Q 2及びQ 3がオフ状態になった後、所定のデッドタイムD T 2 5を経過した時刻t 4において、スイッチング素子Q 5がオン状態になる。なお、スイッチング素子Q 6はオン状態のままである。このデッドタイムD T 2 5においては、スイッチング素子Q 5及びQ 6に流れる電流の態様は変化しないため、デッドタイムD T 2 5にサージ電圧が発生することはない。

[0064] そして、時刻t 4の後の時刻t 5において、制御部1 0 1は、ゲート信号G 6をLにしてスイッチング素子Q 6をオフ状態にする。なお、ゲート信号G 5はHであり、スイッチング素子Q 5はオン状態のままである。この時刻t 5において、スイッチング素子Q 6がオフ状態になると、今までスイッチング素子Q 6に流れていた電流は、ボディダイオードD 6に転流する。

続いて、時刻t 5から所定のデッドタイムD T 4 6を経過した時刻t 6において、フルブリッジ回路2 0のスイッチング素子Q 1及びQ 4がオン状態になる。そして、時刻t 6において、スイッチング素子Q 1及びQ 4がオン状態になると、トランス5 0の二次巻線5 2、5 3に、正極性の電圧が印加される。なお、ここで、正極性の電圧とは、二次巻線5 2、5 3の端子cの電位が、端子eの電位よりも高い状態を意味している。

そして、時刻t 5から時刻t 6までのデッドタイムD T 4 6において、スイッチング素子Q 6がオフ状態になる際に、上述したスイッチング素子Q 5がオフする場合と同様にして、スイッチング素子Q 6に流れる電流の態様が変わるため、スイッチング素子Q 6のドレイン端子に、大きなサージ電圧が発生する。

[0065] 続いて、時刻 t_7 において、フルブリッジ回路 20 のスイッチング素子 Q1 及び Q4 がオフ状態になった後、所定のデッドタイム DT_{16} を経過した時刻 t_8 において、スイッチング素子 Q6 がオン状態になる。なお、スイッチング素子 Q5 はオン状態のままである。このデッドタイム DT_{16} においては、スイッチング素子 Q5 及び Q6 に流れる電流の態様は変化しないため、デッドタイム DT_{16} にサージ電圧が発生することはない。

その後の時刻 t_8 以降の動作は、上述した時刻 t_1 以降の動作と同じ動作が繰り返される。

[0066] また、図 7 は、記憶部 30 に記憶されるデッドタイムテーブル 31 の例を示す説明図である。この図 7 に示すように、記憶部 30 には、デッドタイムのデータがテーブルの形式で記憶されている。つまり、同期整流回路 60 を構成するスイッチング素子 Q5 及び Q6 をオン状態とオフ状態に制御する際に用いられる、デッドタイム DT_{16} と、デッドタイム DT_{25} と、デッドタイム DT_{46} と、デッドタイム DT_{35} とが、電源装置 1 の出力電流 I_o に関連づけられてテーブルの形式で記憶されている。制御部 101 は、電源装置 1 の出力電流 I_o の大きさに応じて、図 7 に示すデッドタイムテーブル 31 を参照して、デッドタイムを設定する。

[0067] 制御部 101 は、例えば、出力電流 I_o の値が I_{o3} の場合に、デッドタイム DT_{16} 及びデッドタイム DT_{25} として、デッドタイム dt_3 を選択し、デッドタイム DT_{46} 及びデッドタイム DT_{35} として、デッドタイム dt_{13} を選択する。そして、制御部 101 は、図 5 に示したゲート信号 G5 及び G6 を生成する場合に、デッドタイム dt_3 及びデッドタイム dt_{13} を用いて、ゲート信号 G5 及び G6 を生成する。

なお、このデッドタイムテーブル 31 は、記憶部 30 内において、EEPROM (Electrically Erasable Programmable Read-Only Memory) に記憶されている。

[0068] また、デッドタイムテーブル 31 に記憶されるデッドタイムの初期値のデータは、例えばドライブ回路 11 の遅延時間のバラツキの平均値と、スウィ

チング素子Q4及びQ5の特性のバラツキの平均値とに対応して、最適デッドタイムとして推定される値を用いることができる。この初期値のデータは、出力電流値ゼロ(0)、101、102、103、104、105、106毎に設定される値である。つまり、デッドタイムテーブル31に記憶される初期値のデータは、ドライブ回路11の遅延時間と、スイッチング素子Q4及びQ5の特性とが上記平均値に一致する場合に、最適なデッドタイムとなる。

[0069] 図8は、デッドタイムの変更時のスイッチング素子のドレイン・ソース間電圧 V_{ds} の例を示す波形図である。この波形図は、例えば、スイッチング素子Q5のドレイン・ソース間電圧 V_{ds} の波形の例である。図8において、横軸は時刻、縦軸は電圧である。

この波形図に示すように、スイッチング素子Q1のドレイン・ソース間電圧は、オン状態にあるゼロ電圧に近い値から、オフ状態の電圧 V_o に上昇する際に、サージ電圧 $V_1 \sim V_4$ を発生する。この図8に示すように、デッドタイム DT を変化させた場合に、サージ電圧 $V_1 \sim V_4$ のピーク値が変化する。

[0070] 時刻 $t_{11} \sim t_{12}$ の波形は、デッドタイムが $DT-3$ 、すなわち、「基準デッドタイム $-3 \times \Delta T$ 」に設定されたときの波形である。デッドタイムが $DT-3$ のとき、サージ電圧のピーク値は V_1 である。ここで、 ΔT は、所定の単位時間 ΔT である。時刻 $t_{13} \sim t_{14}$ の波形は、デッドタイムが $DT-2$ 、すなわち、「基準デッドタイム $-2 \times \Delta T$ 」に設定されたときの波形である。デッドタイムが $DT-2$ のとき、サージ電圧のピーク値は V_2 である。時刻 $t_{15} \sim t_{16}$ の波形は、デッドタイムが $DT-1$ 、すなわち、「基準デッドタイム $-1 \times \Delta T$ 」に設定されたときの波形である。デッドタイムが $DT-1$ のとき、サージ電圧のピーク値は V_3 である。時刻 $t_{17} \sim t_{18}$ の波形は、デッドタイムが DT 、すなわち、「基準デッドタイム」に設定されたときの波形である。デッドタイムが DT のとき、サージ電圧のピーク値は V_4 である。また、電圧値 V_1 は電圧値 V_2 より高く、電圧値 V_2 は電圧値 V_3 より高く、電圧値 V_3 は電圧値 V_4 より高い。すなわち、図8に示した例で

は、デッドタイムが $DT-3$ のときがサージ電圧のピーク値が最も高く、デッドタイムが DT のときがサージ電圧のピーク値が最も低い。

[0071] また、図9は、デッドタイムを変化させた場合のサージ電圧の測定例を示す説明図である。この図9に示す例では、出力電流 I_o が一定の条件の基で、基準となるデッドタイム（基準デッドタイム）を、 $+$ 方向（時間を延ばす方向）と、 $-$ 方向（時間を短くする方向）とに、所定の時間 ΔT を単位時間として変化させている。

この図9に示す例では、デッドタイムを、基準デッドタイムから $+$ 方向に、 $+3$ （基準デッドタイム $+3 \times \Delta T$ ）まで変化させ、 $-$ 方向に、 -3 （基準デッドタイム $-3 \times \Delta T$ ）まで変化させている。

そして、検査装置2は、デッドタイムの時間幅に応じて変化するサージ電圧 e を測定する。この図9に示す例では、デッドタイムが「0（基準デッドタイム）」の場合に、サージ電圧が最も小さくなり、デッドタイムが「 -3 （基準デッドタイム $-3 \times \Delta T$ ）」の場合に、サージ電圧が最も大きくなる。

[0072] 図10は、デッドタイムを変化させた場合のサージ電圧の変化と、スイッチング素子の特性のバラツキによるサージ電圧の変化の例を示すグラフである。図10の上段は、デッドタイムを変化させた場合のサージ電圧の変化を示すグラフであり、図9に示したサージ電圧 e の測定結果をグラフで示した図ある。

この図10の上段では、横軸に、デッドタイムの変化を示し、縦軸にサージ電圧のレベルを示している。この図10の上段では、基準となるデッドタイムを0とし、この基準となるデッドタイムを、 $+$ 方向と、 $-$ 方向とに、所定の時間 ΔT を単位時間として変化させた場合のサージ電圧の変化特性を示している。また、縦軸において、符号 e_1 から e_9 は、サージ電圧のレベルを示している。

この図10の上段の特性曲線A1に示すように、デッドタイムを変化させることにより、サージ電圧 e が変化し、この例では、デッドタイムがゼロ（

0)、つまり、デッドタイムが基準デッドタイムに一致する場合に、サージ電圧が最も小さくなる。

[0073] 一方、ドライブ回路 11 の遅延時間や、スイッチング素子 Q5 及び Q6 の特性のバラツキにより、デッドタイムに対応するサージ電圧の特性が変化する。

例えば、図 10 の下段の特性曲線 B1 に示すように、スイッチング素子の特性のバラツキにより、デッドタイムが +1 (基準デッドタイム + ΔT) の時に、サージ電圧が最小になることがある。

このような場合、検査装置 2 は、「基準デッドタイム + ΔT 」のデッドタイムを、サージ電圧 e が最小となる最適デッドタイムと判定し、この最適デッドタイムと、この最適デッドタイムが適用される出力電流値の情報とを、電源装置 1 に通知する。電源装置 1 は、検査装置 2 から受信した最適デッドタイムと出力電流値の情報に基づいて、記憶部 30 内のデッドタイムテーブル 31 を最適デッドタイムのデータに書き換える。

[0074] なお、デッドタイムには、図 5 に示したように、デッドタイム DT35 と、デッドタイム DT25、デッドタイム DT46 と、デッドタイム DT16 との 4 種類のデッドタイムがある。このうち、デッドタイム DT25 とデッドタイム DT16 は、サージ電圧の発生とは無関係である。このため、検査装置 2 は、デッドタイム DT35 とデッドタイム DT46 のそれぞれについて、最適デッドタイムの判定を行う。

[0075] また、図 11 は、最適デッドタイムの設定処理の流れを示すフローチャートであり、上述した電源装置 1 と検査装置 2 とにおける最適デッドタイムの設定処理の流れを、フローチャートで示したものである。

なお、最適デッドタイムの設定処理は、デッドタイム DT35 とデッドタイム DT46 とについて行われるが、最適デッドタイムの設定の順番は、何れが先であってもよく、例えば、デッドタイム DT35 を設定した後に、デッドタイム DT46 の設定を行うことができる。

[0076] 以下、図 11 を参照して、最適デッドタイムの設定処理の手順について説

明する。

なお、図2に示すように、電源装置1の入力側に、入力電圧 V_{in} を測定する電圧計5と、入力電流 I_{in} を測定する電流計6とが予め配置され、また、電源装置1の出力側に、出力電圧 V_{out} を測定する電圧計7と、出力電流 I_o を測定する電流計8とが予め配置されているものとする。

[0077] まず、最初に、電源装置1及び検査装置2は、入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o とが一定になるように設定する（ステップS110）。例えば、負荷装置80として、電子負荷装置を用いて、出力電流 I_o が一定になるようにする。

電源装置1の制御部101は、出力電流 I_o に応じたデッドタイムを、デッドタイムテーブル31から読み出し、ドライブ回路11を介して、ゲート信号G5及びG6を生成する。なお、この最適デッドタイムの設定処理の開始の時点において、デッドタイムは、基準デッドタイムとなる。

[0078] 続いて、検査装置2は、基準デッドタイムにおいて、電源装置1内のサージ電圧検出回路63により検出されたサージ電圧の検出値のデータを、処理ユニット10の送信部104から取得する。検査装置2は、この処理ユニット10から取得したサージ電圧の検出値のデータに基づいて、同期整流回路60のスイッチング素子において発生するサージ電圧の大きさを測定する（ステップS120）。検査装置2は、このサージ電圧の測定データを記憶部205に記憶する。

[0079] 続いて、検査装置2は、デッドタイムを現在のデッドタイムを増加方向に+1（ ΔT 増加）するように電源装置1に指示する（ステップS130）。このステップS130の処理が最初に行われる場合、デッドタイムは、「基準デッドタイム+1× ΔT 」となる。

続いて、電源装置1は、検査装置2からの指示に基づいて、現在のデッドタイムを+1（ ΔT 増加）した新たなデッドタイムをデッドタイムテーブル31に記憶して、デッドタイムを変更する。電源装置1は、この変更されたデッドタイムに基づいて、ゲート信号G5及びG6を生成し、スイッチング

素子Q5及びQ6を駆動する（ステップS140）。

[0080] 続いて、検査装置2は、サージ電圧検出回路63により検出されたサージ電圧の検出値のデータを処理ユニット10から取得し、この検出値のデータに基づいて、同期整流回路60のスイッチング素子において発生するサージ電圧の大きさを測定する（ステップS150）。検査装置2は、このサージ電圧の測定データを記憶部205に記憶する。

続いて、検査装置2は、デッドタイムを+3（基準デッドタイム+ $3 \times \Delta T$ ）まで変更したか否かを判定する（ステップS160）。そして、ステップS160の判定処理において、デッドタイムを+3まで変更していないと判定された場合（ステップS160:NO）、検査装置2は、ステップS130の処理に戻り、デッドタイムの変更と、サージ電圧の測定処理とを継続する。

[0081] 一方、ステップS160の判定処理において、デッドタイムを+3まで変更したと判定された場合（ステップS160:YES）、検査装置2は、ステップS170の処理に移行する。

そして、検査装置2は、デッドタイムを1にする（ステップS170）。また、検査装置2は、ステップS200において-3ではないと判定された場合、デッドタイムを-1だけ減算する。例えば、デッドタイムが-1の場合、この処理によってデッドタイムは、-2になる。

続いて、電源装置1は、-1にしたデッドタイムまたは1減算したデッドタイムをデッドタイムテーブル31に記憶し、デッドタイムを変更する。電源装置1は、この変更したデッドタイムに基づいて、ゲート信号G5及びG6を生成し、スイッチング素子Q5及びQ6を駆動する（ステップS180）。

[0082] 続いて、検査装置2は、サージ電圧検出回路63により検出されたサージ電圧の検出値のデータを処理ユニット10から取得し、この検出値のデータに基づいて、同期整流回路60のスイッチング素子において発生するサージ電圧の大きさを測定する。検査装置2は、このサージ電圧の測定データを記

憶部 205 に記憶する（ステップ S 190）。

続いて、検査装置 2 は、デッドタイムを -3 （基準デッドタイム $-3 \times \Delta T$ ）まで変更したか否かを判定する（ステップ S 200）。そして、ステップ S 200 の判定処理において、デッドタイムを -3 まで変更していないと判定された場合（ステップ S 200：NO）、検査装置 2 は、ステップ S 170 の処理に戻り、デッドタイムの変更と、サージ電圧の測定処理とを継続する。

[0083] 一方、ステップ S 200 の判定処理において、デッドタイムを -3 まで変更したと判定された場合（ステップ S 200：YES）、検査装置 2 は、ステップ S 210 の処理に移行する。

そして、検査装置 2 は、デッドタイムを基準デッドタイムから ± 3 方向に変化させて測定したサージ電圧の測定データに基づいて、サージ電圧が最も小さくなるデッドタイムを判定する。つまり、検査装置 2 は、サージ電圧が最も小さくなるデッドタイムを最適デッドタイムと判定する（ステップ S 210）。

続いて、検査装置 2 は、最適デッドタイムの情報を電源装置 1 に通知する（ステップ S 220）。

続いて、電源装置 1 は、検査装置 2 から通知された最適デッドタイムを、記憶部 30 内のデッドタイムテーブル 31 に書き込む（ステップ S 230）。

そして、このステップ S 230 の処理を実行した後に、電源装置 1 と検査装置 2 とは、この PCS 40 の最適デッドタイムの設定処理を終える。

[0084] そして、検査装置 2 は、上記ステップ S 110 から S 230 までの処理を、異なる幾つかの出力電流 I_o に対して繰り返し実行し、それぞれの電流値に応じた最適デッドタイムを判定して電源装置 1 に通知する。

電源装置 1 は、検査装置 2 から取得した最適デッドタイムをデッドタイムテーブル 31 に書き込むことにより、デッドタイムテーブル 31 に最適デッドタイムを設定する。

[0085] なお、検査装置 2 は、異なる幾つかの出力電流 I_o に対してデッドタイムの補正を行う場合に、測定対象となる 1 つ目の出力電流 I_o に対応するデッドタイムを決定するとき、デッドタイムを正負の方向の何れの方向に変化させたときにサージ電圧が最も小さくなったかを記憶してもよい。例えば、デッドタイムを正方向に変化させたときにサージ電圧が最も小さくなると判定された場合、検査装置 2 は、2 つ目の出力電流に対するデッドタイムを決定する際に、正方向からデッドタイムを変化させ、サージ電圧が下がり始め、ボトム点を迎えたことが検出された時点でデッドタイムの調整を終了してもよい。

[0086] [第 2 実施形態]

図 3 に示した電源装置 1 では、トランス 50 の一次巻線 51 に流れる電流を、電流検出用トランス 54 と電流検出回路 70 とを用いて検出することにより、出力電流 I_o を間接的に測定している。勿論、出力電流 I_o は、同期整流回路 60 内に電流検出回路を設けて検出してもよい。

[0087] 図 12 は、本発明の第 2 実施形態に係る電源装置 1A の構成例を示す構成図である。

この図 11 に示す電源装置 1A は、図 3 に示す電源装置 1 と比較すると、図 3 に示す一次巻線 51 側の電流検出用トランス 54 と、電流検出回路 70 とを除外し、代わりに、同期整流回路 60 内に、電流検出用トランス 64 と、出力電流検出回路 65 とを新たに追加した点が構成上で異なる。また、図 3 に示す第 1 電流検出回路 22 と、第 2 電流検出回路 62 とを省略した点が構成上で異なる。

他の構成は、図 3 に示す電源装置 1 と同様である。このため、同一の構成部分には同一の符号を付し、重複する説明は省略する。

[0088] この図 11 に示す電源装置 1A では、チョークコイル L_{11} と出力端子 Out_1 との間に電流検出用トランス 64 を挿入し、この電流検出用トランス 64 により、電源装置 1A から負荷装置 80 に流れる出力電流 I_o を検出する。

電流検出用トランス 64 の二次巻線側には、二次巻側に流れる電流の還流ループを形成するとともに、出力電流 I_o の電流値を検出するための出力電流検出回路 65 が接続されている。この出力電流検出回路 65 には、例えば、図 4 に示した第 3 電流検出回路 74 と同様な回路が内蔵されており、出力電流検出回路 65 により検出された電流信号 I_s が、処理ユニット 10 に入力される。

そして、上記電源装置 1 A におけるサージ電圧を最小にするための最適デッドタイムの設定動作は、出力電流 I_o を同期整流回路 60 内の電流検出用トランス 64 で検出する点を除いて、第 1 実施形態の電源装置 1 と同様に行われる。このため、重複する説明は、省略する。

このように、第 2 実施形態の電源装置 1 A では、出力端子 Out 1 から負荷装置 80 に流れる出力電流 I_o を直接検出することにより、出力電流 I_o の値に応じた最適デッドタイムを設定することができる。

[0089] [第 3 実施形態]

上述した第 1 実施形態及び第 2 実施形態では、トランス 50 の一次巻線 51 をフルブリッジ回路 20 で駆動する例について説明したが、本発明は、トランス 50 の一次巻線 51 を、ハーフブリッジ回路で駆動する場合においても、適用できるものである。

[0090] 図 13 は、本発明の第 3 実施形態に係る電源装置 1 B の構成例を示す構成図である。

この図 13 に示すハーフブリッジ回路 20 A を備える電源装置 1 B の回路構成は、一般的によく知られたものである。このハーフブリッジ回路 20 A は、スイッチング素子 Q1 及び Q2 を交互にオン、オフし、コンデンサ C2 及び C3 に蓄積された電荷により、トランス 50 の一次巻線 51 を駆動する。そして、二次巻線 52 及び 53 に誘起される電圧を、同期整流回路 60 により全波整流し、チョークコイル L11 を介して負荷装置 80 に給電する。

また、同期整流回路 60 と電流検出回路 70 の構成は、図 3 に示す電源装置 1 と同様であり、その動作についても同様である。このため、重複する説

明は、省略する。

このように、トランス 50 に一次側にハーフブリッジ回路 20A を用いた電源装置 1B においても、同期整流回路 60 において、サージ電圧を最小にする最適デッドタイムを設定することができる。

[0091] つまり、本発明の電源装置は、二次巻線 52、53 側に同期整流回路 60 を備える電源装置であればよく、トランス 50 の一次巻線 51 を駆動する回路は、どのような構成の回路であってもよい。例えば、電源装置は、一次巻線 51 をフィードフォワード方式や、プッシュプル方式で駆動する電源装置であってもよい。

[0092] 以上、説明したように、本実施形態の電源装置 1、1A、1B では、スイッチング素子 Q5 及び Q6 の最適なデッドタイムを決定するための回路を製品の内部に追加することなく、サージ電圧が最小になる最適デッドタイムを製品毎に設定できる。つまり、電源装置は、ドライブ回路の遅延時間やスイッチング素子の特性に応じて、製品毎にデッドタイムを最適値に補正することが可能になる。このため、電源装置は、低耐圧のスイッチング素子の使用が可能になり、高効率化にも寄与する。

[0093] なお、ここで、本発明と上記実施形態との対応関係について補足して説明する。上記実施形態において、本発明における電源装置は、電源装置 1、電源装置 1A、又は、電源装置 1B が対応する。また、本発明における第 1 デッドタイムは、記憶部 30 のデッドタイムテーブル 31 に記憶されるデータであって、最適デッドタイムに書き換えられる前のデッドタイムのデータが対応する。また、第 2 デッドタイムは、検査装置 2 により判定された最適デッドタイムが対応し、記憶部 30 のデッドタイムテーブル 31 は、最終的に、この最適デッドタイムに書き換えられる。

また、本発明におけるスイッチング素子は、同期整流スイッチ回路 61 内のスイッチング素子 Q5 及び Q6 が対応する。また、本発明における検出部は、サージ電圧検出回路 63 が対応する。

[0094] (1) そして、上記実施形態において、電源装置 1 は、同期整流を行うス

スイッチング素子Q5及びQ6の第1デッドタイムを記憶する記憶部30と、スイッチング素子Q5及びQ6に発生するサージ電圧値を検出する検出部（サージ電圧検出回路63）と、検出部（サージ電圧検出回路63）が検出したサージ電圧値を示す情報を出力する送信部104と、上記サージ電圧値を示す情報に基づいて設定された第2デッドタイム（最適デッドタイム）の情報を取得する取得部201と、記憶部30に記憶された第1デッドタイムを取得部102が取得した第2デッドタイムに書き換える書換部103と、記憶部30に記憶された第2デッドタイムに応じてスイッチング素子Q5及びQ6を制御する制御部101と、を備える。

このような構成の電源装置1では、同期整流を行うスイッチング素子Q5及びQ6に発生するサージ電圧値を検出し、このサージ電圧値を示す情報を、外部に出力する。また、電源装置1は、上記サージ電圧値を示す情報に基づいて設定された第2デッドタイム（最適デッドタイム）の情報を外部から入力し、記憶部30に記憶された第1デッドタイムを第2デッドタイムに書き換える。制御部101は、第2デッドタイムに応じてスイッチング素子Q5及びQ6を制御する。

これにより、電源装置1は、サージ電圧を測定するための回路やデッドタイムを決定する新たな回路を製品の内部に追加することなく、サージ電圧が最小になる第2デッドタイム（最適デッドタイム）を製品毎に設定できる。

[0095] （2）また、上記実施形態において、取得部201は、第2デッドタイム（最適デッドタイム）を取得する際に、送信部104からサージ電圧値を示す情報を入力するデッドタイム設定部（検査装置2）であってサージ電圧値を示す情報に基づいて第2デッドタイムを判定する検査装置2から、上記第2デッドタイムの情報を入力する。

このような構成の電源装置1であれば、デッドタイム設定部（検査装置2）が、送信部104からサージ電圧値を示す情報を入力し、このサージ電圧値の情報に基づいて第2デッドタイムを判定する。電源装置1の取得部102は、デッドタイム設定部（検査装置2）から第2デッドタイムの情報を取

得して、この第2デッドタイムを記憶部30に記憶する。

これにより、デッドタイム設定部（検査装置2）は、サージ電圧が最小になる第2デッドタイム（最適デッドタイム）を、サージ電圧の検出値に基づいて決定し、電源装置1は、この第2デッドタイムの情報をデッドタイム設定部（検査装置2）から取得して記憶部30に記憶することができる。

[0096] （3）また、上記実施形態において、第2デッドタイム（最適デッドタイム）は、電源装置1への入力電圧 V_{in} 、電源装置1からの出力電圧 V_{out} 、及び電源装置1からの出力電流 I_o を一定に保った状態で、記憶部30に記憶された第1デッドタイムが変化させられたときに、サージ電圧値が最も小さくなる値である。

このような構成の電源装置あれば、電源装置1への入力電圧 V_{in} 、電源装置1からの出力電圧 V_{out} 、及び電源装置1からの出力電流 I_o を一定に保った状態で、デッドタイムを変化させてサージ電圧を検出する。そして、電源装置1は、サージ電圧が最も小さくなるときのデッドタイムの情報を、取得部102により取得し、この第2デッドタイム（最適デッドタイム）を記憶部30に記憶する。

これにより、第2デッドタイム（最適デッドタイム）が、入出力電圧の変動や負荷変動の影響がない状態において判定され、電源装置1は、正確な第2デッドタイム（最適デッドタイム）を取得することができる。

[0097] （4）また、本発明の電源装置1において、記憶部30には、出力電流と第1デッドタイムとの関係が、出力電流毎に記憶され、書換部103は、記憶部30に記憶された出力電流毎の第1デッドタイムを取得部102が取得した出力電流毎の第2デッドタイムにそれぞれ書き換えることを特徴とする。

このような構成の電源装置1であれば、記憶部30には、出力電流と第1デッドタイムとの関係が、出力電流毎に記憶される。そして、電源装置1は、取得部102により、出力電流毎の第2デッドタイムの情報を取得し、記憶部30に記憶された出力電流毎の第1デッドタイムを、取得部102が取

得した出力電流毎の第2デッドタイムにそれぞれ書き換える。

これにより、電源装置1では、記憶部30に記憶された第1デッドタイムを2デッドタイムに書き換えることにより、出力電流毎に、第2デッドタイム（最適デッドタイム）を設定することができる。

[0098] （5）また、本発明の検査装置2は、同期整流を行うスイッチング素子（Q5及びQ6）の第1デッドタイムが外部入力されるデッドタイムの情報により変更可能な電源装置1に対して、第1デッドタイムを変更するように指示するとともに、スイッチング素子（Q5及びQ6）に発生するサージ電圧の検出値の情報を電源装置1から入力してサージ電圧を測定する測定部202と、測定部202により測定されたサージ電圧の測定結果に基づいて、サージ電圧が最も小さくなる第2デッドタイムを判定する判定部203と、第2デッドタイムの情報を電源装置1に通知して、電源装置1において第1デッドタイムを第2デッドタイムに設定させる書込部204と、を備えることを特徴とする。

このような構成の検査装置2は、電源装置1に対して、同期整流を行うスイッチング素子（Q5及びQ6）の第1デッドタイムを変更するように指示して、このスイッチング素子に発生するサージ電圧を測定する。そして、検査装置2は、サージ電圧の測定結果に基づいて、サージ電圧が最も小さくなる第2デッドタイム（最適デッドタイム）を判定し、この2デッドタイムの情報を電源装置1に通知する。電源装置1は、記憶部30に記憶された第1デッドタイムのデータを第2デッドタイム（最適デッドタイム）に書き換える。

これにより、検査装置2は、電源装置1の同期整流を行うスイッチング素子（Q5及びQ6）のデッドタイムを変更させながら、スイッチング素子（Q5及びQ6）に発生するサージ電圧を測定することにより、第2デッドタイム（最適デッドタイム）を判定することができる。そして、検査装置2は、この第2デッドタイムを電源装置1に設定させることができる。

このため、電源装置1において、サージ電圧を測定するための回路やデッ

ドタイムを決定する新たな回路を製品の内部に追加することなく、同期整流を行うスイッチング素子に発生するサージ電圧が最小になる最適デッドタイムを製品毎に設定することができる。

[0099] (6) また、本発明の検査装置 2 において、測定部 202 は、電源装置 1 への入力電圧、電源装置からの出力電圧、及び電源装置 1 からの出力電流を一定に保った状態で、電源装置 1 に対して、第 1 デッドタイムを変更するように指示してサージ電圧を測定し、判定部 203 は、測定部 202 により測定されたサージ電圧の測定値に基づいて、サージ電圧が最も小さくなる第 2 デッドタイムを判定することを特徴とする。

このような構成の検査装置 2 であれば、検査装置 2 は、電源装置 1 への入力電圧、電源装置 1 からの出力電圧、及び電源装置からの出力電流を一定に保った状態で、電源装置 1 に対して第 1 デッドタイムを変更するように指示してサージ電圧を測定し、サージ電圧が最も小さくなるときのデッドタイムを第 2 デッドタイム（最適デッドタイム）と判定する。

これにより、検査装置 2 は、電源装置 1 の入出力電圧の変動や負荷変動の影響がない状態において、最適デッドタイム（第 2 デッドタイム）を判定することができる。このため、電源装置 1 は、正確な第 2 デッドタイムを取得することができる。

[0100] (7) また、本発明の電源装置 1 の最適化方法は、電源装置 1 の同期整流を行うスイッチング素子（Q5 及び Q6）のデッドタイムをデッドタイム設定部（検査装置 2）により最適化する電源装置 1 の最適化方法であって、電源装置 1 が、第 1 デッドタイムを前記デッドタイム設定部（検査装置 2）からの指示により変更する手順と、電源装置 1 が、前記スイッチング素子（Q5 及び Q6）に発生するサージ電圧値を検出し、このサージ電圧値を示す情報を、デッドタイム設定部（検査装置 2）に出力する手順と、を含み、デッドタイム設定部（検査装置 2）が、電源装置 1 に対して、第 1 デッドタイムを変更するように指示するとともに、スイッチング素子（Q5 及び Q6）に発生するサージ電圧値を示す情報を、電源装置 1 から取得する手順と、デッ

ドタイム設定部（検査装置 2）が、サージ電圧値の情報に基づいて、スイッチング素子（Q 5 及び Q 6）において発生するサージ電圧の大きさを測定する手順と、デッドタイム設定部（検査装置 2）が、サージ電圧の測定値に基づいて、サージ電圧が最も小さくなる第 2 デッドタイム判定する手順と、デッドタイム設定部（検査装置 2）が、第 2 デッドタイムの情報を電源装置 1 に通知して、電源装置 1 において、第 1 デッドタイムを第 2 デッドタイムに設定させる手順と、を含むことを特徴とする。

このような電源装置 1 の最適化方法であれば、デッドタイム設定部（検査装置 2）は、スイッチング素子の第 1 デッドタイムが変更可能な電源装置 1 に対して、第 1 デッドタイムを変更するように指示して、電源装置 1 のスイッチング素子に発生するサージ電圧を測定する。そして、デッドタイム設定部（検査装置 2）は、このサージ電圧の測定結果に基づいて、サージ電圧が最も小さくなるデッドタイムを、第 2 デッドタイム（最適デッドタイム）と判定する。そして、デッドタイム設定部（検査装置 2）は、第 2 デッドタイムの情報を電源装置 1 に通知して、電源装置において第 1 デッドタイムを第 2 デッドタイムに設定させる。

これにより、電源装置 1 は、サージ電圧を測定するための回路やデッドタイムを決定する新たな回路を製品の内部に追加することなく、サージ電圧が最小になる最適デッドタイムを製品毎に設定できる。

[0101] （8）また、電源装置 1 の最適化方法において、第 2 デッドタイムは、電源装置 1 への入力電圧、電源装置 1 からの出力電圧、及び電源装置 1 からの出力電流を一定に保った状態で、第 1 デッドタイムが変化させられたとき、サージ電圧値が最も小さくなる値であることを特徴とする。

このような電源装置 1 の最適化方法であれば、デッドタイム設定部（検査装置 2）は、電源装置 1 への入力電圧、電源装置 1 からの出力電圧、及び電源装置 1 からの出力電流を一定に保った状態で、デッドタイムを変化させながら、スイッチング素子に発生するサージ電圧を測定する。そして、デッドタイム設定部（検査装置 2）は、サージ電圧が最も小さくなるときのデッド

タイムを第2デッドタイム（最適デッドタイム）と判定する。

これにより、第2デッドタイム（最適デッドタイム）が、入出力電圧の変動や負荷変動の影響がない状態において判定され、電源装置1は、正確な第2デッドタイム（最適デッドタイム）を取得することができる。

[0102] （9）また、電源装置1の最適化方法において、デッドタイム設定部（検査装置2）が、第1の出力電流に対する第2デッドタイムを決定したとき、第1デッドタイムを変化させた正負方向を示す情報に基づいて第2の出力電流に対する第2デッドタイムを決定する手順を含むことを特徴とする。

このような電源装置1の最適化方法であれば、デッドタイム設定部（検査装置2）は、異なる幾つかの出力電流に対してデッドタイムの補正を行う場合に、測定対象となる1つ目の出力電流に対応するデッドタイムを決定するとき、デッドタイムを正負の方向の何れの方向に変化させたときにサージ電圧が最も小さくなったかを記憶する。例えば、デッドタイムを正方向に変化させたときにサージ電圧が最も小さくなると判定された場合、デッドタイム設定部（検査装置2）は、2つ目の出力電流に対するデッドタイムを決定する際に、正方向からデッドタイムを変化させ、サージ電圧が上がり始め、ボトム点を迎えたことが検出された時点でデッドタイムの調整を終了する。

これにより、デッドタイム設定部（検査装置2）は、幾つかの出力電流に対してデッドタイムの補正を行う場合に、迅速に第2デッドタイム（最適デッドタイム）を判定することができる。

[0103] 以上、本発明の実施の形態について説明したが、本発明の電源装置1、1A、1Bは、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

[0104] なお、上述した電源装置1、1A、1Bにおける処理ユニット10、及び検査装置2は専用のハードウェアにより実現されるものであってもよく、また、処理ユニットの各機能部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによりその機能を

実現させるものであってもよい。

すなわち、上述の処理ユニット 10、及び検査装置 2 に、CPU、ROM、及びRAM等を有するマイクロコントローラやマイクロコンピュータ等のコンピュータシステムを搭載し、CPUが、ソフトウェアプログラムを読み込み実行することにより、処理ユニット 10の一部又は全部の処理機能を実現してもよい。

符号の説明

[0105] 1, 1A, 1B・・・電源装置、2・・・検査装置、
10・・・処理ユニット、11・・・ドライブ回路、20・・・フルブリッジ回路、
20A・・・ハーフブリッジ回路、21・・・直流電源、
30・・・記憶部、31・・・デッドタイムテーブル
40・・・一次側回路、50・・・トランス、51・・・一次巻線、
52, 53・・・二次巻線、54・・・電流検出用トランス、
60・・・同期整流回路、61・・・同期整流スイッチ回路、
63・・・サージ電圧検出回路、70・・・電流検出回路、
74・・・第3電流検出回路、80・・・負荷装置、101・・・制御部、
102・・・取得部、103・・・書換部、104・・・送信部、
201・・・取得部、202・・・測定部、203・・・判定部、
204・・・書込部、205・・・記憶部、
Q1, Q2, Q3, Q4, Q5, Q6・・・スイッチング素子

請求の範囲

- [請求項1] 同期整流を行うスイッチング素子の第1デッドタイムを記憶する記憶部と、
 前記スイッチング素子に発生するサージ電圧値を検出する検出部と、
 、
 前記検出部が検出した前記サージ電圧値を示す情報を出力する送信部と、
 前記サージ電圧値を示す情報に基づいて設定された第2デッドタイムの情報を取得する取得部と、
 前記記憶部に記憶された前記第1デッドタイムを前記取得部が取得した前記第2デッドタイムに書き換える書換部と、
 前記記憶部に記憶された前記第2デッドタイムに応じて前記スイッチング素子を制御する制御部と、
 を備えることを特徴とする電源装置。
- [請求項2] 前記取得部は、前記第2デッドタイムを取得する際に、
 前記送信部から前記サージ電圧値を示す情報を入力するデッドタイム設定部であって前記サージ電圧値を示す情報に基づいて前記第2デッドタイムを判定する前記デッドタイム設定部から、前記第2デッドタイムの情報を入力することを特徴とする請求項1に記載の電源装置。
- [請求項3] 前記第2デッドタイムは、
 前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記記憶部に記憶された前記第1デッドタイムが変化させられたときに、前記サージ電圧値が最も小さくなる値である
 ことを特徴とする請求項1または請求項2に記載の電源装置。
- [請求項4] 前記記憶部には、前記出力電流と前記第1デッドタイムとの関係が、出力電流毎に記憶され、

前記書換部は、前記記憶部に記憶された出力電流毎の前記第1デッドタイムを前記取得部が取得した出力電流毎の前記第2デッドタイムにそれぞれ書き換える

ことを特徴とする請求項3に記載の電源装置。

[請求項5]

同期整流を行うスイッチング素子の第1デッドタイムが外部入力されるデッドタイムの情報により変更可能な電源装置に対して、前記第1デッドタイムを変更するように指示するとともに、前記スイッチング素子に発生するサージ電圧の検出値の情報を前記電源装置から入力して前記サージ電圧を測定する測定部と、

前記測定部により測定された前記サージ電圧の測定結果に基づいて、前記サージ電圧が最も小さくなる第2デッドタイムを判定する判定部と、

前記第2デッドタイムの情報を前記電源装置に通知して、前記電源装置において前記第1デッドタイムを前記第2デッドタイムに設定させる書込部と、

を備えることを特徴とする検査装置。

[請求項6]

前記測定部は、前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記電源装置に対して、前記第1デッドタイムを変更するように指示してサージ電圧を測定し、

前記判定部は、前記測定部により測定されたサージ電圧の測定値に基づいて、サージ電圧が最も小さくなる第2デッドタイムを判定することを特徴とする請求項5に記載の検査装置。

[請求項7]

電源装置内の同期整流を行うスイッチング素子のデッドタイムをデッドタイム設定部により最適化する電源装置の最適化方法であって、

前記電源装置が、第1デッドタイムを前記デッドタイム設定部からの指示により変更する手順と、

前記電源装置が、前記スイッチング素子に発生するサージ電圧値を

検出し、このサージ電圧値を示す情報を、前記デッドタイム設定部に出力する手順と、

を含み、

前記デッドタイム設定部が、前記電源装置に対して、前記第1デッドタイムを変更するように指示するとともに、前記スイッチング素子に発生するサージ電圧値を示す情報を、前記電源装置から取得する手順と、

前記デッドタイム設定部が、前記サージ電圧値の情報に基づいて、前記スイッチング素子において発生するサージ電圧の大きさを測定する手順と、

前記デッドタイム設定部が、前記サージ電圧の測定値に基づいて、前記サージ電圧が最も小さくなる第2デッドタイム判定する手順と、

前記デッドタイム設定部が、第2デッドタイムの情報を前記電源装置に通知して、前記電源装置において、前記第1デッドタイムを前記第2デッドタイムに設定させる手順と、

を含むことを特徴とする電源装置の最適化方法。

[請求項8]

前記第2デッドタイムは、

前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記第1デッドタイムが変化させられたとき、前記サージ電圧値が最も小さくなる値である

ことを特徴とする請求項7に記載の電源装置の最適化方法。

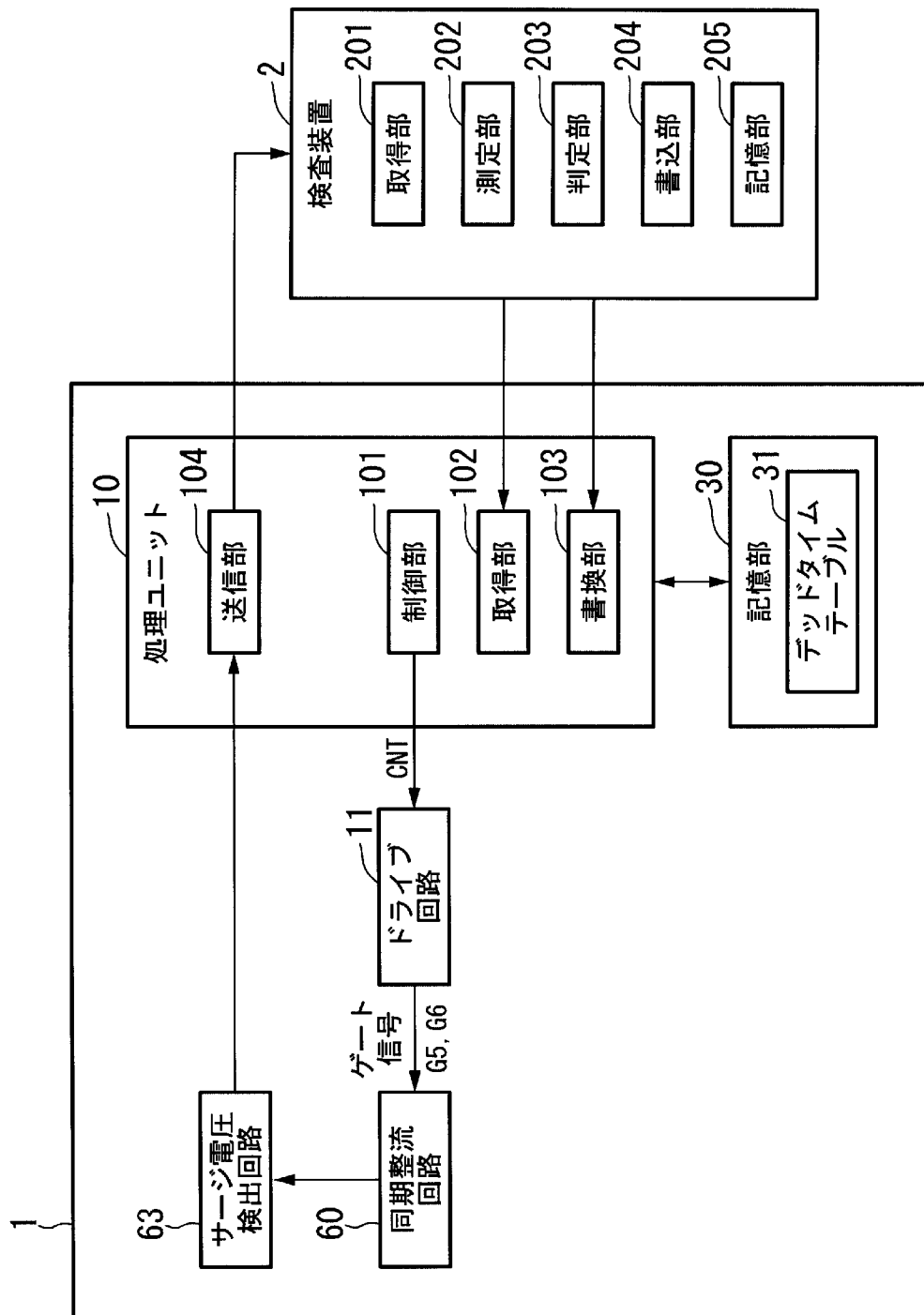
[請求項9]

前記デッドタイム設定部が、

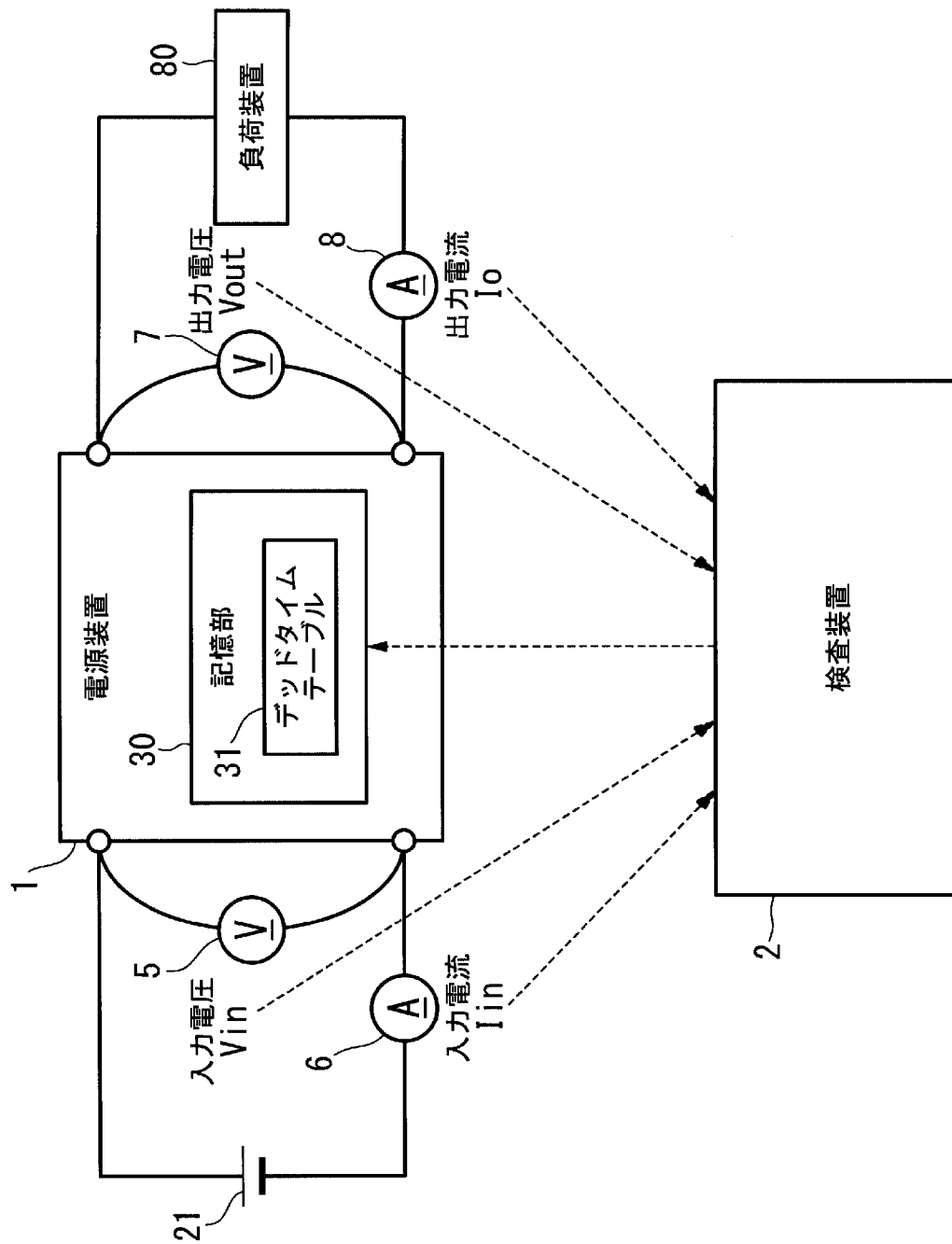
第1の出力電流に対する前記第2デッドタイムを決定したとき、前記第1デッドタイムを変化させた正負方向を示す情報に基づいて第2の出力電流に対する前記第2デッドタイムを決定する手順を

含むことを特徴とする請求項7又は請求項8に記載の電源装置の最適化方法。

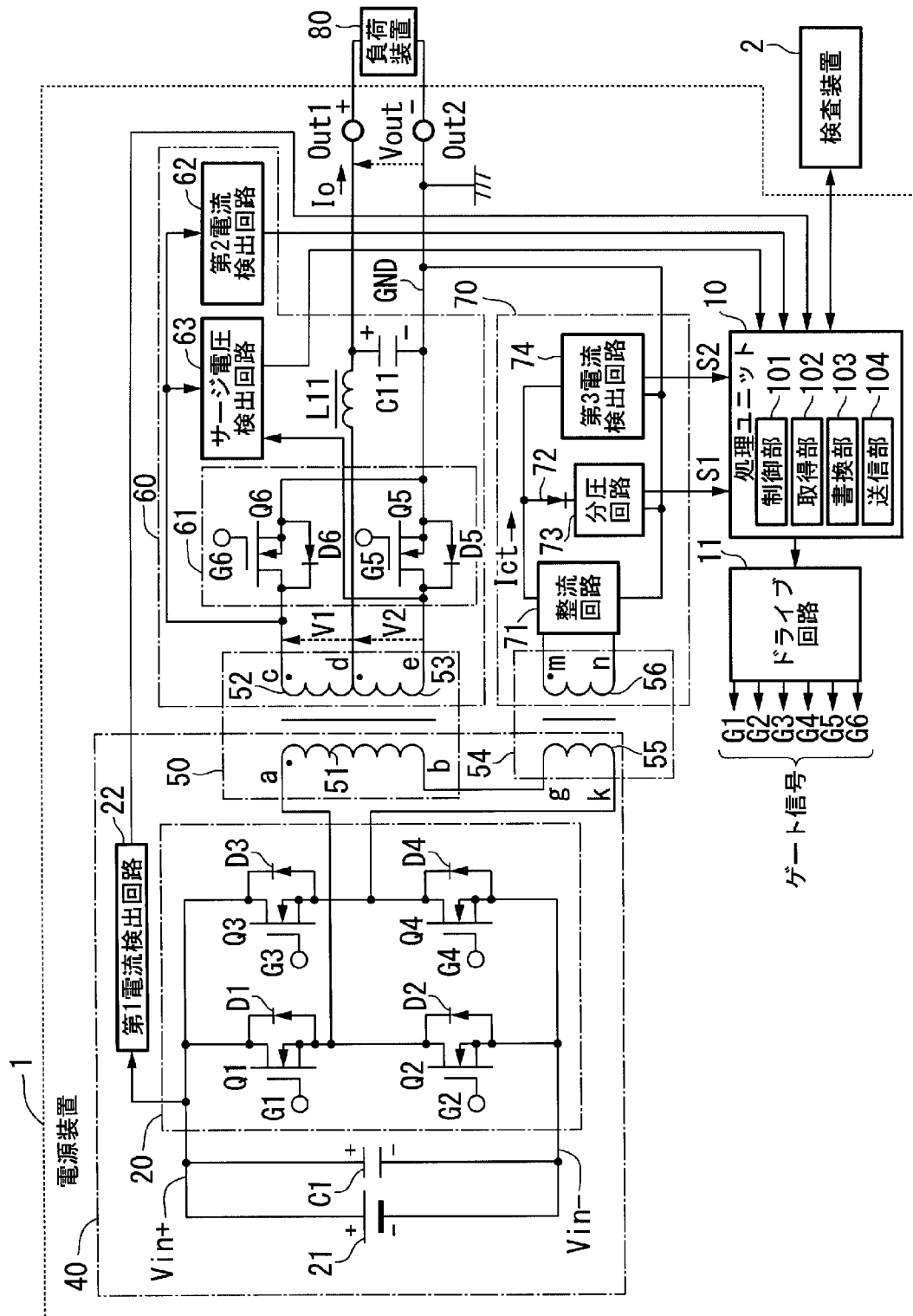
[図1]



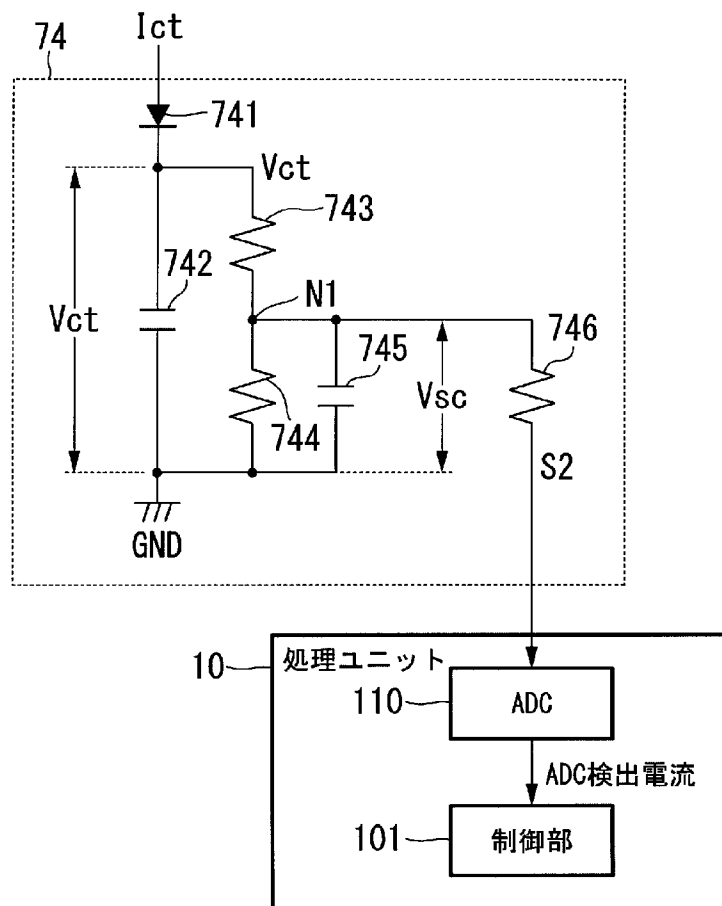
[図2]



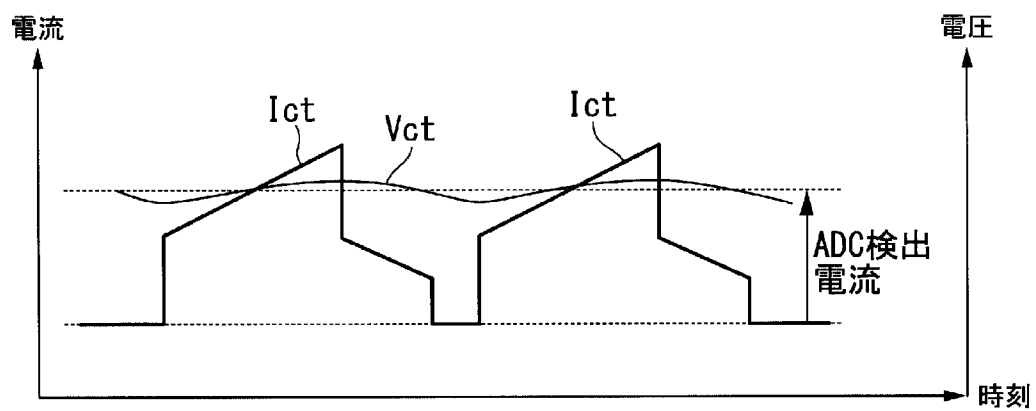
[図3]



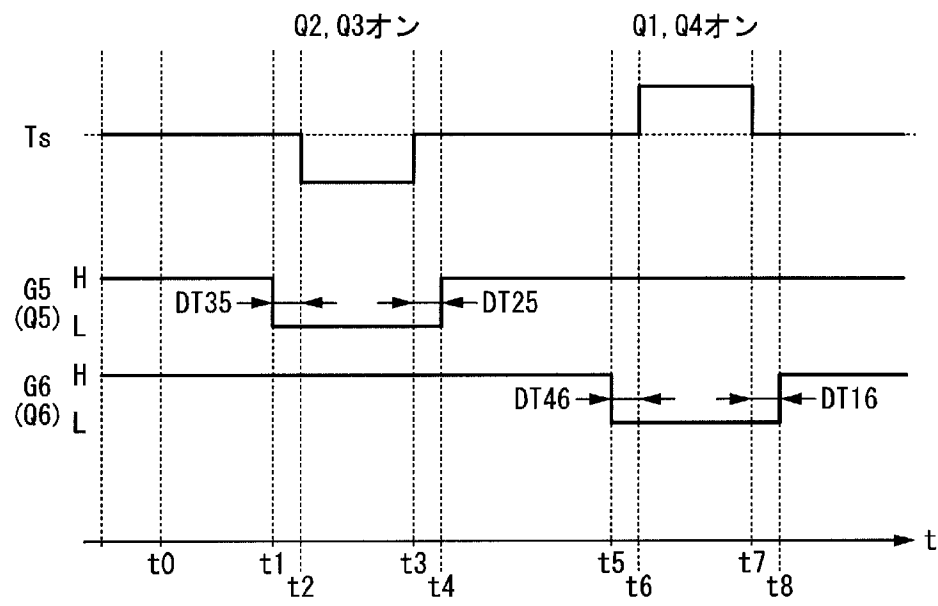
[図4A]



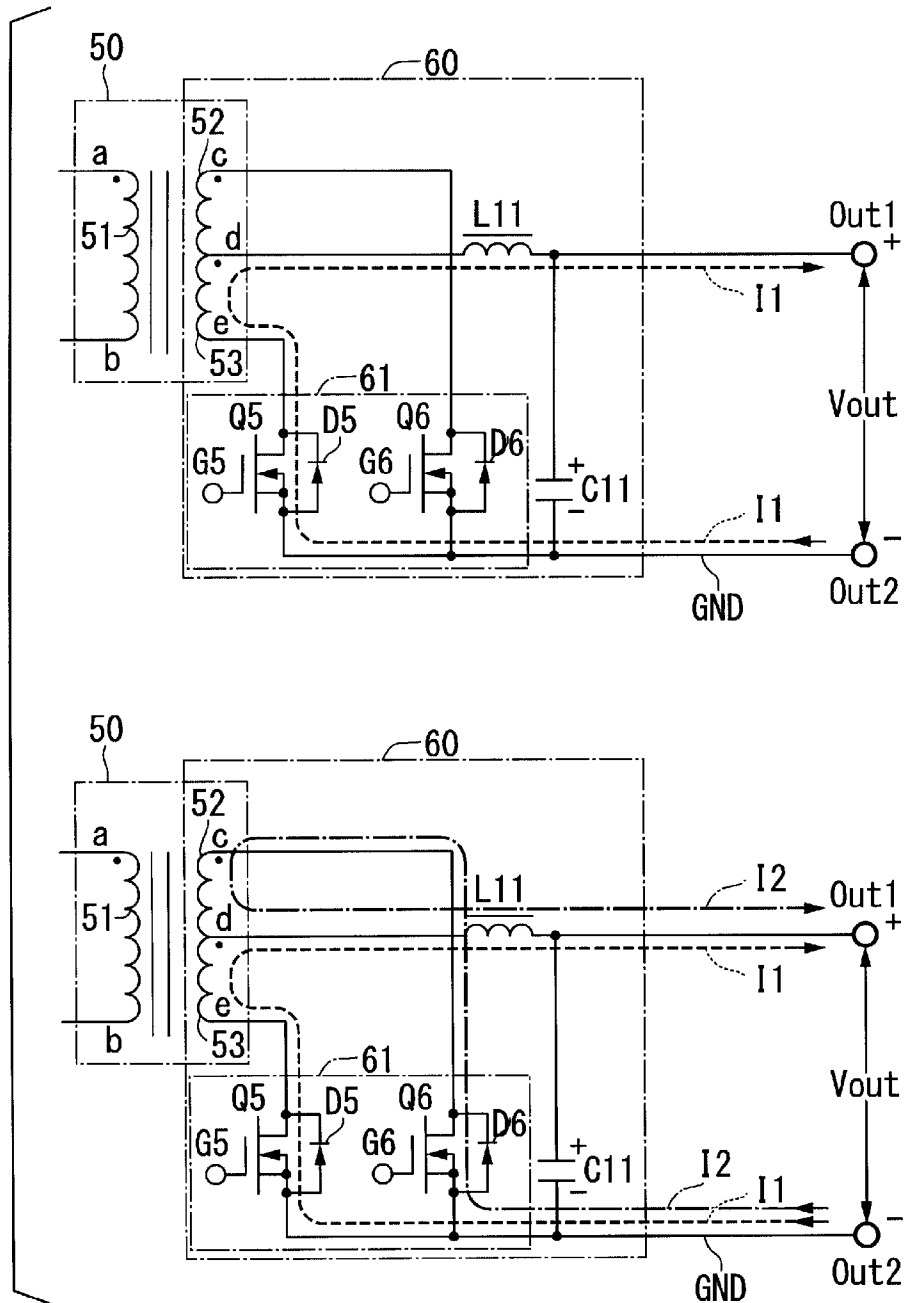
[図4B]



[図5]



[図6]

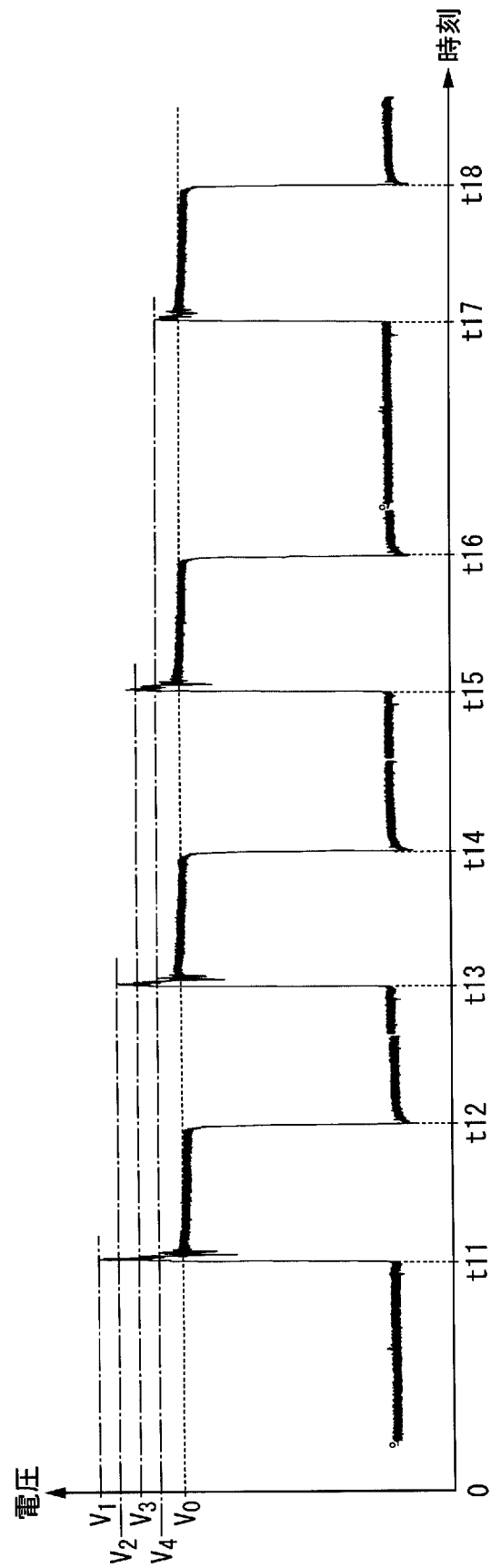


[図7]

31

出力電流 (A)	デッドタイム			
	DT16	DT5	DT46	DT35
Io1	dt1	dt1	dt11	dt11
Io2	dt2	dt2	dt12	dt12
Io3	dt3	dt3	dt13	dt13
Io4	dt4	dt4	dt14	dt14
Io5	dt5	dt5	dt15	dt15
Io6	dt6	dt6	dt16	dt16
Io7	dt7	dt7	dt17	dt17

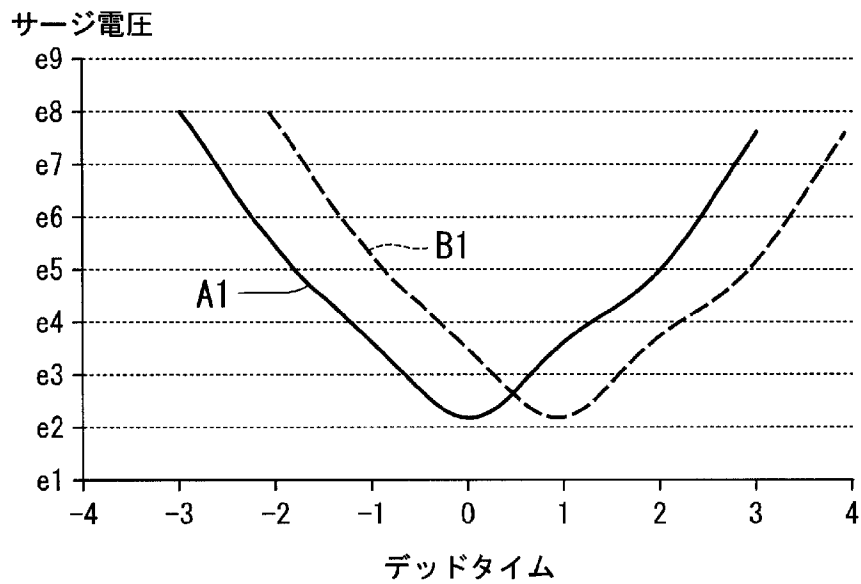
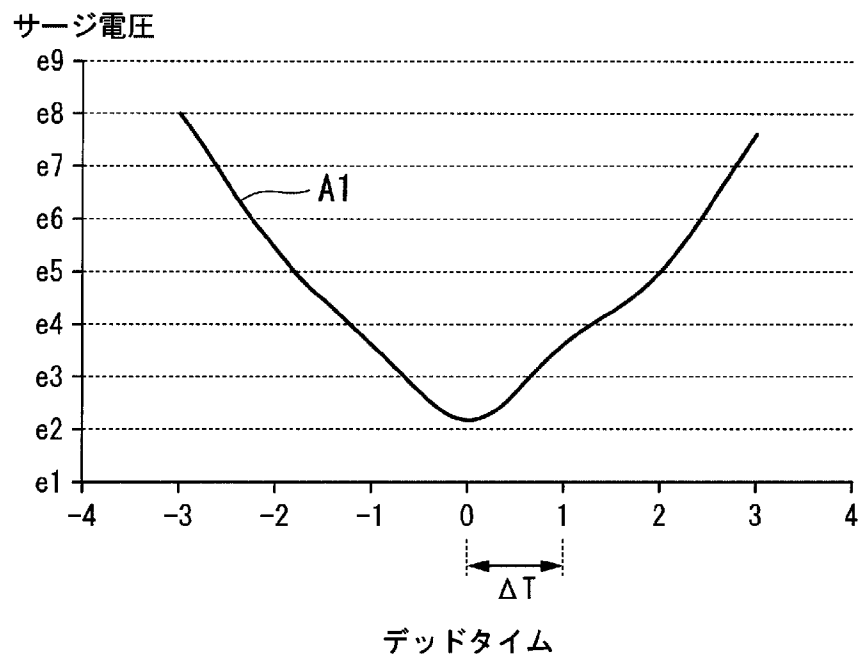
[図8]



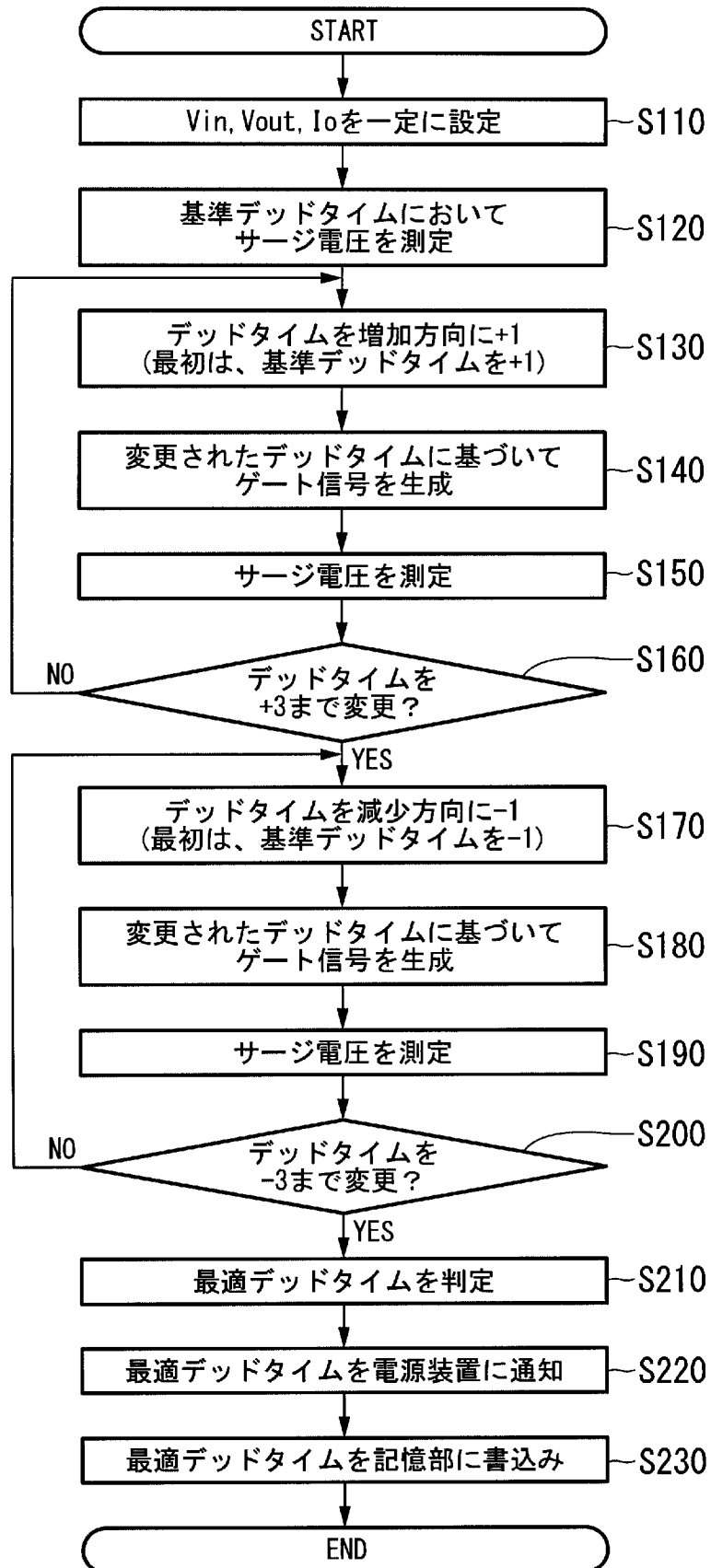
[図9]

デッドタイム (DT)	サージ電圧
-3	e8.0
-2	e5.4
-1	e3.6
0	e2.2
1	e3.6
2	e4.0
3	e7.6

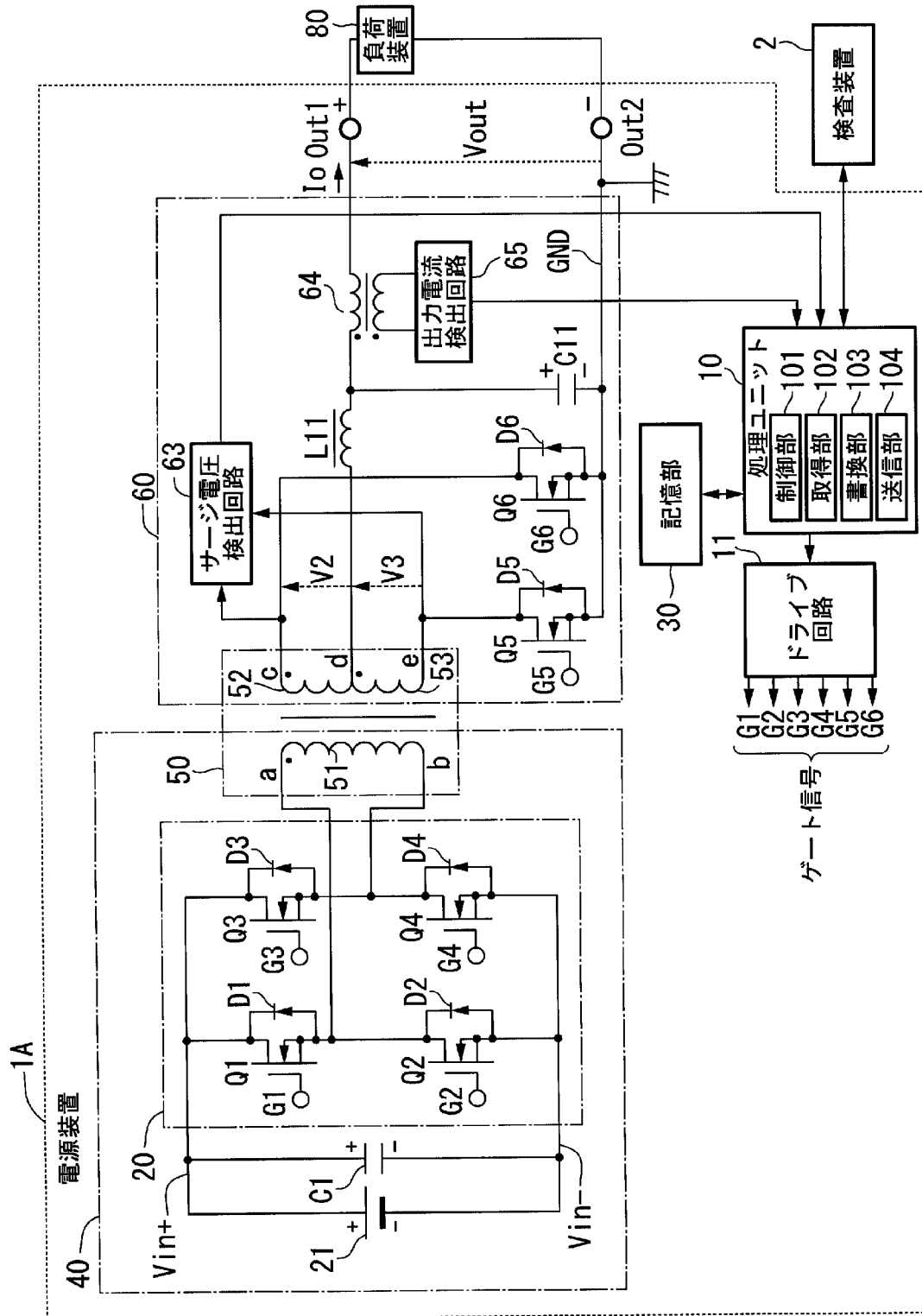
[図10]



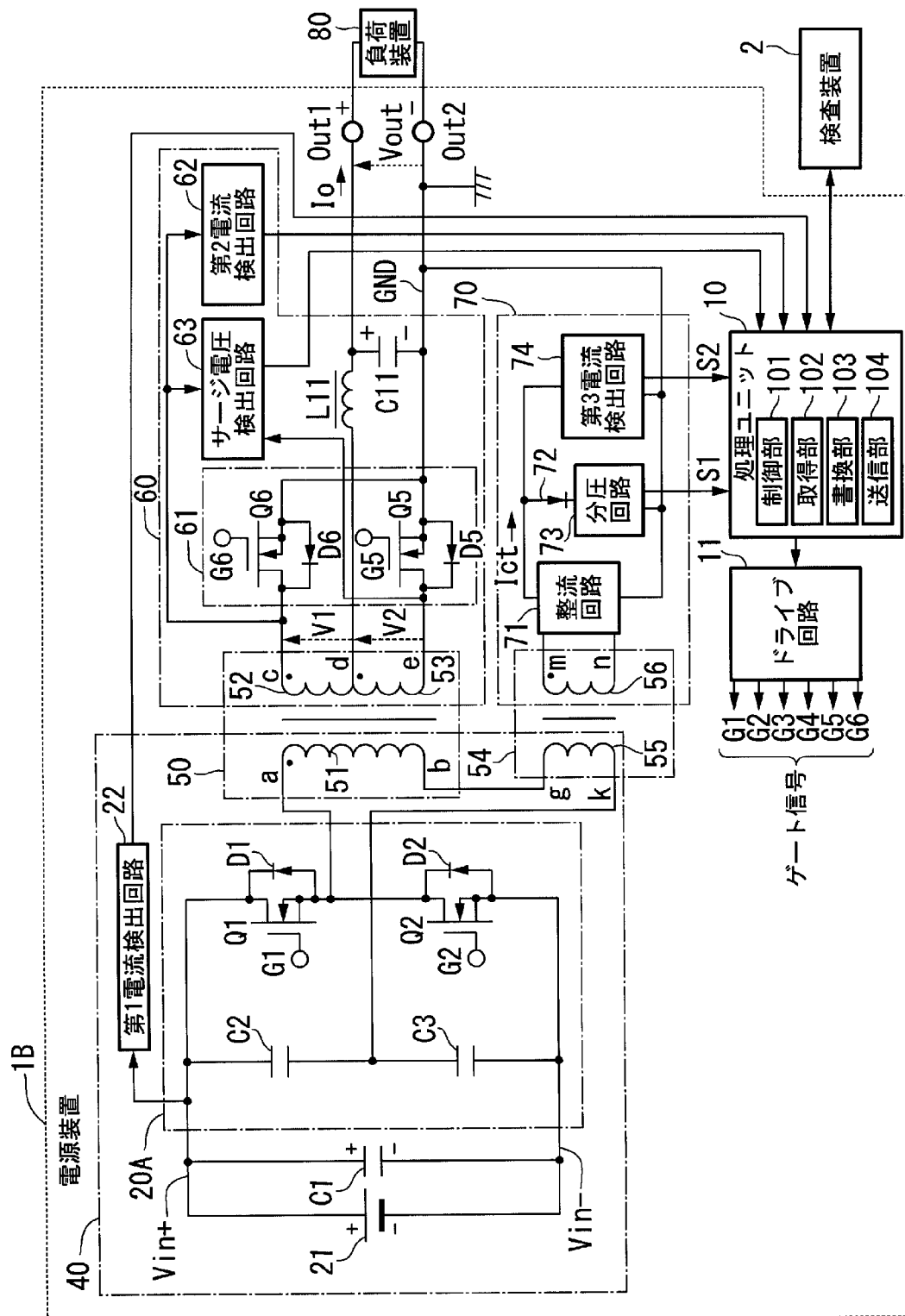
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082262

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-33330 A (Oki Electric Industry Co., Ltd.), 02 February 1996 (02.02.1996), paragraphs [0008] to [0009], [0020] to [0025]; fig. 1 to 2 (Family: none)	1-9
A	JP 2008-35621 A (Fujitsu Access Ltd.), 14 February 2008 (14.02.2008), paragraphs [0009] to [0017]; fig. 1 to 3 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 February, 2014 (19.02.14)

Date of mailing of the international search report
04 March, 2014 (04.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082262

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-125588 A (Mitsubishi Electric Corp.), 25 April 2003 (25.04.2003), paragraphs [0078] to [0083]; fig. 17 & US 2003/0072117 A1 & DE 10218070 A1 & FR 2830995 A1 & FR 2858888 A1 & FR 2859581 A1 & FR 2859582 A1 & FR 2859583 A1 & CN 1412925 A	1-9
A	JP 2013-132112 A (Hitachi Computer Peripherals Co., Ltd.), 04 July 2013 (04.07.2013), paragraph [0046]; fig. 1 to 2 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-33330 A（沖電気工業株式会社）1996.02.02, 段落【0008】 - 【0009】, 【0020】 - 【0025】, 図 1-2（ファミリーなし）	1-9
A	JP 2008-35621 A（富士通アクセス株式会社）2008.02.14, 段落【0009】 - 【0017】, 図 1-3（ファミリーなし）	1-9
A	JP 2003-125588 A（三菱電機株式会社）2003.04.25, 段落【0078】 - 【0083】, 図 17 & US 2003/0072117 A1 & DE 10218070 A1 & FR 2830995 A1 & FR 2858888 A1 & FR 2859581 A1 & FR 2859582 A1 & FR 2859583	1-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 2 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

神山 貴行

3 V

3 4 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	A1 & CN 1412925 A JP 2013-132112 A (日立コンピュータ機器株式会社) 2013.07.04, 段落【0046】, 図 1-2 (ファミリーなし)	1-9