

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-180389

(P2007-180389A)

(43) 公開日 平成19年7月12日(2007.7.12)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 21/8247 (2006.01)	H01L 27/10 434	5F083
H01L 27/115 (2006.01)	H01L 29/78 371	5F101
H01L 29/792 (2006.01)		
H01L 29/788 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 35 頁)

(21) 出願番号	特願2005-379017 (P2005-379017)	(71) 出願人	000003078
(22) 出願日	平成17年12月28日 (2005.12.28)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	荒井 史隆
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝横浜事業所内
		(72) 発明者	白田 理一郎
			東京都港区芝浦一丁目1番1号 株式会社
			東芝本社事務所内

最終頁に続く

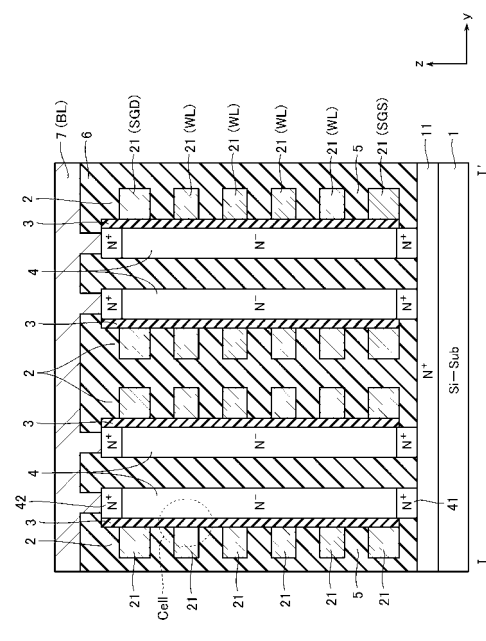
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】縦型メモリセルを縦積みしたNANDセルユニットをもつ半導体記憶装置とその製造方法を提供する。

【解決手段】半導体記憶装置は、半導体基板と、その基板上に一方向に細長いパターンをもって配列されたそれぞれ複数層のゲート配線が絶縁膜で互いに分離されて積層されかつそれらのゲート配線と絶縁膜とが交互に露出する側面をもつ複数のゲート配線積層体と、各ゲート配線積層体の側面に形成された絶縁性の電荷蓄積層を内部に含むゲート絶縁膜と、各ゲート配線積層体の側面にゲート絶縁膜を介して対向すると共に、ゲート配線の長手方向に所定ピッチで配列された複数のピラー状半導体と、各ピラー状半導体の上面にコンタクトして、ゲート配線と直交するように形成されたデータ線とを有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板のセルアレイ領域全面に形成されたセルアレイの共通ソース線となる不純物拡散層と、
前記半導体基板のセルアレイ領域上に一方向に細長いパターンをもって配列された、それぞれ金属又は金属シリサイドにより形成された複数層のゲート配線が絶縁膜で互いに分離されて積層されかつそれらのゲート配線と絶縁膜とが交互に露出する側面をもつ複数のゲート配線積層体と、
前記各ゲート配線積層体の側面に形成された絶縁性の電荷蓄積層を内部に含むゲート絶縁膜と、
前記ゲート配線の長手方向に所定ピッチで配列されて、少なくとも一側面が前記ゲート配線積層体に前記ゲート絶縁膜を介して対向し他の側面が素子分離絶縁膜に接する、前記不純物拡散層と同じ導電型でそれより低不純物濃度の複数のピラー状半導体と、
前記各ピラー状半導体の上面にコンタクトして、前記ゲート配線と直交するように形成されたデータ線と、
を有することを特徴とする半導体記憶装置。

【請求項 2】

一つのゲート配線積層体とこれにゲート絶縁膜を介して対向する一つのピラー状半導体とによって一つの N A N D セルユニットが構成され、各 N A N D セルユニットは、ピラー状半導体の最下部と最上部にこれに対向するゲート配線を選択ゲート線として形成された縦型選択ゲートトランジスタと、これらの選択ゲートトランジスタの間に形成されたゲート配線をワード線として複数個縦積みされた縦型メモリセルとを有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

一つのピラー状半導体は、その一つの側面がゲート絶縁膜を介してゲート配線積層体に対向し残りの 3 側面が素子分離絶縁膜に接し、その一つのピラー状半導体を用いて一つの N A N D セルユニットが構成されることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

一つのピラー状半導体は、その相対向する 2 側面がそれぞれゲート絶縁膜を介してゲート配線積層体に対向し残りの 2 側面が素子分離絶縁膜に接し、その一つのピラー状半導体をチャネルボディとして共有すると共に一つのデータ線を共有する第 1 及び第 2 の N A N D セルユニットが構成され、
データ読み出し時、前記第 1 及び第 2 の N A N D セルユニットの一方が選択され、他方の非選択 N A N D セルユニットの全メモリセルはセルデータによらずチャネルがオフとなるバイアスが与えられることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 5】

前記 N A N D セルユニットの上下の縦型選択ゲートトランジスタのうち少なくとも一方が、電荷蓄積層を含まないゲート絶縁膜を有することを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 6】

セルアレイ領域全面に不純物拡散層が形成された半導体基板上に、絶縁膜で互いに分離された複数の多結晶シリコン膜を形成する工程と、
前記複数の多結晶シリコン膜と絶縁膜の積層膜を短冊状にエッチングして、それぞれ複数層のゲート配線と絶縁膜とが交互に露出する側面をもつ細長いパターンの複数のゲート配線積層体を形成する工程と、
前記ゲート配線積層体を形成する工程の後、前記ゲート配線積層体の側面に電荷蓄積層を内部に含むゲート絶縁膜を形成する工程と、

一側面が前記ゲート配線積層体に前記ゲート絶縁膜を介して対向すると共に前記ゲート配線方向に所定ピッチで配列された、前記不純物拡散層と同じ導電型でそれより低不純物濃度の複数のピラー状半導体を形成する工程と、

前記ゲート配線積層体の前記ピラー状半導体に対向する側面と反対側の側面を露出させてこの面に金属膜を形成し、アニールを行って各ゲート配線をシリサイド化する工程と、

前記各ピラー状半導体の上面にコンタクトするように、前記ゲート配線と直交するデータ線を形成する工程と、

を有することを特徴とする半導体記憶装置の製造方法。

【請求項 7】

前記ゲート絶縁膜の形成工程は、

10

第 1 のシリコン酸化膜、電荷蓄積層となるシリコン窒化膜、第 2 のシリコン酸化膜ないしはシリコン酸化膜より誘電率の高い絶縁膜をこの順に堆積する工程と、

堆積されたゲート絶縁膜を前記ゲート配線積層体の側面に残してエッチングする工程とを有する

ことを特徴とする請求項 6 記載の半導体記憶装置の製造方法。

【請求項 8】

前記複数のピラー状半導体の形成工程は、

前記ゲート配線積層体が配列されその側面にゲート絶縁膜が形成された半導体基板上に半導体層を形成する工程と、

前記半導体層を結晶化するためのアニール工程と、

20

前記半導体層を複数のピラー状半導体に分離するためのパターニング工程とを有することを特徴とする請求項 6 記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）に係り、特に複数の不揮発性メモリセルが半導体基板上に縦積みされて NAND セルユニットを構成する半導体記憶装置とその製造方法に関する。

【背景技術】

【0002】

30

EEPROM の一つとして、NAND 型フラッシュメモリが知られている。NAND 型フラッシュメモリは、複数のメモリセルがソース／ドレイン拡散層を共有して直列接続されて NAND セルユニットを構成する。この様なセルアレイ構成を採用することにより、単位セル面積が NOR 型に比べて小さく、従って大容量化が容易である。

【0003】

また NAND 型フラッシュメモリは、書き込みに FN トンネル電流を利用するため、ホットキャリア注入を利用する NOR 型に比べて消費電流が少なく済む。従って、同時書き込みのページ容量を大きくすることができ、実質的に高速の書き込み／読み出しが可能になる。

【0004】

40

メモリセルが単層で形成される従来方式では、単位面積当たりの記録密度を高めるためには、更なる微細化を進めるか、或いは多値記憶を行う必要がある。しかし、微細化には限界がある。多値化による記録密度向上も、データの信頼性の点から限界がある。

【0005】

これに対して、NAND 型フラッシュメモリの一層の高集積化を図るために、メモリセルを基板に縦積みする考えが既に提案されている（例えば、特許文献 1 参照）。しかし特許文献 1 の方式は、種々の難点がある。

【0006】

第 1 に、縦積みされるメモリセルユニットのチャンネル部とソース及びドレイン領域とを、通常の平面型におけると同様に、異なる導電型としているため、微細化による短チャネ

50

ル効果の影響が大きい。

【0007】

第2に、縦積みされるメモリセルを多くし、従ってメモリセルユニットの高さ（ユニット長）を大きくすると、アスペクト比が増大する。これは、プロセスの信頼性を損なうだけでなく、メモリセルの動作遅延の原因となる。

【0008】

第3に、浮遊ゲートと制御ゲートとが柱状半導体の側面に垂直に重ねられた状態となっている。この構造を実現するためには、一つずつのメモリセルを形成するたびに高抵抗絶縁材で埋め込むという工程を繰り返す必要がある。従ってユニットのメモリセル数の増加に比例して工程数が増加し、それだけ信頼性が低下する。

10

【0009】

これらの難点を解消できる可能性をもつNAND型フラッシュメモリの構造及び製法として、特許文献1より先に、特許文献2が提案されている。これは、縦型メモリセルを縦積みするNAND型フラッシュメモリ構造であって、ゲート配線積層体を先に形成し、その後ゲート配線積層体の側面にゲート絶縁膜を介して対向するように半導体活性層を形成する。

【0010】

しかし、特許文献2においては、半導体基板上のゲート配線積層体をパターニングした後、シリコン層形成前に、選択拡散によってNANDセルユニット（NANDストリング）のソース拡散層を形成している。この様にソース拡散層を選択的に形成することは、チャンネルボディとなるシリコン層をp型としてNANDセルユニットをnチャンネル型とする場合に、そのp型シリコン層をp型基板にコンタクトさせるために必要となる。しかしこの方法では、シリコン層の最下部に形成される選択ゲートトランジスタは、そのソース拡散層がゲート端部から離れたオフセット構造となる。これを回避する対策は示されておらず、このままでは、所望のNAND型フラッシュメモリの動作が実現できない。

20

【0011】

更に特許文献2では、ワード線や選択ゲート線となるゲート配線として、多結晶シリコン膜を用いている。しかしこれでは、ワード線や選択ゲート線の低抵抗化に限界があり、実用的なNAND型フラッシュメモリを実現することは困難である。

【特許文献1】特開2005-85938号公報

30

【特許文献2】特開平10-93083号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

この発明は、縦型メモリセルを縦積みしたNANDセルユニットをもつ半導体記憶装置とその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

この発明の一態様による半導体記憶装置は、
半導体基板と、

40

前記半導体基板のセルアレイ領域全面に形成されたセルアレイの共通ソース線となる不純物拡散層と、

前記半導体基板のセルアレイ領域上に一方向に細長いパターンをもって配列された、それぞれ金属又は金属シリサイドにより形成された複数層のゲート配線が絶縁膜で互いに分離されて積層されかつそれらのゲート配線と絶縁膜とが交互に露出する側面をもつ複数のゲート配線積層体と、

前記各ゲート配線積層体の側面に形成された絶縁性の電荷蓄積層を内部に含むゲート絶縁膜と、

前記ゲート配線の長手方向に所定ピッチで配列されて、少なくとも一側面が前記ゲート配線積層体に前記ゲート絶縁膜を介して対向し他の側面が素子分離絶縁膜に接する、前記

50

不純物拡散層と同じ導電型でそれより低不純物濃度の複数のピラー状半導体と、

前記各ピラー状半導体の上面にコンタクトして、前記ゲート配線と直交するように形成されたデータ線と、を有することを特徴とする。

【0014】

この発明の他の態様による半導体記憶装置の製造方法は、

セルアレイ領域全面に不純物拡散層が形成された半導体基板上に、絶縁膜で互いに分離された複数の多結晶シリコン膜を形成する工程と、

前記複数の多結晶シリコン膜と絶縁膜の積層膜を短冊状にエッチングして、それぞれ複数層のゲート配線と絶縁膜とが交互に露出する側面をもつ細長いパターンの複数のゲート配線積層体を形成する工程と、

前記ゲート配線積層体を形成する工程の後、前記ゲート配線積層体の側面に電荷蓄積層を内部に含むゲート絶縁膜を形成する工程と、

一側面が前記ゲート配線積層体に前記ゲート絶縁膜を介して対向すると共に前記ゲート配線方向に所定ピッチで配列された、前記不純物拡散層と同じ導電型でそれより低不純物濃度の複数のピラー状半導体を形成する工程と、

前記ゲート配線積層体の前記ピラー状半導体に対向する側面と反対側の側面を露出させてこの面に金属膜を形成し、アニールを行って各ゲート配線をシリサイド化する工程と、

前記各ピラー状半導体の上面にコンタクトするように、前記ゲート配線と直交するデータ線を形成する工程と、を有することを特徴とする。

【発明の効果】

【0015】

この発明によれば、縦型メモリセルを縦積みしたNANDセルユニットをもつ半導体記憶装置とその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して、この発明の実施の形態を説明する。

【0017】

〔実施の形態1〕

図1は、実施の形態1によるNAND型フラッシュメモリのメモリセルアレイの平面図であり、図2、図3及び図4はそれぞれ図1のI-I'、II-II'及びIII-III'断面図である。

【0018】

シリコン基板1上に、層間絶縁膜5により互いに分離された複数のゲート配線21が積層されたゲート配線積層体2が、基板のx-y平面内のx方向に細長いパターンをなして、複数個配列形成されている。ゲート配線21は、低抵抗配線とするために、多結晶シリコンより低抵抗の金属、例えばタングステン(W)、アルミニウム(Au)或いは銅(Cu)等)又はそのシリサイドにより形成される。またゲート配線21は、多結晶シリコン膜をベースとし、ゲート配線積層体2を形成した後にシリサイド(Self Aligned Silicide)工程によってこれをシリサイド化してもよい。これにより、多結晶シリコン膜では得られない低抵抗ゲート配線を形成することができる。

【0019】

積層されているゲート配線21は具体的には、最下部と最上部のものが、NANDセルユニットの選択ゲートトランジスタのゲート配線である選択ゲート線(SGS, SGD)であり、それらの間に配置された4本がメモリセルの制御ゲートであるワード線WL(WL0-WL3)を構成する。

【0020】

選択ゲート線SGS, SGDとなるゲート配線の膜厚(ゲート長)はこれらに挟まれるメモリセルのゲート配線(ワード線WL)に比べて大きく設定されている。これは選択ゲートトランジスタのカットオフ特性を良好なものとするためである。ここでは、1NANDセルユニットが4ワード線で構成される場合を示しているが、これに限られるわけでは

10

20

30

40

50

ない。

【0021】

ゲート配線積層体2の一側面には、内部に絶縁性の電荷蓄積層を有するゲート絶縁膜3が形成されている。このゲート絶縁膜3を介してゲート配線積層体2の一側面に対向するように、メモリセルの活性層となるピラー状シリコン4が形成されている。ピラー状シリコン4は、ゲート配線積層体2と同程度の高さの柱状をなして、ゲート配線の長手方向（x方向）に所定ピッチで配列されている。ピラー状シリコン4のゲート配線積層体2に対向する面以外の面は、素子分離用絶縁膜6に接している。

【0022】

ピラー状シリコン4は、低不純物濃度の N^- 型層であり、その上端部にはビット線コンタクト用の N^+ 型層42が形成され、下端部には基板1の表面に形成された N^+ 型拡散層11からの不純物拡散により形成された N^+ 型層41が形成されている。基板表面の N^+ 型層11は、メモリセルアレイ領域全面に形成されていて、これがセルアレイの共通ソース線となる。

【0023】

図2に破線で示したように、一つのゲート配線（ワード線）21とこれにゲート絶縁膜3を挟んで対向するピラー状シリコン4が一つの電氣的書き換え可能な不揮発性メモリセルCellとなる。即ちメモリセルは、ゲート配線21の厚みをゲート長（チャンネル長）とする縦型セルとなり、これが複数個縦積みされてNANDセルユニット（NANDストリング）が構成される。

【0024】

図5は一つのメモリセルを拡大して示したものである。ゲート絶縁膜3は、積層絶縁膜であってその中間層32が電荷蓄積層として機能する。例えばこの積層膜は、31がシリコン酸化膜（Oxide）、32がシリコン窒化膜（Nitride）、33がシリコン酸化膜（Oxide）である、いわゆるONO膜である。

【0025】

但しシリコン窒化膜32の代わりに他の絶縁膜を用いることもできるし、またシリコン酸化膜33の代わりにこれより誘電率の高い他の絶縁膜を用いることもできる。このメモリセルは、従来MONOS (Metal Oxide Nitride Oxide Semiconductor)型セルと呼ばれている。

【0026】

このメモリセルでは、電荷蓄積層を含むゲート絶縁膜全体が絶縁体であるため、フローティングゲート型メモリセルのように、セル毎にフローティングゲートを分離するというプロセスが必要ない。即ち、ゲート絶縁膜3は、ゲート配線積層体2の側面全面に形成すればよく、パターンニングの必要がないために、容易に縦型メモリセルを縦積みした構造を実現できることになる。

【0027】

縦積みされるメモリセルのソース、ドレイン拡散層をイオン注入等により選択的に形成することは、技術的に難しい。したがってこの実施の形態では、 N^- 型のピラー状シリコン4には、前述した上下端の N^+ 型層41、42を除き、ソース、ドレイン拡散層は形成されない。即ち N^- 型シリコン層4をそのままチャンネル領域及びソース、ドレイン領域として用いる。従って、選択トランジスタのしきい値電圧が負になることもあり得、後に説明するようにこれをオフにするためには負電圧を用いることもあり得る。

【0028】

NANDセルユニットの上部は絶縁膜6で覆われ、この上にデータ線即ちビット線7が形成される。ビット線7は、y方向に並ぶNANDセルユニットの上部拡散層42にコンタクトし、y方向に連続するパターンとして形成される。

【0029】

図6は、この様に縦積みされたNANDセルユニットにより構成されるメモリセルアレイの等価回路を示している。メモリセルM0-M3のゲート配線21がワード線WL0-

10

20

30

40

50

WL 3となり、選択ゲートトランジスタSG1, SG2のゲート配線21が選択ゲート線SGD, SGSとなる。

【0030】

セルアレイ領域の基板表面に形成されるN⁺型層11は、共通ソース線CELSRCとなる。ワード線方向に並ぶNANDセルユニットの集合は、消去単位となるブロックを構成する。

【0031】

この実施の形態のNAND型フラッシュメモリの動作を説明する。メモリセルアレイは、しきい値が負の状態が消去状態（例えばデータ“1”）であり、書き込みにより選択的にメモリセルは正のしきい値電圧状態（データ“0”）に設定される。これが基本的な二値記憶動作である。

【0032】

しきい値電圧状態をより多く設定すれば、多値記憶が可能である。例えば、正のしきい値状態を3つ設定することにより、4値記憶が行われる。

【0033】

データ消去は、ブロック単位で行われる。図7に示すように、選択ブロックについて、選択ゲート線SGD, SGS及びビット線BLをフローティングに保ち、全ワード線WLに0Vを、共通ソース線CELSRCに昇圧された正の消去電圧V_{era}を与える。これにより、選択ブロック内の電気蓄積層が保持する電子がチャネルに放出され、しきい値が負の消去状態になる。

【0034】

非選択ブロックでは、選択ゲート線SGD, SGS、ビット線BLと共に、全ワード線をフローティングにする。これらフローティングの全ノードは容量カップリングによって電位上昇し、電荷蓄積層とシリコンピラーのチャネル間に大きな電界がかからず、データ消去されない。また選択ブロックに隣接する非選択ブロックのピラー状シリコンの上昇電位は、容量結合によって選択ブロックのピラー状シリコンの電位を引き下げることなく、選択ブロックのピラー状シリコンを消去に必要な電位に保持する働きをする。

【0035】

データ読み出しは、図8に示すように、選択ブロックについて、選択ゲート線SGD, SGSに選択ゲートトランジスタを十分にオン状態にする正電圧を与え、選択ワード線に0Vを、残りの非選択ワード線にセルデータによらずメモリセルをオンにできる正の読み出しパス電圧V_{read}を与える。共通ソース線CELSRCは0Vである。例えばビット線BLは、予め所定の電圧V_{BL}にプリチャージした後、フローティング状態に保持する。

【0036】

これにより、選択メモリセルのデータに応じてビット線BLは放電される。従って一定のビット線放電動作の後、ビット線の電圧を検出することにより、データを読み出すことができる。

【0037】

非選択ブロックでは、図8に示すように、選択ゲート線SGD, SGSに選択ゲートトランジスタをオフに保つ負電圧を与える。これにより非選択ブロックはビット線から切り離される。

【0038】

データ書き込みは、図9に示すように、選択ブロックのソース側選択ゲート線SGSには負電圧を与えて選択ゲートトランジスタSG2をオフに保ち、ビット線側選択ゲート線SGDに正の電圧V_{sg}を与えて選択ゲートトランジスタSG1をオンにし、選択ワード線には昇圧された正の書き込み電圧V_{pgm}を、非選択ワード線には書き込み中間電圧V_m (< V_{pgm})を与える。

【0039】

ビット線BLには書き込みデータに応じて、“0”書き込みの場合はV_{ss} (= 0V)

10

20

30

40

50

を、“1”書き込み（書き込み禁止）の場合は、 V_{dd} を与える。これにより、選択NANDセルチャネルは、“0”書き込みの場合0Vに設定される。“1”書き込みの場合は、ビット線側選択ゲートトランジスタのソースが $V_{sg}-V_{th}$ （ V_{th} は選択ゲートトランジスタのしきい値電圧）まで上昇して、選択NANDセルチャネルがフローティングになる。

【0040】

この結果、“0”書き込み選択セルでは、FNトンネル電流により電荷蓄積層内に電子が注入されて、しきい値が正の状態になる。“1”書き込みセルでは、容量カップリングによりチャネル電位が上昇して、電子注入が起こらず、消去状態（“1”データ状態）を維持する。

10

【0041】

非選択ブロックでは、全ワード線に0Vを与え、選択ゲート線SGD，SGSに0V乃至負電圧を与えて、NANDセルユニットをビット線から切り離れた状態とする。

【0042】

次に、図10から図20を参照して、この実施の形態のフラッシュメモリの製造工程を説明する。図10～図17及び図19は、図2に対応する図1のI-I'断面を中心として示した製造工程斜視図である。

【0043】

シリコン基板1には、そのセルアレイ形成領域全面に N^+ 型拡散層11が形成されている。このシリコン基板1上に、図10に示すように、層間絶縁膜5を形成した後、ゲート配線材料膜20を形成し、以下同様の膜堆積工程を繰り返す。これにより、層間絶縁膜5で分離された複数層のゲート配線材料膜20を形成する。ゲート配線材料膜20はこの実施の形態では、W膜又はWSi膜である。或いは他の高融点金属またはそのシリサイドを用いることができる。

20

【0044】

続いて、このゲート配線材料膜の積層構造をRIE法により垂直にエッチング加工し、図11に示すように、x方向に細長いゲート配線21が積層された状態のストライプパターンの複数のゲート配線積層体2に分離する。この短冊状のゲート配線積層体2は、その側面（x-z面）に各ゲート配線21と絶縁膜とが交互に露出した状態になる。

【0045】

この後、図12に示すように、ゲート絶縁膜3を堆積する。ゲート絶縁膜3は、ステップカバレッジの良好な膜堆積法を利用して、ゲート配線積層体2の側面に均一な膜厚をもって形成されるようにする。ゲート絶縁膜3は前述のように、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層構造である。そして堆積されたゲート絶縁膜3をエッチバックして、図13に示すように、各ゲート配線積層体2の側面のみに残す。

30

【0046】

次に、ゲート配線積層体2のスペースを埋めるように絶縁膜31を堆積して平坦化した後、これをRIE法により選択エッチングして、図14に示すように、ゲート配線積層体2の一方の側面（活性層を形成すべき面）のみ露出させる。

【0047】

続いて、図15に示すように、アモルファスシリコン層40を堆積し、アニールを行って、シリコン基板1を種として上部まで結晶化させる。シリコン層40は、不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ 以下の比較的低濃度の N^- 型層とする。結晶化アニールの工程でシリコン基板1の表面に形成した N^+ 型層11の不純物がシリコン層40に拡散し、下部の N^+ 型拡散層41が形成される。

40

【0048】

この拡散層41は、その上面が最下部のゲート配線21（即ち選択ゲート線SGS）の底面位置に達するようにして、選択ゲートトランジスタがオフセットにならないようにする。そのために必要なら、結晶化アニールとは別に熱工程を加えることができる。

【0049】

50

この後、シリコン層 40 をエッチングし、図 16 に示すように、各ゲート配線積層体 2 の一側面のみに残す。この状態で N 型不純物のイオン注入を行って、各ゲート配線積層体 2 毎に分離されたシリコン層 40 の上面に、ビット線コンタクトとなる N^+ 型層 41 を形成する。

【0050】

次に、図 17 に示すように、絶縁膜 32 を堆積し、表面を平坦化する。

【0051】

この後、この段階で x 方向に連続しているシリコン層 40 を、x 方向に飛び飛びのピラー状シリコン 4 となるように加工する。そのために、平坦化した表面に図 18 に示すようなレジストパターン 33 を形成する。レジストパターン 33 は、x 方向に連続しているシリコン層 40 を所定ピッチで分離するための、エッチング開口 33a を有する。 10

【0052】

このレジストパターン 33 を用いてまず絶縁膜 32 をシリコン層 40 が露出するまでエッチングし、その後露出したシリコン層 40 を基板に達するまでエッチングする。

【0053】

図 19 は、絶縁膜 32 に、レジストパターン 33 の開口 33a に対応する窓 33b が開けられた状態を示している。この窓 33b を介してシリコン層 40 をエッチングすることにより、図 20 (図 1 の III-III' 断面) に示すように、ゲート配線積層体 2 の側面に沿って、所定ピッチで分散配置されたピラー状シリコン 4 が形成される。

【0054】

この後、図 1 ~ 図 4 に示したように、更に絶縁膜 6 を堆積し、コンタクト開口を開け、ピラー状シリコン 4 の上部 N^+ 型層 42 にコンタクトするビット線 7 を形成する。これにより、メモリセルアレイが完成する。ピラー状シリコン 4 は、ゲート配線積層体 2 に対向する以外の面は、絶縁膜 32, 6 により形成される素子分離絶縁膜に接する状態になる。 20

【0055】

図 21 は、積層されるゲート配線 21 の取り出し構造を示している。図 21 に示すように、ゲート配線 21 のメモリセルアレイ領域の端部からの延在部を、下層ほど長くなる状態に形成する。そしてゲート配線構造体を覆う層間絶縁膜 36 に各ゲート配線 21 の端部に接続するコンタクトプラグ 35 を埋め込む。これにより、各ゲート配線 21 を層間絶縁膜 36 の上面上に並ぶ対応するメタル配線に接続することができる。 30

【0056】

この実施の形態によると、ゲート配線積層体は、平坦な半導体基板面にゲート配線材料膜と絶縁膜の交互堆積を行った後、その積層構造を短冊状にエッチングして形成される。そして、側面に露出したゲート配線材をゲート電極として、その上に電荷特積層を含むゲート絶縁膜及びシリコン活性膜を形成し、その後シリコン活性膜を NAND セル毎にピラー状に分離加工することにより、縦積みの NAND セルユニットが完成する。

【0057】

最初にシリコンピラーを形成し、その後このシリコンピラーを取り巻くように選択ゲート配線及びワード線を形成する特許文献 1 の手法は、選択ゲート配線及びワード線をライン/スペース状に形成する工程が複雑であり、実用化は困難であった。 40

【0058】

これに対してこの実施の形態では、ゲート配線積層体の形成後にゲート絶縁膜及びピラー状シリコン活性層を形成するため、ゲート配線積層体は、平坦な半導体基板上でのゲート配線材料膜と絶縁膜の交互堆積で形成することができる。従って、寸法精度の高いゲート配線積層体を容易に形成することが可能である。

【0059】

更にメモリセルを縦積みとする場合、それらのソース、ドレイン拡散層をイオン注入等により形成し、或いは電荷蓄積層を各メモリセル毎に形成することは、製造プロセス的に極めて困難である。この点を考慮してこの実施の形態では、縦積みされるメモリセルは、 N^- 型シリコン活性層をそのままソース、ドレイン及びチャネルとして用いて、選択不純 50

物イオン注入を不要としている。

【0060】

更に、ピラー状シリコン（チャネルボディ）をP型とする場合には、特許文献2に示されるように、そのチャネルボディをフローティング状態にせずP型半導体基板にコンタクトさせるには、ソース拡散層を選択的に形成することが必要となる。これに対してこの実施の形態ではピラー状シリコンをN⁺型として、縦積みされるメモリセルのソース、ドレイン拡散層も形成しない。従って半導体基板のセルアレイ形成領域全面に予めN⁺型拡散層を形成し、これをセルアレイの共通ソース線として用いる。これにより、全NANDセルユニットのチャネルボディの電位が共通ソース線により規定されることになる。

【0061】

またこの実施の形態では、メモリセルをMONOS（絶縁膜の電荷蓄積層）構造として、メモリセル毎に浮遊ゲート型電荷蓄積層を形成する工程を不要としている。これにより、縦積みメモリセルを、制御性よく形成することが可能になる。

【0062】

これらの結果、縦型メモリトランジスタの縦積み構造を容易に形成することができ、メモリセルアレイの単位セル面積を通常のNAND型フラッシュメモリに比べて遙かに小さいものとすることが可能である。従って小さいチップ面積で大容量のNAND型フラッシュメモリを得ることができる。

【0063】

更に、ゲート配線はW膜またはWSi膜等の低抵抗メタル膜を用いて形成することにより、縦積みメモリセル構造でかつ実用的なメモリ容量であって、十分に低抵抗のワード線や選択ゲート線をもつものが得られる。

【0064】

図22は、周辺回路を含めて実施の形態のNAND型フラッシュメモリの断面構造を示している。セルアレイの共通ソース線となるN⁺型拡散層11が形成されたシリコン基板1は、P型であるとする。このとき、周辺回路のPMOSトランジスタQPは、N型ウェル12を形成してその中に形成される。NMOSトランジスタQNは、P型シリコン基板1に形成される。これにより、CMOS構成の周辺回路が形成される。

【0065】

以下に、メモリセルアレイの他の構成例であるいくつかの実施の形態を説明する。以下の実施の形態において、先の実施の形態1と対応する部分には同一符号を付して詳細な説明は省く。

【0066】

〔実施の形態2〕

図23は実施の形態2によるNAND型フラッシュメモリのメモリセルアレイ平面図を、図1と対応させて示している。図24は、図23のI-I'断面を図2に対応させて示している。

【0067】

先の実施の形態1では、複数のゲート配線積層体2に対して、交互に逆の側面に対向するようにピラー状シリコン4を配置している。これに対してこの実施の形態2では、複数のゲート配線積層体2の同じ側の側面にピラー状シリコン4を対向させている。

【0068】

その他実施の形態1と同じである。ピラー状シリコン4の一側面がゲート絶縁膜を介してゲート配線積層体2に対向し、残りの3側面は素子分離絶縁膜に接する状態となるのも実施の形態1と同じである。図23のII-II'断面及びIII-III'断面は、実施の形態1の図3及び図4と同じである。製造工程も、実施の形態1と同じである。従って、実施の形態1と同様の効果が得られる。

【0069】

〔実施の形態3〕

図25は、実施の形態3のNAND型フラッシュメモリのメモリセルアレイの平面図を

10

20

30

40

50

、実施の形態 1 の図 1 に対応させて示している。図 26 は図 25 の I - I ' 断面図である。II - II ' 断面及び III - III ' 断面はそれぞれ、図 3 及び図 4 と同じである。製造工程も実施の形態 1 と変わらない。

【0070】

実施の形態 1 では、二つのゲート配線積層体 2 の間に、それぞれにより駆動される二つのピラー状シリコン 4 を配置しているのに対し、この実施の形態 3 では、二つのゲート配線積層体 2 が一列のピラー状シリコン 4 を共有する形になっている。言い換えれば、実施の形態 1、2 では、ピラー状シリコン 4 の一つの側面がゲート配線積層体 2 に対向し、残りの 3 側面が素子分離絶縁膜に接するのに対し、この実施の形態 3 では、ピラー状シリコン 4 の相対向する二つの側面がゲート配線積層体 2 に対向し、残りの 2 側面が素子分離絶縁膜に接する状態となる。

10

【0071】

この実施の形態によると、一つのピラー状シリコン 4 の相対抗する 2 面を利用することで、ピラー状シリコン 4 の数が実施の形態 1 の $1/2$ となり、メモリセルの高密度化を図ることができる。

【0072】

一方、この実施の形態のように二つの NAND セルユニットが一つのピラー状シリコン 4 をチャンネルボディとして共有すると、ピラー状シリコン 4 の幅がある程度以下に小さくなった場合には、これを共有する 2 つの NAND セルユニット間の相互干渉が問題になる。具体的には後に説明するが、読み出し時選択 NAND セルユニットで無用なチャンネル電流が流れる可能性がある。その様な相互干渉の影響を考慮したデータ読み出しモードについて、図 37 及び図 38 を参照して説明する。

20

【0073】

図 37 は、一つのピラー状シリコン 4 を共有する二つの NAND セルユニットについて、等価回路と読み出し時のバイアス条件とを示している。図 38 は、4 値データ記憶を行うものとして、データしきい値分布とそのビット割付の例を示している。

【0074】

4 値データは、4 つのデータレベル（しきい値レベル）L0、L1、L2 及び L3 により規定される。最下位レベル L0 は、一括消去により得られる負しきい値状態である。レベル L1 - L3 は、正のしきい値の書き込み状態である。4 値データを、上位ビット HB と下位ビット LB により（HB、LB）で表すものとして、例えば次のようにビット割り付けが行われる。

30

【0075】

最下位レベル L0 をデータ（1，1）とする。次のデータレベル L1 は、データレベル L0 のセルに対して、選択的にしきい値を上昇させる下位ビット書き込みにより得られるデータ（1，0）とする。レベル L2 及び L3 はそれぞれ、レベル L1 及び L0 のデータ状態セルに対して選択的に上位ビット書き込みを行って得られるデータ（0，0）及び（0，1）である。

【0076】

この様なデータ記憶を行うものとして、図 37 に示す二つの NAND セルユニットの一方が選択、他方が非選択である場合、選択された NAND セルユニットのデータ読み出しにおいて、非選択 NAND セルユニットのチャンネルが無用な干渉を起こさないようにすることが必要である。例えば、非選択 NAND セルユニット内に負しきい値のデータ（1，1）状態のセルがあるとすると、その対応ワード線を 0V としてもそのチャンネルは導通状態にある。そうすると、選択 NAND セルユニットの読み出し動作において、本来流れるはずのないチャンネル電流が、非選択 NAND セルユニットのオンセルのチャンネルをバイパスして流れる可能性が生じる。

40

【0077】

これは、非選択 NAND セルユニットの選択ゲートトランジスタがオフであっても避けられず、誤読み出しとなる可能性がある。特に、図 26 に示すように、二つの NAND セ

50

ルユニットが共有するチャネルボディ即ちピラー状シリコン4の幅Dが、メモリセルのゲート長Lの4倍以下という小さい幅である場合には、その様な事態が生じる可能性が高くなる。

【0078】

図37では、その様な相互干渉を起こさないように考慮された読み出しバイアス条件を示している。選択NANDセルユニット側では、破線で示す選択セル対応のワード線にはセルデータに応じて読み出し電圧R0（又はR1又はR2）を与え、残りの非選択ワード線には、セルデータによらずセルをオンさせるパス電圧Vreadを与え、選択ゲート線には、選択ゲートトランジスタがオンになる電圧Vsg(on)を与える。

【0079】

読み出し電圧R0-R3は、図38に示すように選択される。即ち上位ビットHB読み出しの場合には、データレベルL1とL2の間に設定された読み出し電圧R1が用いられる。上位ビットHBが“1”の場合の下位ビットLB読み出しには、データレベルL0とL1との間の読み出し電圧R0が用いられる。上位ビットHBが“0”の場合の下位ビットLB読み出しには、データレベルL2とL3との間の読み出し電圧R2が用いられる。

【0080】

これにより、選択セルのオン又はオフに応じて、選択NANDセルユニットにセル電流が流れる。このセル電流の検出は例えば、ビット線を予めプリチャージし、それが放電されるか否かをセンスアンプにより検出することで行う。

【0081】

これに対して、非選択NANDセルユニットでは、セルデータによらず、全てのメモリセルがチャネルオフの状態を保つようにする。即ちメモリセルのしきい値をVt、共通ソース線CELSRCの電圧をVs、最下位データレベルL0の下限値をVtminとして、全てのワード線に与える電圧をVc g (off) = Vtmin - Δ + Vsとする。選択ゲート線に与える電圧は、Vsg(off) < Vt + Vsとする。

【0082】

最下位データレベルL0の下限値Vtminは、一括消去動作でこのデータレベルL0を得る場合には判定されることはない。また、しばしば過消去となるメモリセルが存在するため、下限値Vtminは予測も難しい。この下限値Vtminを一定値に設定するためには、一括消去動作後に、Vtminを書き込みベリファイ電圧として予備的書き込みを行うことが好ましい。この様にすれば、データレベルL0の下限値Vtminから一定レベルΔだけ低い制御電圧Vc g (off)を選んで、非選択NANDセルユニットのチャネルを確実にオフにすることができる。

【0083】

この様な読み出しバイアスを適用することによって、二つのNANDセルユニットがピラー状シリコンを挟んで形成される場合に、それらのNANDセルユニット間の相互干渉の影響を除いたデータ読み出しが可能になる。

【0084】

二つのNANDセルユニットがチャネルボディを共有して構成される場合には、4値データ記憶に限らず、2値データ記憶の場合或いは4値以上の多値データ記憶を行う場合にも同様の配慮が必要である。即ち、チャネルボディを共有する二つのNANDセルユニットの非選択側のワード線には、セルデータの如何に拘わらず、セルチャネルがオフになるようなバイアスを与える。これにより、二つのNANDセルユニット間の相互干渉の影響を除いたデータ読み出しが可能になる。

【0085】

〔実施の形態4〕

図27は、実施の形態4のメモリセルアレイ平面図であり、図28はそのI-I'断面図である。II-II'断面及びIII-III'断面はそれぞれ、図3及び図4と同じである。製造工程も実施の形態1と変わらない。

【0086】

10

20

30

40

50

この実施の形態では、一つのゲート配線積層体 2 の両側面にゲート絶縁膜 3 を介して対向するようにピラー状シリコン 4 が配置されている。言い換えれば、一つのワード線で駆動される二つのメモリセルがビット線を共有して配置されたことになる。この場合、一つのゲート配線積層体 2 とこれをはさむ二つのピラー状シリコン 4 は、独立の NAND セルユニットとしては用いられない。即ちビット線とワード線をそれぞれ共有する二つのメモリセルは、独立のデータを記憶することはできないが、信号電荷量が多くなることから、データの信頼性向上、また S/N 比向上が可能である。このことは特に、多値記憶を行う場合に有効である。

【0087】

〔実施の形態 5〕

図 29 は、実施の形態 5 のメモリセルアレイ平面図である。これは、図 27 の実施の形態 4 と同様に、一つのゲート配線積層体 2 の両側面にゲート絶縁膜 3 を介して二つのピラー状シリコン 4 を対向させているが、これらを実施の形態 4 とは異なり、それぞれ別のビット線 7a, 7b に接続している。

【0088】

図 30 は図 29 の I-I' 断面図である。II-II' 断面は、図 3 と基本的に変わらない。製造工程も実施の形態 1 と変わらない。

【0089】

これにより、ゲート配線積層体 2 を挟む二つのピラー状シリコン 4 には、同時にワード線駆動がなされるが、ビット線が別々であるため、それぞれに別々のデータを記憶することが可能な NAND セルユニットが構成される。

【0090】

ビット線 7a, 7b は、同一導体膜をパターニングしたものでもよいし、あるいは別々の導体層とすることもできる。図 31 の III-III' 断面は、前者の場合であり、図 32 の III-III' 断面は、後者の場合を示している。

【0091】

〔実施の形態 6〕

図 33 は、実施の形態 6 のメモリセルアレイ平面図である。これは、一つのゲート配線積層体 2 の両側面にゲート絶縁膜 3 を介して二つのピラー状シリコン 4 を対向させている点で、図 27 の実施の形態 4 と共通する。また、一つのピラー状シリコン 4 に着目すると、その両側面にゲート配線積層体 2 を対向させている点で、図 25 の実施の形態 3 と共通する。

【0092】

図 33 は図 32 の I-I' 断面図である。II-II' 断面及び III-III' 断面はそれぞれ、図 3 及び図 4 と変わらない。製造工程も実施の形態 1 と変わらない。

【0093】

この実施の形態でも、一つのゲート配線積層体 2 とこれをはさむ二つのシリコン 4 は、独立の NAND セルユニットとしては用いられない。即ちビット線とワード線をそれぞれ共有する二つのメモリセルは、独立のデータを記憶することはできないが、信号電荷量が多くなることから、特に多値化する場合のデータの信頼性向上、また S/N 比向上が可能である。

【0094】

〔実施の形態 7〕

図 35 は、実施の形態 7 のメモリセルアレイ平面図である。これは、ゲート配線積層体 2 とピラー状シリコン 4 の配置は、図 33 の実施の形態 6 と同様であるが、ゲート配線積層体 2 の両側面にゲート絶縁膜 3 を介して対向する二つのピラー状シリコン 4 を別のビット線 7a, 7b に接続している。

【0095】

図 36 は図 35 の I-I' 断面図である。II-II' 断面は、図 3 と基本的に変わらない。製造工程も実施の形態 1 と変わらない。

10

20

30

40

50

【0096】

これにより、ゲート配線積層体2を挟む二つのピラー状シリコン4には、同時にワード線駆動がなされるが、別々のデータを記憶することが可能なNANDセルユニットが構成される。

【0097】

実施の形態5と同様に、ビット線7a, 7bは、同一導体膜をパターンニングしてもよいし、あるいは別々の導体層とすることもできる。従って、図35のIII-III'断面は、図31あるいは図32と同様になる。

【0098】

[実施の形態8]

ここまでの実施の形態では、積層されるゲート配線にW膜又はWSi膜を用いることにより、その低抵抗化を実現している。これに対して、ゲート配線に多結晶シリコン膜を用いた場合には、セルアレイがほぼ完成した状態でサリサイド(Self Aligned Silicide)技術によって多結晶シリコンゲート配線をシリサイド化する。

【0099】

その様な実施の形態8の製造工程を、図39～図44を参照して説明する。図39～図44では、実施の形態1のセルアレイ構成を基本として、そのIII-III'断面と共に、周辺回路トランジスタの断面を併せて示している。

【0100】

図39に示すように、シリコン基板1上に、絶縁膜5により分離された複数のゲート電極材料膜20として多結晶シリコン膜を積層する。シリコン基板1のセルアレイの領域には、先の各実施の形態と同様に全面にN⁺型拡散層11が形成されている。周辺回路領域には、多結晶シリコン膜積層に先だって、STI(Shallow Trench Isolation)法によって素子分離絶縁膜51が埋め込まれる。

【0101】

図40に示すように、セルアレイ領域で多結晶シリコン膜積層構造を基板に達するまでエッチングして、溝52を形成し、複数のストライプ状のゲート配線積層体2を形成する。この段階でゲート配線積層体2は、実施の形態1の図11の工程で示したようには、完全に分離されておらず、図11の2本ずつのゲート配線積層体2が一体に連結された状態である。

【0102】

この後、図41に示すように、ゲート配線積層体2の側面に電荷蓄積層をもつゲート絶縁膜3を形成し、更にゲート絶縁膜3を介してゲート配線積層体2の側面に対向するピラー状シリコン4を形成する。ピラー状シリコン4は、図の断面に直交する方向に複数個配列される。ピラー状シリコン4の底部には、基板のN⁺型拡散層11からの不純物拡散によるN⁺型層が形成され、上部にはイオン注入によりN⁺型層が形成される。

【0103】

以上のゲート絶縁膜3の形成からピラー状シリコン4の形成までは、実施の形態1と同様である。そして、セルアレイ領域は層間絶縁膜55で覆われ、その上にシリコン窒化膜56aが形成される。

【0104】

セルアレイ領域を覆うシリコン窒化膜56aをマスクとして、周辺回路領域のゲート配線積層体をエッチング除去し、周辺回路トランジスタを形成する。即ちゲート絶縁膜を介して多結晶シリコンゲート53を形成し、側壁絶縁膜を形成した後、ソース及びドレイン拡散層54を形成する。

【0105】

この後、セルアレイ領域を覆う窒化膜56aを一旦除去し、改めて全面にシリコン窒化膜56bを形成する。そしてセルアレイ領域でシリコン窒化膜56bをパターンニングして、これをマスクとしてゲート配線積層体2を基板に達するまでエッチングして、最終的なゲート配線21の積層体としてパターンニングする。即ちゲート配線積層体2を二つの異な

10

20

30

40

50

るワード線及び選択ゲート線の束となるように２分割する溝５７を形成する。このとき周辺回路領域は、シリコン窒化膜５６ｂで保護された状態を保つ。

【０１０６】

この後、シリコン窒化膜５６をエッチング除去した後、図４３に示すように、Ｃｏ、Ｎｉ、Ｐｄ等の金属膜５８をスパッタリングにより形成する。スパッタリングはステップカバレッジがよくはないが、金属膜５８はゲート配線積層体２の間に開けた溝４７に埋め込まれればよく、ボイドが形成されてもよい。

【０１０７】

この後アニールを行うと、ゲート配線２１の側面から金属が浸透して多結晶シリコン膜２０と反応して、シリサイド５９が形成される。金属膜５８がＣｏ、Ｎｉの場合、反応により形成されるシリサイド５９はほとんど膨張がなく、ゲート配線２１の側面から突出しない状態に形成される。特にＣｏの場合は、ほぼ完全に多結晶シリコン膜２０内部に浸透して反応し、多結晶シリコン膜２０の内部にシリサイド５７が形成される。

【０１０８】

このシリサイド工程において、周辺回路トランジスタにおいても、ゲート電極５３及び、ソース及びドレイン拡散層５４に自己整合的にシリサイド５９が形成される。

【０１０９】

以上のシリサイド工程の後、未反応の金属膜５８は、ウェットエッチングにより除去する。

【０１１０】

その後、図４４に示すように、セルアレイ領域及び周辺回路領域を覆うように、層間絶縁膜６０を堆積する。この後は図示しないが、ビット線を始めとする必要なメタル配線を形成する。

【０１１１】

この実施の形態によると、ＮＡＮＤセルユニットの積層されたゲート配線（ワード線及び選択ゲート線）をシリサイド技術により低抵抗化することができる。なおここでは、周辺回路トランジスタに対してセルアレイ領域と同時にシリサイド工程が適用される例を示したが、周辺回路トランジスタについてはシリサイド技術を適用しない場合や、セルアレイ領域とは別工程でシリサイド技術を適用する場合もあり得る。

【０１１２】

〔実施の形態９〕

ここまでの実施の形態においては、縦積みされるＮＡＮＤセルユニットについて、メモリセルと選択ゲートトランジスタを含めて、内部に電荷蓄積層を持つＯＮＯ膜等のゲート絶縁膜を用いたが、ＮＡＮＤセルユニットの特性安定化のためには、上下の選択ゲートトランジスタのうち少なくとも一方について、電荷蓄積層を含まないゲート絶縁膜とすることは好ましい。

【０１１３】

図４５～図４７はそのような実施の形態について、一つのＮＡＮＤセルユニット部の構成を示している。先の各実施の形態と対応する部分には同一符号を付して詳細な説明は省く。

【０１１４】

図４５は、ＮＡＮＤセルユニットの下部の、即ちソース線側の選択ゲートトランジスタＳＧ２について、ゲート絶縁膜３ｓを、電荷蓄積層を含むゲート絶縁膜３とは別に形成した例である。

【０１１５】

図４６は、ＮＡＮＤセルユニットの上部の、即ちビット線側の選択ゲートトランジスタＳＧ１について、ゲート絶縁膜３ｄを、電荷蓄積層を含むゲート絶縁膜３とは別に形成した例である。

【０１１６】

図４７は、二つの選択ゲートトランジスタＳＧ１、ＳＧ２について共に、ゲート絶縁膜

10

20

30

40

50

3 d, 3 s を、電荷蓄積層を含むゲート絶縁膜 3 とは別に形成した例である。

【0117】

図 45 のような NAND セルユニット構造を得るための製造方法を、図 48 ～図 57 を参照して説明する。ここでは、二つのゲート配線積層体 2 がその間に挟まれたピラー状シリコン 4 を共有する図 25 のセルアレイ方式を用いた場合について説明する。

【0118】

図 48 は、複数のゲート配線 21 が積層されたゲート配線積層体 2 をパターン形成した状態である。ここまでは先の実施の形態と同様である。この後、図 49 に示すように、電荷蓄積層を含まないゲート絶縁膜 3 s として、例えばシリコン酸化膜を形成する。

【0119】

この後、図 50 に示すように、ゲート絶縁膜 3 s を選択エッチングするためのマスク材 71 を堆積し、これをエッチバックして、ゲート配線積層体 2 の間の溝底部即ち、下部の選択ゲートトランジスタ SG2 の形成部分に残す。例えばゲート絶縁膜 3 s がシリコン酸化膜 (SiO₂) の場合、このマスク材 71 としてはシリコン窒化膜 (SiN) を用い得る。或いはシリコン酸化膜よりエッチング速度が遅いエッチング条件を選択できる多結晶シリコン膜を用いることもできる。

【0120】

そして、図 51 に示すように、マスク材 71 をマスクとして、ゲート絶縁膜 3 s を下部選択ゲートトランジスタ部のみに残して、エッチング除去する。

【0121】

この後、図 52 に示すように、電荷蓄積層を内部に含むゲート絶縁膜 3 を形成する。そして、マスク材 71 をエッチングして、図 53 に示すように、ゲート配線積層体 2 の間の基板面を露出させる。

【0122】

この後、非晶質シリコン層を堆積し結晶化アニールを行って、図 54 に示すように、N⁻ 型シリコン層 4 を形成する。シリコン層 4 の底部には、先の実施の形態と同様に、基板 1 からの不純物拡散により、N⁺ 型拡散層 41 が形成される。

【0123】

続いて、シリコン層 4 の上部に不純物拡散を行って、図 55 に示すように、N⁺ 型拡散層 42 を形成する。この後シリコン層 4 は、図示しないが、ゲート配線積層体 2 の長手方向に飛び飛びのピラー状シリコンとして分布するように、加工する。

【0124】

この後、図 56 に示すように、層間絶縁膜 6 を形成し、コンタクトを開けて、図 57 に示すように、N⁺ 型拡散層 42 にコンタクトするビット線 7 を形成する。

【0125】

これにより、NAND セルユニットの下部選択ゲートトランジスタ SG2 の動作が安定化し、従って NAND セルユニットの特性が安定化する。

【0126】

上下選択ゲートトランジスタ SG1, SG2 共に、電荷蓄積層を持たないゲート絶縁膜 3 d, 3 s とする図 47 の構造を作るためには、図 53 の構造まで形成した後、図 58 ～図 65 の工程を適用すればよい。即ち、図 53 の状態で、再度マスク材 72 を堆積しエッチバックして、図 58 に示すように、ゲート配線積層体 2 の間に、メモリセルのゲート絶縁膜 3 を残すべき高さまで埋め込む。ゲート絶縁膜 3 が ONO 膜の場合、マスク材 72 としては先のマスク材 71 と同様にシリコン窒化膜或いは多結晶シリコン膜を用いる。

【0127】

そして、図 59 に示すように、マスク材 72 をマスクとして、ゲート絶縁膜 3 をエッチング除去した後、図 60 に示すように、電荷蓄積層を含まないゲート絶縁膜 3 d、例えばシリコン酸化膜を形成する。

【0128】

この後、マスク材 72 をエッチングして、図 61 に示すように、ゲート配線積層体 2 の

10

20

30

40

50

間の基板面を露出させる。以下、活性層シリコン 4 を形成し、これをパターニングし、コンタクト拡散層 4 2 を形成してビット線 7 を形成する図 6 2 ～図 6 5 の工程は、図 5 4 ～図 5 7 と同じである。

【0129】

これにより、NANDセルユニットの上下選択ゲートトランジスタ共に、動作安定化を図ることができる。

【0130】

上部選択ゲートトランジスタのゲート絶縁膜のみ、電荷蓄積層を持たないものとする図 4 6 の構造を得るには、全体に電荷蓄積層を含むゲート絶縁膜 3 を形成した後に、図 5 8 以下の工程を適用すればよい。

10

【図面の簡単な説明】

【0131】

【図 1】この発明の実施の形態による NAND 型フラッシュメモリのメモリセルアレイ平面図である。

【図 2】図 1 の I - I ' 断面図である。

【図 3】図 1 の II - II ' 断面図である。

【図 4】図 1 の III - III ' 断面図である。

【図 5】図 2 における一つのメモリセルの拡大断面図である。

【図 6】同メモリセルアレイの等価回路である。

【図 7】同実施の形態のフラッシュメモリの消去動作を説明するためのバイアス電圧関係を示す図である。 20

【図 8】同実施の形態のフラッシュメモリの読み出し動作を説明するためのバイアス電圧関係を示す図である。

【図 9】同実施の形態のフラッシュメモリの書き込み動作を説明するためのバイアス電圧関係を示す図である。

【図 10】同実施の形態のフラッシュメモリのゲート配線材料膜堆積工程を示す図である。

【図 11】ゲート配線積層体をパターニングする工程を示す図である。

【図 12】ゲート絶縁膜形成工程を示す図である。

【図 13】ゲート絶縁膜の不要部分をエッチングする工程を示す図である。 30

【図 14】ゲート配線積層体の一側面に絶縁膜を形成する工程を示す図である。

【図 15】メモリセル活性層となるシリコン層を形成する工程を示す図である。

【図 16】シリコン層をゲート配線積層体の一側面に残すようにエッチングする工程を示す図である。

【図 17】絶縁膜を堆積して平坦化する工程を示す図である。

【図 18】シリコン層エッチングのためのレジスタマスクパターンを示す図である。

【図 19】同レジスタマスクを用いて絶縁膜エッチングとシリコンエッチングを行う工程を示す図である。

【図 20】シリコンエッチングによりピラー状シリコンが分離形成された状態の III - III ' 断面図である。 40

【図 21】ゲート配線の引き出し部の構造を示す図である。

【図 22】周辺回路を含むフラッシュメモリの断面構造を示す図である。

【図 23】他の実施の形態によるメモリセルアレイ平面図である。

【図 24】図 23 の I - I ' 断面図である。

【図 25】他の実施の形態によるメモリセルアレイ平面図である。

【図 26】図 25 の I - I ' 断面図である。

【図 27】他の実施の形態によるメモリセルアレイ平面図である。

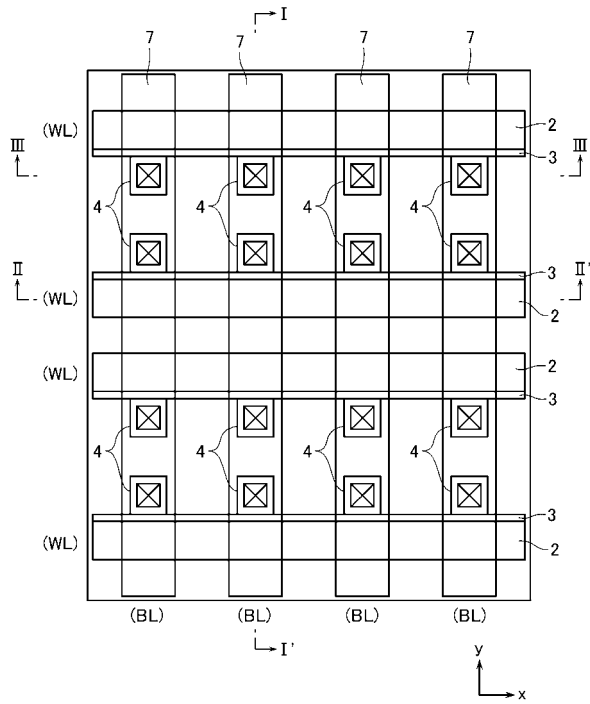
【図 28】図 27 の I - I ' 断面図である。

【図 29】他の実施の形態によるメモリセルアレイ平面図である。

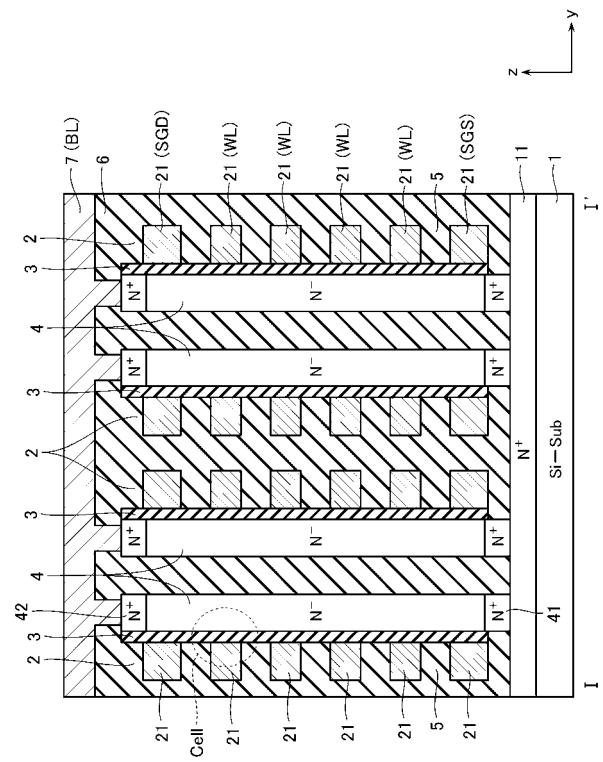
【図 30】図 29 の I - I ' 断面図である。 50

- 【図 3 1】ビット線が単層の場合の図 2 9 の III-III' 断面図である。
- 【図 3 2】ビット線が 2 層の場合の図 2 9 の III-III' 断面図である。
- 【図 3 3】他の実施の形態によるメモリセルアレイ平面図である。
- 【図 3 4】図 3 3 の I-I' 断面図である。
- 【図 3 5】他の実施の形態によるメモリセルアレイ平面図である。
- 【図 3 6】図 3 5 の I-I' 断面図である。
- 【図 3 7】図 2 5 の実施の形態のセルアレイにおける読み出しバイアス条件を説明するための図である。
- 【図 3 8】同じく 4 値データのしきい値分布とビット割り付け例を示す図である。
- 【図 3 9】他の実施の形態のフラッシュメモリの多結晶シリコン膜積層工程を示す断面図である。 10
- 【図 4 0】その多結晶シリコン膜積層構造のパターニング工程を示す断面図である。
- 【図 4 1】ゲート配線積層体の側面にゲート絶縁膜を形成し、更にピラー状シリコンを形成する工程を示す断面図である。
- 【図 4 2】ゲート配線積層体を 2 分するためのエッチング工程を示す断面図である。
- 【図 4 3】ゲート配線積層体の各ゲート配線及び周辺回路トランジスタのゲート、ドレイン及びソースをシリサイド化するシリサイド工程を示す断面図である。
- 【図 4 4】セルアレイ領域及び周辺回路領域を覆う層間絶縁膜を形成する工程を示す断面図である。
- 【図 4 5】下部選択ゲートトランジスタのゲート絶縁膜が電荷蓄積層を持たない NAND セルユニットの構造例を示す断面図である。 20
- 【図 4 6】上部選択ゲートトランジスタのゲート絶縁膜が電荷蓄積層を持たない NAND セルユニットの構造例を示す断面図である。
- 【図 4 7】上部及び下部選択ゲートトランジスタのゲート絶縁膜が電荷蓄積層を持たない NAND セルユニットの構造例を示す断面図である。
- 【図 4 8】図 4 5 の構造を得るためのゲート配線積層体の形成工程を示す断面図である
- 【図 4 9】電荷蓄積層を含まないゲート絶縁膜 3 s 形成工程を示す断面図である。
- 【図 5 0】マスク材埋め込み工程を示す断面図である。
- 【図 5 1】ゲート絶縁膜 3 s のエッチング工程を示す断面図である。
- 【図 5 2】電荷蓄積層を含むゲート絶縁膜 3 の形成工程を示す断面図である。 30
- 【図 5 3】マスク材を除去して基板面を露出させる工程を示す断面図である。
- 【図 5 4】シリコン層形成と結晶化アニールの工程を示す断面図である。
- 【図 5 5】コンタクト用拡散層の形成工程を示す断面図である。
- 【図 5 6】層間絶縁膜の形成工程を示す断面図である。
- 【図 5 7】ビット線の形成工程を示す断面図である。
- 【図 5 8】図 4 7 の構造を作るための、図 5 3 の工程に続くマスク材埋め込み工程を示す断面図である。
- 【図 5 9】ゲート絶縁膜 3 のエッチング工程を示す断面図である。
- 【図 6 0】電荷蓄積層を含まないゲート絶縁膜 3 d の形成工程を示す断面図である。
- 【図 6 1】マスク材を除去して基板面を露出させる工程を示す断面図である。 40
- 【図 6 2】シリコン層形成と結晶化アニールの工程を示す断面図である。
- 【図 6 3】コンタクト用拡散層の形成工程を示す断面図である。
- 【図 6 4】層間絶縁膜の形成工程を示す断面図である。
- 【図 6 5】ビット線の形成工程を示す断面図である。
- 【符号の説明】
- 【0 1 3 2】
- 1 …シリコン基板、2 …ゲート配線積層体、3 …ゲート絶縁膜、4 …ピラー状シリコン、5, 6 …絶縁膜、7 …ビット線、11, 41, 42 …N⁺ 型層、20 …ゲート配線材料膜、21 …ゲート配線、58 …金属膜、59 …シリサイド。

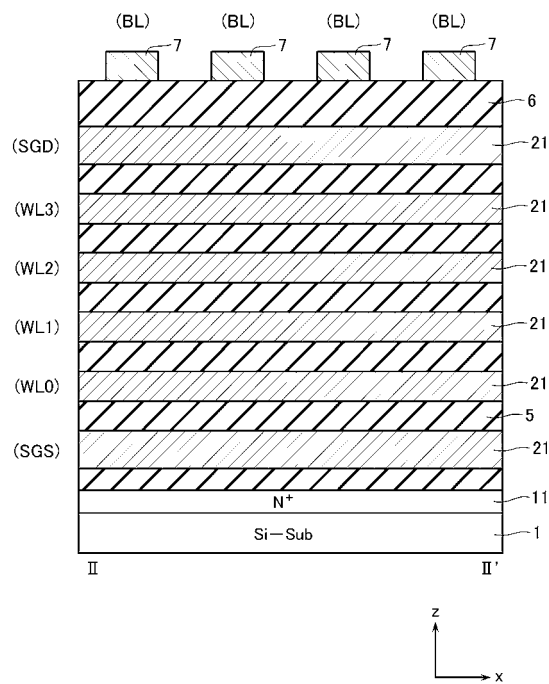
【図 1】



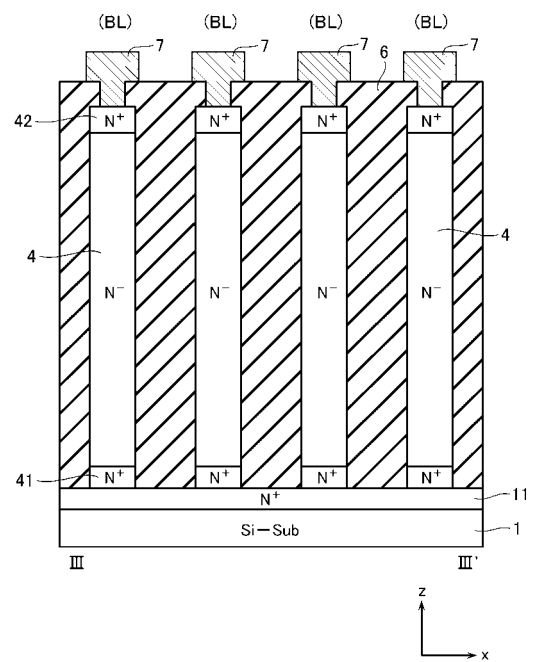
【図 2】



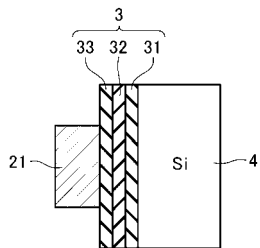
【図 3】



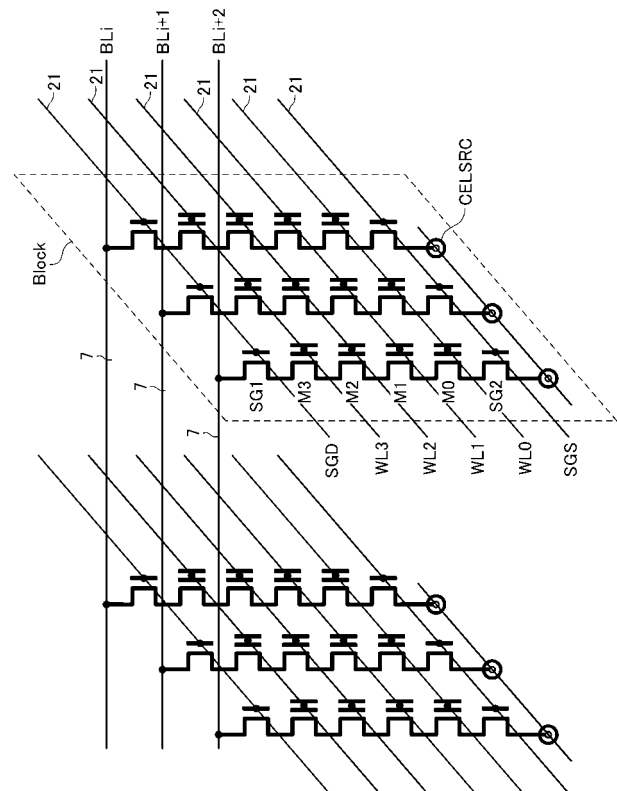
【図 4】



【図 5】



【図 6】



【図 7】

消 去

	選択ブロック	非選択ブロック
SGD	フローティング	フローティング
SGS	フローティング	フローティング
WL	0V	フローティング
BL	フローティング	
CELSRC	消去電圧 Vera (正)	

【図 9】

書き込み

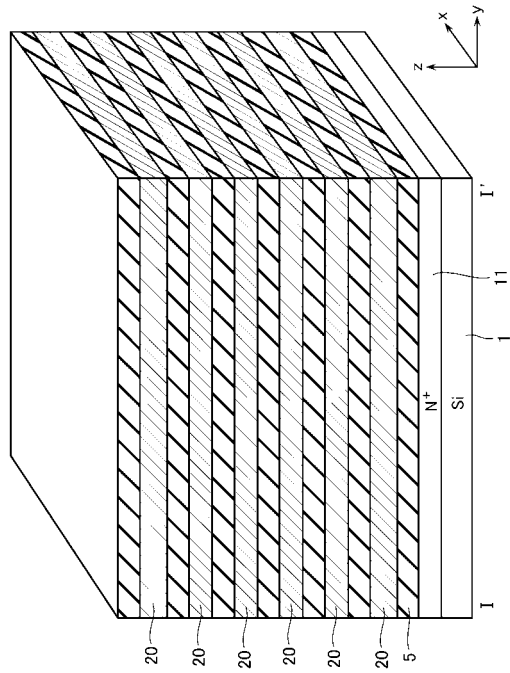
		選択ブロック	非選択ブロック
SGD		正電圧 (SG1-ON)	負電圧 (SG1-OFF)
SGS		負電圧 (SG2-OFF)	負電圧 (SG2-OFF)
WL	選択	書き込み電圧 V_{pgm} (正)	0V
	非選択	中間電圧 V_m (正)	
BL		“0” 書き込み電圧 = 0V “1” 書き込み電圧 = V_{dd}	
CELSRC		0V	

【図 8】

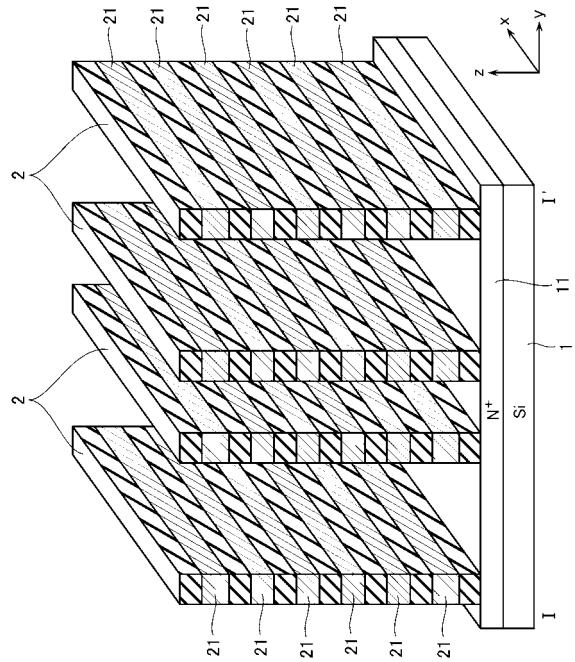
読み出し

		選択ブロック	非選択ブロック
SGD		正電圧 (SG1-ON)	負電圧 (SG1-OFF)
SGS		正電圧 (SG2-ON)	負電圧 (SG2-OFF)
WL	選択	0V	0V
	非選択	パス電圧 Vread (正)	
BL		正電圧 VBL にプリチャージ	
CELSRC		0V	

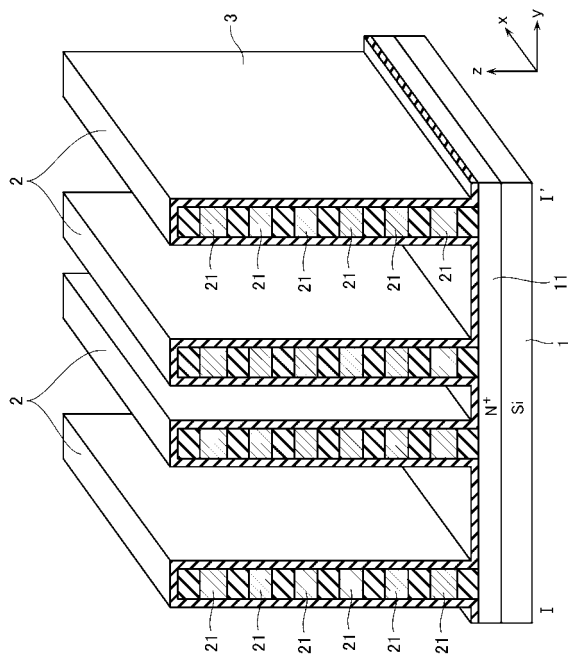
【図 1 0】



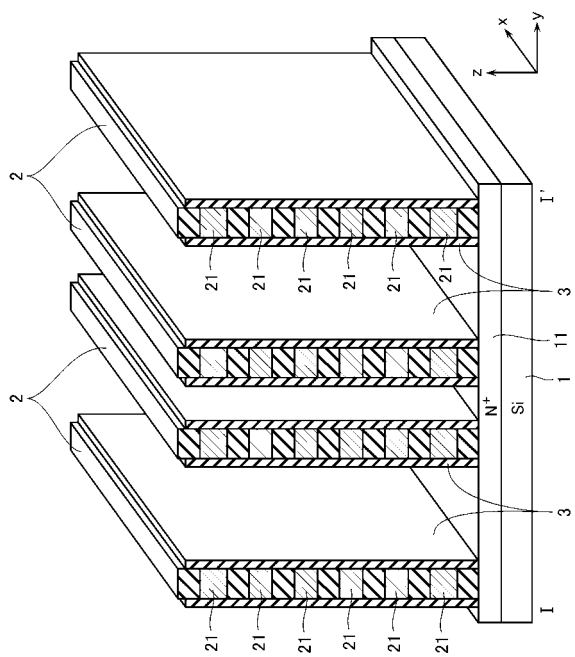
【図 1 1】



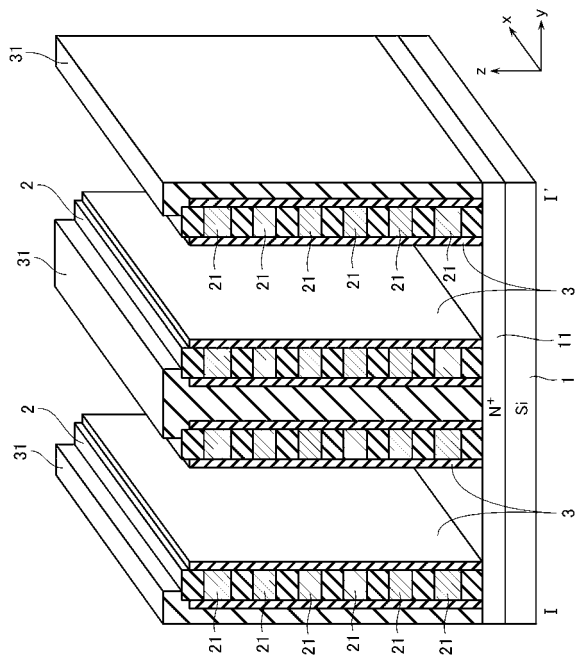
【図 1 2】



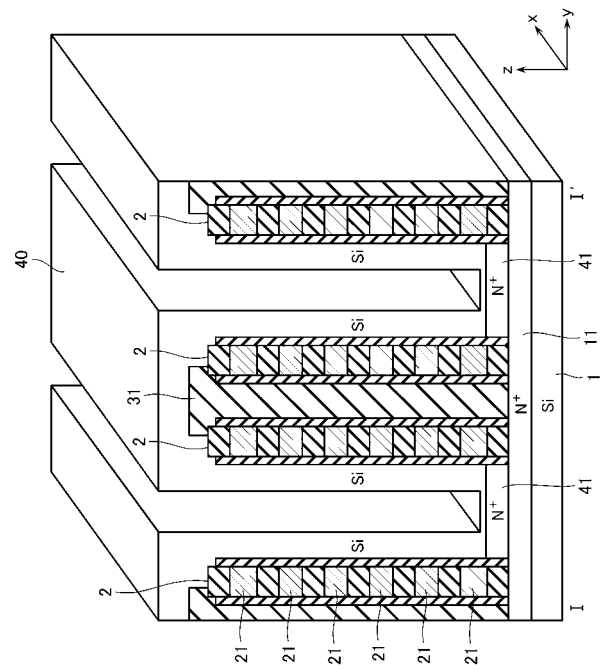
【図 1 3】



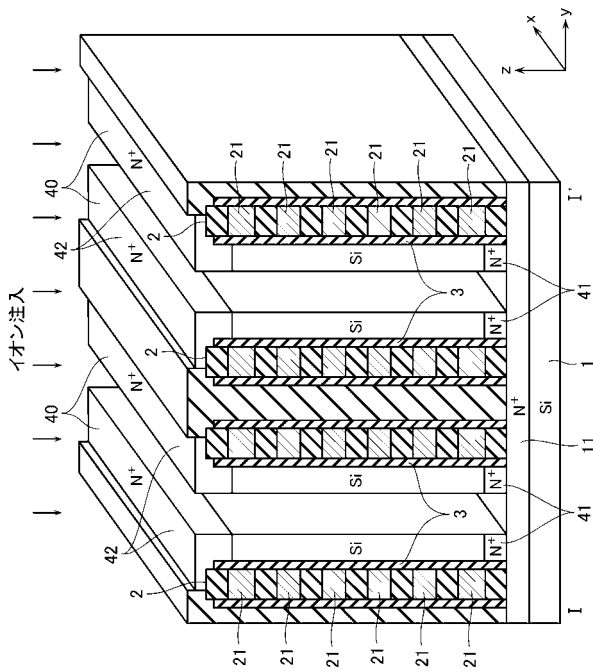
【図 1 4】



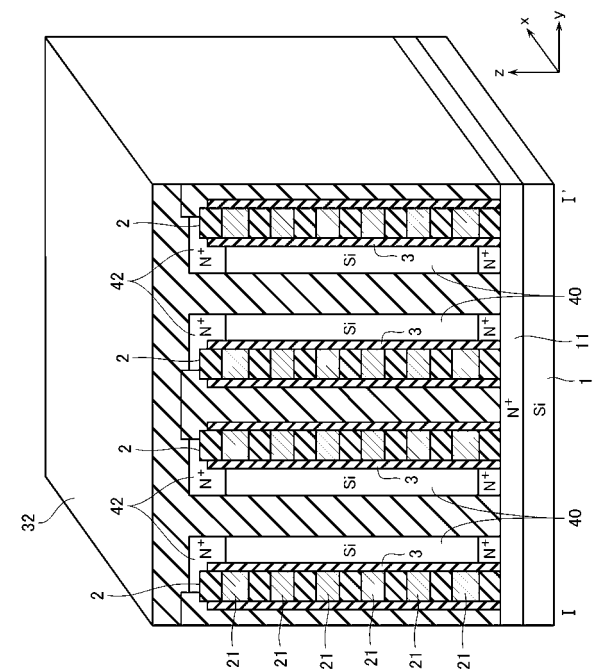
【図 1 5】



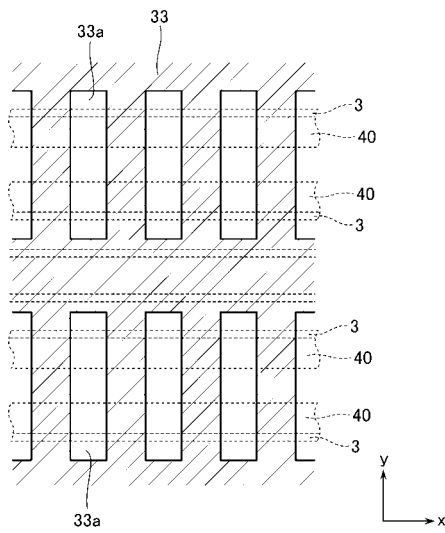
【図 1 6】



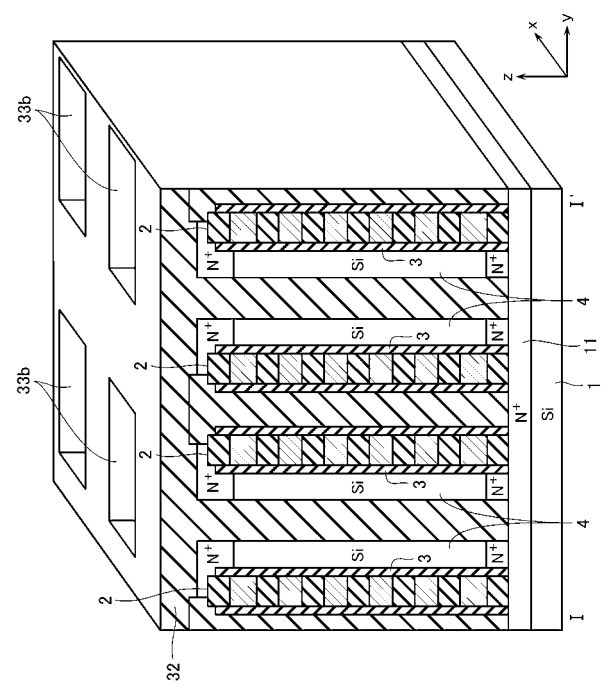
【図 1 7】



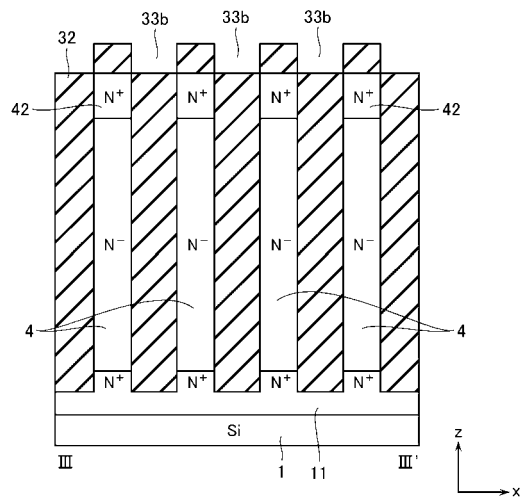
【図 18】



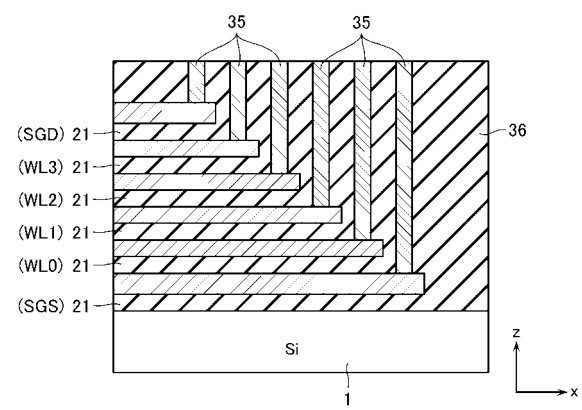
【図 19】



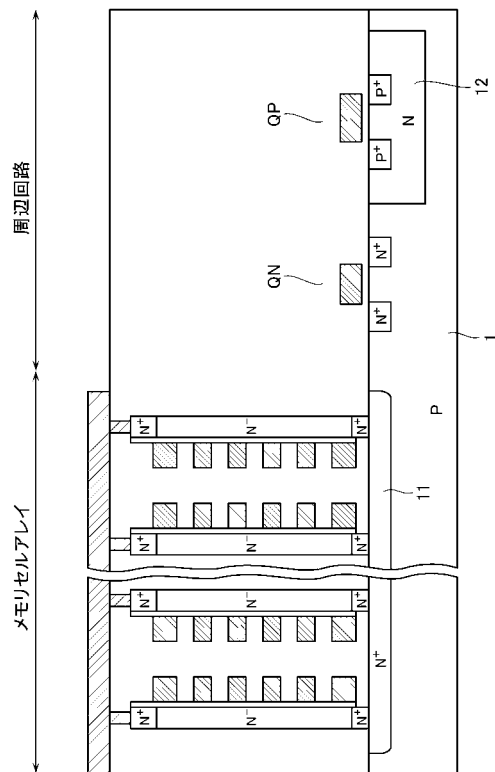
【図 20】



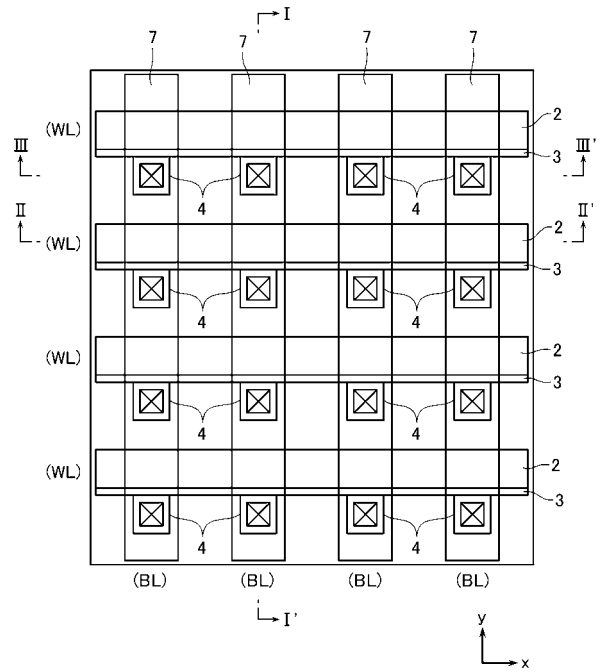
【図 21】



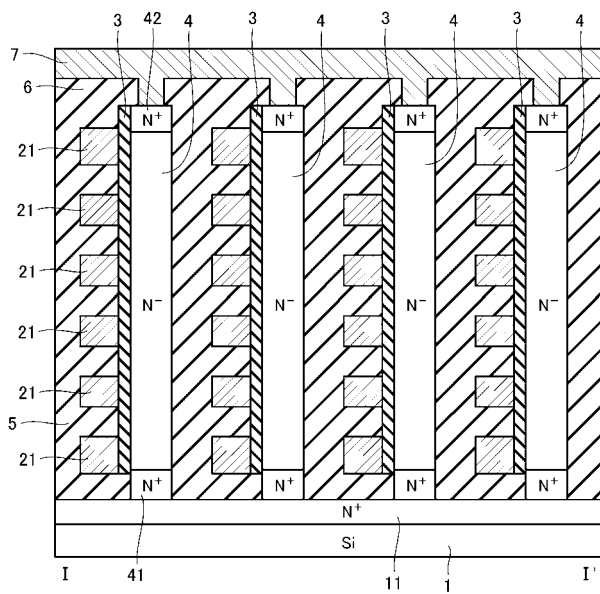
【図 2 2】



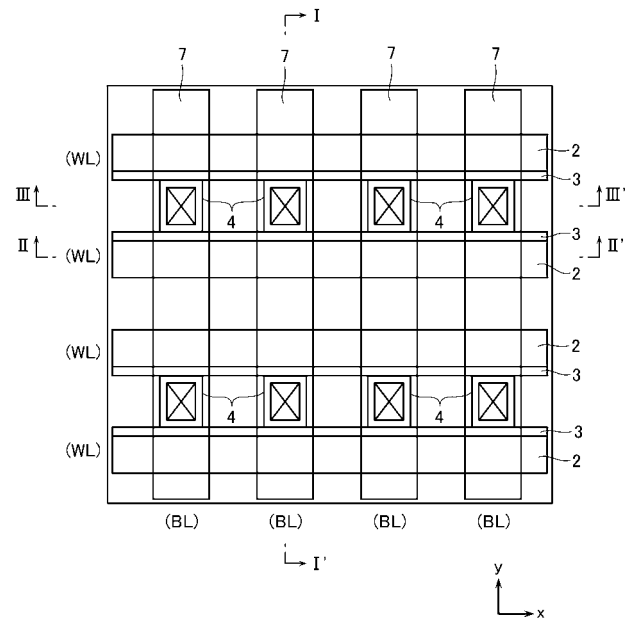
【図 2 3】



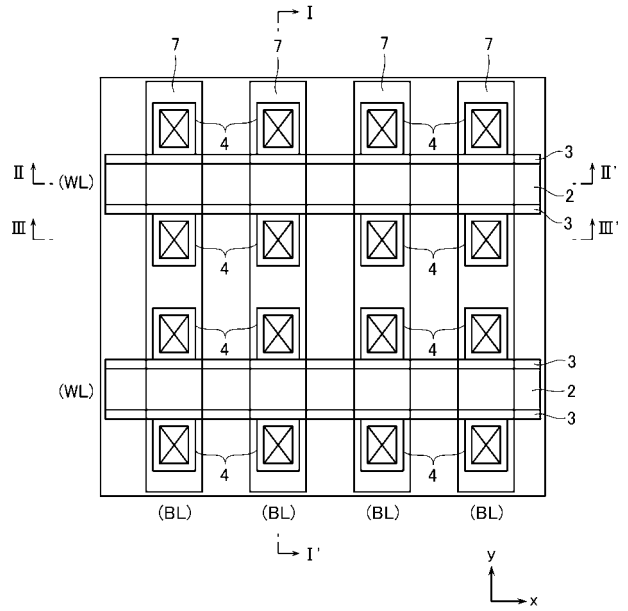
【図 2 4】



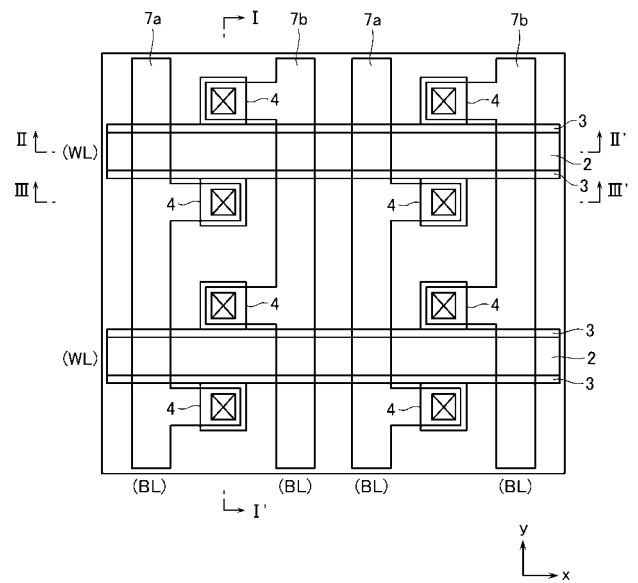
【図 2 5】



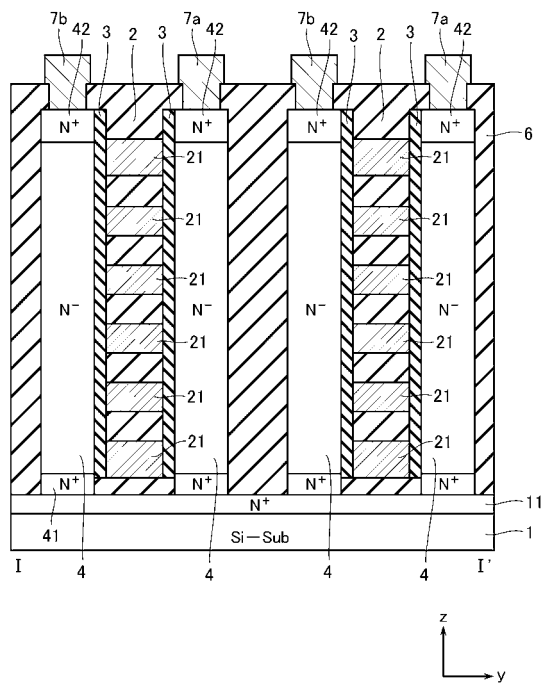
【图 2 7】



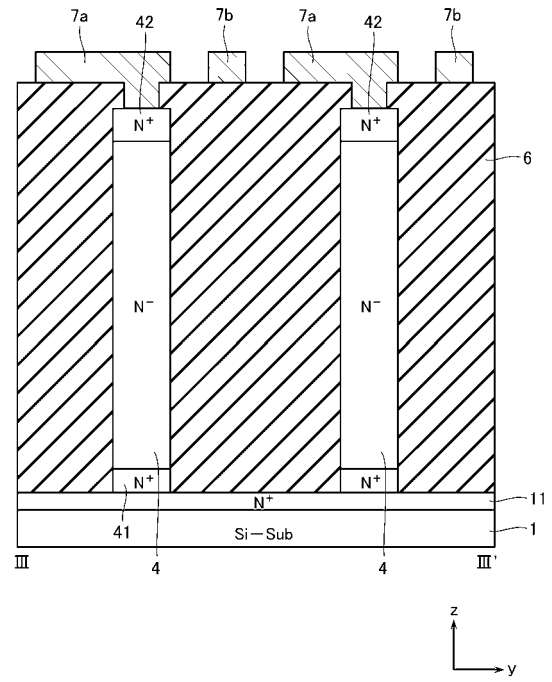
【 図 2 9 】



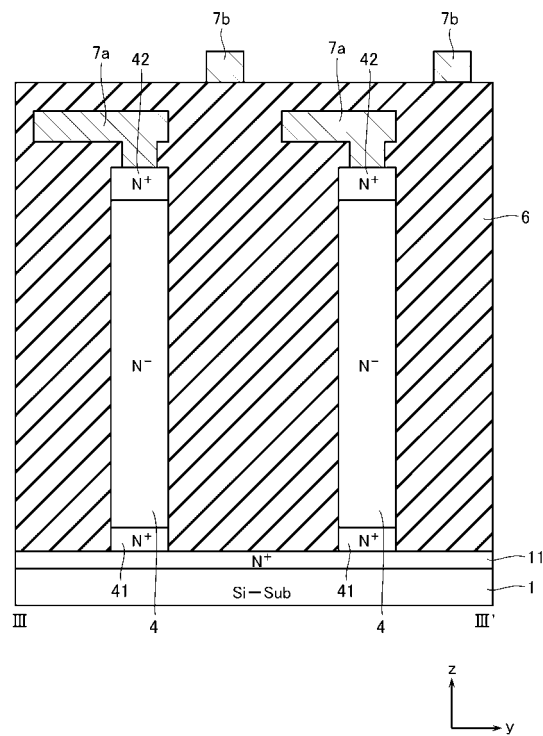
【図 3 0】



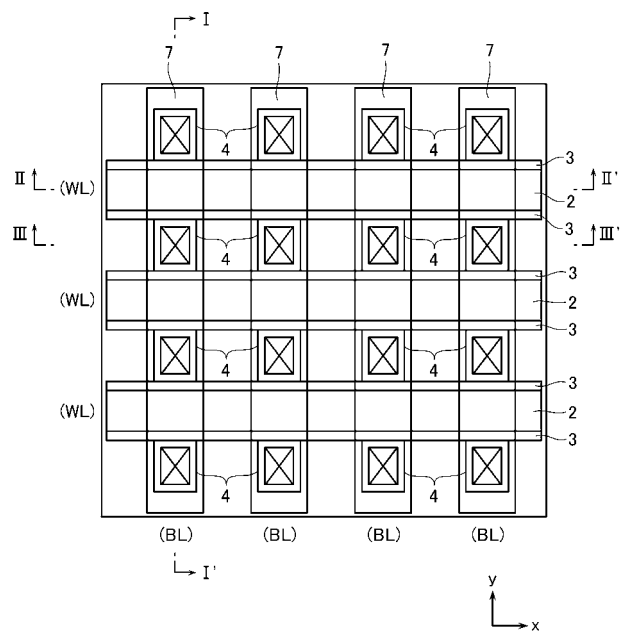
【図 3 1】



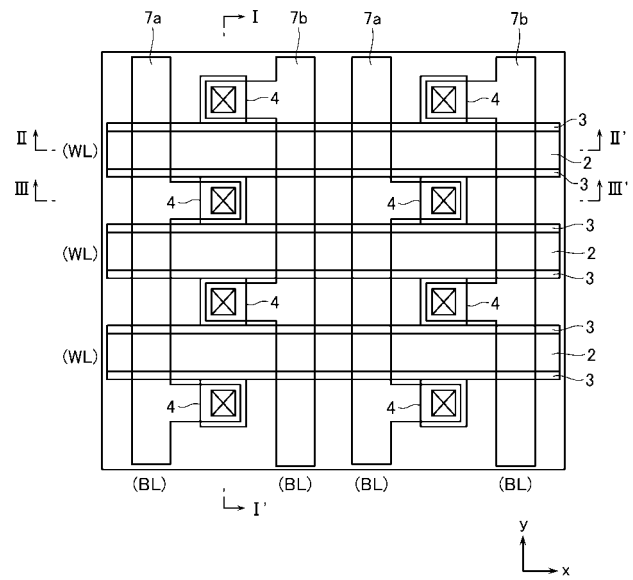
【図 3 2】



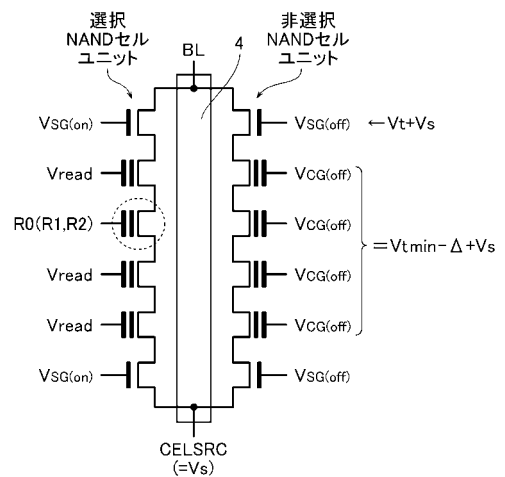
【図 3 3】



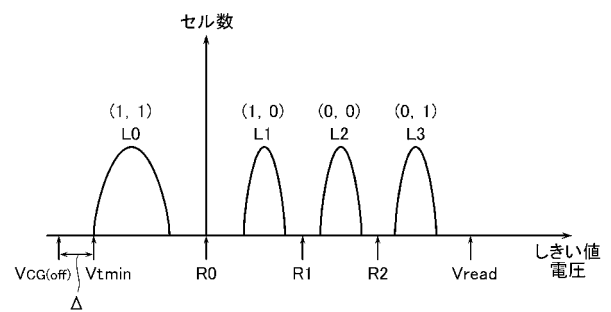
【 図 3 5 】



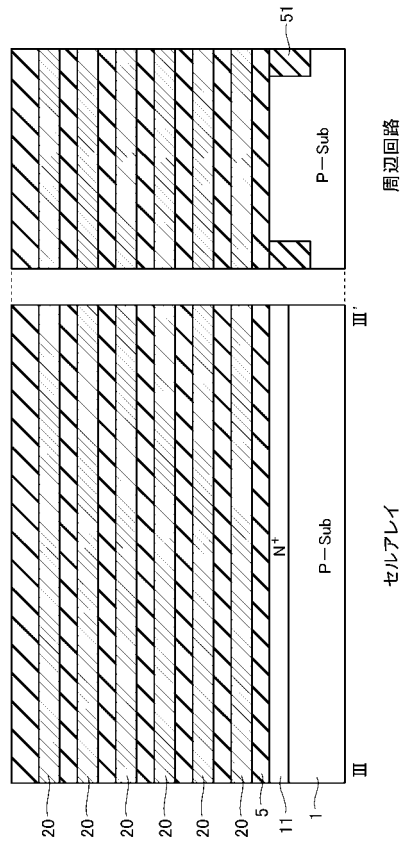
【图 3 7】



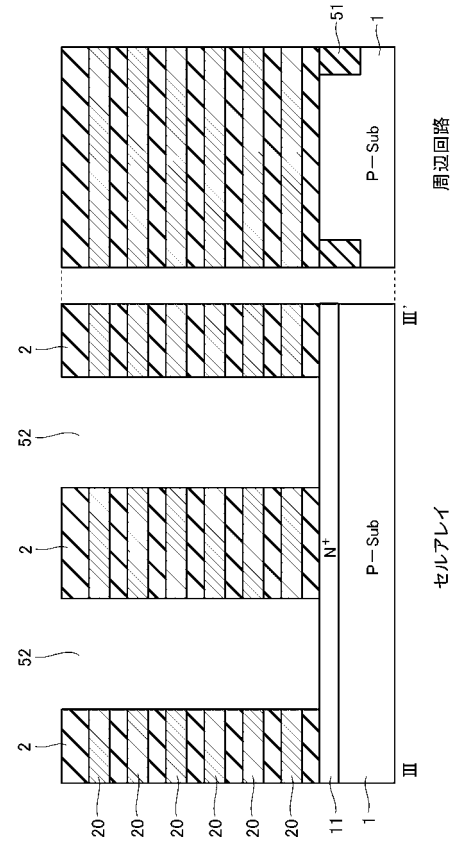
【 図 3 8 】



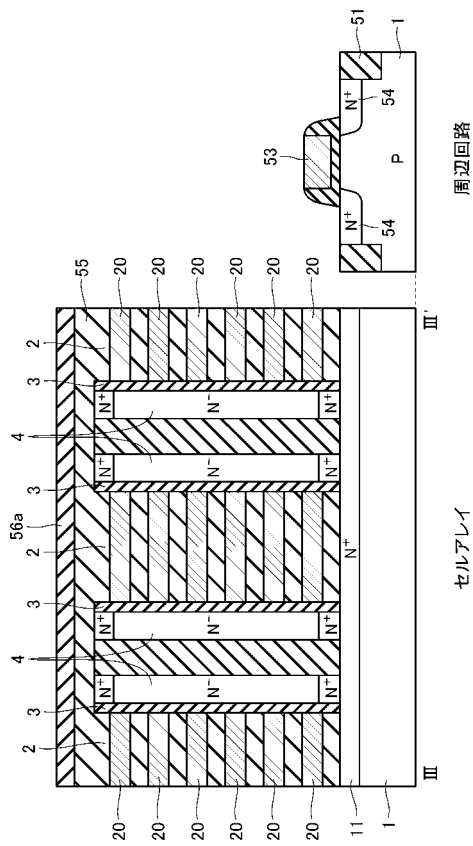
【図 39】



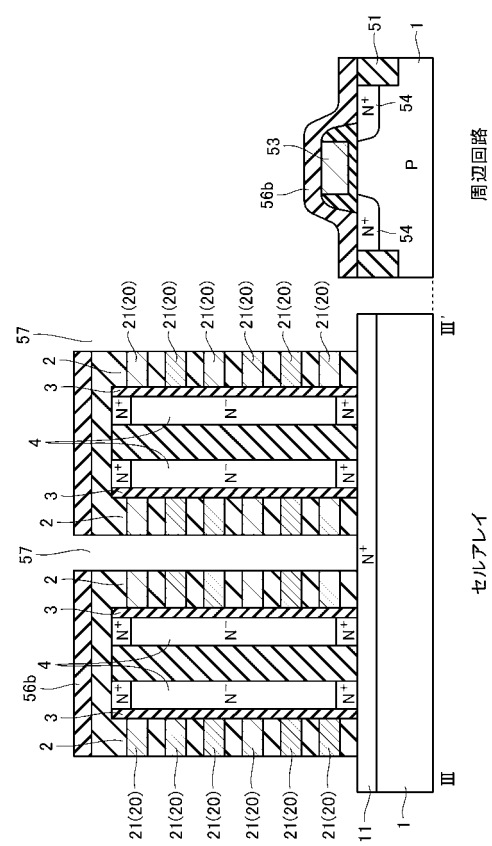
【図 40】



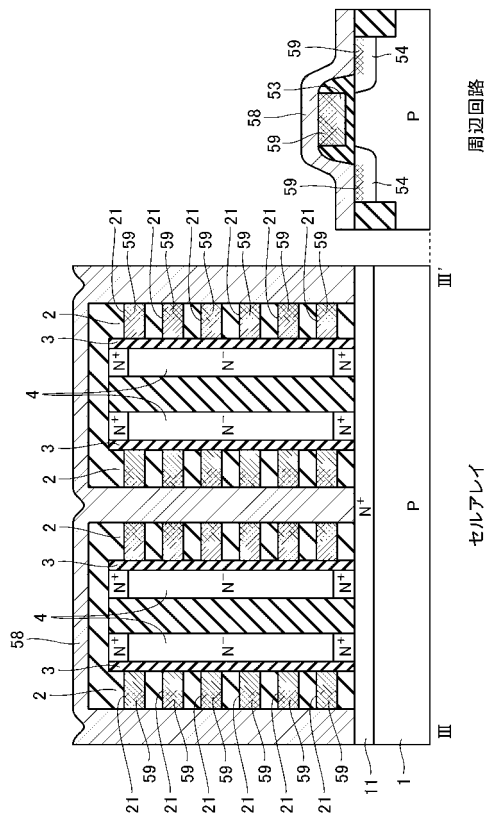
【図 41】



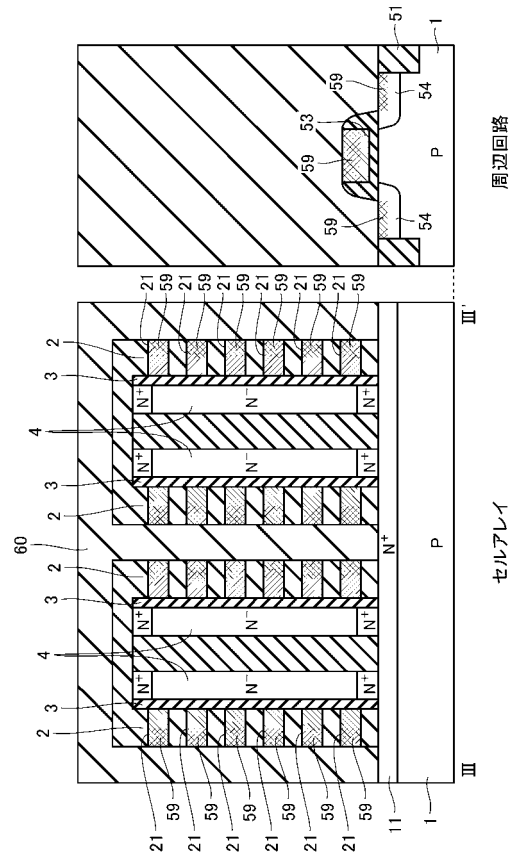
【図 42】



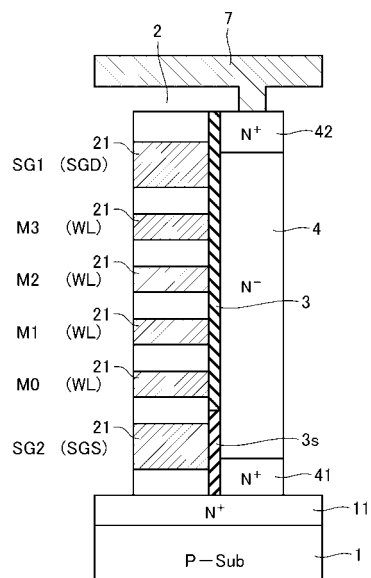
【図 4 3】



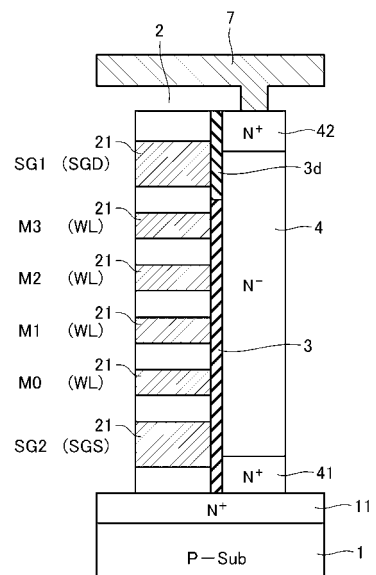
【図 4 4】



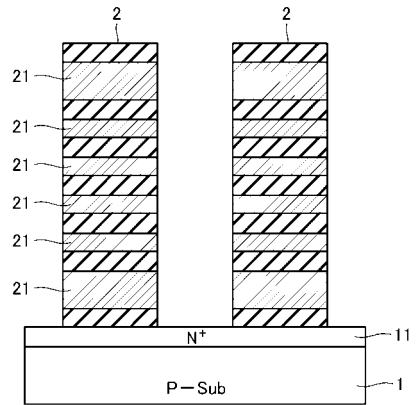
【図 4 5】



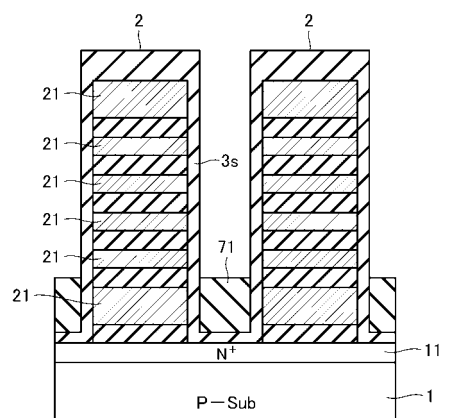
【図 4 6】



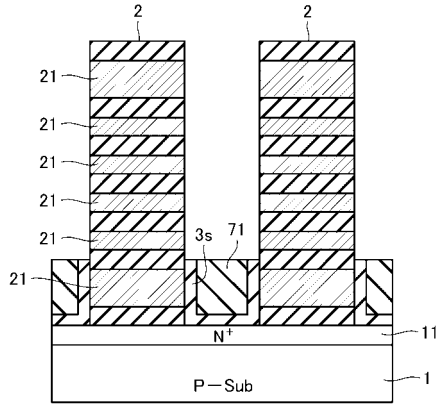
【 図 4 8 】



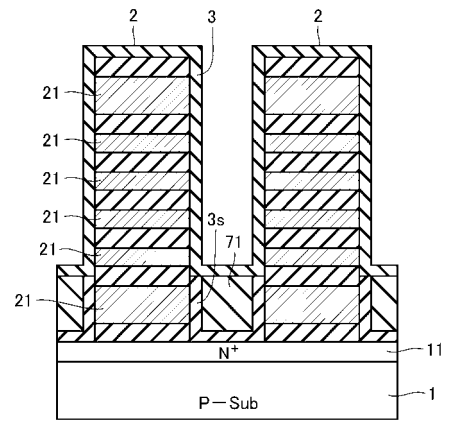
【図 50】



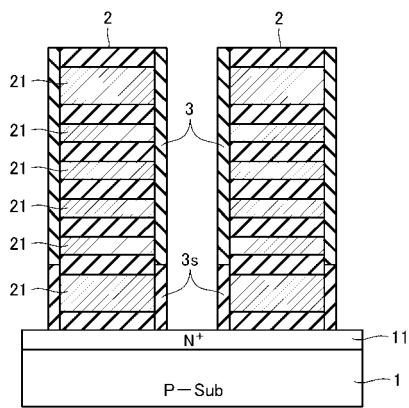
【図 5 1】



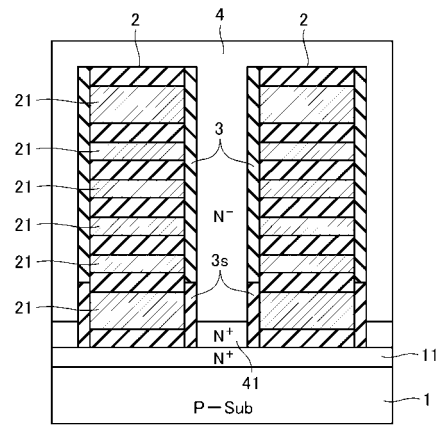
【図 5 2】



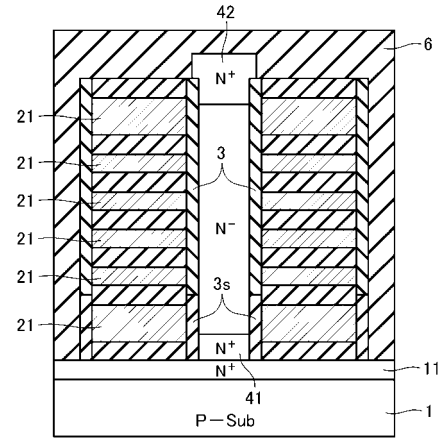
【図 5 3】



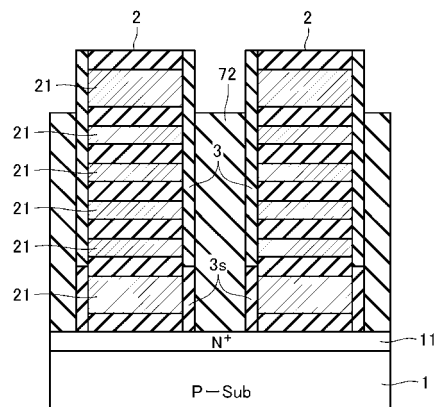
【図 5 4】



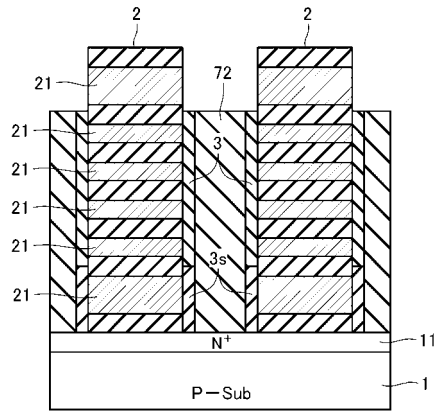
【 図 5 6 】



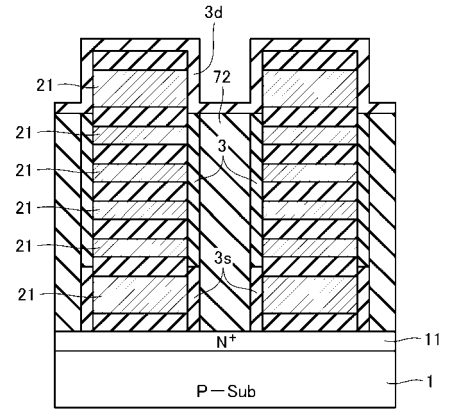
【图 5 8】



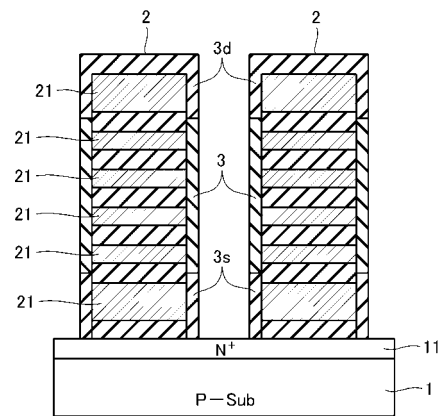
【図 59】



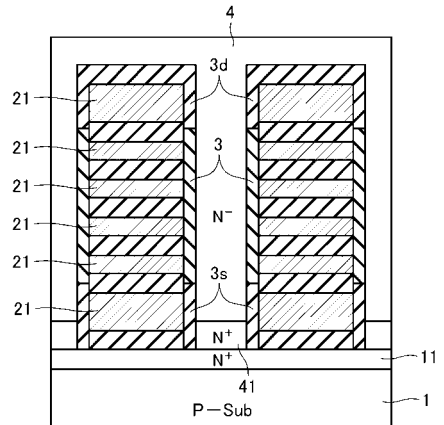
【図 60】



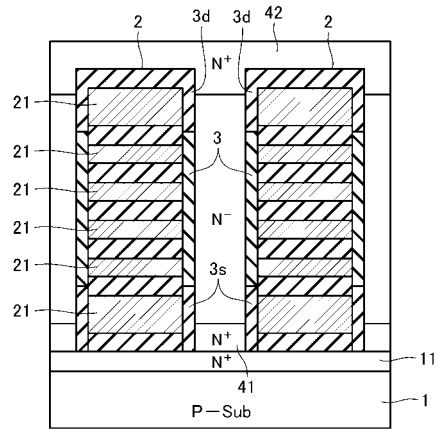
【図 61】



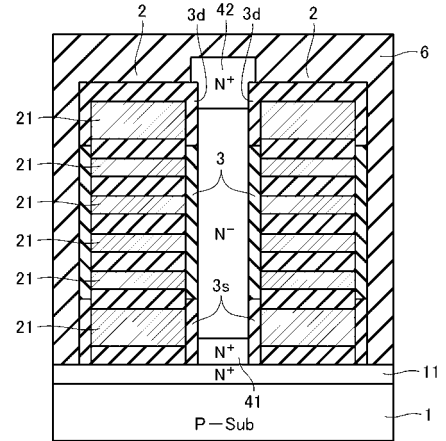
【図 62】



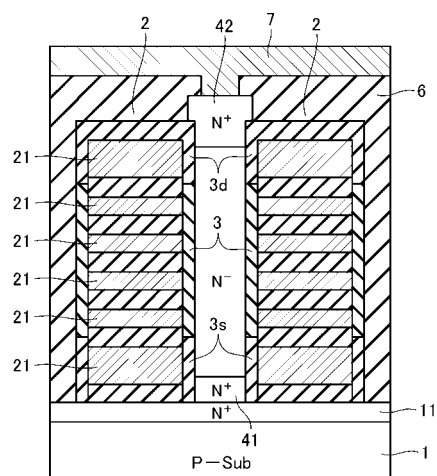
【図 6 3】



【図 6 4】



【図 6 5】



フロントページの続き

(72)発明者 水上 誠

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

Fターム(参考) 5F083 EP18 EP22 EP76 ER03 ER19 JA04 JA19 JA33 JA35 JA36
JA37 JA39 JA56 LA12 LA16 NA01 PR33 PR36 PR41 ZA21
5F101 BA45 BB02 BC02 BD16 BD34 BD35 BE02 BE05 BE07 BH09
BH16 BH21