

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월03일 10-0594229 2006년06월21일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0065226 2003년09월19일	(65) 공개번호 (43) 공개일자	10-2005-0028713 2005년03월23일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                강인구  
                              충청남도 천안시 쌍용2동 월봉대우아파트105-1404

                              윤성환  
                              서울특별시 중랑구 면목4동 삼익아파트101-702

(74) 대리인                리앤목특허법인

심사관 : 김종권

(54) 반도체 패키지 및 그 제조방법

요약

반도체 패키지의 두께를 감소시킬 수 있는 단일 칩 반도체 패키지 및 그 제조방법과 칩 적층형 반도체 패키지 및 그 제조방법에 대하여 개시한다. 본 발명의 일 실시예에 따른 단일 칩 반도체 패키지의 제조방법은 먼저 반도체 칩을 준비하는데, 이 반도체 칩은 그 밑면에 활성면을 구비한 기저부 및 돌출부로 구성되며, 활성면은 내부 본딩 패드 및 내부 본딩 패드로부터 기저부의 양 측면으로 연장되어 뻗어 있는 도전 패턴을 포함하고, 그리고 도전 패턴과 연결되며 그 상면이 노출되어 있는 외부 본딩 패드가 돌출부가 없는 기저부의 양 측단에 형성되어 있다. 그리고, 상면 가장자리에 접속 패드가 형성되어 있는 기판 상에 절연성 접착제로 활성면이 기판을 향하도록 반도체 칩을 부착한 다음, 외부 본딩 패드 및 접속 패드를 와이어로 연결한다. 그리고, 칩 적층형 반도체 패키지의 제조방법에서는 패키징된 반도체 칩의 상부에 동일한 방법으로 다른 반도체 칩을 접착시키고 와이어를 본딩한다.

대표도

도 7

색인어

반도체, 패키지, 와이어, 스택

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 칩 적층형 반도체 패키지에 대한 개략적인 단면도이다.

도 2 내지 도 4는 본 발명의 일 실시예에 따른 반도체 패키지의 제조방법에 사용되는 반도체 칩을 준비하는 과정을 설명하기 위한 도면이다.

도 5는 본 발명의 실시예에 따른 반도체 패키지에 사용되는 반도체 칩을 설명하기 위한 개략적인 단면도이다.

도 6은 본 발명의 일 실시예에 따른 단일 칩 반도체 패키지에 대한 개략적인 사시도 및 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 칩 적층형 반도체 패키지에 대한 개략적인 사시도 및 단면도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 보다 구체적으로는 단일 칩 반도체 패키지 및 그 제조방법과 칩 적층형 반도체 패키지 및 그 제조방법에 관한 것이다.

반도체 패키지 공정은 반도체 칩을 최종적으로 제품화하는 과정이다. 반도체 패키지는 반도체 칩을 외부 장치와 전기적으로 연결할 수 있도록 하며, 밀봉작업을 통하여 반도체 칩을 보호하고 반도체 칩에서 발생하는 열을 발산시키는 등의 역할을 한다. 패키지 공정이 완료된 반도체 칩은 컴퓨터 및 모바일 기기를 비롯한 각종 전자 기기에 탑재되어 사용되고 있다.

최근 모바일 기기를 비롯한 전자 기기는 고성능화되고 있으며, 이와 동시에 소형화 및 경량화되고 있는 추세이다. 이러한 추세는 전자 기기에 사용되는 반도체 패키지의 고성능화, 소형화 및 경량화를 요구하고 있다. 상기한 요구를 충족시키기 위하여 반도체 패키지 분야에서도 여러 가지 패키지 방법이 도입되었는데, 예컨대 플립 칩 패키지(FCP), 칩 스케일 패키지(CSP) 또는 멀티 칩 패키지(MCP) 등의 반도체 패키지 방법이 널리 알려져 있으며, 최근에는 웨이퍼 레벨 패키지(WLP) 방법도 사용되고 있다.

이 중에서 멀티 칩 패키지는 2개 이상의 반도체 칩을 하나의 기판에 실장하는 패키지 방법이다. 2개 이상의 반도체 칩은 동일한 유형의 반도체 칩이거나 다른 유형의 반도체 칩일 수 있다. 멀티 칩 패키지에서는 각 반도체 칩을 동일 평면에 나란히 배열하거나 아니면 수직 방향으로 계속 적층시킬 수 있는데, 이 중에서 후자의 방법(이하, '칩 적층형 반도체 패키지'라 한다)은 반도체 패키지가 점유하고 있는 면적을 줄일 수 있기 때문에, 칩 스케일 패키지(CSP)를 실현할 수 있는 장점이 있다. 하지만, 칩 적층형 반도체 패키지는 패키지의 두께가 두껍기 때문에, 이것을 감소시키고자 하는 요구가 더욱 증가하고 있다.

반도체 패키지 중에서 본딩 와이어를 사용하는 반도체 패키지는, 일반적으로 반도체 칩의 활성면(active surface)이 기판의 반대편을 향하도록 기판에 부착되어 있다. 활성면 상에는 본딩 패드가 형성되어 있는데, 이 본딩 패드는 와이어에 의하여 기판의 접속 단자(또는 리드)와 전기적으로 연결된다. 이 경우, 와이어는 반도체 칩의 상부로 루프 형태로 만들어지기 때문에, 와이어가 반도체 패키지의 두께를 줄이는데 있어서 장애물로 작용한다.

그리고, 이러한 구조는 2개 이상의 반도체 칩을 적층하는 경우에도 전체 반도체 패키지의 두께를 줄이는데 한계가 있다. 예컨대, 하부 반도체 칩의 와이어가 상부 반도체 칩과 접촉하여 손상되는 것을 방지하기 위해서는, 반도체 칩 사이에 접촉 물질을 두껍게 형성하여 충분한 공간을 확보해야 한다. 그 결과, 이 접촉 물질로 인하여 전체 반도체 패키지의 두께가 증가할 수 밖에 없다.

칩 적층형 반도체 패키지에서 하부 반도체 칩의 손상을 방지하고 전체 반도체 패키지의 두께를 줄이기 위한 한 가지 방법은 도 1에 도시되어 있다. 도 1은 종래 기술에 따른 칩 적층형 반도체 패키지의 일 예를 개략적으로 도시하고 있는 도면이다. 도 1을 참조하면, 인쇄 회로의 접속 패드(102)가 형성되어 있는 기판(100) 상에 2개의 반도체 칩(110, 120)이 접촉체(132, 134) 등에 의하여 부착되어 있다. 반도체 칩(110, 120)의 활성면은 기판(100)의 반대쪽이며, 그 상부에는 본딩 패드(112, 122)가 형성되어 있다. 그리고, 본딩 패드(112, 122)는 와이어(124, 224)에 의하여 접속 패드(102)와 전기적으로 연결되어 있다.

이러한 구조는 상부 반도체 칩(120)의 구조를 변경함으로써, 반도체 칩(110, 120) 사이의 접착제(134)의 두께를 최대한 얇게 형성할 수 있고, 그 결과 전체 반도체 패키지의 두께를 감소시킬 수 있는 장점이 있다. 그러나, 이러한 반도체 패키지도 상부 반도체 칩(120)의 와이어는 종래와 동일하게 칩의 상부로 돌출된 루프 모양이기 때문에 반도체 패키지의 두께를 줄이는데 한계가 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명이 이루고자 하는 기술적 과제는 얇은 두께로 형성할 수 있는 단일 칩 반도체 패키지 및 그 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 얇은 두께로 형성할 수 있는 칩 적층형 반도체 패키지 및 그 제조방법을 제공하는데 있다.

**발명의 구성 및 작용**

상기한 기술적 과제를 달성하기 위한 본 발명에 따른 단일 칩 반도체 패키지는 상면 가장자리에 접속 패드가 형성되어 있는 기판; 절연성 접착제에 의하여 활성면이 상기 기판을 향하도록 상기 기판 상에 부착되어 있는 반도체 칩으로서, 상기 반도체 칩은 밑면에 상기 활성면을 구비하는 기저부 및 상기 기저부의 상부로부터 상기 기판과 반대방향으로 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성되어 있는 반도체 칩; 및 상기 외부 본딩 패드와 상기 접속 패드를 연결하는 와이어를 포함한다.

상기한 기술적 과제를 달성하기 위한 본 발명에 의한 단일 칩 반도체 패키지의 제조방법은 밑면에 활성면을 구비한 기저부 및 상기 기저부의 상부로부터 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성된 반도체 칩을 준비하는 단계; 상면 가장자리에 접속 패드가 형성되어 있는 기판 상에 절연성 접착제로 상기 활성면이 상기 기판을 향하도록 상기 반도체 칩을 부착시키는 단계; 및 상기 외부 본딩 패드 및 상기 접속 패드를 와이어로 연결하는 와이어 본딩 단계를 포함한다.

상기한 본 발명에 의한 단일 칩 반도체 제조방법의 일 실시예에 의하면, 상기 반도체 칩을 준비하는 단계는, 상기 내부 본딩 패드 형성 공정이 완료된 다수의 반도체 칩이 어레이되어 있는 상기 웨이퍼에 상기 웨이퍼의 스크라이브 라인 영역으로 연장되도록 상기 내부 본딩 패드와 연결되는 상기 도전 패턴을 형성하는 단계; 상기 웨이퍼의 상기 스크라이브 라인 영역을 식각하여 오프닝을 형성하는 단계; 상기 오프닝에 도전 물질을 채워서 상기 외부 본딩 패드를 형성하는 단계; 상기 스크라이브 라인 영역을 따라서 상기 웨이퍼의 뒷면을 상기 외부 본딩 패드가 노출될 때까지 소잉(sawing)면의 폭이 상기 외부 본딩 패드의 폭보다 크도록 1차 소잉(sawing)하는 단계; 및 소잉면의 폭이 상기 외부 본딩 패드의 폭보다 작도록 상기 웨이퍼를 2차 소잉하여 상기 다수의 반도체 칩을 분리시키는 단계를 포함할 수 있다.

상기한 다른 기술적 과제를 달성하기 위한 본 발명에 의한 칩 적층형 반도체 패키지는 상면 가장자리에 접속 패드가 형성되어 있는 기판; 절연성 접착제에 의하여 제1 활성면이 상기 기판을 향하도록 상기 기판 상에 부착되어 있는 제1 반도체 칩으로서, 상기 반도체 칩은 밑면에 상기 활성면을 구비하는 제1 기저부 및 상기 제1 기저부의 상부로부터 상기 기판과 반대방향으로 돌출되어 있는 제1 돌출부로 구성되며, 상기 제1 활성면은 제1 내부 본딩 패드 및 상기 제1 내부 본딩 패드로부터 상기 제1 기저부의 측면으로 연장된 제1 도전 패턴을 포함하고, 상기 제1 돌출부가 없는 상기 제1 기저부의 측단에는 상기 제1 도전 패턴과 연결되고 상기 제1 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 제1 외부 본딩 패드가 형성되어 있는 반도체 칩; 절연성 접착제에 의하여 제2 활성면이 상기 제1 반도체 칩을 향하도록 상기 제1 반도체 칩 상에 부착되어 있는 제2 반도체 칩으로서, 상기 제2 반도체 칩은 밑면에 상기 제2 활성면을 구비하는 제2 기저부 및 상기 제2 기저부의 상부로부터 상기 제1 반도체 칩과 반대방향으로 돌출되어 있는 제2 돌출부로 구성되며, 상기 제2 활성면은 제2 내부 본딩 패드 및 상기 제2 내부 본딩 패드로부터 상기 제2 기저부의 측면으로 연장된 제2 도전 패턴을 포함하고, 상기 제2 돌출부가 없는 상기 제2 기저부의 측단에는 상기 제2 도전 패턴과 연결되고 상기 제2 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 제2 외부 본딩 패드가 형성되어 있는 반도체 칩; 상기 제1 외부 본딩 패드와 상기 접속 패드를 연결하는 제1 와이어; 및 상기 제2 외부 본딩 패드와 상기 접속 패드를 연결하는 제2 와이어를 포함한다.

상기한 칩 스택 반도체 패키지의 일 실시예에 의하면 상기 제1 반도체 칩 및 상기 제2 반도체 칩은 동일한 종류의 반도체 칩이거나 다른 종류의 반도체 칩일 수 있다.

상기한 다른 기술적 과제를 달성하기 위한 본 발명에 의한 칩 스택 반도체 패키지의 제조방법에 의하면 밑면에 활성면을 구비한 기저부 및 상기 기저부의 상부로부터 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성된 제1 반도체 칩 및 제2 반도체 칩을 준비하는 단계; 상면 가장자리에 접속 패드가 형성되어 있는 기판 상에 절연성 접착제로 상기 활성면이 상기 기판을 향하도록 상기 제1 반도체 칩을 부착시키는 단계; 및 상기 제1 반도체 칩의 외부 본딩 패드과 상기 접속 패드를 와이어로 연결하는 제1 와이어 본딩 단계; 상기 제1 반도체 칩의 돌출부 상에 절연성 접착제로 상기 활성면이 상기 제1 반도체 칩을 향하도록 상기 제2 반도체 칩을 부착시키는 단계; 및 상기 제2 반도체 칩의 외부 본딩 패드 및 상기 접속 패드를 와이어로 연결하는 제2 와이어 본딩 단계를 포함한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것들이다. 도면에 있어서, 층의 두께 및/또는 영역들의 크기 등은 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

도 2 내지 도 6에는 본 발명의 바람직한 실시예에 따른 반도체 패키지의 제조방법이 도시되어 있다.

먼저 도 2를 참조하면, 도 2에는 펌(fab) 공정이 완료된 웨이퍼(210)의 일부에 대한 개략적인 평면도 및 이 평면도의 XX' 라인을 따라 취한 단면도가 도시되어 있다. 웨이퍼(210)는 가로 및 세로 방향으로 어레이되어 있는 다수의 반도체 소자를 포함하며, 각 반도체 소자는 스크라이브 라인(scribe line)에 의하여 구분되어 있다.

반도체 소자의 내부(단면도 상의 점선 표시 영역)에는 집적 회로(도시하지 않음)가 형성되어 있으며, 도 2의 평면도에는 내부 본딩 패드(212)의 평면 배열만이 도시되어 있다. 도면에서 내부 본딩 패드(212)는 가장자리에 배열되어 있으나, 본 발명은 이와 같은 배열을 가진 반도체 소자에만 한정되는 것은 아니다. 예컨대, 내부 본딩 패드는 사각형의 양쪽 가장자리에만 배열되어 있거나 또는 중앙에 일렬로 배열되어 있을 수도 있다.

그리고, 웨이퍼(210)에는 도전 패턴(241, 242)이 형성되어 있다. 도전 패턴(241, 242) 각각은 적어도 내부 본딩 패드(212) 중의 하나와 연결되어 있다. 그리고, 도전 패턴(241, 242)은 스크라이브 라인까지 연장되도록 형성되어 있다. 스크라이브 라인에 형성되어 있는 도전 패턴(242)은 소정의 넓이를 가지도록 형성하는 것이 전기적인 접속을 위하여 바람직하다. 그리고, 이웃한 반도체 소자에서 연장되는 도전 패턴과 서로 연결되도록 도전 패턴(242)을 형성하면, 공정을 단순화할 수 있다.

도전 패턴(241, 242)은 내부 본딩 패드(212)를 형성하는 공정을 이용하여 형성할 수 있다. 즉, 도전 패턴(241, 242)은 반도체 제조 공정에서 내부 본딩 패드(212)를 형성할 때 동시에 형성하는 것이 바람직하다. 이 경우에는 도 2의 단면도에 도시된 것과 같이 도전 패턴(241, 242)은 내부 본딩 패드(212)와 동일한 높이에 위치하며, 도전 패턴(241, 242)은 내부 본딩 패드(212)와 동일한 물질로 형성한다. 그러나, 내부 본딩 패드(212)를 먼저 형성한 다음, 도전 패턴(241, 242)을 형성하는 공정을 추가함으로써 내부 본딩 패드(212)의 상부층에 도전 패턴(241, 242)을 형성할 수도 있다.

다음으로 도 3을 참조하면, 스크라이브 라인에 외부 본딩 패드(250)를 형성한다. 외부 본딩 패드(250)를 형성하기 위해서는 먼저 포토리소그래피 공정을 이용하여 웨이퍼(210)의 스크라이브 라인 부분을 식각하여 오픈링(opening)을 형성한다. 오픈링은 반도체 소자의 활성면에 형성되어 있는 집적회로가 형성되어 있는 층보다 더 깊은 깊이로 형성한다. 그리고, 오픈링은 도전 패턴(242)의 내부에 형성하거나 최소한 도전 패턴(241, 242)과 연결이 될 수 있도록 형성한다. 그리고, 이 오픈링을 구리 등과 같은 도전물질로 채운다. 그 결과, 도 3에 도시된 것과 같이 도전 패턴(241)에 의하여 내부 본딩 패드(212)와 연결되는 외부 본딩 패드(250)가 만들어진다.

계속해서, 웨이퍼(210)의 뒷면을 연마하는 백 그라인딩 공정을 실시한다. 백 그라인딩 공정은 웨이퍼의 두께를 원하는 두께까지 감소시키기 위한 것으로서, 전체적인 패키지의 두께를 감소시키기 위하여 필요하다. 그러나, 이 백그라인딩 공정이 필수적인 공정은 아니다. 백 그라인딩 공정에서는 외부 본딩 패드(250)의 깊이보다는 웨이퍼(210a)가 더 두꺼운 두께를 갖도록 한다.

다음으로, 외부 본딩 패드(250)를 포함하는 웨이퍼(210a)를 개별 반도체 칩으로 분리하기 위한 다이싱(dicing) 공정을 실시한다. 본 실시예에서는 다이싱 공정을 2단계로 나누어서 실시한다.

먼저, 도 4를 참조하면, 외부 본딩 패드(250)가 형성되어 있는 위치의 웨이퍼(210a) 뒷면 즉, 스크라이브 라인의 뒷면에서 1차 소잉(sawing) 공정을 진행한다. 1차 소잉 공정은 웨이퍼(210b)를 완전히 자르는 것이 아니라 외부 본딩 패드(250)가 형성되어 있는 깊이까지만 진행을 한다. 즉, 1차 소잉 공정의 결과, 최소한 외부 본딩 패드(250)의 밑면은 노출되는 깊이까지 웨이퍼(210b)를 자른다.

또한, 1차 소잉 공정에서는 소잉되는 부분의 폭( $d_1$ )은 외부 본딩 패드(241)의 폭과 같거나 이보다 더 크도록 공정을 진행하는 것이 바람직하다. 예컨대, 1차 소잉 공정에서는 폭이 외부 본딩 패드(241)의 폭보다 큰 블레이드를 사용하여 웨이퍼(210b)의 뒷면을 소잉한다. 그리고, 이 때 사용하는 블레이드의 폭은 스크라이브 라인의 폭보다는 작아야 한다.

계속해서, 도 4의 결과물에 대하여 2차 소잉 공정을 진행한다. 2차 소잉 공정은 1차 소잉 공정에 비하여 폭이 좁은 블레이드를 사용하거나 레이저를 이용하여 웨이퍼를 절단한다. 그 결과물이 도 5에 도시되어 있다.

도 5를 참조하면, 반도체 칩(210b)은 제1 크기( $d_2$ )를 가지는 직육면체 형상의 반도체 칩의 제1 부분과 상기 제1 크기( $d_2$ )보다 큰 제2 크기( $d_3$ )를 가지며 상기 제1 부분의 상부에 연장되는 직육면체 형상의 반도체 칩의 제2 부분으로 구성된다. 크기가 큰 제2 부분은 도시된 반도체 칩(210b)을 뒤집는 경우에는 기저부를 이룬다. 그리고, 크기가 작은 제1 부분은 상기 기저부에 대한 돌출부를 이룬다. 즉, 본 실시예에 의한 반도체 칩(210b)은 기저부 및 돌출부로 구성되며, 기저부의 양측 가장자리에는 돌출부가 없다. 돌출부가 없는 기저부의 부분은 적어도 기저부의 양측 가장자리이며, 전, 후의 가장자리에도 돌출부가 없을 수가 있다.

반도체 칩의 제2 부분 즉 기저부의 노출면에는 활성면이 구비되어 있는데, 활성면에는 내부 본딩 패드(212) 및 도전 패턴(241)이 형성되어 있다. 그리고, 기저부의 돌출부가 없는 부분에는 외부 본딩 패드(250b)가 형성되어 있는데, 적어도 외부 본딩 패드(250b)는 일면이 돌출부가 있는 방향으로 노출되어 있다. 상기 외부 본딩 패드(250b)는 도전 패턴(241)을 통하여 내부 본딩 패드(212)와 전기적으로 연결되어 있다.

도 6에는 도 5에 도시된 반도체 칩(210b)을 포함하는 본 발명의 실시예에 따른 단일 칩 반도체 패키지에 대한 사시도 및 단면도가 도시되어 있다. 도시된 단일 칩 반도체 패키지는 다음과 같은 방법으로 제조할 수 있다.

먼저 절연성 접착제(232)를 사용하여 도 5에 도시된 반도체 칩(210b)을 기판(200)에 부착한다. 본 실시예에서는 반도체 칩(210b)의 활성면이 기판(200)을 향하도록 반도체 칩(210b)을 뒤집어서 즉, 기저부가 기판을 향하도록 해서 반도체 칩(210b)을 기판(200)에 부착한다. 여기서, 기판(200)은 인쇄 회로 기판, 필름형 기판 또는 리드 프레임일 수도 있다. 기판(200)에는 반도체 칩(210b)과의 전기적인 접속을 위한 접속 패드(202)가 형성되어 있다.

다음으로, 와이어 본딩 공정을 실시한다. 와이어 본딩 공정은 외부 본딩 패드(250b)의 노출면과 접속 패드(202)를 와이어(214)로 연결하는 공정이다. 와이어 본딩 공정에서는 포워드 볼 본딩 방법, 범퍼 리버스 볼 본딩 방법 또는 웨지 본딩 방법 등 이 분야의 통상적인 기술을 사용하여 실시할 수 있다. 어떠한 와이어 본딩 방법을 사용하든 본 실시예에서는 외부 본딩 패드(250b)의 노출면이 반도체 칩(250b)의 높이보다 낮기 때문에 본딩 와이어(214)의 높이가 반도체 칩(250b)의 높이 이하로 형성하는 것이 가능하다. 계속해서, 몰딩 공정 등 통상적인 반도체 패키지 공정의 후속 공정을 실시하면, 단일 칩 반도체 패키지가 완성된다(도시하지 않음).

본 실시예에서는 와이어(214)의 높이가 반도체 칩(210b)의 높이 즉 돌출부의 높이 보다는 낮기 때문에 몰드용 수지도 가능한 낮게 형성할 수가 있다. 따라서, 몰드용 수지를 아주 높게 형성할 필요가 없기 때문에 전체 반도체 패키지의 두께를 감소시킬 수가 있다.

도 7에는 본 발명의 바람직한 실시예에 따라 형성된 칩 적층형 반도체 패키지에 대한 개략적인 사시도 및 단면도가 도시되어 있다. 도 7에는 2개의 반도체 칩을 적층한 구조가 도시되어 있으나, 후술되는 실시예는 3개 이상의 반도체 칩이 적층되어 있는 칩 적층형 반도체 패키지에 대해서도 동일하게 적용된다. 이하, 도 7에 도시된 칩 적층형 반도체 패키지의 제조방법에 대해서 설명한다.

도 7을 참조하면, 먼저 도 2 내지 도 5를 참조하여 설명한 방법과 동일한 방법으로 하부 반도체 칩(210b) 및 상부 반도체 칩(220b)을 준비한다. 즉, 도 5에 도시된 반도체 칩을 2개 준비한다. 도시된 바와 같이, 하부 반도체 칩(210b)과 상부 반도체 칩(220b)은 동일한 종류의 반도체 소자일 수도 있지만, 본 발명의 실시예는 여기에만 한정되는 것은 아니다. 즉, 하부 반도체 칩(210b)과 상부 반도체 칩(220b)은 서로 다른 종류의 반도체 소자일 수도 있다.

다음으로, 도 6에서 설명한 바와 같이 기판(200)에 절연성 접착제를 사용하여 하부 반도체 칩(210b)을 부착하고, 와이어(214)로 외부 본딩 패드(250b) 및 접속 패드(202)를 전기적으로 접속시킨다. 하부 반도체 칩(210b)과 상부 반도체 칩(260b)이 다른 종류일 경우에는, 도시된 접속 패드(202) 이외에 상부 반도체 칩(220b)과의 전기적 접속을 위한 다른 접속 패드가 더 구비되어 있을 수 있다.

계속해서 하부 반도체 칩(210b) 상에 상부 반도체 칩(220b)을 부착시키기 위한 공정을 실시한다. 이를 위하여, 먼저 하부 반도체 칩(210b) 상에 절연성 접착제(234)를 도포한다. 그리고, 접착제(234) 상에 활성면이 하부 반도체 칩(210b)을 향하도록 상부 반도체 칩(220b)을 놓이게 하여, 양 칩을 서로 접촉시킨다. 그리고, 계속해서 상부 반도체 칩(220b)의 외부 본딩 패드(260b)와 접속 단자(202)를 연결시키기 위한 와이어 본딩 공정을 실시한다. 상부 반도체 칩(220b)의 경우에도 와이어 본딩 방법은 특별한 제한이 없다.

본 실시예에 의하면, 하부 반도체 칩(210b)의 와이어(214)가 하부 반도체 칩(210b) 보다 높이가 낮기 때문에, 와이어(214)는 상부 반도체 칩(220b)과 접촉되지 않으며, 따라서 접착제(234)의 두께를 두껍게 형성할 필요가 없다. 또한, 상부 반도체 칩(220b)의 와이어(224)도 상부 반도체 칩(220b)보다 높이가 낮다. 따라서, 본 실시예에 의하면 칩 적층형 반도체 패키지의 전체 두께를 감소시킬 수가 있다.

### 발명의 효과

본 발명에 의하면 단일 칩 반도체 패키지의 두께를 감소시킬 수 있고 경량화시킬 수가 있다. 따라서, 이러한 반도체 패키지를 사용하여 두께가 얇으며 무게가 가벼운 모바일 전자기기 등을 제조할 수가 있다. 또한, 단일 칩 반도체 패키지를 제조하는 공정도 간단하며, 특히 반도체 웨이퍼의 스크라이브 라인 영역을 활용하기 때문에 반도체 패키지의 생산성도 저하되지 않는다.

그리고, 본 발명에 의하면 칩 적층형 반도체 패키지의 두께를 감소시킬 수가 있고 경량화시킬 수 있을 뿐만 아니라 고집적 및/또는 고성능의 반도체 패키지를 제조할 수가 있다. 따라서, 두께가 얇으며 무게가 가벼울 뿐만 아니라 고성능, 고집적 반도체 칩을 포함하는 전자 기기를 제조할 수가 있다.

### (57) 청구의 범위

#### 청구항 1.

상면 가장자리에 접속 패드가 형성되어 있는 기판;

절연성 접착제에 의하여 활성면이 상기 기판을 향하도록 상기 기판 상에 부착되어 있는 반도체 칩으로서, 상기 반도체 칩은 밑면에 상기 활성면을 구비하는 기저부 및 상기 기저부의 상부로부터 상기 기판과 반대방향으로 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성되어 있는 반도체 칩; 및

상기 외부 본딩 패드와 상기 접속 패드를 연결하는 와이어를 포함하는 단일 칩 반도체 패키지.

#### 청구항 2.

제1항에 있어서, 상기 기저부의 양 측단은 웨이퍼의 스크라이브 라인 영역에 해당하는 것을 특징으로 하는 단일 칩 반도체 패키지.

### 청구항 3.

제1항에 있어서, 상기 와이어는 상기 와이어 본딩 패드의 상기 노출된 상면과 상기 접속 패드를 연결하는 것을 특징으로 하는 단일 칩 반도체 패키지.

### 청구항 4.

밑면에 활성면을 구비한 기저부 및 상기 기저부의 상부로부터 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성된 반도체 칩을 준비하는 단계;

상면 가장자리에 접속 패드가 형성되어 있는 기판 상에 절연성 접착제로 상기 활성면이 상기 기판을 향하도록 상기 반도체 칩을 부착시키는 단계; 및

상기 외부 본딩 패드와 상기 접속 패드를 와이어로 연결하는 와이어 본딩 단계를 포함하는 단일 칩 반도체 패키지의 제조 방법.

### 청구항 5.

제4항에 있어서, 상기 외부 본딩 패드는,

웨이퍼의 스크라이브 라인 영역에 형성하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 6.

제5항에 있어서, 상기 와이어는 상기 와이어 본딩 패드의 상기 노출된 상면과 상기 접속 패드를 연결하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 7.

제5항에 있어서, 상기 반도체 칩을 준비하는 단계는,

상기 내부 본딩 패드 형성 공정이 완료된 다수의 반도체 칩이 어레이되어 있는 상기 웨이퍼에 상기 웨이퍼의 스크라이브 라인 영역으로 연장되도록 상기 내부 본딩 패드와 연결되는 상기 도전 패턴을 형성하는 단계;

상기 웨이퍼의 상기 스크라이브 라인 영역을 식각하여 오프닝을 형성하는 단계;

상기 오프닝에 도전 물질을 채워서 상기 외부 본딩 패드를 형성하는 단계;

상기 스크라이브 라인 영역을 따라서 상기 웨이퍼의 뒷면을 상기 외부 본딩 패드가 노출될 때까지 소잉(sawing)면의 폭이 상기 외부 본딩 패드의 폭보다 크도록 1차 소잉(sawing)하는 단계; 및

소잉면의 폭이 상기 외부 본딩 패드의 폭보다 작도록 상기 웨이퍼를 2차 소잉하여 상기 다수의 반도체 칩을 분리시키는 단계를 포함하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 8.

제7항에 있어서,

상기 외부 본딩 패드 형성 단계 이후에 상기 웨이퍼의 뒷면을 그라인딩하는 단계를 더 포함하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 9.

제7항에 있어서,

상기 내부 본딩 패드 및 상기 도전 패턴은 동시에 형성하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 10.

제7항에 있어서,

상기 2차 소잉은 상기 외부 본딩 패드의 폭보다 폭이 작은 소잉 블레이드 또는 레이저를 사용하여 실시하는 것을 특징으로 하는 단일 칩 반도체 패키지의 제조방법.

### 청구항 11.

상면 가장자리에 접속 패드가 형성되어 있는 기판;

절연성 접착체에 의하여 제1 활성면이 상기 기판을 향하도록 상기 기판 상에 부착되어 있는 제1 반도체 칩으로서, 상기 반도체 칩은 밑면에 상기 활성면을 구비하는 제1 기저부 및 상기 제1 기저부의 상부로부터 상기 기판과 반대방향으로 돌출되어 있는 제1 돌출부로 구성되며, 상기 제1 활성면은 제1 내부 본딩 패드 및 상기 제1 내부 본딩 패드로부터 상기 제1 기저부의 측면으로 연장된 제1 도전 패턴을 포함하고, 상기 제1 돌출부가 없는 상기 제1 기저부의 측단에는 상기 제1 도전 패턴과 연결되고 상기 제1 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 제1 외부 본딩 패드가 형성되어 있는 반도체 칩;

절연성 접착체에 의하여 제2 활성면이 상기 제1 반도체 칩을 향하도록 상기 제1 반도체 칩 상에 부착되어 있는 제2 반도체 칩으로서, 상기 제2 반도체 칩은 밑면에 상기 제2 활성면을 구비하는 제2 기저부 및 상기 제2 기저부의 상부로부터 상기 제1 반도체 칩과 반대방향으로 돌출되어 있는 제2 돌출부로 구성되며, 상기 제2 활성면은 제2 내부 본딩 패드 및 상기 제2 내부 본딩 패드로부터 상기 제2 기저부의 측면으로 연장된 제2 도전 패턴을 포함하고, 상기 제2 돌출부가 없는 상기 제2 기저부의 측단에는 상기 제2 도전 패턴과 연결되고 상기 제2 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 제2 외부 본딩 패드가 형성되어 있는 반도체 칩;

상기 제1 외부 본딩 패드와 상기 접속 패드를 연결하는 제1 와이어; 및

상기 제2 외부 본딩 패드와 상기 접속 패드를 연결하는 제2 와이어를 포함하는 칩 적층형 반도체 패키지.

### 청구항 12.

제11항에 있어서, 상기 제1 반도체 칩 및 상기 제2 반도체 칩은 동일한 종류의 반도체 칩인 것을 특징으로 하는 칩 적층형 반도체 패키지.

### 청구항 13.



제11항에 있어서, 상기 제1 반도체 칩 및 상기 제2 반도체 칩은 다른 종류의 반도체 칩인 것을 특징으로 하는 칩 적층형 반도체 패키지.

#### 청구항 14.

제11항에 있어서,

상기 칩 적층형 반도체 패키지는 상기 제2 반도체 칩 상에 부착되어 있는 제3 반도체 칩 및/또는 제4 반도체 칩을 더 포함하는 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

#### 청구항 15.

밑면에 활성면을 구비한 기저부 및 상기 기저부의 상부로부터 돌출되어 있는 돌출부로 구성되며, 상기 활성면은 내부 본딩 패드 및 상기 내부 본딩 패드로부터 상기 기저부의 측면으로 연장된 도전 패턴을 포함하고, 상기 돌출부가 없는 상기 기저부의 측단에는 상기 도전 패턴과 연결되고 상기 활성면과 반대방향으로 노출된 상면을 갖도록 연장된 외부 본딩 패드가 형성된 제1 반도체 칩 및 제2 반도체 칩을 준비하는 단계;

상면 가장자리에 접속 패드가 형성되어 있는 기판 상에 절연성 접착제로 상기 활성면이 상기 기판을 향하도록 상기 제1 반도체 칩을 부착시키는 단계; 및

상기 제1 반도체 칩의 외부 본딩 패드와 상기 접속 패드를 와이어로 연결하는 제1 와이어 본딩 단계;

상기 제1 반도체 칩의 돌출부 상에 절연성 접착제로 상기 활성면이 상기 제1 반도체 칩을 향하도록 상기 제2 반도체 칩을 부착시키는 단계; 및

상기 제2 반도체 칩의 외부 본딩 패드 및 상기 접속 패드를 와이어로 연결하는 제2 와이어 본딩 단계를 포함하는 칩 적층형 반도체 패키지의 제조방법.

#### 청구항 16.

제15항에 있어서, 상기 제1 반도체 칩의 외부 본딩 패드 및 상기 제2 반도체 칩의 외부 본딩 패드는 웨이퍼의 스크라이브 라인 영역에 형성하는 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

#### 청구항 17.

제15항에 있어서, 상기 제1 반도체 칩 및 상기 제2 반도체 칩을 준비하는 단계는,

상기 내부 본딩 패드 형성 공정이 완료된 다수의 반도체 칩이 어레이되어 있는 상기 웨이퍼에 상기 웨이퍼의 스크라이브 라인 영역으로 연장되도록 상기 내부 본딩 패드와 연결되는 상기 도전 패턴을 형성하는 단계;

상기 웨이퍼의 상기 스크라이브 라인 영역을 식각하여 오프닝을 형성하는 단계;

상기 오프닝에 도전 물질을 채워서 상기 외부 본딩 패드를 형성하는 단계;

상기 스크라이브 라인 영역을 따라서 상기 웨이퍼의 뒷면을 상기 외부 본딩 패드가 노출될 때까지 소잉(sawing)면의 폭이 상기 외부 본딩 패드의 폭보다 크도록 1차 소잉(sawing)하는 단계; 및

소잉면의 폭이 상기 외부 본딩 패드의 폭보다 작도록 상기 웨이퍼를 2차 소잉하여 상기 다수의 반도체 칩을 분리시키는 단계를 포함하는 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

**청구항 18.**

제17항에 있어서,

상기 외부 본딩 패드 형성 단계 이후에 상기 웨이퍼의 뒷면을 그라인딩하는 단계를 더 포함하는 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

**청구항 19.**

제15항에 있어서,

상기 제1 반도체 칩 및 상기 제2 반도체 칩은 동일한 종류의 반도체 칩인 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

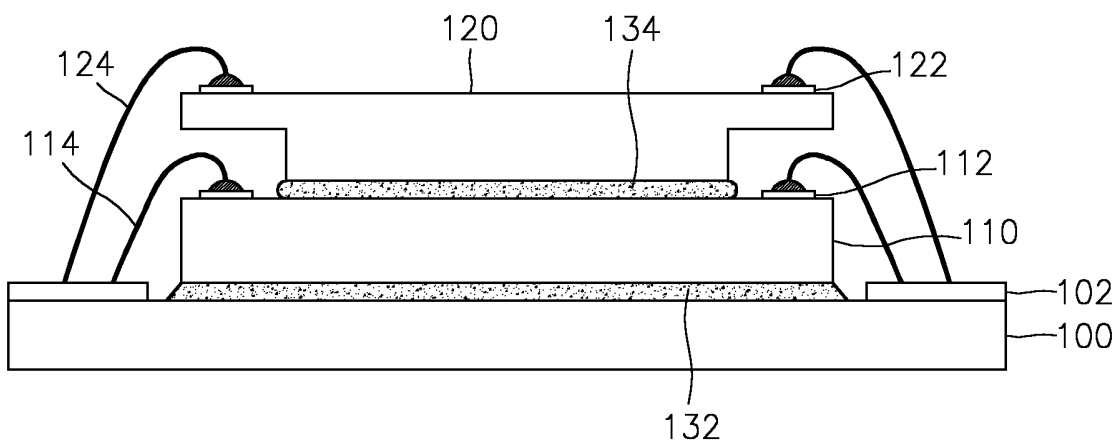
**청구항 20.**

제15항에 있어서,

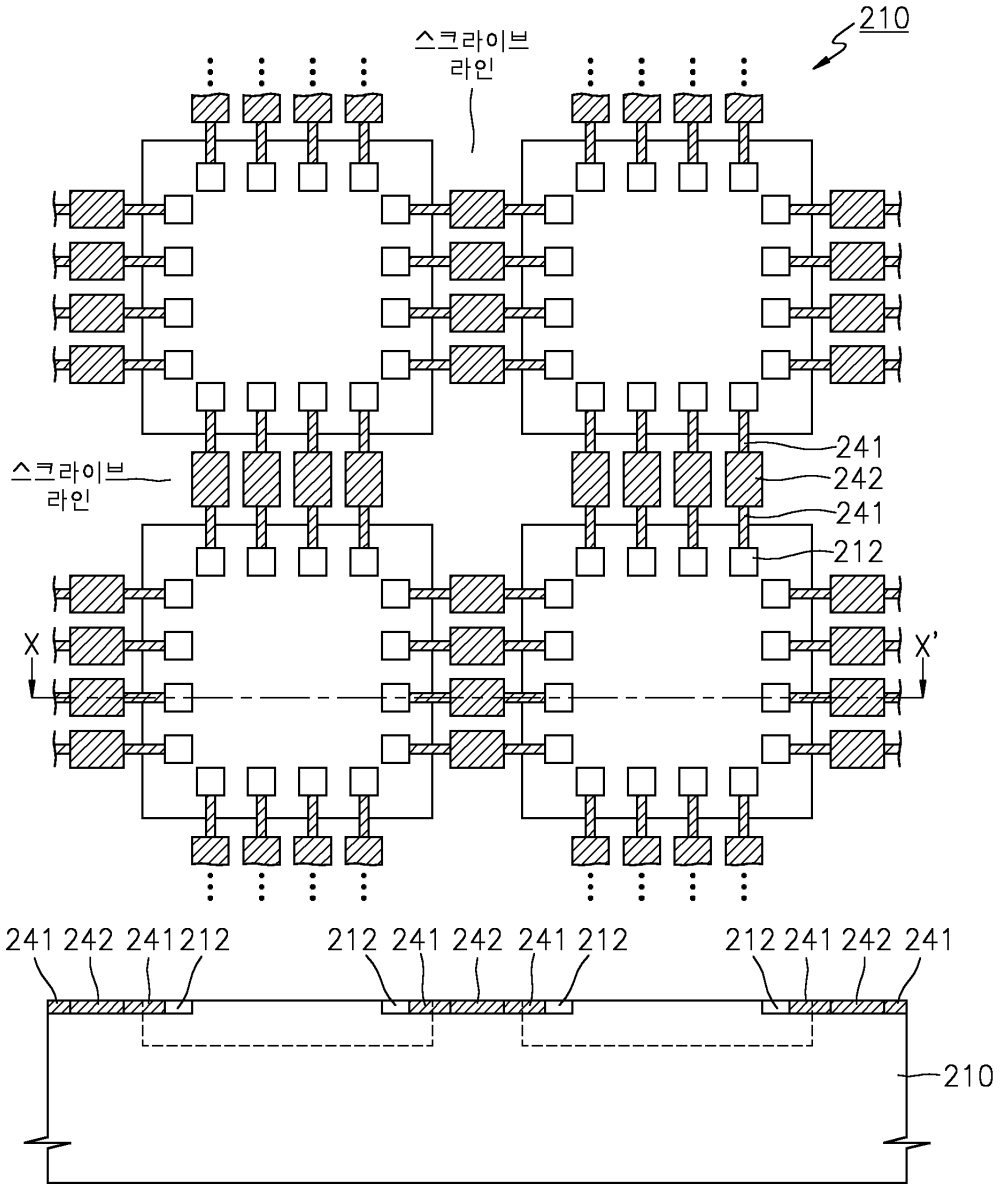
상기 제1 반도체 칩 및 상기 제2 반도체 칩은 다른 종류의 반도체 칩인 것을 특징으로 하는 칩 적층형 반도체 패키지의 제조방법.

**도면**

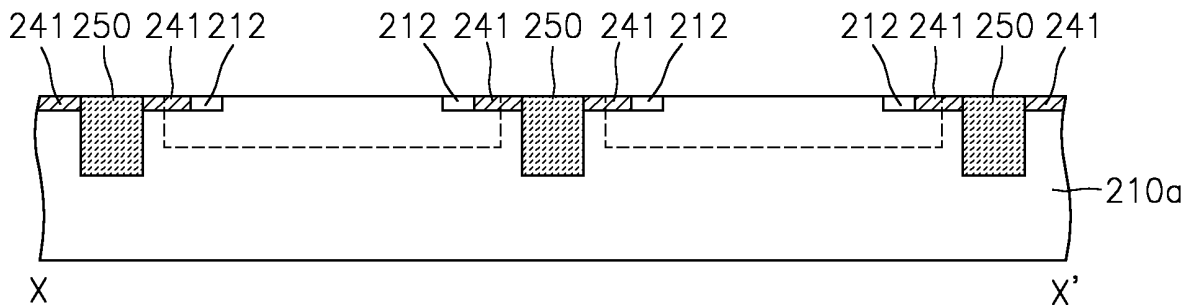
도면1



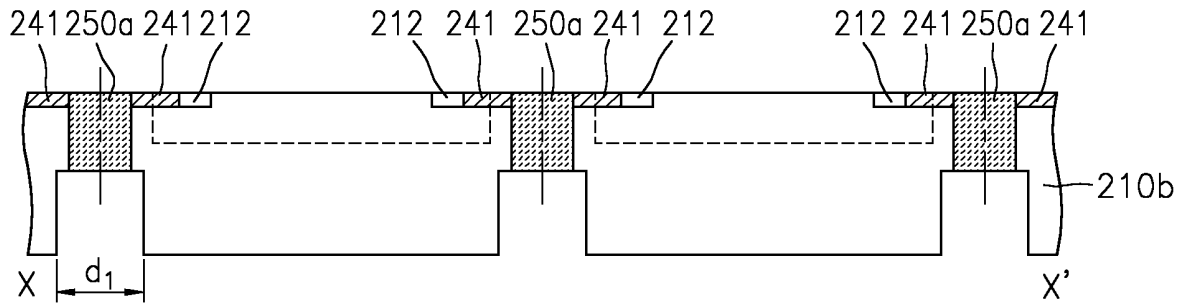
도면2



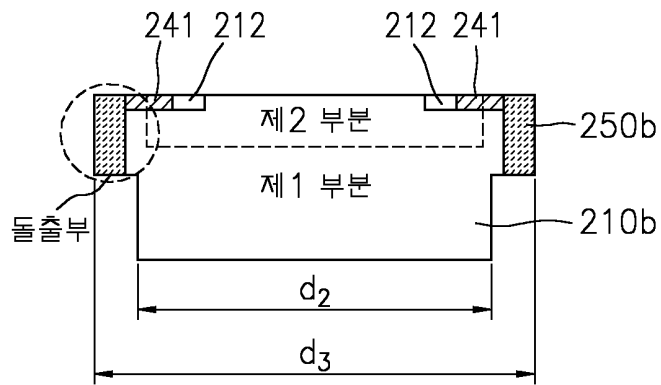
도면3



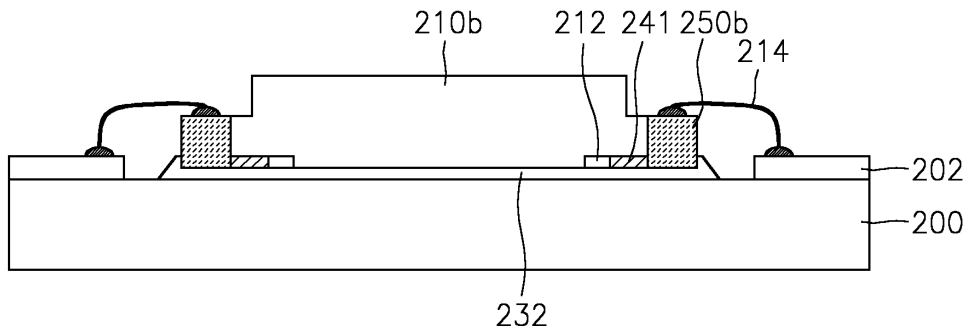
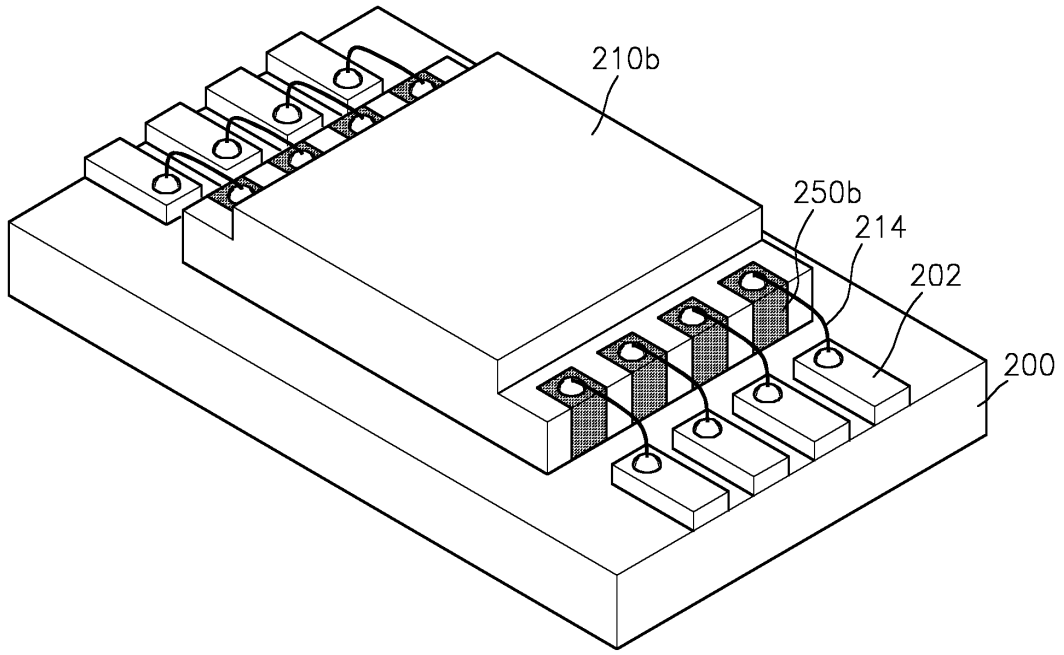
도면4



도면5



도면6



도면7

