



(12)发明专利

(10)授权公告号 CN 107331653 B

(45)授权公告日 2020.08.18

(21)申请号 201610283308.0

(56)对比文件

(22)申请日 2016.04.29

CN 105097816 A,2015.11.25

TW 201507107 A,2015.02.16

(65)同一申请的已公布的文献号

申请公布号 CN 107331653 A

审查员 吕阆

(43)申请公布日 2017.11.07

(73)专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路16号

(72)发明人 林志曜

(74)专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 任岩

(51)Int.Cl.

H01L 23/488(2006.01)

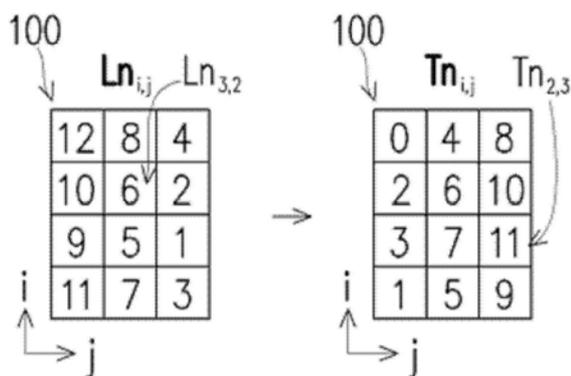
权利要求书1页 说明书5页 附图4页

(54)发明名称

接触垫结构

(57)摘要

本发明提供了一种接触垫结构,包括交替堆叠的N层(N≥6)绝缘层及N层导电层,且具有排成二维阵列的N个区域露出各导电层。当这些导电层由下至上编号为第1至第N导电层时,同行的区域中露出的导电层的编号Ln朝一列方向递减,相邻两行的区域之间的Ln值差异固定,同列的区域中Ln由两端向中央渐减,且相邻两列的区域之间的Ln值差异固定。



1. 一种接触垫结构,其特征在于,包括交替堆叠的N层 ($N \geq 6$) 绝缘层及N层导电层,且具有N个区域暴露出各个导电层,其中这些区域排列成 $P \times Q$ 的二维阵列 ($P \geq 3, Q \geq 2$),且在二维阵列之外,不具有层数小于N的导电层;

当这些导电层由下至上编号为第1至第N导电层且区域 (i, j) ($i = 1 \sim P, j = 1 \sim Q$) 暴露出的导电层为第 $L_{n_{i,j}}$ 导电层时,

在第i行的Q个区域中, $L_{n_{i,j}}$ 随j值增加而递减,即 $L_{n_{i,1}} > L_{n_{i,2}} > \dots > L_{n_{i,Q}}$,

第i行的Q个区域及第i+1行的Q个区域之间的 L_n 值差异固定,即 $L_{n_{i,1}} - L_{n_{i+1,1}} = L_{n_{i,2}} - L_{n_{i+1,2}} = \dots = L_{n_{i,Q}} - L_{n_{i+1,Q}}$,

在第j列的P个区域中, $L_{n_{i,j}}$ 由两端向中央渐减,即 $L_{n_{1,j}}, L_{n_{P,j}} > L_{n_{2,j}}, L_{n_{P-1,j}} > \dots$,并且

第j列的P个区域及第j+1列的P个区域之间的 L_n 值差异固定,即 $L_{n_{1,j}} - L_{n_{1,j+1}} = L_{n_{2,j}} - L_{n_{2,j+1}} = \dots = L_{n_{P,j}} - L_{n_{P,j+1}}$ 。

2. 根据权利要求1所述的接触垫结构,其特征在于,在各该区域 (i, j) 中不存在高于第 $L_{n_{i,j}}$ 导电层的绝缘层或导电层。

3. 根据权利要求1所述的接触垫结构,其特征在于,在暴露出第N导电层的区域以外的各该区域 (i, j) 中,第 $L_{n_{i,j}}$ 导电层暴露于形成在上层的绝缘层及导电层中的接触窗开口中。

4. 根据权利要求3所述的接触垫结构,其特征在于,在各该接触窗开口的侧壁配置有间隙壁。

5. 根据权利要求1所述的接触垫结构,其特征在于, $P \geq 3$ 且 $Q \geq 2$ 。

6. 根据权利要求1所述的接触垫结构,其特征在于,所述接触垫结构配置于3D存储器中。

接触垫结构

技术领域

[0001] 本发明是有关于一种适用于集成电路的结构,特别是有关于一种用于多层导电层的电性连接的接触垫结构。

背景技术

[0002] 三维(3D)元件阵列,例如3D存储器的各层元件的导线皆需要电性连接,所以接触区中各层导电层皆需露出以供电性连接,从而形成阶梯状的接触垫结构。

[0003] 为了形成N层元件的阶梯状接触垫结构,现有技术使用N-1个掩膜进行N-1次光刻工艺,以分别去除接触区中的N-1个区域中的不同层数的导电层。然而,这种方式非常繁琐,而且因为间距(pitch)小而需要很精确的工艺控制,从而提高了制造成本及工艺难度。

发明内容

[0004] 本发明提供一种接触垫结构,其在元件有N层的情况下可使用远少于N-1次的光刻工艺来形成。

[0005] 本发明的接触垫结构包括交替堆叠的N层($N \geq 6$)绝缘层及N层导电层,且具有N个区域暴露出各个导电层。这些区域排列成 $P \times Q$ 的二维阵列($P \geq 3, Q \geq 2$),且在二维阵列之外,不具有层数小于N的导电层。当这些导电层由下至上编号为第1至第N导电层且区域(i, j)($i = 1 \sim P, j = 1 \sim Q$)暴露出的导电层为第 $Ln_{i,j}$ 导电层时,

[0006] 在第i行的Q个区域中, $Ln_{i,j}$ 随j值增加而递减,即 $Ln_{i,1} > Ln_{i,2} > \dots > Ln_{i,Q}$,

[0007] 第i行的Q个区域及第i+1行的Q个区域之间的 Ln 值差异固定,即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2} = \dots = Ln_{i,Q} - Ln_{i+1,Q}$,

[0008] 在第j列的P个区域中, $Ln_{i,j}$ 由两端向中央渐减,即 $Ln_{1,j}, Ln_{P,j} > Ln_{2,j}, Ln_{P-1,j} > \dots$,并且

[0009] 第j列的P个区域及第j+1列的P个区域之间的 Ln 值差异固定,即 $Ln_{1,j} - Ln_{1,j+1} = Ln_{2,j} - Ln_{2,j+1} = \dots = Ln_{P,j} - Ln_{P,j+1}$ 。

[0010] 在第一实施例中,在各该区域(i, j)中不存在高于第 $Ln_{i,j}$ 导电层的绝缘层或导电层。

[0011] 在第二实施例中,在暴露出第N导电层的区域以外的各该区域(i, j)中,第 $Ln_{i,j}$ 导电层暴露于形成在上层的绝缘层及导电层中的接触窗开口中。各接触窗开口的侧壁可配置有间隙壁。

[0012] 在一实施例中, $P \geq 3$ 且 $Q \geq 2$ 。

[0013] 在一实施例中,上述接触垫结构配置于3D存储器中。

[0014] 由于本发明的N层导电层的接触垫结构可使用远少于N-1次的光刻工艺来形成,故其工艺可大幅简化,工艺控制也比较容易。

附图说明

- [0015] 图1A为本发明第一实施方式中一实施例的接触垫结构的立体图。
- [0016] 图1B为图1A的接触垫结构的上视图,其中标示各区域暴露出的导电层的编号 $L_{n_{i,j}}$ 及须去除的导电层层数 $T_{n_{i,j}}$ 。
- [0017] 图2为可达成图1B的导电层去除层数分布的掩膜图案/蚀刻层数组合的一个例子。
- [0018] 图3A为本发明第一实施方式中另一实施例的接触垫结构的立体图。
- [0019] 图3B为图3A的接触垫结构的上视图,其中标示各区域暴露出的导电层的编号 $L_{n_{i,j}}$ 及须去除的导电层层数 $T_{n_{i,j}}$ 。
- [0020] 图4为可达成图3B的导电层去除层数分布的掩膜图案/蚀刻层数组合的一个例子。
- [0021] 图5A为本发明第二实施方式中一实施例的接触垫结构的上视图,其中标示各区域中须部分去除的导电层的层数 $T_{n_{i,j}}$ 。
- [0022] 图5B为图5A的接触垫结构的B-B' 剖面图。
- [0023] 附图标记说明
- [0024] 100、300、500:接触垫
- [0025] 102:绝缘层
- [0026] 104:导电层
- [0027] 106:接触窗开口
- [0028] 108:间隙壁
- [0029] 21、22、23、24、31、32、33、34:掩膜图案
- [0030] 212、222、232、242、312、322、332、342:对应导电层去除区的掩膜区域
- [0031] 214、224、234、244、314、324、334、344:对应非去除区的掩膜区域
- [0032] $A_{n_{i,j,k}}$:区域(i,j)于第k次光刻工艺中的导电层去除层数
- [0033] E_{n_k} :第k次光刻工艺中导电层去除区的去除层数
- [0034] $L_{n_{i,j}}/L_{n_{3,2}}$:区域(i,j)/(3,2)暴露出的导电层的编号
- [0035] $T_{n_{i,j}}/T_{n_{2,3}}$:区域(i,j)/(2,3)须去除的导电层的层数

具体实施方式

- [0036] 以下将通过实施方式对本发明作进一步说明,但该等实施方式仅为例示说明之用,而非用以限制本发明的范围。
- [0037] 图1A为本发明第一实施方式中一实施例的接触垫结构的立体图。图1B为图1A的接触垫结构的上视图,其中标示各区域暴露出的导电层的编号 $L_{n_{i,j}}$ 及须去除的导电层层数 $T_{n_{i,j}}$ 。在本发明的第一实施例中,在各该区域(i,j)中不存在高于第 $L_{n_{i,j}}$ 导电层的绝缘层或导电层。
- [0038] 请参照图1A及图1B,本实施例的接触垫结构100中有12层绝缘层102及12层导电层104交替堆叠,且暴露出各导电层104的12个区域排成 4×3 的二维阵列。此即对应 $N=12$ 、 $P=4$ 且 $Q=3$ 的情况。图中行方向标为i方向、列方向标为j方向,但此i、j方向不一定表示晶圆的x、y方向或y、x方向。这些导电层104由下至上编号为第1至第12(=N)导电层。各区域(i,j)($i=1 \sim 4, j=1 \sim 3$)暴露出的导电层的编号 $L_{n_{i,j}}$ 如图1B左半所示,例如,区域(3,2)暴露出的导电层的编号 $L_{n_{3,2}}=6$ 。在第i行的3(=Q)个区域中, $L_{n_{i,j}}$ 随j值增加而递减,即 $L_{n_{i,1}} >$

$Ln_{i,2} > Ln_{i,3}$ 。第*i*行的3(=Q)个区域及第*i*+1行的3(=Q)个区域之间的Ln值差异固定,即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2} = Ln_{i,3} - Ln_{i+1,3}$ 。在第*j*列的4(=P)个区域中, $Ln_{i,j}$ 由两端向中央渐减,即 $Ln_{1,j}, Ln_{4,j} > Ln_{2,j}, Ln_{3,j}$ 。并且,第*j*列的4(=P)个区域及第*j*+1列的4(=P)个区域之间的Ln值差异固定,即 $Ln_{1,j} - Ln_{1,j+1} = Ln_{2,j} - Ln_{2,j+1} = Ln_{3,j} - Ln_{3,j+1} = Ln_{4,j} - Ln_{4,j+1}$ 。

[0039] 为达成此 $Ln_{i,j}$ 分布及各该区域(*i, j*)中不存在高于第 $Ln_{i,j}$ 导电层的绝缘层或导电层的状态,须自各区域(*i, j*)完全去除特定层数 $Tn_{i,j} (= N - Ln_{i,j} = 12 - Ln_{i,j})$ 的导电层,其值如图1B右半所示,例如,区域(2,3)须去除其全区11层导电层而露出第1层导电层,即 $Tn_{2,3} = 11$ 。此 Tn 值分布可通过使用数目远小于 $N-1$ (11)个的掩膜进行同数目的光刻工艺,以特定的掩膜图案/蚀刻层数组合来达成,其一例如图2所示。

[0040] 请参照图2,此例使用4个掩膜($M=4$ 的情况),其分别在对应区域具有掩膜图案21、22、23、24,且其使用顺序可以任意选择。

[0041] 掩膜图案21包含以图标方式分布的对应导电层去除区的区域212及对应非去除区的区域214,且在使用掩膜图案21的光刻工艺中,导电层蚀刻去除层数 $En_{k=1}$ 为1层,对应区域212的导电层去除区的去除层数 $An_{i,j,k=1}$ 为 $En_{k=1}(1)$,且对应区域214的非去除区的去除层数 $An_{i,j,k=1}$ 为0。

[0042] 掩膜图案22包含以图标方式分布的对应导电层去除区的区域222及对应非去除区的区域224,且在使用掩膜图案22的光刻工艺中,去除层数 $En_{k=2}$ 为2层,对应区域222的导电层去除区的去除层数 $An_{i,j,k=2}$ 为 $En_{k=2}(2)$,且对应区域224的非去除区的去除层数 $An_{i,j,k=2}$ 为0。

[0043] 掩膜图案23包含以图标方式分布的对应导电层去除区的区域232及对应非去除区的区域234,且在使用掩膜图案23的光刻工艺中,去除层数 $En_{k=3}$ 为4层,对应区域232的导电层去除区的去除层数 $An_{i,j,k=3}$ 为 $En_{k=3}(4)$,且对应区域234的非去除区的去除层数 $An_{i,j,k=3}$ 为0。

[0044] 掩膜图案24包含以图标方式分布的对应导电层去除区的区域242及对应非去除区的区域244,且在使用掩膜图案24的光刻工艺中,去除层数 $En_{k=4}$ 为4层,对应区域242的导电层去除区的去除层数 $An_{i,j,k=4}$ 为 $En_{k=4}(4)$,且对应区域244的非去除区的去除层数 $An_{i,j,k=4}$ 为0。

[0045] 各光刻工艺的去掉层数的总和为 $N-1$ (11),即 $En_{k=1}, En_{k=2}, En_{k=3}$ 与 $En_{k=M=4}$ 之和为 $N-1$ (11)。接触垫的各区域(*i, j*)在该M次光刻工艺之后累计的导电层去除层数达到前述的须去除层数 $Tn_{i,j}$,即 $An_{i,j,k=1}, An_{i,j,k=2}, An_{i,j,k=3}$ 与 $An_{i,j,k=M=4}$ 之和为 $Tn_{i,j}$ 。例如,区域(2,2)对应掩膜图案21中对应去除区的区域212、掩膜图案22中对应去除区的区域222、掩膜图案23中对应去除区的区域232及掩膜图案24中对应非去除区的区域244,即 $An_{2,2,k=1} = En_{k=1} = 1$ 、 $An_{2,2,k=2} = En_{k=2} = 2$ 、 $An_{2,2,k=3} = En_{k=3} = 4$ 且 $An_{2,2,k=M=4} = 0$,四者之和为 $Tn_{2,2} = 7$ (图1B)。

[0046] 另外,各层导电层104的材料例如是金属材料、N掺杂复晶硅、P掺杂复晶硅,或其组合,各层绝缘层102的材料包含氧化硅、氮化硅、氮氧化硅等。

[0047] 在各导电层104皆暴露出的接触垫结构100形成之后,即可于其上形成绝缘层(未绘示),再于此绝缘层中形成深度不同的多个接触插塞(未绘示)来电性连接各导电层104。

[0048] 图3A为本发明第一实施方式中另一实施例的接触垫结构的立体图。图3B为图3A的接触垫结构的上视图,其中标示各区域暴露出的导电层的编号 $Ln_{i,j}$ 及须去除的导电层层数

$T_{n_{i,j}}$ 。

[0049] 请参照图3A、3B,本实施例的接触垫结构300同样有12层导电层,但暴露出各导电层的12个区域排成 6×2 的二维阵列。此即对应 $N=12$ 、 $P=6$ 且 $Q=2$ 的情况。图中 i 方向、 j 方向定义如前。

[0050] 各区域 (i,j) ($i=1 \sim 6, j=1 \sim 2$)暴露出的导电层的编号 $Ln_{i,j}$ 如图3B左半所示。在第 i 行的 $2(Q)$ 个区域中, $Ln_{i,j}$ 随 j 值增加而递减,即 $Ln_{i,1} > Ln_{i,2}$ 。第 i 行的 $2(Q)$ 个区域及第 $i+1$ 行的 $2(Q)$ 个区域之间的 Ln 值差异固定,即 $Ln_{i,1} - Ln_{i+1,1} = Ln_{i,2} - Ln_{i+1,2}$ 。在第 j 列的 $6(P)$ 个区域中, $Ln_{i,j}$ 由两端向中央渐减,即 $Ln_{1,j}, Ln_{6,j} > Ln_{2,j}, Ln_{5,j} > Ln_{3,j}, Ln_{4,j}$ 。并且,第1列的 $6(P)$ 个区域及第2列的 $6(P)$ 个区域之间的 Ln 值差异固定,即 $Ln_{1,1} - Ln_{1,2} = Ln_{2,1} - Ln_{2,2} = Ln_{3,1} - Ln_{3,2} = Ln_{4,1} - Ln_{4,2} = Ln_{5,1} - Ln_{5,2} = Ln_{6,1} - Ln_{6,2}$ 。

[0051] 为达成此 $Ln_{i,j}$ 分布及各该区域 (i,j) 中不存在高于第 $Ln_{i,j}$ 导电层的绝缘层或导电层的状态而须自各区域 (i,j) 去除的导电层层数 $T_{n_{i,j}}$ ($=N - Ln_{i,j} = 12 - Ln_{i,j}$)如图3B右半所示。此 T_n 值分布可通过使用数目 (M) 远小于 $N-1$ (11)个的掩膜进行同数目的光刻工艺,以特定的掩膜图案/蚀刻层数组合来达成,其一例如图4所示。

[0052] 如图4所示,此例使用4个掩膜($M=4$ 的情况),其分别在对应区域具有掩膜图案31、32、33、34,且其使用顺序可以任意选择。

[0053] 掩膜图案31包含以图标方式分布的对应导电层去除区的区域312及对应非去除区的区域314,且在使用掩膜图案31的光刻工艺中,去除层数 $En_{k=1}$ 为1层,对应区域312的去除区的去除层数 $An_{i,j,k=1}$ 为 $En_{k=1}$ (1),且对应区域314的非去除区的去除层数 $An_{i,j,k=1}$ 为0。

[0054] 掩膜图案32包含以图标方式分布的对应去除区的区域322及对应非去除区的区域324,且在使用掩膜图案32的光刻工艺中,去除层数 $En_{k=2}$ 为2层,对应区域322的去除区的去除层数 $An_{i,j,k=2}$ 为 $En_{k=2}$ (2),且对应区域324的非去除区的去除层数 $An_{i,j,k=2}$ 为0。

[0055] 掩膜图案33包含以图标方式分布的对应去除区的区域332及对应非去除区的区域334,且在使用掩膜图案33的光刻工艺中,去除层数 $En_{k=3}$ 为4层,对应区域332的去除区的去除层数 $An_{i,j,k=3}$ 为 $En_{k=3}$ (4),且对应区域334的非去除区的去除层数 $An_{i,j,k=3}$ 为0。

[0056] 掩膜图案34包含以图标方式分布的对应去除区的区域342及对应非去除区的区域344,且在使用掩膜图案34的光刻工艺中,去除层数 $En_{k=4}$ 为4层,对应区域342的去除区的去除层数 $An_{i,j,k=4}$ 为 $En_{k=4}$ (4),且对应区域344的非去除区的去除层数 $An_{i,j,k=4}$ 为0。

[0057] 各光刻工艺的去除层数的总和为 $N-1$ (11),即 $En_{k=1}, En_{k=2}, En_{k=3}$ 与 $En_{k=M=4}$ 之和为 $N-1$ (11)。接触垫的各区域 (i,j) 在该 M 次光刻工艺之后累计的导电层去除层数达到前述的须去除层数 $T_{n_{i,j}}$,即 $An_{i,3,k=1}, An_{i,j,k=2}, An_{i,j,k=3}$ 与 $An_{i,j,k=M=4}$ 之和为 $T_{n_{i,j}}$ 。例如,区域 $(2,2)$ 对应掩膜图案31中对应去除区的区域312、掩膜图案32中对应非去除区的区域324、掩膜图案33中对应去除区的区域332及掩膜图案34中对应非去除区的区域344,即 $An_{2,2,k=1} = En_{k=1} = 1, An_{2,2,k=2} = 0, An_{2,2,k=3} = En_{k=3} = 4$ 且 $An_{2,2,k=M=4} = 0$,四者之和为 $T_{n_{2,2}} = 5$ 。

[0058] 图5A为本发明第二实施方式中一实施例的接触垫结构的上视图,其中标示各区域中须部分去除的导电层的层数 $T_{n_{i,j}}$ 。图5B为图5A的接触垫结构的B-B'剖面图。

[0059] 请参照图5A、5B,本实施例的接触垫结构500的须去除导电层层数 $T_{n_{i,j}}$ 分布与图1B所示者相同,且掩膜图案分布/蚀刻层数组合可以与图2所示者相同,但在暴露出最上方的第 N 导电层的区域以外的各该区域 (i,j) 中,第 $Ln_{i,j}$ 导电层上方的各绝缘层102及各导电层

104在该M次光刻工艺中皆仅被部分去除,从而在第 $L_{n_i,j}$ 导电层上层的绝缘层102及导电层104中形成接触窗开口106,第 $L_{n_j,j}$ 导电层即暴露于此接触窗开口106中。

[0060] 在该M次光刻工艺之后,可于各接触窗开口106的侧壁形成间隙壁108,以使稍后将形成于区域(i,j)中的接触窗开口106中的第 $L_{n_i,j}$ 导电层的接触窗与第 $L_{n_i,j}$ 导电层上方的导电层104隔离。间隙壁108的材质为绝缘材质,例如为氧化硅、氮化硅、氮氧化硅等。

[0061] 上述各实施方式的接触垫结构100、300或500例如是配置于3D存储器中。

[0062] 由于本发明的N(例如为12)层导电层的接触垫结构可使用远少于N-1次的光刻工艺(例如4次)来形成,故其工艺可大幅简化,工艺控制也比较容易。

[0063] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

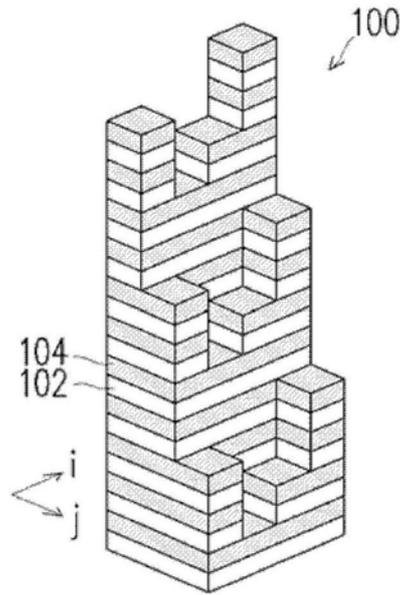


图1A

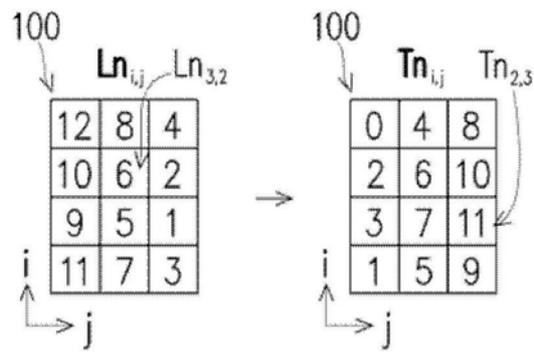


图1B

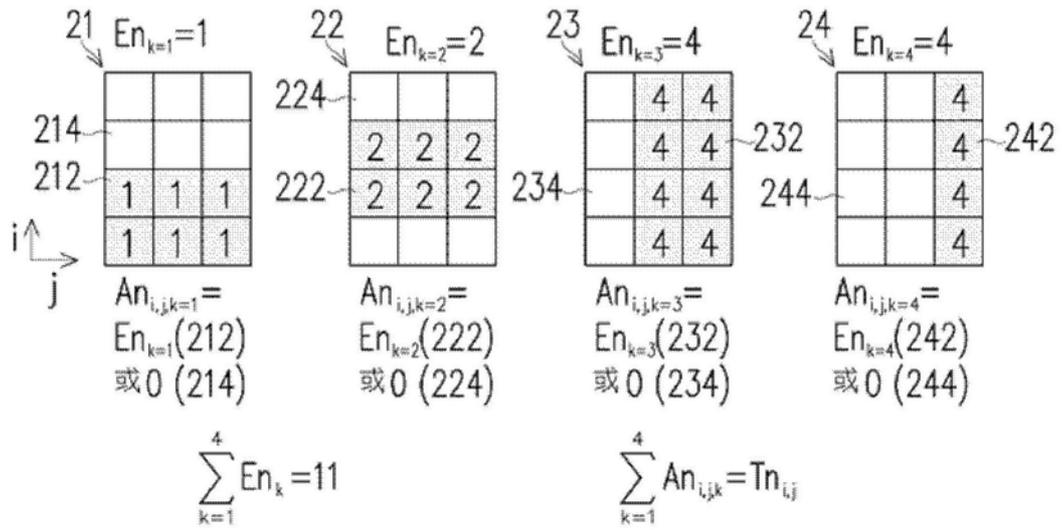


图2

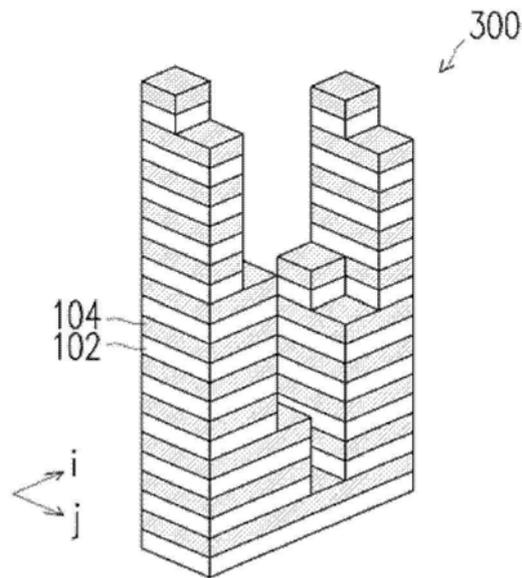


图3A

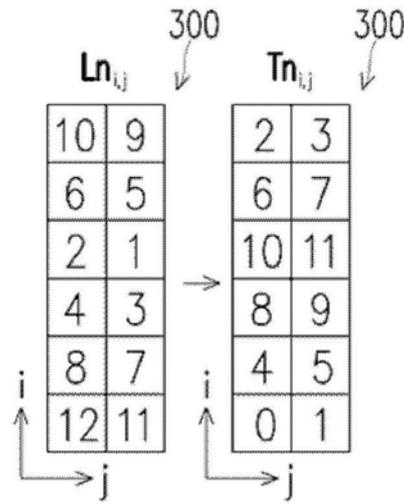


图3B

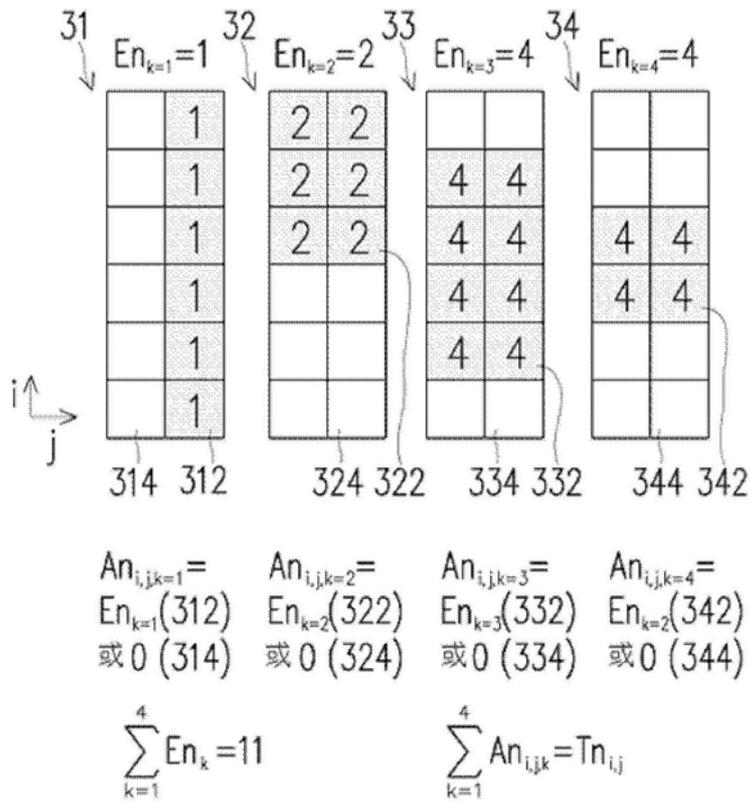


图4

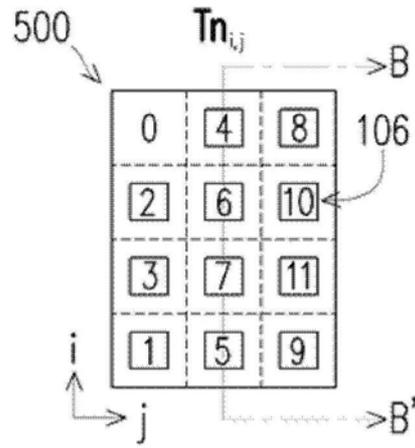


图5A

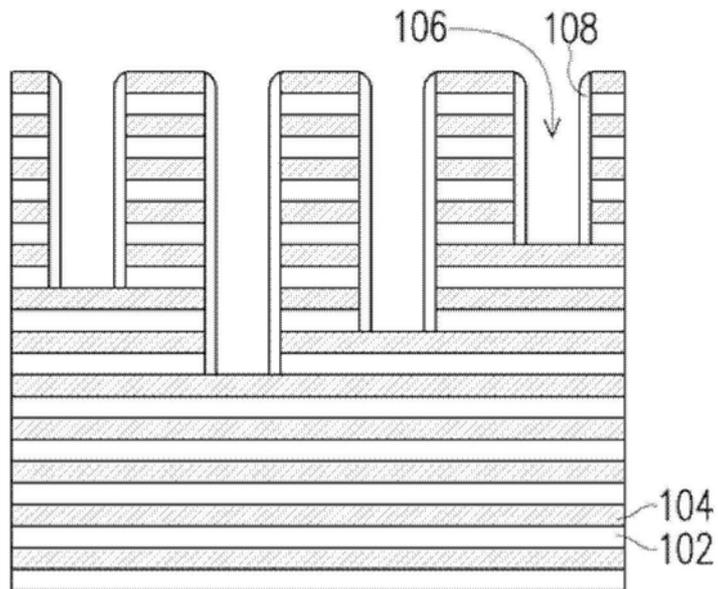


图5B