

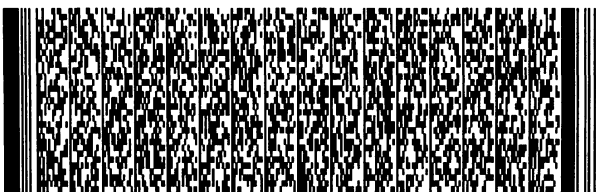
公告本

申請日期: 97.5.4	IPC分類 H01L23/31
申請案號: 97112483	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	堆疊多重封裝單元之晶圓級系統封裝結構
	英文	The wafer level structure of system packaging with stacked packaging units
二、 發明人 (共4人)	姓名 (中文)	1. 李昌駿 2. 江國寧
	姓名 (英文)	1. LEE CHANG-CHUN 2. CHIANG KUO-NING
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣龍潭鄉龍星村21鄰龍華路108號 2. 新竹市建中路100之6號
	住居所 (英文)	1. No. 108, Longhua Rd., Longtan Township Taoyuan County 325, Taiwan (R.O.C.) 2. No. 100-6, Jianzhong Rd., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 江國寧
	名稱或姓名 (英文)	1. CHIANG KUO-NING
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市建中路100之6號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 100-6, Jianzhong Rd., Hsinchu City 300, Taiwan (R.O.C.)
	代表人 (中文)	1.
	代表人 (英文)	1.



I233192

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 韓政男
	姓名 (英文)	3. HAN CHENG-NAN
	國籍 (中英文)	3. 中華民國 TW
	住居所 (中文)	3. 屏東縣佳冬鄉玉光村忠信街61號
	住居所 (英文)	3. No. 61, Jhongsin St., Jiadong Township, Pingtung County 931, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 游明志
	姓名 (英文)	4. YEW MING-CHIH
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 新竹市高翠路162巷16弄16號
	住居所 (英文)	4. No. 16, Alley 16, Lane 162, Gaocuei Rd., Hsinchu City 300, Taiwan (R. O. C.)
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



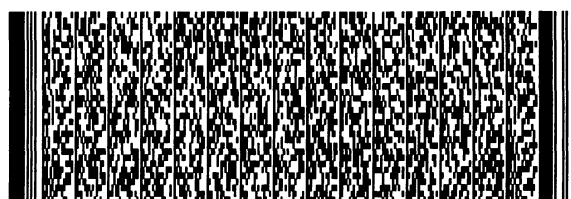
五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關一種電子封裝結構，特別是一種多重封裝單元堆疊之電子封裝結構。

【先前技術】

隨著電子產品功能與應用急遽增加之需求，封裝技術亦繼續朝著超高密度、微小型、單晶片到多晶片、二維尺度到三維尺度等方向發展，故目前出現了較以往所見到之傳統封裝型態於設計上、製作上，以及材料應用上截然不同之先進封裝結構，如晶圓級封裝WLP (Wafer Level Package)、三維封裝、多晶片封裝MCP (Multi-Chip Package) 和系統級封裝SIP (System In Package) 等超高密度的封裝形式。其中，最理想的狀況為在一個矽晶片內，能將所有的電路容納進去，即系統化晶片SoC (System-on-Chip) 為最佳，然而，將逐漸複雜化之電路功能集中於一晶片內，除了技術上有困難外，晶片大小會增大，晶片的製程會複雜化，使得良率下降，成本上升；故與SoC技術比較，強調體積小、高頻、高速、生產週期短與低成本之系統化封裝技術SIP (System In Package) 為達成前述目標，及整合具不同電路功能晶片的較佳方法。根據應用需求之不同可分為平面式的多晶片模組MCM (Multi-Chip Module)，多晶片封裝MCP (Multi-Chip Package)，以及為了更有效率地縮減封裝面積，而發展出具有多重晶片之立體堆疊式封裝結構，並進一步地使用薄

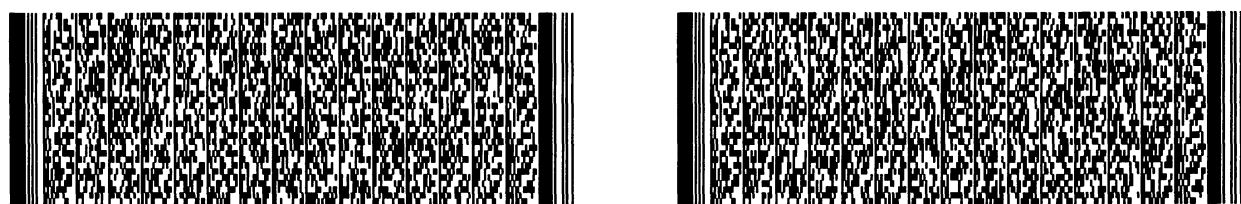


五、發明說明 (2)

晶片以同時縮減堆疊封裝於厚度方向之尺寸與封裝體本身重量，而滿足先進封裝結構之輕薄短小需求。

按，習知之堆疊型積體電路晶片封裝係如美國第 6,387,728 號專利所揭露者，請參閱第 1 圖，該封裝 100 係於一基板 102 之頂面設有一第一積體電路晶片 103，並於該第一積體電路晶片 103 上進行打線作業，形成複數焊線 104 電性連接該第一積體電路晶片 103 與該基板 102，接著，於該第一積體電路晶片 103 頂面塗覆一層黏著層 105，可將一第二積體電路晶片 106 黏附於其頂面，同樣利用打線作業形成複數焊線 107 連接該第二積體電路晶片 106 與該基板 102 之後，再利用一封裝膠 108 佈設於該基板 102 上且將各組件全部包覆其中，即完成一堆疊型積體電路晶片之封裝程序。堆疊型積體電路封裝將二個或二個以上之晶片堆疊在一起共用一基板，在增加晶片個數之同時可有效地節省空間，然而，晶片間運作與電訊之傳遞皆須透過焊線連接基板之後才可進行，故容易產生訊號延遲現象，由於此種封裝結構電訊傳遞路徑過長，將無法適用於高頻操作環境；再者，焊線 104 裸露在外，當黏著該第二積體電路晶片 106 於該黏著層上時，可能意外造成該等焊線 104 之碰損，形成不良品。

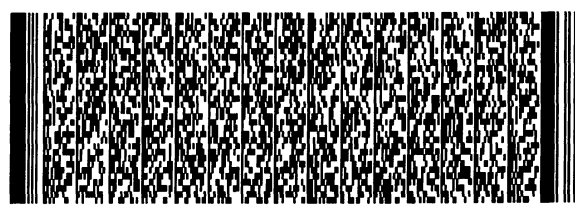
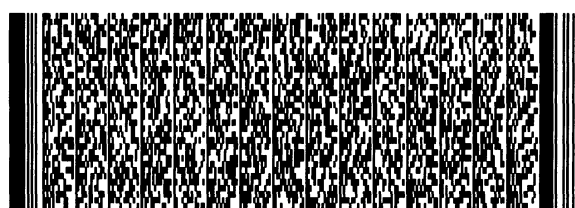
請參閱第 2 圖，其所繪為一多晶片堆疊式半導體封裝件之剖面圖。此多晶片堆疊式半導體封裝件係如中華民國專利公告號 568,351 所揭露，其係包括一基板 240；一第一晶片 241 接置至該基板 240 上；一第二晶片 242 接置至該第



五、發明說明 (3)

一晶片241上；多數焊線244、245用以分別電性連接該第一、第二晶片241、242以及該焊線244、245；以及多數鉚球247用以電性連接該半導體封裝件至外界裝置。其中，基板240具有一上表面200及一相對之下表面201，而該上表面200界定有一晶片接置區202及一環繞晶片接置區202之上焊線區203。於約該晶片接置區202之中心位置處形成有一開口204，並使該開口204貫穿基板240之上、下表面200、201。同時，該基板240之下表面201界定有一環繞開口204之下焊線區205及一環繞下焊線區205之植球區206，並以封裝膠體246包覆堆疊晶片部分，及基板240之開口204部分，以保護該焊線244、245。此堆疊晶片結構，已經利用基板開口之方式，並分別配合第一、第二晶片241、242作用表面220、210上之鉚墊221、211面向方向相反，以進行打線作業，故可減少此封裝件之厚度與焊線位置漂移之現象；然而，一旦堆疊的晶片數目增加，則打線作業之困難度增加，且晶片堆疊之位置與數目將受限於晶片表面之電路圖案之配置與打線作業區域位置間的配合。

因此，鑑於具系統整合之多微電子元件堆疊電子封裝將成為微電子、高頻通訊或致動感測器等電子結構模組之趨勢，並且為減低堆疊封裝之技術成本，與達成封裝後體積微小化，故如何發展出一種具高密度多微電子元件之封裝結構，且設計、組裝可依據應用需求功能作適當地彈性調整，實為當前急需解決的問題。

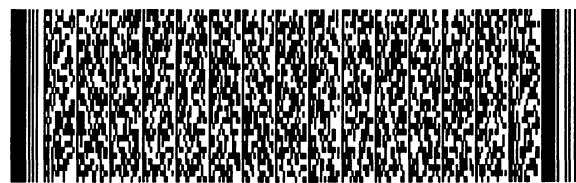
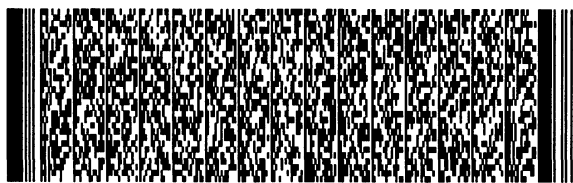


五、發明說明 (4)

【發明目的及概述】

鑑於前述先前技術之缺失及具系統整合之多微電子元件堆疊電子封裝將成為微電子、高頻通訊或致動感測器等電子結構模組之趨勢，本發明提出一種電子封裝結構，其主要目的即在於提供一種具多重微電子元件之晶圓級封裝單元體，其上下表面具連接電路圖案可依應用環境與功能之需求，彈性地進行單或複數個堆疊組裝微小化封裝結構，以減少電訊傳遞路徑與時間而提升此堆疊封裝模組之工作頻率與效能。本發明之另一目的在於提供一種電子封裝結構，其封裝單元體皆於晶圓上批次製作完成，故可降低單一封裝單元體之製作成本。本發明之另一目的在於提供一種電子封裝結構，其堆疊使用之封裝單元體厚度薄，故堆疊電子封裝結構模組厚度可大幅度地降低，且空間利用更為經濟與節省。

為達成前揭目的，本發明所提出之電子封裝結構，包含有單或複數個封裝單元體，單或複數個空穴區域，單或複數個微電子元件，充填物，單或複數絕緣膜層，複數個固著結構，單或複數個貫通孔；其中，該封裝單元體，為利用半導體技術批次製作完成，係利用其表面之複數個固著結構連接與其相同或相異之封裝單元體而形成立體堆疊結構，以構成封裝結構之主體，而該封裝結構所堆疊之封裝單元體個數將取決於其應用環境與功能上之需要而決定，該單或複數個空穴區域，形成於前述該封裝單元體內



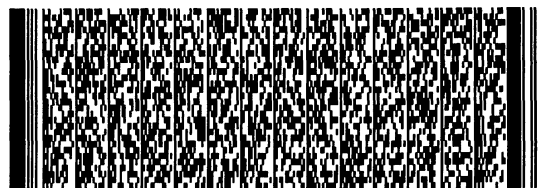
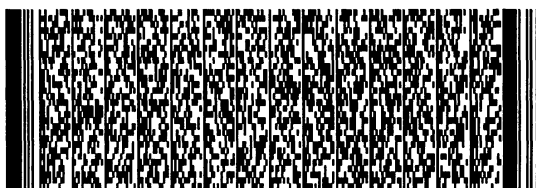
五、發明說明 (5)

之主晶片表面，該空穴區域於主晶片之上或下表面形成單或複數個凹穴空間；該單或複數個微電子元件，配置於該單或複數之空穴區域中或該主晶片之表面，並具電訊傳遞結構使其電子訊號可與該主晶片，其他單或複數個微電子元件，以及相連接之封裝單元體間相互連通，該充填物，填充於前述之單或複數個空穴區域內以保護該空穴區域內之微電子元件；該單或複數絕緣膜層，塗佈於前述主晶片之表面，用以電訊電性之絕緣，該複數個固著結構，其具電訊傳遞功能使接著之該封裝單元體內之電子訊號可與其他封裝單元體和基板相互連通，該單或複數個貫通孔，形成於前述主晶片內，其內充滿具導電性質之金屬，用以連接該主晶片上表面與下表面之電路，以及連接前述之單或複數個微電子元件。

本發明之前述與其他目的、特徵、以及優點，將藉由下文中參照圖示之較佳實施例之詳細說明得以更明確。

【較佳實施例之詳細描述】

本發明揭露一種電子構裝結構。詳言之，本發明提供一種堆疊多重封裝單元體之晶圓級系統封裝結構，利用堆疊單或多重相同或相異封裝單元體以滿足高密度電子元件組裝，和微小化封裝結構之需求，並提供其實施例。其詳細說明如下，唯所述之較佳實施例只做一說明，並非用以限定本發明。



五、發明說明 (6)

第3a圖為本發明之封裝單元群體示意圖，具同一邏輯電路設計與相關元件之配置，皆可利用晶圓級半導體封裝技術如微影、蝕刻、塗佈、沈積等製造程序之設計批次製作完成，是故，經過不同的製作流程，可於晶圓300上形成不同的封裝單元體之主體結構。於晶圓300上，待所有封裝製作程序皆完成後，藉由切割道302利用切割、蝕刻等方式可將獨立的複數個封裝單元體301予以相互分離。經過不同的晶圓級封裝結構設計與製作程序，則可以形成不同的封裝單元體301；之後，組裝堆疊電子封裝結構模組時可依此封裝結構模組應用環境與功能之需求以決定堆疊的層數及欲堆疊封裝單元體的種類與式樣。而第3a圖中批次製作之單一封裝單元體301，其空穴區域之位置俯視圖，將由第3b圖詳示之。

第3b圖為本發明之單一封裝單元體之俯視示意圖。封裝單元體301內具一主晶片307，係構成封裝單元體301之主體結構，該主晶片307材料可為矽晶，或前述材料之聚化合物組合；目前常見之積體電路晶片即可作為該主晶片307，其上表面具邏輯電路功能之工作區域(如：CMOS元件區域)，故於該主晶片307之其他非工作區域處(如下表面)可利用切割、蝕刻等微機電技術形成數個開口面積大小不一致的空穴區域(304, 305, 306)。前述空穴區域(304, 305, 306)內可埋入預製或直接地形成單或複數個微電子元件，亦可同時於主晶片307表面安置形成複數個微電子元件；待封裝單元體301經多重堆疊後，此電子封

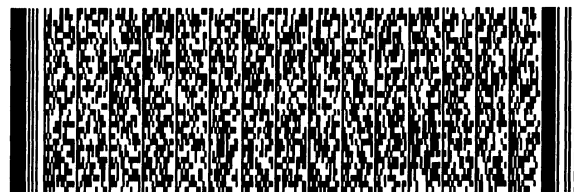
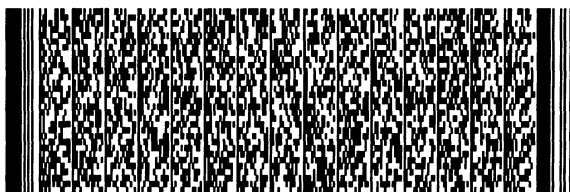


五、發明說明 (7)

裝結構模組藉由具電訊傳遞之固著結構303而可以與其他電子裝置或外界相連接導通。此外，上述主晶片307表面之空穴區域(304, 305, 306)，其幾何形狀可包含：圓盤狀、橢圓盤狀、多邊形平板狀、多邊形狀、頂面非平面之圓盤狀、頂面非平面之橢圓盤狀、頂面非平面之不規則形圓盤狀或以上形狀之組合。而第3b圖中含空穴區域

(304, 305, 306)之封裝單元體301，將以沿A-A虛線剖面之詳細側面結構圖為例，於下文中將由第4圖至第7圖詳示之。

第4a圖為本發明之第一實施例，其為第一封裝單元體400之A-A斷面示意圖。主晶片401下表面經微影、蝕刻等技術後形成之空穴區域內可平行配置第一微電子元件407和第二微電子元件408，其微電子元件電極410皆與主晶片401內空穴區域底部之電路圖案411接觸，並藉由充填物409充填滿空穴區域。而主晶片401與上述第一微電子元件407及第二微電子元件408間的電訊導通可藉由主晶片之電極406、微電子元件之電極410、貫通孔414和電路圖案411予以連接達成；其中，貫通孔414為穿透主晶片401之上下表面，其開口於上述第一微電子元件407及第二微電子元件408配置於主晶片401空穴區域底部，可以用雷射鑽孔或蝕刻等方式定義出貫通孔414位置；其內含導電金屬可由電鑄方式填滿。此外，於主晶片401表面上方依序塗佈一第一絕緣膜層402、一第二絕緣膜層403及一第三絕緣膜層404，其功能除可用以避免電路短路與保護電路圖案411



五、發明說明 (8)

外，亦提供第一封裝單元體400藉由固著結構412與其他電子裝置連接組裝時，減緩其因材料熱膨脹係數不匹配所產生應力，進而提升封裝結構模組使用之可靠度壽命；前述之充填物409、第一絕緣膜層402、第二絕緣膜層403及第三絕緣膜層404，其材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。另一方面，除了裸露封裝單元體之電極413用以接合固著結構412外，本發明之第一封裝單元體400之其他頂面處皆由電路保護層405覆蓋住，以保護邏輯電路與相關微電子元件；而前述電路保護層405之材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。

前述具電訊導通之固著結構412，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。而前述之封裝單元體之電極413、微電子元件電極410，和電路圖案411，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。

當本發明之第一封裝單元體400欲以其他相同或相異之封裝單元體堆疊連接時，其斷面示意圖請參閱第4b圖，其結構剖面圖與第4a圖大致上相同，差別在於需在主晶片401之兩旁另定義製作出複數個貫通孔414，並於貫通孔414穿透過主晶片401上下表面處各形成複數個貫通孔電極415，以利於貫通孔414內含導電金屬材料填滿作業之進行；接著，於第一封裝單元體400的下表面定義出接合固著結構412之位置，以便於第一封裝單元體400於堆疊組裝時與其



五、發明說明 (9)

下端電子裝置之電性連接。而藉由封裝單元體內之貫通孔414、貫通孔電極415、電路圖案411、封裝單元體之電極413，以及封裝單元體400上下表面之固著結構412等元件，則可達成堆疊時封裝單元體之間的連接導通。此外，於主晶片401下表面塗佈一第四絕緣膜層416，其功能亦為提供封裝單元體400於連接組裝時減緩應力之用，該第四絕緣膜層416之材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。另一方面，同前述說明，除了裸露固著結構412外，於封裝單元體400下方頂面處皆由電路保護層405覆蓋住，以保護邏輯電路與相關微電子元件。

第5a圖為本發明之第二實施例，其為第二封裝單元體500之A-A斷面示意圖。主晶片501下表面經微影、蝕刻等技術後形成之空穴區域內可平行配置第一微電子元件507和第二微電子元件508，其微電子元件電極510皆不與主晶片501內空穴區域底部接觸，而方向朝下，並藉由充填物509充填滿空穴區域。而主晶片501與上述第一微電子元件507及第二微電子元件508間的電訊導通可藉由主晶片之電極506、微電子元件之電極510、貫通孔514和電路圖案511予以連接達成；其中，貫通孔514為穿透主晶片501之上下表面，其開口於上述第一微電子元件507及第二微電子元件508兩側之主晶片501空穴區域的底部，可以用雷射鑽孔或蝕刻等方式定義出貫通孔514位置；其內含導電金屬可由電鑄方式填滿。此外，於主晶片501表面上方依序塗佈



五、發明說明 (10)

一第一絕緣膜層502、一第二絕緣膜層503及一第三絕緣膜層504，其功能除可用以避免電路短路與保護電路圖案511外，亦提供第二封裝單元體500藉由固著結構512與其他電子裝置連接組裝時，減緩其因材料熱膨脹係數不匹配所產生應力，進而提升封裝結構模組使用之可靠度壽命；前述之充填物509、第一絕緣膜層502、第二絕緣膜層503及第三絕緣膜層504，其材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。另一方面，除了裸露封裝單元體之電極513用以接合固著結構512外，本發明之第二封裝單元體500之其他頂面處皆由電路保護層505覆蓋住，以保護邏輯電路與相關微電子元件；而前述電路保護層505之材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。

前述具電訊導通之固著結構512，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。而前述之封裝單元體之電極513、微電子元件電極510，和電路圖案511，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。

當本發明之第二封裝單元體500欲以其他相同或相異之封裝單元體堆疊連接時，其斷面示意圖請參閱第5b圖，其結構剖面圖與第5a圖大致上相同，差別在於需在第二封裝單元體500的下表面定義出接合固著結構512之位置，以便於第二封裝單元體500於堆疊組裝時與其下端電子裝置之電性連接。而藉由封裝單元體內之貫通孔514、電路圖案



五、發明說明 (11)

511、封裝單元體之電極513，以及封裝單元體500上下表面之固著結構512等元件，則可達成堆疊時封裝單元體之間的連接導通。此外，同前述說明，除了裸露固著結構512外，於封裝單元體500下方頂面處皆由電路保護層505覆蓋住，以保護邏輯電路與相關微電子元件。

第6a圖為本發明之第三實施例，其為第三封裝單元體600之A-A斷面示意圖。主晶片601下表面經微影、蝕刻等技術後形成之空穴區域內可堆疊配置第一微電子元件607和第二微電子元件608，其中，第一微電子元件607之底面與主晶片601空穴區域底部相接合，且該第一微電子元件607尺寸面積較大於該第二微電子元件608，使該第一微電子元件之電極610能不被該第二微電子元件608所覆蓋住，微電子元件電極610之方向皆朝下，並藉由充填物609充填滿空穴區域。而主晶片601與上述第一微電子元件607及第二微電子元件608間的電訊導通可藉由主晶片之電極606、微電子元件之電極610、貫通孔614和電路圖案611予以連接達成；其中，貫通孔614為穿透主晶片601之上下表面，其開口於上述堆疊多重微電子元件(507, 508)一側之主晶片601空穴區域的底部，可以用雷射鑽孔或蝕刻等方式定義出貫通孔614位置；其內含導電金屬可由電鑄方式填滿。此外，於主晶片601表面上方依序塗佈一第一絕緣膜層602、一第二絕緣膜層603及一第三絕緣膜層604，其功能除可用以避免電路短路與保護電路圖案611外，亦提供第三封裝單元體600藉由固著結構612與其他電子裝置連接

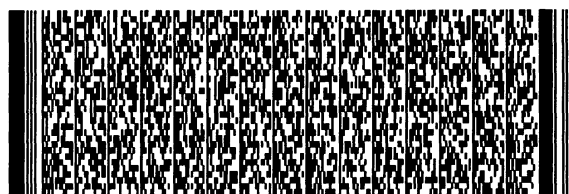
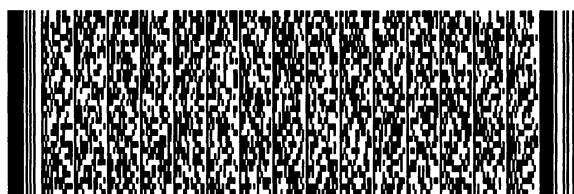


五、發明說明 (12)

組裝時，減緩其因材料熱膨脹係數不匹配所產生應力，進而提升封裝結構模組使用之可靠度壽命；前述之充填物609、第一絕緣膜層602、第二絕緣膜層603及第三絕緣膜層604，其材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。另一方面，除了裸露封裝單元體之電極613用以接合固著結構612外，本發明之第三封裝單元體600之其他頂面處皆由電路保護層605覆蓋住，以保護邏輯電路與相關微電子元件；而前述電路保護層605之材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。

前述具電訊導通之固著結構612，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。而前述之封裝單元體之電極613、微電子元件電極610，和電路圖案611，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。

當本發明之第三封裝單元體600欲以其他相同或相異之封裝單元體堆疊連接時，其斷面示意圖請參閱第6b圖，其結構剖面圖與第6a圖大致上相同，差別在於需在第三封裝單元體600的下表面定義出接合固著結構612之位置，以便於第三封裝單元體600於堆疊組裝時與其下端電子裝置之電性連接。而藉由封裝單元體內之貫通孔614、電路圖案611、封裝單元體之電極613，以及封裝單元體600上下表面之固著結構612等元件，則可達成堆疊時封裝單元體之間的連接導通。此外，同前述說明，除了裸露固著結構



五、發明說明 (13)

612外，於封裝單元體600下方頂面處皆由電路保護層605覆蓋住，以保護邏輯電路與相關微電子元件。

第7圖為本發明之第四實施例，其為第四封裝單元體700之A-A斷面示意圖。主晶片701下表面經微影、蝕刻等技術後形成之空穴區域內可平行配置第一微電子元件707和第二微電子元件708，其微電子元件電極710皆與主晶片701內空穴區域底部之電路圖案711接觸接合。當封裝單元體700應用於光學感測領域時，則上述之第一微電子元件707和第二微電子元件708至少有一為光感測電子元件，需可接收光線才可發揮其作用，是故，於主晶片701之下表面接合一透明基板715，使得主晶片701中內含多重微電子元件(707, 708)之空穴區域形成一密閉空間709，讓光線能穿透過上述之透明基板715，給予光感測電子元件(第一微電子元件707或第二微電子元件708或其組合)所接收，同時，亦保護第一微電子元件707和第二微電子元件708免於外界環境對其之污染與損害。而主晶片701與上述第一微電子元件707及第二微電子元件708間的電訊導通可藉由主晶片之電極706、微電子元件之電極710、貫通孔714和電路圖案711予以連接達成；其中，貫通孔714為穿透主晶片701之上下表面，其開口於上述第一微電子元件707及第二微電子元件708配置於主晶片701空穴區域底部，可以用雷射鑽孔或蝕刻等方式定義出貫通孔714位置；其內含導電金屬可由電鑄方式填滿。此外，於主晶片701表面上方依序塗佈一第一絕緣膜層702、一第二絕緣膜



五、發明說明 (14)

層703及一第三絕緣膜層704，其功能除可用以避免電路短路與保護電路圖案711外，亦提供第四封裝單元體700藉由固著結構712與其他電子裝置連接組裝時，減緩其因材料熱膨脹係數不匹配所產生應力，進而提升封裝結構模組使用之可靠度壽命；前述之第一絕緣膜層702、第二絕緣膜層703及第三絕緣膜層704，其材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。另一方面，除了裸露封裝單元體之電極713用以接合固著結構712外，本發明之第四封裝單元體700之其他頂面處皆由電路保護層705覆蓋住，以保護邏輯電路與相關微電子元件；而前述電路保護層705之材料可為環氧樹脂、高分子聚合物、高分子塑膠等化合物或以上化合物之組合。

前述具電訊導通之固著結構712，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。前述之透明基板715，其材料可為玻璃、石英、具透明之高分子聚合物、高分子塑膠等化合物或以上化合物之組合。前述之封裝單元體之電極713、微電子元件電極710，和電路圖案711，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。

於上文已經將第4圖至第7圖中具不同結構之封裝單元體，其較佳實施例詳細說明之。其中，封裝單元體，皆為利用半導體技術批次製作完成，係利用其表面之複數個固著結構連接與其相同或相異之封裝單元體而形成立體堆疊結構，以構成封裝結構之主體，而該封裝結構所堆疊之封裝



五、發明說明 (15)

單元體個數將取決於其應用環境與功能上之需要而決定，並提供其實施例。其詳細說明如下，唯所述之較佳實施例只做一說明，並非用以限定本發明。

第8a圖為本發明封裝結構第五實施例沿A-A斷面之二層封裝單元體之堆疊示意圖。此實施例中所使用的封裝單元體為二結構相同之封裝單元體400；此封裝單元體400已於第4圖中詳細說明之。因每一封裝單元體400於其上下表面處皆有相同連接位置處之設計，是故，二封裝單元體400之間可用固著結構804予以連接，以完成封裝單元體400間的電訊導通；而最底層之封裝單元體400可以藉由固著結構804與基板802上之電極803連接結合，進而與其他電子裝置或外界電性導通，傳遞電訊。前述具電訊導通之固著結構804，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。前述之基板電極803，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。而前述之基板802，其材料可為具方向性之碳纖維、高分子聚合物纖維、高分子塑膠纖維或以上纖維之組合與樹脂基質合成之複合材料。

當本發明封裝結構第五實施例之二層封裝單元體，欲再堆疊連接一其他相同或相異之封裝單元體以形成三層多重堆疊結構時，其斷面示意圖請參閱第8b圖，該結構剖面圖與第8a圖大致上相同，差別在於需在該第二層封裝單元體400頂面處定義出最頂層之封裝單元體400，其固著結構



五、發明說明 (16)

804 連接接合第二層封裝單元體400的位置。此外，因每一封裝單元體400於其上下表面處皆有相同連接位置處之設計，是故，每一封裝單元體400亦可翻轉後，再與其他封裝單元體400連接；以第8b圖所示為例，其中最頂層的封裝單元體400為經過翻轉後，在與下端之封裝單元體400連接接合。

第9a圖為本發明封裝結構第六實施例沿A-A斷面之二層封裝單元體之堆疊示意圖。此實施例中所使用的封裝單元體為二結構相同之封裝單元體500；此封裝單元體500已於第5圖中詳細說明之。因每一封裝單元體500於其上下表面處皆有相同連接位置處之設計，是故，二封裝單元體500之間可用固著結構904予以連接，以完成封裝單元體500間的電訊導通；而最底層之封裝單元體500可以藉由固著結構904與基板902上之電極903連接結合，進而與其他電子裝置或外界電性導通，傳遞電訊。前述具電訊導通之固著結構904，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。前述之基板電極903，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。而前述之基板902，其材料可為具方向性之碳纖維、高分子聚合物纖維、高分子塑膠纖維或以上纖維之組合與樹脂基質合成之複合材料。

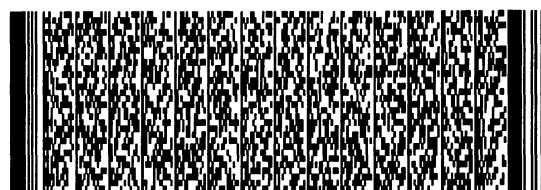
當本發明封裝結構第六實施例之二層封裝單元體，欲再堆疊連接一其他相同或相異之封裝單元體以形成三層多



五、發明說明 (17)

重堆疊結構時，其斷面示意圖請參閱第9b圖，該結構剖面圖與第9a圖大致上相同，差別在於需在該第二層封裝單元體500頂面處定義出最頂層之封裝單元體500，其固著結構904連接接合第二層封裝單元體500的位置。此外，因每一封裝單元體500於其上下表面處皆有相同連接位置處之設計，是故，每一封裝單元體500亦可翻轉後，再與其他封裝單元體500連接；以第9b圖所示為例，其中最頂層的封裝單元體500為經過翻轉後，在與下端之封裝單元體500連接接合。此外，以本發明封裝結構第六實施例之三層封裝單元體為例，若該堆疊多重封裝結構為用於光學感測之用途上時，其斷面示意圖請參閱第9c圖，該結構剖面圖與第9b圖大致上相同，差別在於最頂層之封裝單元體700為具單或複數個光感測微電子元件之封裝單元體，該封裝單元體700已於第7圖中詳細說明之。因該封裝單元體700於其非具透明基板715之一側表面有與其他封裝單元體相同之連接位置處的設計，是故其固著結構904可連接接合第二層封裝單元體500的位置。經上述多重封裝單元體之堆疊組裝形成一三層封裝模組後，可使光線由該封裝模組之上方直接穿透透明基板715而進行光學感測。

第10a圖為本發明封裝結構第七實施例沿A-A斷面之二層封裝單元體之堆疊示意圖。此實施例中所使用的封裝單元體為二結構相同之封裝單元體600；此封裝單元體600已於第6圖中詳細說明之。因每一封裝單元體600於其上下表面處皆有相同連接位置處之設計，是故，二封裝單元體



五、發明說明 (18)

600之間可先經翻轉後再用固著結構1004予以連接，以完成多重封裝單元體600間的電訊導通；而最底層之封裝單元體600可以藉由固著結構1004與基板1002上之電極1003連接結合，進而與其他電子裝置或外界電性導通，傳遞電訊。前述具電訊導通之固著結構1004，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。前述之基板電極1003，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。而前述之基板1002，其材料可為具方向性之碳纖維、高分子聚合物纖維、高分子塑膠纖維或以上纖維之組合與樹脂基質合成之複合材料。

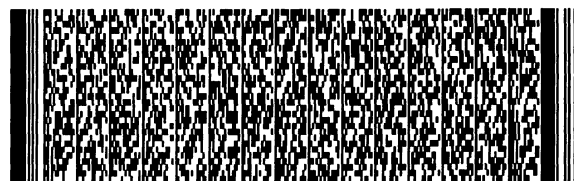
當本發明封裝結構第七實施例之二層封裝單元體，欲再堆疊連接一其他相同或相異之封裝單元體以形成三層多重堆疊結構時，其斷面示意圖請參閱第10b圖，該結構剖面圖與第10a圖大致上相同，差別在於需在該第二層封裝單元體600頂面處定義出最頂層之封裝單元體600，其固著結構1004連接接合第二層封裝單元體600的位置。此外，因每一封裝單元體600於其上下表面處皆有相同連接位置處之設計，是故，每一封裝單元體600亦可翻轉後，再與其他封裝單元體600連接；以第10b圖所示為例，其中最底層與第二層的封裝單元體600為經過翻轉後，在與頂端之封裝單元體600連接接合。此外，以本發明封裝結構第七實施例之三層封裝單元體為例，若該堆疊多重封裝結構為用於光學感測之用途上時，其斷面示意圖請參閱第10c



五、發明說明 (19)

圖，該結構剖面圖與第10b圖大致上相同，差別在於最頂層之封裝單元體700為具單或複數個光感測微電子元件之封裝單元體，該封裝單元體700已於第7圖中詳細說明之。因該封裝單元體700於其非具透明基板715之一側表面有與其他封裝單元體相同之連接位置處的設計，是故其固著結構1004可連接接合第二層封裝單元體600的位置。經上述多重封裝單元體之堆疊組裝形成一三層封裝模組後，可使光線由該封裝模組之上方直接穿透透明基板715而進行光學感測。

第11圖為本發明封裝結構第八實施例沿A-A斷面之四層多重封裝單元體之堆疊示意圖。此實施例中所使用的封裝單元體為四種結構不相同之封裝單元體，由最底層至最頂層依序地堆疊，分別為第一封裝單元體400、第三封裝單元體600、第二封裝單元體500，以及第四封裝單元體700；而上述各封裝單元體之結構已於第4圖至第7圖中詳細說明之。除了第四封裝單元體700於其非具透明基板715之一側表面有與其他封裝單元體相同之連接位置處的設計外，每一封裝單元體（400, 500, 600）於其上下表面處皆有相同連接位置處之設計，是故，每一封裝單元體（400, 500, 600）之間可先經翻轉後再用固著結構1104予以連接接合，以完成四層之多重封裝單元體（400, 500, 600, 700）間的電訊導通；而最底層之封裝單元體400可以藉由固著結構1104與基板1102上之電極1103連接接合，進而與其他電子裝置或外界電性導通，傳遞電

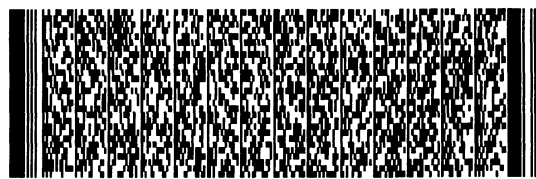
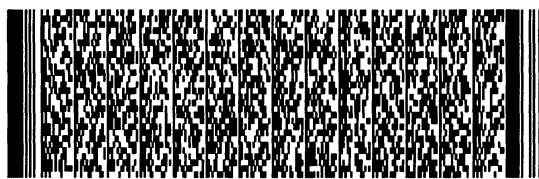


五、發明說明 (20)

訊。至於最頂層之封裝單元體700，由於其為具有單或複數個光感測微電子元件之封裝單元體，故需連接接合於堆疊結構模組之最頂層，以便於光線由上方射入穿透透明基板715以接收光源進行感測；因該封裝單元體700於其非具透明基板715之一側表面有與其他封裝單元體相同之連接位置處的設計，是故，其固著結構1104可連接接合第三層封裝單元體500的位置。前述具電訊導通之固著結構

1104，其材料可為金、錫鉛合金、錫銀銅合金、錫銀合金等或以上材料之任意組合。前述之基板電極1103，其材料可為金、銅、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。而前述之基板1102，其材料可為具方向性之碳纖維、高分子聚合物纖維、高分子塑膠纖維或以上纖維之組合與樹脂基質合成之複合材料。

本發明意欲涵蓋對於熟習此項技藝之人士而言係明顯的各種修改與相似配置。因此，申請專利範圍之範圍應根據最廣的詮釋，以包容所有此類修改與相似配置。



圖式簡單說明

【圖式之簡單說明】

本發明之較佳實施例將於下述說明中輔以下列圖形做更詳細的闡述：

第1圖係習知堆疊型積體電路晶片封裝之示意圖。

第2圖係習知小尺寸堆疊式半導體封裝件之示意圖。

第3a圖為本發明之封裝單元群體示意圖。

第3b圖為本發明之封裝單元體之俯視示意圖。

第4a圖為本發明之第一實施例，為第一封裝單元體之A-A斷面示意圖。

第4b圖為本發明之第一實施例，為第一封裝單元體於堆疊封裝結構使用之A-A斷面示意圖。

第5a圖為本發明之第二實施例，為第二封裝單元體之A-A斷面示意圖。

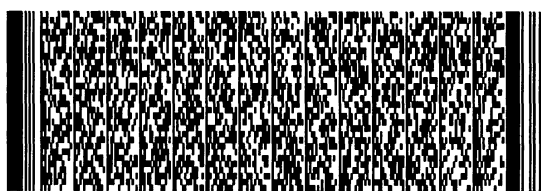
第5b圖為本發明之第二實施例，為第二封裝單元體於堆疊封裝結構使用之A-A斷面示意圖。

第6a圖為本發明之第三實施例，為第三封裝單元體之A-A斷面示意圖。

第6b圖為本發明之第三實施例，為第三封裝單元體於堆疊封裝結構使用之A-A斷面示意圖。

第7圖為本發明之第四實施例，為第四封裝單元體之A-A斷面示意圖。

第8a圖為本發明封裝結構第五實施例沿A-A斷面之二層封



圖式簡單說明

裝單元體之堆疊示意圖。

第8b圖為本發明封裝結構第五實施例沿A-A斷面之三層封裝單元體之堆疊示意圖。

第9a圖為本發明封裝結構第六實施例沿A-A斷面之二層封裝單元體之堆疊示意圖。

第9b圖為本發明封裝結構第六實施例沿A-A斷面之三層封裝單元體之堆疊示意圖。

第9c圖為本發明封裝結構第六實施例沿A-A斷面之具光感測元件之三層封裝單元體之堆疊示意圖。

第10a圖為本發明封裝結構第七實施例沿A-A斷面之二層封裝單元體之堆疊示意圖。

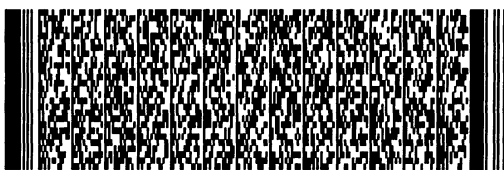
第10b圖為本發明封裝結構第七實施例沿A-A斷面之三層封裝單元體之堆疊示意圖。

第10c圖為本發明封裝結構第七實施例沿A-A斷面之具光感測元件之三層封裝單元體之堆疊示意圖。

第11圖為本發明封裝結構第八實施例沿A-A斷面之具不同封裝單元體之四層堆疊結構示意圖。

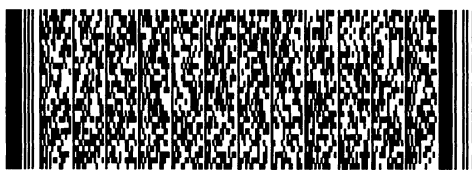
【圖式符號說明】

- 100 堆疊型積體電路晶片封裝
- 102 基板
- 103 第一積體電路晶片
- 104 焊線



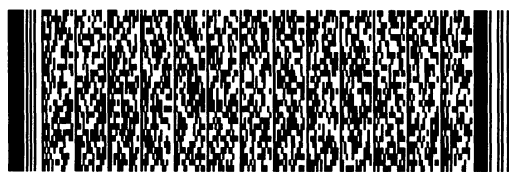
圖式簡單說明

- 105 黏著層
- 106 第二積體電路晶片
- 107 焊線
- 108 封裝膠
- 200 上表面
- 201 下表面
- 202 晶片接置區
- 203 上焊線區
- 204 開口
- 205 下焊線區
- 206 植球區
- 210 作用表面
- 211 焊墊
- 212 非作用表面
- 220 作用表面
- 221 焊墊
- 222 非作用表面
- 223 邊緣
- 240 基板
- 241 第一晶片
- 242 第二晶片
- 243 絕緣性構件
- 244 第一焊線
- 245 第二焊線



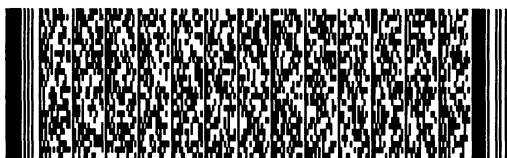
圖式簡單說明

- 246 封裝膠體
- 247 鐳球
- 300 晶圓
- 301 封裝單元體
- 302 切割道
- 303 具電訊傳遞之固著結構
- 304 第一空穴區域
- 305 第二空穴區域
- 306 第三空穴區域
- 307 主晶片
- 400 第一封裝單元體
- 401 主晶片
- 402 第一絕緣膜層
- 403 第二絕緣膜層
- 404 第三絕緣膜層
- 405 電路保護層
- 406 主晶片之電極
- 407 第一微電子元件
- 408 第二微電子元件
- 409 充填物
- 410 微電子元件電極
- 411 電路圖案
- 412 具電訊傳遞之固著結構
- 413 封裝單元體之電極



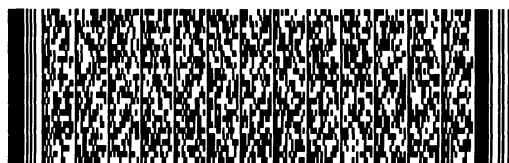
圖式簡單說明

- 414 貫通孔
- 415 貫通孔電極
- 416 第四絕緣膜層
- 500 第二封裝單元體
- 501 主晶片
- 502 第一絕緣膜層
- 503 第二絕緣膜層
- 504 第三絕緣膜層
- 505 電路保護層
- 506 主晶片之電極
- 507 第一微電子元件
- 508 第二微電子元件
- 509 充填物
- 510 微電子元件電極
- 511 電路圖案
- 512 具電訊傳遞之固著結構
- 513 封裝單元體之電極
- 514 貫通孔
- 600 第三封裝單元體
- 601 主晶片
- 602 第一絕緣膜層
- 603 第二絕緣膜層
- 604 第三絕緣膜層
- 605 電路保護層



圖式簡單說明

- 606 主晶片之電極
- 607 第一微電子元件
- 608 第二微電子元件
- 609 充填物
- 610 微電子元件電極
- 611 電路圖案
- 612 具電訊傳遞之固著結構
- 613 封裝單元體之電極
- 614 貫通孔
- 700 第四封裝單元體
- 701 主晶片
- 702 第一絕緣膜層
- 703 第二絕緣膜層
- 704 第三絕緣膜層
- 705 電路保護層
- 706 主晶片之電極
- 707 第一微電子元件
- 708 第二微電子元件
- 709 密閉空間
- 710 微電子元件電極
- 711 電路圖案
- 712 具電訊傳遞之固著結構
- 713 封裝單元體之電極
- 714 貫通孔



圖式簡單說明

- 715 透明基板
- 801 電路保護層
- 802 基板
- 803 基板電極
- 804 具電訊傳遞之固著結構
- 901 電路保護層
- 902 基板
- 903 基板電極
- 904 具電訊傳遞之固著結構
- 1001 電路保護層
- 1002 基板
- 1003 基板電極
- 1004 具電訊傳遞之固著結構
- 1101 電路保護層
- 1102 基板
- 1103 基板電極
- 1104 具電訊傳遞之固著結構

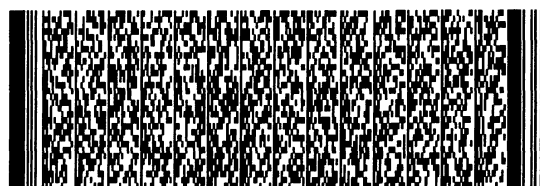


四、中文發明摘要 (發明名稱：堆疊多重封裝單元之晶圓級系統封裝結構)

本發明為一種多重封裝單元堆疊之電子封裝結構，用以減少封裝結構體黏著固定時所需面積，並能夠滿足高密度電子元件組裝，和微小化封裝結構之需求，以減少電訊傳遞的時間與路徑，進而增加其工作效能。另外，根據電子產品應用環境與功能需要之不同，本發明之封裝結構可設計與堆疊單或多重封裝單元形成系統封裝結構以迎合之。其中，具不同式樣之封裝單元體皆可藉由現有之半導體製程技術批次製作完成，接著透過固著結構之連接形成堆疊封裝結構，使每一封裝單元體內之微電子元件可與其相鄰之封裝單元體，以及基板間電訊導通。

五、英文發明摘要 (發明名稱：The wafer level structure of system packaging with stacked packaging units)

A stacked electronic packaging structure with packaging units, which could both reduce the mounting area and increase the high density assemblies of devices to satisfy the requirement of diminishing the volume of packaging structure and reducing the transmissive time and the path of electronic signals among devices to increase the operated efficiency, would be proposed in this



四、中文發明摘要 (發明名稱：堆疊多重封裝單元之晶圓級系統封裝結構)

五、英文發明摘要 (發明名稱：The wafer level structure of system packaging with stacked packaging units)

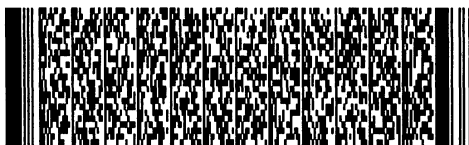
invention. In additions, this proposed packaging structure composed of one or plural packaging units could be designed and stacked by depending on the applied environment and the functional demand of electronic products. Furthermore, the various packaging units could be batch-manufactured by using current semiconductor technologies, and then the plural bonding



四、中文發明摘要 (發明名稱：堆疊多重封裝單元之晶圓級系統封裝結構)

五、英文發明摘要 (發明名稱：The wafer level structure of system packaging with stacked packaging units)

structures are used to connect the packaging units to form the stacked structure. Therefore, the microelectronic devices within each packaging units could be electrically conducted both the adjacent packaging units and the substrate.



六、指定代表圖

(一)、本案代表圖為：第__11__圖

(二)、本案代表圖之元件代表符號簡單說明：

- 400 第一封裝單元體
- 500 第二封裝單元體
- 600 第三封裝單元體
- 700 第四封裝單元體
- 715 透明基板
- 1101 電路保護層
- 1102 基板
- 1103 基板電極
- 1104 具電訊傳遞之固著結構



六、申請專利範圍

1. 一種具複數個封裝單元體之立體堆疊電子封裝結構，至少包含：

複數個封裝單元體，係利用其表面之複數個固著結構連接與其相同或相異之封裝單元體而形成立體堆疊結構，以構成封裝結構之主體；

單或複數個空穴區域，形成於前述封裝單元體之內部，前述之空穴區域於主晶片之表面形成單或複數個凹穴空間；單或複數個微電子元件，配置於前述之空穴區域中和前述主晶片之表面，並具電訊傳遞結構使其電子訊號可與主晶片，其他單或複數個微電子元件，以及相連接之封裝單元體間相互連通；

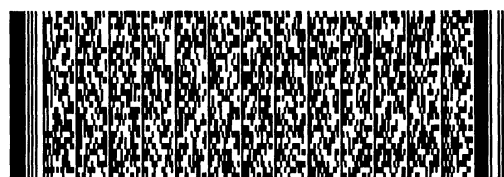
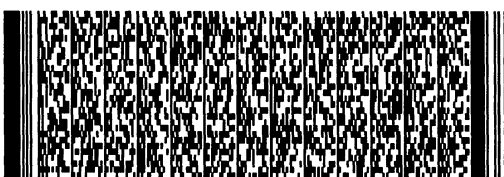
主晶片，係構成封裝單元體之主體，其表面具電子電路工作區域，而於該表面上非電子電路作用之區域可形成單或複數個凹穴空間，以承載單或複數個微電子元件；

充填物，填充於前述空穴區域內以保護該空穴區域內之微電子元件；

單或複數絕緣膜層，塗佈於前述主晶片之表面，用以電訊電性之絕緣；

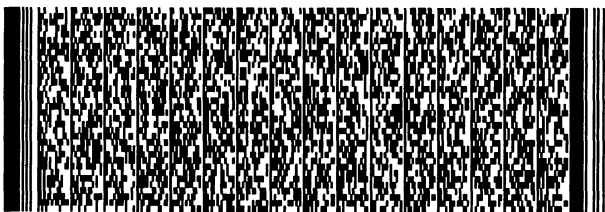
單或複數個固著結構，具電訊傳遞功能使固著之前述封裝單元體之電子訊號可與其他封裝單元體和基板相互連通。

單或複數個貫通孔，形成於前述之主晶片內，其內充填滿具導電性質之金屬，用以連接主晶片上表面與下表面之電路，以及連接前述之單或複數個微電子元件。



六、申請專利範圍

2. 如申請專利範圍第1項之電子封裝結構，其中所述之封裝單元體，其表面具耦合之電路連接位置以連接並形成堆疊結構。
3. 如申請專利範圍第1項之電子封裝結構，其中所述之封裝單元體，其內部之單或複數個微電子元件可為主動電子元件、被動電子元件、光感測電子元件或以上電子元件之組合。
4. 如申請專利範圍第1項之電子封裝結構，其中所述之具電訊傳遞之固著結構，其可為錫、銀、金、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。
5. 如申請專利範圍第1項之電子封裝結構，其中所述之絕緣膜層，可於其表面佈有電路圖案，以利上述主晶片表面上與該空穴區域內之微電子元件，以及相鄰封裝單元體間之電子訊號相互連通。
6. 如申請專利範圍第1項之電子封裝結構，其中所述之空穴區域，其幾何形狀可包含：圓盤狀、橢圓盤狀、多邊形平板狀、多邊形狀、頂面非平面之圓盤狀、頂面非平面之橢圓盤狀、頂面非平面之不規則形圓盤狀或以上形狀之組合。



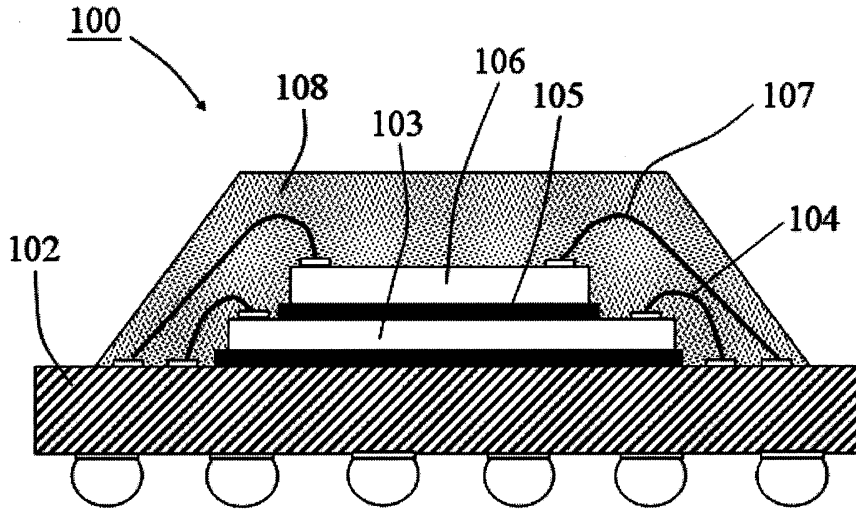
六、申請專利範圍

7. 如申請專利範圍第1項之電子封裝結構，其中達成前述單或複數個微電子元件之電訊傳遞結構，包括複數個佈於主晶片表面之電極、前述之電路圖案、佈於每一微電子元件之複數個微電子元件電極、複數個前述之固著結構、佈於絕緣層內之單或複數個貫通孔或以上各項結構之組合。
8. 如申請專利範圍第1項之電子封裝結構，其中所述之單或複數個貫通孔，其內部所充填之導電金屬可為錫、銀、金、鋁、鈹、銅、鎳、銻、鎢或以上金屬材料合金或具導電性之材料的組合。

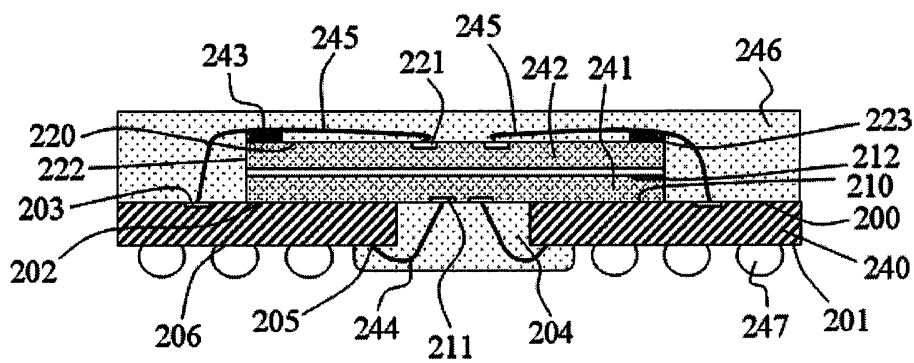


9311248

圖式

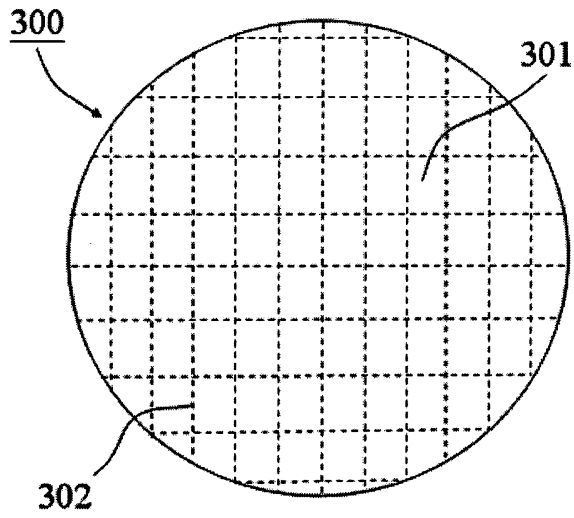


第 1 圖 (先前技術)

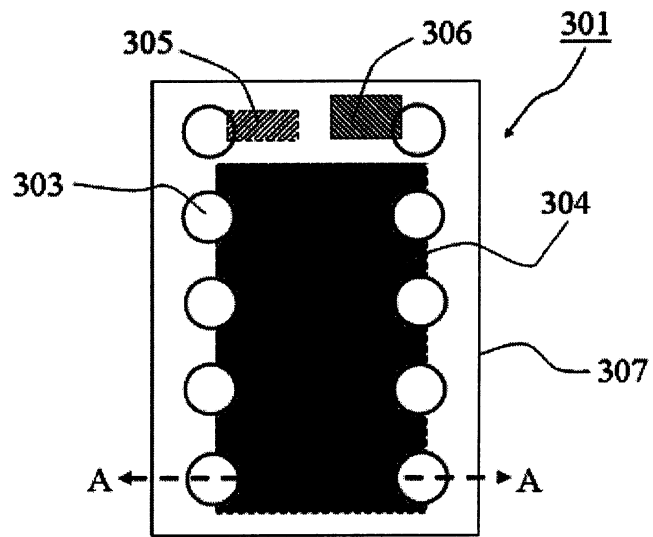


第 2 圖 (先前技術)

圖式

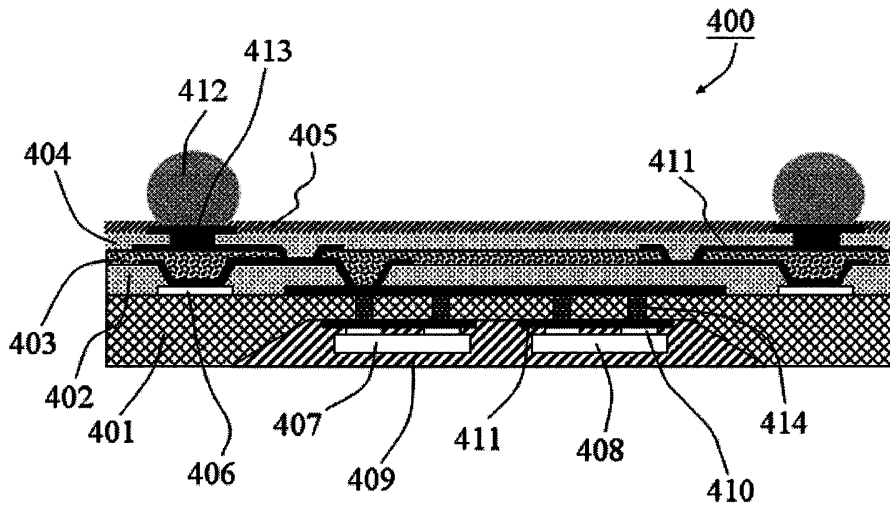


第 3 a 圖

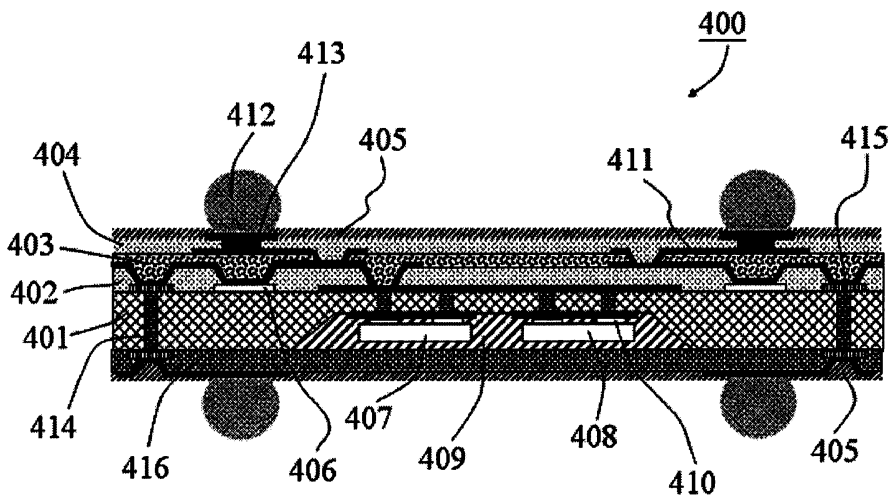


第 3 b 圖

圖式

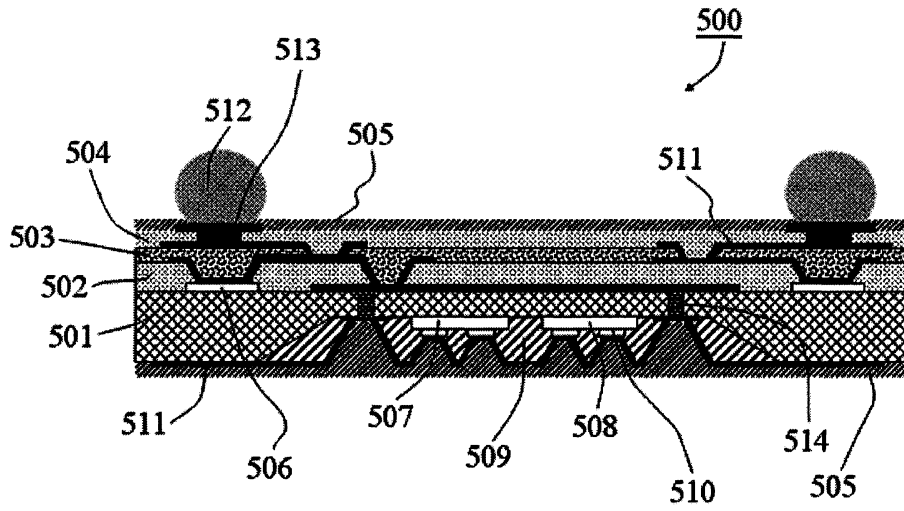


第 4 a 圖

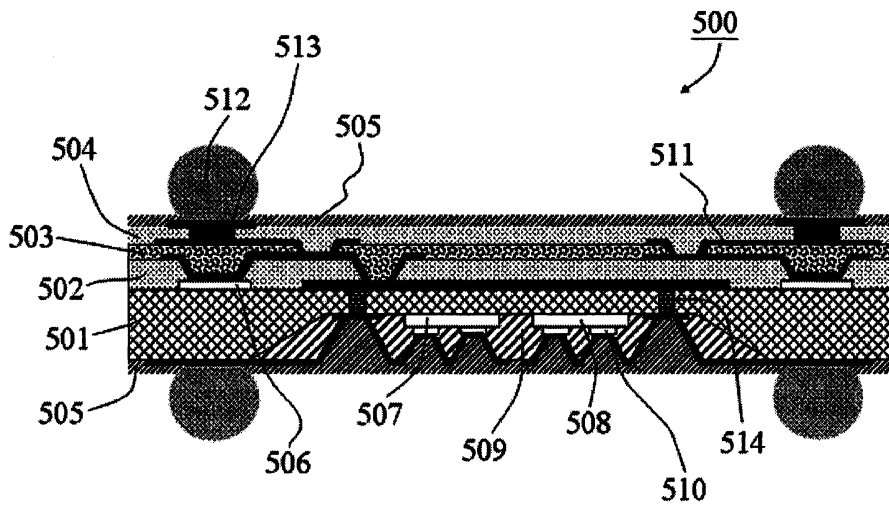


第 4 b 圖

圖式

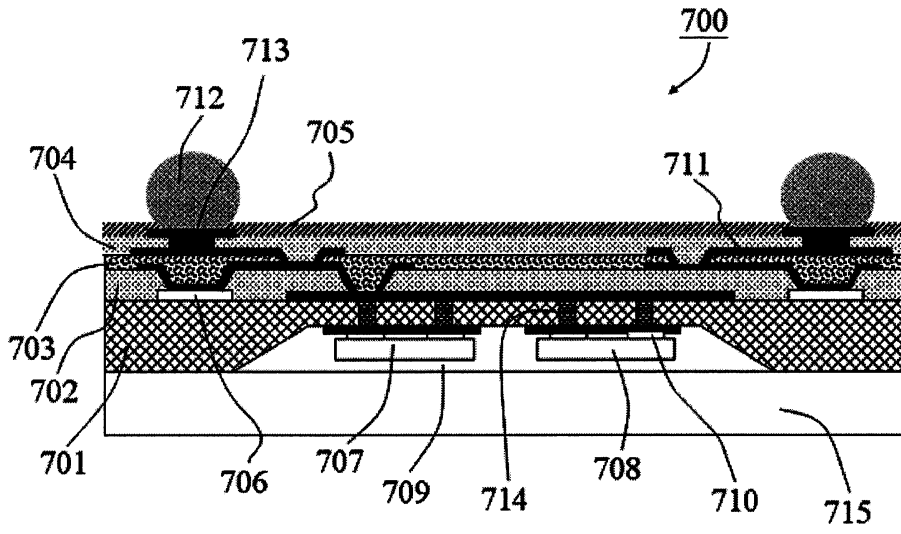


第 5 a 圖

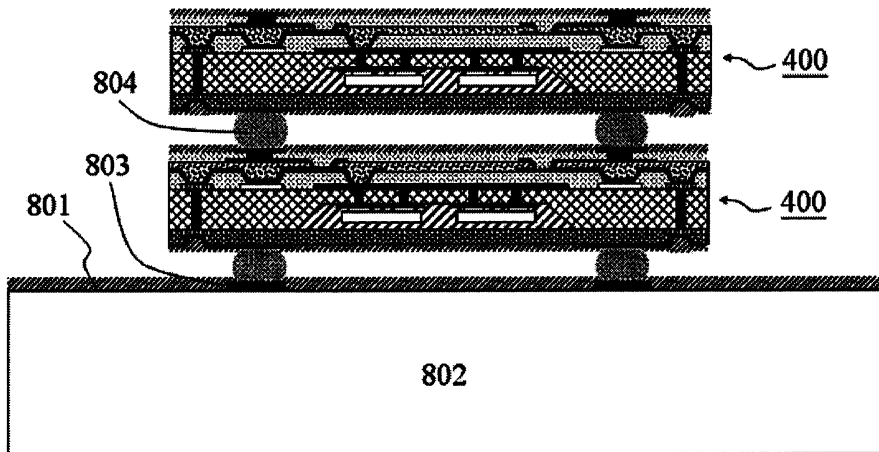


第 5 b 圖

圖式

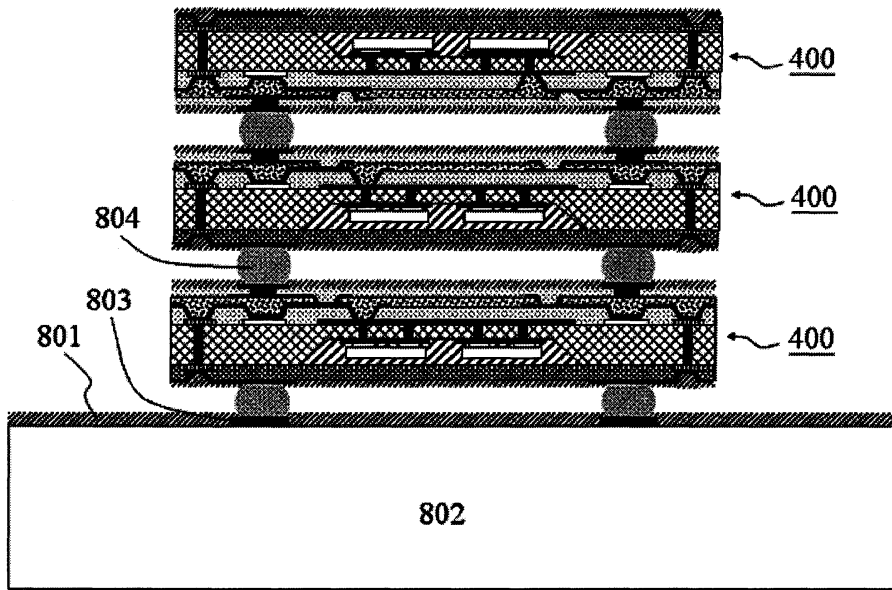


第 7 圖

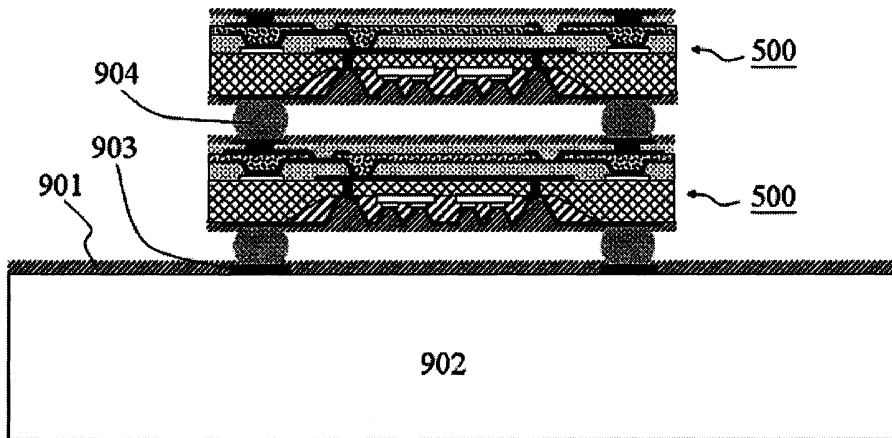


第 8 a 圖

圖式

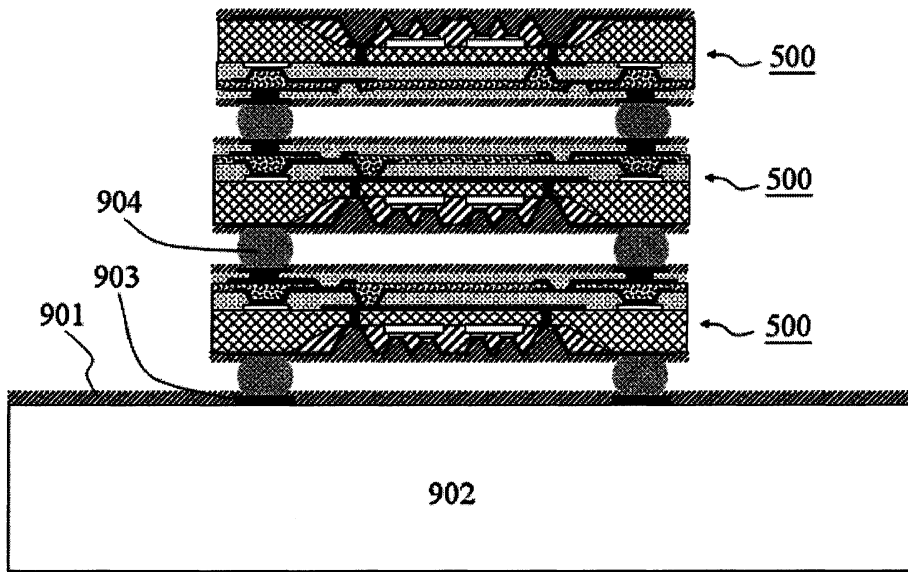


第 8 b 圖

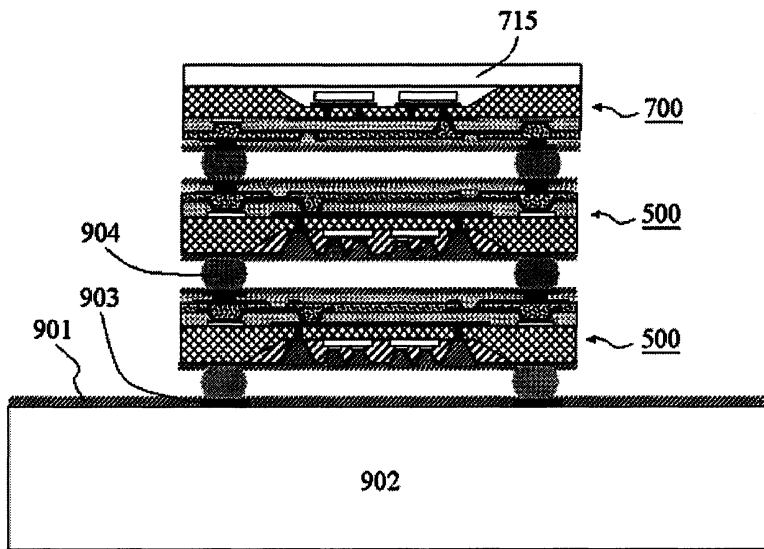


第 9 a 圖

圖式

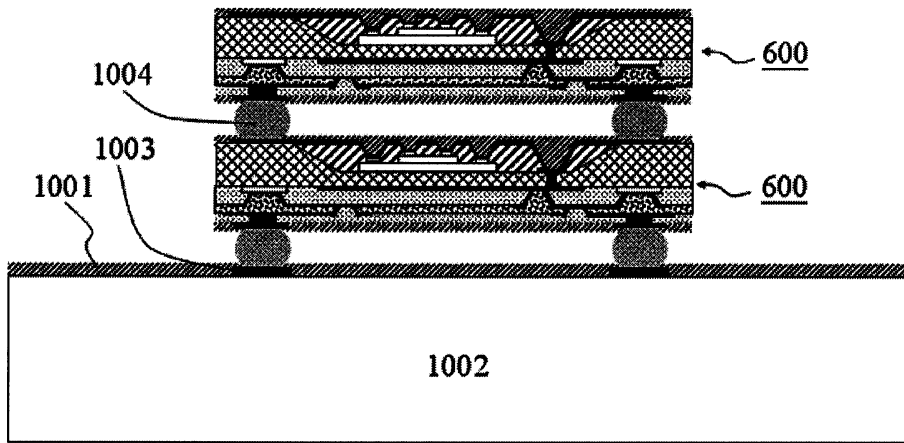


第 9 b 圖

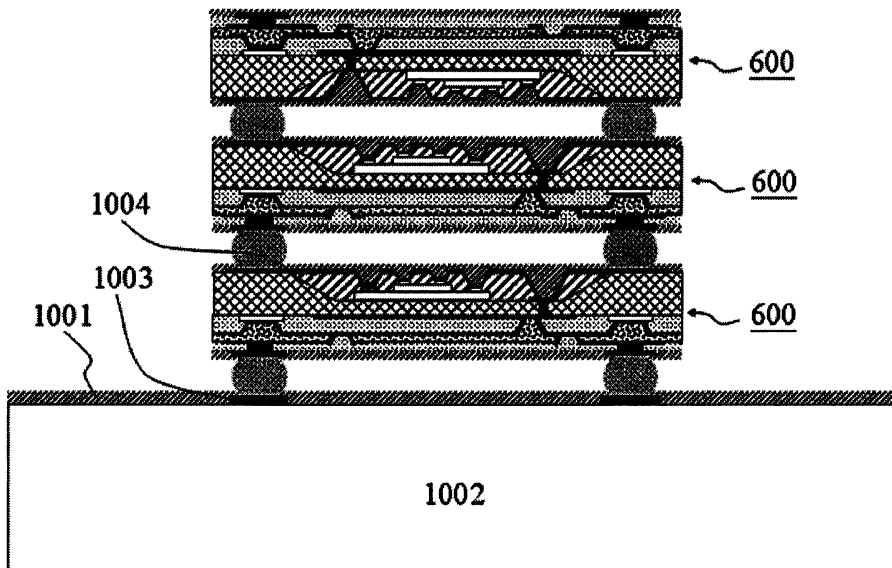


第 9 c 圖

圖式

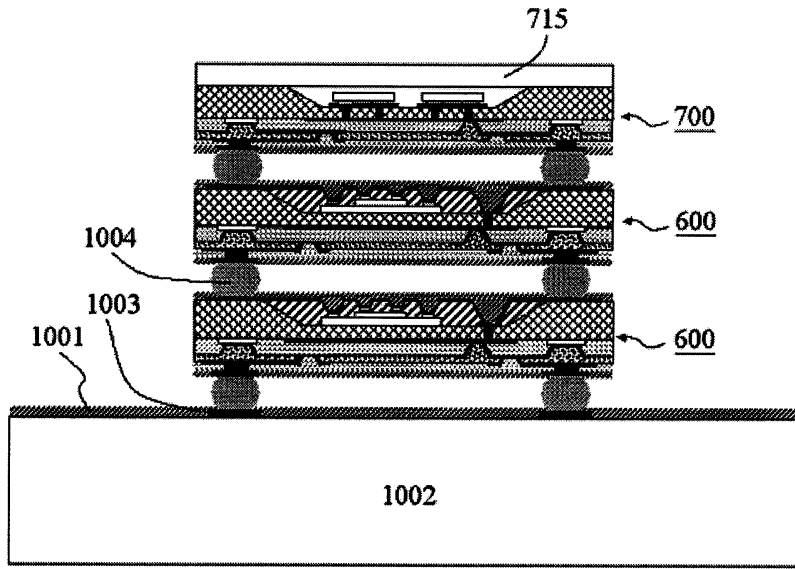


第 10 a 圖

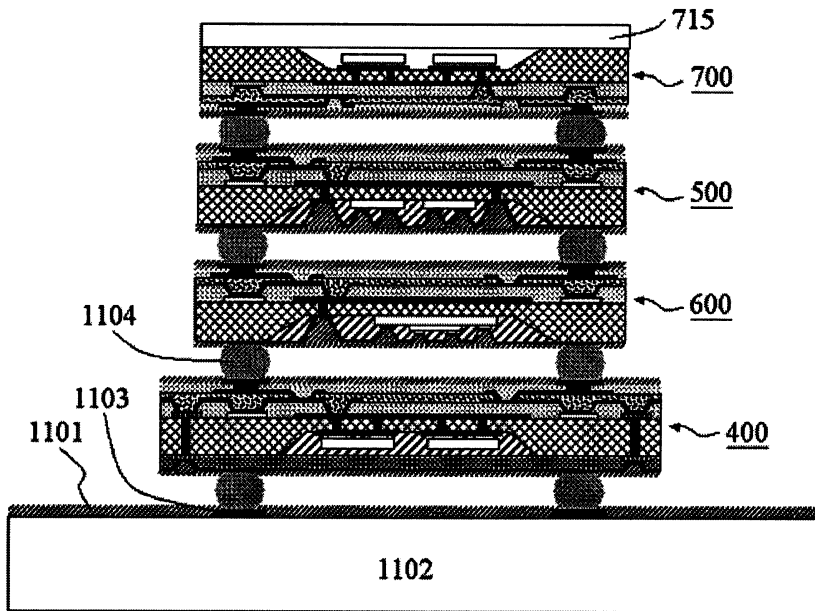


第 10 b 圖

圖式



第 10c圖



第 11圖