(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0122826
(43) 공개일자 2024년08월13일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) *H01L 23/48* (2006.01)
H01L 23/532 (2006.01)
(52) CPC특허분류
H01L 24/08 (2013.01)
H01L 23/481 (2013.01)
(21) 출원번호 10-2024-7023040
(22) 출원일자(국제) 2022년12월12일
심사청구일자 없음
(85) 번역문제출일자 2024년07월10일
(86) 국제출원번호 PCT/US2022/081381
(87) 국제공개번호 WO 2023/114726
국제공개일자 2023년06월22일
(30) 우선권주장
63/288,991 2021년12월13일 미국(US)

(71) 출원인
아데이아 세미컨덕터 본딩 테크놀로지스 인코포레이티드
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(72) 발명자
유조 사이프리안 에메카
미국 95134 캘리포니아주 새너제이 오차드 파크웨이 3025
(74) 대리인
유미특허법인

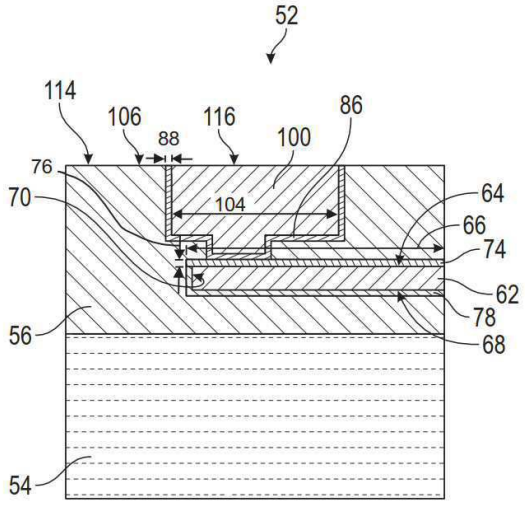
전체 청구항 수 : 총 118 항

(54) 발명의 명칭 **상호연결 구조체**

(57) 요 약

반도체 부분, 반도체 부분 위의 비전도층, 제1 재료로 형성되고 비전도층에 적어도 부분적으로 매립된 상부 전도층, 상부 전도층 아래에서 상부 전도층에 전기적으로 연결된 하부 전도층, 및 상부 전도층과 하부 전도층 사이에 배치된 장벽층을 포함하는 반도체 요소가 개시된다. 장벽층은 제1 재료와 다른 제2 재료로 형성되고, 제2 재료는 20℃에서 50 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는다.

대 표 도 - 도3



(52) CPC특허분류
H01L 23/53238 (2013.01)
H01L 23/53266 (2013.01)
H01L 24/05 (2013.01)
H01L 24/80 (2013.01)
H01L 2224/08147 (2013.01)
H01L 2224/80447 (2013.01)
H01L 2224/80757 (2013.01)
H01L 2224/80784 (2013.01)
H01L 2224/80895 (2013.01)

명 세 서

청구범위

청구항 1

반도체 요소로서,

반도체 부분;

상기 반도체 부분 상의 비전도층;

상기 비전도층의 캐비티(cavity) 내에 적어도 부분적으로 매립된 상부 전도층 - 상기 상부 전도층은 제1 재료로 형성됨 -;

상기 상부 전도층 아래에서 상기 상부 전도층에 전기적으로 연결되는 하부 전도층; 및

상기 상부 전도층과 상기 하부 전도층 사이에 배치된 장벽층 - 상기 장벽층은 상기 캐비티보다 측면으로 더 넓고, 상기 장벽층은 상기 제1 재료와 다른 제2 재료로 형성되며, 상기 제2 재료는 20℃에서 50 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 가짐 -

을 포함하는 반도체 요소.

청구항 2

제1항에 있어서,

상기 제1 재료는 구리를 포함하는,

반도체 요소.

청구항 3

제1항 또는 제2항에 있어서,

상기 하부 전도층은 구리를 포함하는,

반도체 요소.

청구항 4

제1항 또는 제2항에 있어서,

상기 제2 재료는 코발트, 텅스텐, 바나듐, 몰리브덴 및 니켈 중 적어도 하나를 포함하는,

반도체 요소.

청구항 5

제4항에 있어서,

상기 제2 재료는 코발트를 포함하는,

반도체 요소.

청구항 6

제4항 내지 제5항 중 어느 한 항에 있어서,

상기 제2 재료는 합금을 포함하는,

반도체 요소.

청구항 7

제6항에 있어서,

상기 합금은 코발트 텅스텐 인산염(cobalt tungsten phosphate, CWP), 코발트 인산염(cobalt phosphate, CoP), 니켈 인산염(nickel phosphate, NiP), 니켈 텅스텐(nickel tungsten, NiW), 티타늄 텅스텐(titanium tungsten, TiW), TiW/Mo, TiW/Co 및 니켈 바나듐(nickel vanadium, NiV) 중 적어도 하나를 포함하는,

반도체 요소.

청구항 8

제4항 내지 제7항 중 어느 한 항에 있어서,

상기 제2 재료의 전기 저항률은 20℃에서 4.5×10^{-8} mΩ 내지 20℃에서 30×10^{-8} mΩ인,

반도체 요소.

청구항 9

제4항 내지 제8항 중 어느 한 항에 있어서,

상기 제2 재료의 녹는점은 1200℃ 내지 3600℃인,

반도체 요소.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 비전도층은 산화규소를 포함하는,

반도체 요소.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 장벽층은 상기 상부 전도층이 배치된 캐비티 내에 적어도 일부가 배치되는,

반도체 요소.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝(line)하는 제2 장벽층

을 더 포함하고,

상기 제2 장벽층은 상기 장벽층과 상기 상부 전도층 사이에 배치되는,

반도체 요소.

청구항 13

제12항에 있어서,

상기 제2 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 14

제12항에 있어서,

상기 제2 장벽층은 상기 제1 재료 및 상기 제2 재료와 다른 제3 재료를 포함하는,

반도체 요소.

청구항 15

제14항에 있어서,

상기 제3 재료는 금속 질화물을 포함하는,

반도체 요소.

청구항 16

제15항에 있어서,

상기 제3 재료는 질화 티타늄 또는 질화 탄탈륨을 포함하는,

반도체 요소.

청구항 17

제12항 내지 제16항 중 어느 한 항에 있어서,

상기 장벽층의 두께는 상기 제2 장벽층의 두께보다 더 큰,

반도체 요소.

청구항 18

제1항 내지 제17항 중 어느 한 항에 있어서,

상기 장벽층 위의 중간 전도층 및 상기 중간 전도층 위의 제3 장벽층

을 더 포함하고,

상기 상부 전도층은 상기 제3 장벽층 위에 배치되는,

반도체 요소.

청구항 19

제18항에 있어서,

상기 중간 전도층은 상기 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화되는,

반도체 요소.

청구항 20

제19항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 장벽층을 포함하는,

반도체 요소.

청구항 21

제19항 또는 제20항에 있어서,

상기 제3 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 22

제20항 또는 제21항에 있어서,

상기 장벽층은 상기 중간 전도층이 배치된 캐비티를 라이닝하고, 상기 장벽층은 상기 제3 장벽층 위에서 실질적으로 접합 표면까지 수직으로 연장되는,

반도체 요소.

청구항 23

제18항 내지 제22항 중 어느 한 항에 있어서,

상기 상부 전도층의 두께는 상기 하부 전도층의 두께보다 얇은,

반도체 요소.

청구항 24

제1항 내지 제23항 중 어느 한 항에 있어서,

상기 하부 전도층은 상기 비전도층에 매립된 재배선층(redistribution layer, RDL)을 포함하는,

반도체 요소.

청구항 25

제1항 내지 제24항 중 어느 한 항에 있어서,

상기 비전도층은 상기 반도체 부분 상에 배치된 복수의 유전체층을 포함하는,

반도체 요소.

청구항 26

제1항 내지 제25항 중 어느 한 항에 있어서,

상기 장벽층에 인접하게 배치된 망간 장벽층

을 더 포함하는 반도체 요소.

청구항 27

제26항에 있어서,

상기 망간 장벽층은 상기 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝하고, 상기 망간 장벽층은 상기 장벽층 내부에 배치되는,

반도체 요소.

청구항 28

제1항 내지 제25항 중 어느 한 항에 있어서,

상기 장벽층은 상기 하부 전도층의 상부 표면의 길이를 따라 배치되고, 상기 길이는 상기 상부 전도층의 폭보다 더 긴,

반도체 요소.

청구항 29

제28항에 있어서,

상기 하부 전도층은 상기 상부 표면을 따라 상기 장벽층에 의해 그리고 상기 하부 전도층의 하부 표면 및 측면(들)을 따라 하나 이상의 추가 장벽층에 의해 캡슐화되는,

반도체 요소.

청구항 30

제29항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 31

제29항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 제1 재료 및 상기 제2 재료와 다른 제3 재료를 포함하는,

반도체 요소.

청구항 32

제1항 내지 제31항 중 어느 한 항에 있어서,

상기 하부 전도층에 전기적으로 연결되고 상기 반도체 부분을 통해 연장되는 기판 관통 비아(through-substrate via, TSV)

를 더 포함하는 반도체 요소.

청구항 33

제32항에 있어서,

상기 TSV를 라이닝하는 TSV 장벽층

을 더 포함하고,

상기 TSV 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 34

제1항 내지 제33항 중 어느 한 항에 있어서,

상기 상부 전도층은 이중 다마신 구조체(dual damascene structure)를 포함하는,

반도체 요소.

청구항 35

제1항 내지 제33항 중 어느 한 항에 있어서,

상기 상부 전도층은 단일 다마신 구조체를 포함하는,

반도체 요소.

청구항 36

접합 구조체로서,

제1항 내지 제35항 중 어느 한 항에 따른 반도체 요소, 및

제2 반도체 요소

를 포함하며,

상기 반도체 요소의 상부 비전도성 표면은 중간 접착제 없이 상기 제2 반도체 요소의 제2 상부 비전도성 표면에 직접 접합되고, 상기 상부 전도층의 상부 컨택 표면은 상기 제2 반도체 요소의 컨택 구조체에 직접 접합되는,

접합 구조체.

청구항 37

제36항에 있어서,

상기 제2 반도체 요소는,

제2 반도체 부분;

상기 제2 반도체 부분 상에 상기 제2 상부 비전도성 표면을 형성하는 제2 비전도층 – 상기 컨택 구조체는 상기 제2 비전도층에 적어도 부분적으로 매립됨 –;

상기 컨택 구조체 아래에서 상기 컨택 구조체에 전기적으로 연결된 제2 하부 전도층; 및

상기 컨택 구조체와 상기 제2 하부 전도층 사이에 배치된 상기 제2 반도체 요소의 제1 장벽층 – 상기 제2 반도체 요소의 제1 장벽층은 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는 재료로 형성됨 –

을 포함하는, 접합 구조체.

청구항 38

제37항에 있어서,

상기 컨택 구조체는 구리를 포함하고, 상기 제2 반도체 요소의 제1 장벽층의 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함하는,

접합 구조체.

청구항 39

반도체 요소로서,

반도체 부분;

상기 반도체 요소의 접합 표면의 제1 부분을 형성하는 상부 비전도성 표면을 갖는 반도체 부분 상의 비전도성 접합층 – 상기 상부 비전도성 표면은 제2 반도체 요소에 직접 접합하기 위해 준비됨 –;

상기 비전도성 접합층에 적어도 부분적으로 매립되고 상기 반도체 요소의 접합 표면의 제2 부분을 형성하는 상부 컨택 표면을 갖는 컨택 구조체 – 상기 컨택 구조체는 제1 재료를 포함함 –;

상기 컨택 구조체 아래에서 상기 컨택 구조체에 전기적으로 연결된 전도층; 및

상기 컨택 구조체와 상기 전도층 사이에 배치된 장벽층 – 상기 장벽층은 상기 제1 재료와 다른 제2 재료를 포함하고, 상기 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함함 –

을 포함하는 반도체 요소.

청구항 40

제39항에 있어서,

상기 컨택 구조체는 구리를 포함하는,

반도체 요소.

청구항 41

제39항 또는 제40항에 있어서,

상기 전도층은 구리를 포함하는,

반도체 요소.

청구항 42

제39항 내지 제41항 중 어느 한 항에 있어서,

상기 장벽층은 코발트를 포함하는,

반도체 요소.

청구항 43

제39항 내지 제42항 중 어느 한 항에 있어서,

상기 장벽층은 합금을 포함하는,

반도체 요소.

청구항 44

제43항에 있어서,

상기 합금은 코발트 텅스텐 인산염(CWP), 코발트 인산염(CoP), 니켈 인산염(NiP), 니켈 텅스텐(NiW) 및 니켈 바나듐(NiV) 중 적어도 하나를 포함하는,

반도체 요소.

청구항 45

제39항 내지 제44항 중 어느 한 항에 있어서,

상기 비전도성 접합층은 산화규소를 포함하는,

반도체 요소.

청구항 46

제39항 내지 제45항 중 어느 한 항에 있어서,

상기 장벽층은 상기 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝하는,

반도체 요소.

청구항 47

제39항 내지 제46항 중 어느 한 항에 있어서,

상기 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝하는 제2 장벽층

을 더 포함하며,

상기 제2 장벽층은 상기 장벽층과 상기 컨택 구조체 사이에 배치되는,

반도체 요소.

청구항 48

제47항에 있어서,

상기 제2 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 49

제47항에 있어서,

상기 제2 장벽층은 상기 제1 재료 및 상기 제2 재료와 다른 제3 재료를 포함하는,

반도체 요소.

청구항 50

제49항에 있어서,

상기 제3 재료는 금속 질화물을 포함하는,

반도체 요소.

청구항 51

제50항에 있어서,

상기 제3 재료는 질화 티타늄 또는 질화 탄탈륨을 포함하는,

반도체 요소.

청구항 52

제47항 내지 제51항 중 어느 한 항에 있어서,

상기 장벽층의 두께는 상기 제2 장벽층의 두께보다 더 큰,

반도체 요소.

청구항 53

제39항 내지 제51항 중 어느 한 항에 있어서,

상기 장벽층 위의 제2 전도층 및 상기 제2 전도층 위의 제3 장벽층

을 더 포함하며,

상기 컨택 구조체는 상기 제3 장벽층 위에 배치되는,

반도체 요소.

청구항 54

제53항에 있어서,

상기 제2 전도층은 상기 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화되는,

반도체 요소.

청구항 55

제54항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 장벽층을 포함하는,

반도체 요소.

청구항 56

제54항 또는 제55항에 있어서,

상기 제3 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 57

제55항 또는 제56항에 있어서,

상기 장벽층은 상기 제2 전도층이 배치된 캐비티를 라이닝하고, 상기 장벽층은 상기 제3 장벽층 위에서 실질적으로 상기 접합 표면까지 수직으로 연장되는,

반도체 요소.

청구항 58

제53항 내지 제57항 중 어느 한 항에 있어서,

상기 컨택 구조체의 두께는 상기 제2 전도층의 두께보다 작은,

반도체 요소.

청구항 59

제53항 내지 제58항 중 어느 한 항에 있어서,

상기 전도층은 상기 비전도성 접합층에 매립된 재배선층(RDL)을 포함하는,

반도체 요소.

청구항 60

제39항 내지 제59항 중 어느 한 항에 있어서,

상기 비전도성 접합층은 상기 반도체 부분 상에 배치된 복수의 유전체층을 포함하는,

반도체 요소.

청구항 61

제39항 내지 제60항 중 어느 한 항에 있어서,

상기 장벽층에 인접하게 배치된 망간 장벽층

을 더 포함하는 반도체 요소.

청구항 62

제61항에 있어서,

상기 망간 장벽층은 상기 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝하고, 상기 망간 장벽층은 상기 장벽층 내부에 배치되는,

반도체 요소.

청구항 63

제39항 내지 제62항 중 어느 한 항에 있어서,

상기 장벽층은 상기 전도층의 상부 표면의 길이를 따라 배치되고, 상기 길이는 상기 컨택 구조체의 폭보다 더 큰,

반도체 요소.

청구항 64

제63항에 있어서,

상기 전도층은 상기 상부 표면을 따라 상기 장벽층에 의해 그리고 상기 전도층의 하부 표면 및 측면(들)을 따라 하나 이상의 추가 장벽층에 의해 캡슐화되는,

반도체 요소.

청구항 65

제64항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 66

제64항에 있어서,

상기 하나 이상의 추가 장벽층은 상기 제1 재료 및 상기 제2 재료와 다른 제3 재료를 포함하는,

반도체 요소.

청구항 67

제39항 내지 제66항 중 어느 한 항에 있어서,

상기 전도층에 전기적으로 연결되고 상기 반도체 부분을 통해 연장되는 기판 관통 비아(TSV)

를 더 포함하는 반도체 요소.

청구항 68

제67항에 있어서,

상기 TSV를 라이닝하는 TSV 장벽층

을 더 포함하며,

상기 TSV 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 69

제39항 내지 제68항 중 어느 한 항에 있어서,

상기 컨택 구조체는 이중 다마신 구조체를 포함하는,

반도체 요소.

청구항 70

제39항 내지 제68항 중 어느 한 항에 있어서,

상기 컨택 구조체는 단일 다마신 구조체를 포함하는,

반도체 요소.

청구항 71

접합 구조체로서,

제39항 내지 제70항 중 어느 한 항에 따른 반도체 요소, 및

제2 반도체 요소

를 포함하며,

상기 반도체 요소의 상부 비전도성 표면은 중간 접착제 없이 상기 제2 반도체 요소의 제2 상부 비전도성 표면에 직접 접합되고, 상기 컨택 구조체의 상부 컨택 표면은 상기 제2 반도체 요소의 제2 컨택 구조체에 직접 접합되는,

접합 구조체.

청구항 72

제71항에 있어서,

상기 제2 반도체 요소는:

제2 반도체 부분;

상기 제2 반도체 부분 상에 상기 제2 상부 비전도성 표면을 형성하는 제2 비전도성 접합층 - 상기 제2 컨택 구조체는 상기 제2 비전도성 접합층에 적어도 부분적으로 매립됨 -;

상기 제2 컨택 구조체 아래에서 상기 제2 컨택 구조체에 전기적으로 연결된 제2 전도층; 및

상기 제2 컨택 구조체와 상기 제2 전도층 사이에 배치된 상기 제2 반도체 요소의 제1 장벽층 - 상기 제2 반도체 요소의 제1 장벽층은 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는 재료로 형성됨 -

을 포함하는, 접합 구조체.

청구항 73

제72항에 있어서,

상기 제2 컨택 구조체는 구리를 포함하고, 상기 제2 반도체 요소의 제1 장벽층의 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함하는,

접합 구조체.

청구항 74

반도체 요소로서,

반도체 부분;

상기 반도체 부분 상의 비전도층;

상기 비전도성 접합층에 적어도 부분적으로 매립되고 상기 반도체 요소의 접합 표면의 적어도 일부를 형성하는 상부 컨택 표면을 갖는 컨택 구조체 - 상기 건택 구조체는 제1 재료를 포함함 -;

상기 컨택 구조체 아래에서 상기 컨택 구조체에 전기적으로 연결된 전도층; 및

상기 전도층을 캡슐화하는 하나 이상의 장벽층 - 상기 하나 이상의 장벽층은 상기 전도층의 상부 표면, 하부 표면 및 측면 주위에 배치됨 -

을 포함하는 반도체 요소.

청구항 75

제74항에 있어서,

상기 컨택 구조체는 구리를 포함하는,

반도체 요소.

청구항 76

제74항 또는 제75항에 있어서,

상기 전도층은 구리를 포함하는,

반도체 요소.

청구항 77

제74항 내지 제76항 중 어느 한 항에 있어서,

상기 하나 이상의 장벽층은 상기 전도층의 상부 표면의 길이를 따라 배치된 제1 장벽층을 포함하고, 상기 길이는 상기 컨택 구조체의 폭보다 더 크며, 상기 장벽층은 상기 제1 재료와 다른 제2 재료를 포함하는,

반도체 요소.

청구항 78

제77항에 있어서,

상기 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함하는,

반도체 요소.

청구항 79

제77항 또는 제78항에 있어서,

상기 제2 재료는 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는,

반도체 요소.

청구항 80

제77항 내지 제79항 중 어느 한 항에 있어서,

상기 하나 이상의 장벽층은 상기 전도층의 하부 표면 및 측면을 따라 배치된 제2 장벽층을 포함하는,

반도체 요소.

청구항 81

제80항에 있어서,

상기 제2 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 82

제80항에 있어서,

상기 제2 장벽층은 상기 제2 재료와 다른 제3 재료를 포함하는,

반도체 요소.

청구항 83

제82항에 있어서,

상기 제3 재료는 금속 질화물을 포함하는,

반도체 요소.

청구항 84

제83항에 있어서,

상기 제3 재료는 질화 티타늄 또는 질화 탄탈륨을 포함하는,

반도체 요소.

청구항 85

제77항 내지 제84항 중 어느 한 항에 있어서,

상기 하나 이상의 장벽층 위의 제2 전도층 및 상기 제2 전도층 위의 제3 장벽층

을 더 포함하며,

상기 컨택 구조체는 상기 제3 장벽층 위에 배치되는,

반도체 요소.

청구항 86

제85항에 있어서,

상기 제2 전도층은 상기 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화되는,

반도체 요소.

청구항 87

제85항 또는 제86항에 있어서,

상기 제3 장벽층은 상기 제2 재료를 포함하는,

반도체 요소.

청구항 88

제85항 내지 제87항 중 어느 한 항에 있어서,

상기 컨택 구조체의 두께는 상기 제2 전도층의 두께보다 작은,

반도체 요소.

청구항 89

제74항 내지 제88항 중 어느 한 항에 있어서,

상기 전도층은 상기 비전도성 접합층에 매립된 재배선층(RDL)을 포함하는,

반도체 요소.

청구항 90

반도체 요소로서,

상기 반도체 요소의 접합 표면의 제1 부분을 형성하는 상부 비전도성 표면을 갖는 반도체 부분 - 상기 상부 비전도성 표면은 제2 반도체 요소에 직접 접합하기 위해 준비됨 -;

상기 반도체 요소의 접합 표면의 제2 부분을 형성하는 상부 컨택 표면을 갖는 컨택 구조체 - 상기 컨택 구조체는 제1 재료로 형성됨 -; 및

상기 컨택 구조체 아래에서 상기 컨택 구조체에 전기적으로 연결된 전기 전도성 장벽 재료 - 상기 전기 전도성 장벽 재료는 상기 제1 재료와 다른 제2 재료를 포함하고, 상기 제2 재료는 20℃에서 30×10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 가짐 -

를 포함하는 반도체 요소.

청구항 91

제90항에 있어서,

상기 컨택 구조체는 구리를 포함하는,

반도체 요소.

청구항 92

제91항에 있어서,

상기 컨택 구조체는 상기 전기 전도성 장벽 재료의 20% 미만을 포함하는,

반도체 요소.

청구항 93

제90항 내지 제92항 중 어느 한 항에 있어서,

상기 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함하는,

반도체 요소.

청구항 94

제93항에 있어서,

상기 제2 재료는 코발트를 포함하는,

반도체 요소.

청구항 95

제90항 내지 제94항 중 어느 한 항에 있어서,

상기 제2 재료의 전기 저항률은 20℃에서 4.5×10^{-8} mΩ 내지 20℃에서 30×10^{-8} mΩ인,

반도체 요소.

청구항 96

제90항 내지 제95항 중 어느 한 항에 있어서,

상기 제2 재료의 녹는점은 1200℃ 내지 3600℃인,

반도체 요소.

청구항 97

제90항 내지 제96항 중 어느 한 항에 있어서,

상기 컨택 구조체의 두께는 상기 전기 전도성 장벽 재료의 두께보다 작은,

반도체 요소.

청구항 98

제97항에 있어서,

상기 전기 전도성 장벽 재료의 두께는 상기 컨택 구조체의 두께의 적어도 2배인,

반도체 요소.

청구항 99

방법으로서,

반도체 요소의 비전도층에 캐비티를 형성하는 단계;

상기 캐비티 내에 하부 전도층을 제공하는 단계;

상기 하부 전도층 위에 장벽층을 제공하는 단계; 및

상기 장벽층 위에 상부 전도층을 제공하는 단계 - 상기 상부 전도층은 제1 재료로 형성되고, 상기 장벽층은 상기 제1 재료와 다른 제2 재료로 형성되며, 상기 제2 재료는 20℃에서 30×10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 가짐 -

를 포함하는 방법.

청구항 100

제99항에 있어서,

상기 제1 재료는 구리를 포함하고, 상기 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함하는,

방법.

청구항 101

제99항 또는 제100항에 있어서,

상기 장벽층을 제공하는 단계는 상기 하부 전도층의 상부 표면의 길이를 따라 상기 장벽층을 제공하는 단계를 포함하며, 상기 길이는 상기 컨택 구조체의 폭보다 더 더 큰,

방법.

청구항 102

제101항에 있어서,

상기 장벽층 및 하나 이상의 추가 장벽층으로 상기 하부 전도층을 캡슐화하는 단계

를 더 포함하는, 방법.

청구항 103

제99항 내지 제102항 중 어느 한 항에 있어서,

상기 상부 전도층을 제공하는 단계 전에, 상기 장벽층 및 상기 비전도층의 적어도 일부 위에 제2 비전도층을 형성하고, 상기 장벽층까지 연장되는 상기 제2 비전도층에 개구를 형성하는 단계

를 더 포함하는 방법.

청구항 104

제103항에 있어서,

상기 장벽층의 적어도 일부 위의 개구에 제2 장벽층을 제공하는 단계

를 더 포함하는 방법.

청구항 105

제104항에 있어서,

상기 제2 장벽층을 제공하는 단계는 상기 제2 재료로 형성된 제2 장벽층을 제공하는 단계를 포함하는,

방법.

청구항 106

제104항 또는 제105항에 있어서,

상기 제2 장벽층 위의 개구에 중간 전도층을 제공하는 단계

를 더 포함하는, 방법.

청구항 107

제106항에 있어서,

상기 중간 전도층 위에 제3 장벽층을 제공하는 단계

를 더 포함하는, 방법.

청구항 108

제107항에 있어서,

상기 제3 장벽층을 제공하는 단계는 상기 제2 재료로 형성된 제3 장벽층을 제공하는 단계를 포함하는,

방법.

청구항 109

제107항 또는 제108항에 있어서,

상기 제3 장벽층 위에 상기 상부 전도층을 제공하는 단계

를 더 포함하는, 방법.

청구항 110

제103항 내지 제109항 중 어느 한 항에 있어서,

상기 제2 비전도층의 상부 표면을 플라즈마 처리하는 단계

를 더 포함하는 방법.

청구항 111

제110항에 있어서,

플라즈마 처리하는 단계는 질소 또는 산소를 포함하는 플라즈마에 상기 제2 비전도층을 노출시키는 단계를 포함하는,

방법.

청구항 112

제99항 내지 제111항 중 어느 한 항에 있어서,

중간 접착제 없이 제2 반도체 요소의 컨택 구조체에 상기 반도체 요소의 상부 전도층을 직접 접합시키는 단계

를 더 포함하는 방법.

청구항 113

제112항에 있어서,

상기 제2 반도체 요소의 제2 비전도성 접합층에 상기 반도체 요소의 비전도성 접합층을 직접 접합시키는 단계

를 더 포함하는 방법.

청구항 114

제113항에 있어서,

상기 비전도성 접합층은 상기 비전도층을 포함하는,

방법.

청구항 115

반도체 요소로서,

반도체 부분;

상기 반도체 부분 상의 비전도층;

상기 비전도층에 적어도 부분적으로 매립된 상부 전도층 – 상기 상부 전도층은 제1 재료로 형성됨 –;

상기 상부 전도층 아래에서 상기 상부 전도층에 전기적으로 연결된 하부 전도층; 및

상기 상부 전도층과 상기 하부 전도층 사이에 배치된 장벽층 – 상기 장벽층은 상기 상부 전도층의 측면 길이보다 긴 측면 길이를 갖고, 상기 장벽층은 상기 제1 재료와 다른 제2 재료로 형성되며, 상기 제2 재료는 1200℃보다 높은 녹는점을 가짐 –

을 포함하는 반도체 요소.

청구항 116

접합 구조체로서,

제115항의 반도체 요소, 및

제2 반도체 요소

를 포함하며,

상기 반도체 요소의 상부 비전도성 표면은 중간 접착제 없이 상기 제2 반도체 요소의 제2 상부 비전도성 표면에 직접 접합되고, 상기 상부 전도층의 상부 컨택 표면은 상기 제2 반도체 요소의 컨택 구조체에 직접 접합되는,

접합 구조체.

청구항 117

반도체 요소로서,

반도체 부분;

상기 반도체 부분 상의 비전도층;

상기 비전도층에 적어도 부분적으로 매립된 상부 전도층 – 상기 상부 전도층은 제1 재료로 형성됨 –;

상기 상부 전도층 아래에서 상기 상부 전도층에 전기적으로 연결된 하부 전도층;

상기 상부 전도층과 상기 하부 전도층 사이에 배치된 장벽층 – 상기 장벽층은 상기 제1 재료와 다른 제2 재료로 형성되고, 상기 제2 재료는 20℃에서 50 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 가짐 –; 및

상기 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝하는 제2 장벽층

을 포함하는 반도체 요소.

청구항 118

제117항에 있어서,

상기 제2 장벽층은 상기 장벽층과 상기 상부 전도층 사이에 배치되는,

반도체 요소.

발명의 설명

기 술 분 야

[0001] 본 출원은 2021년 12월 13일에 출원된 미국 가특허 출원 제63/288,991호 ('상호연결 구조체')에 대한 우선권을 주장하며, 그 전체 내용은 모든 목적을 위해 그 전체가 참조로서 본 명세서에 포함된다.

[0002] 본 분야는 상호연결 구조체 및 상호연결 구조체를 형성하는 방법에 관한 것이다.

배 경 기 술

[0003] 다이 내부 또는 다이 표면의 상호연결 구조체는 다이 내의 다른 회로나 다른 다이 또는 요소로 신호, 전력 또는 접지를 운반한다. 예를 들어, 반도체 웨이퍼 또는 집적 장치 다이와 같은 반도체 요소는 접착제 없이 적층되어 서로 직접 접합될 수 있다. 예를 들어, 일부 하이브리드 직접 결합 구조에서, 요소의 비전도성 필드 영역이 서로 직접 접합될 수 있고, 대응하는 전도성 접촉 구조체는 서로 직접 접합될 수 있다. 컨택 구조체가 전기적으로 안정적인지를 확인하는 것이 중요할 수 있다.

발명의 내용

[0004] 일 실시예에서, 반도체 요소는 반도체 부분; 비전도층; 비전도층에 적어도 부분적으로 매립된 상부 전도층 – 상부 전도층은 제1 재료로 형성됨 –; 상부 전도층 아래에서 상부 전도층에 전기적으로 연결된 하부 전도층; 및

상부 전도층과 하부 전도층 사이에 배치된 장벽층을 포함할 수 있으며, 장벽층은 제1 재료와 다른 제2 재료로 형성되고, 제2 재료는 20℃에서 50 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는다.

[0005] 일부 실시예에서, 제1 재료는 구리를 포함한다. 일부 실시예에서, 하부 전도층은 구리를 포함한다. 일부 실시예에서, 제2 재료는 코발트, 텅스텐, 바나듐, 몰리브덴 및 니켈 중 적어도 하나를 포함한다. 일부 실시예에서, 제2 재료는 코발트를 포함한다. 일부 실시예에서, 제2 재료는 합금을 포함한다. 일부 실시예에서, 합금은 코발트 텅스텐 인산염(cobalt tungsten phosphate, CWP), 코발트 인산염(cobalt phosphate, CoP), 니켈 인산염(nickel phosphate, NiP), 니켈 텅스텐(nickel tungsten, NiW) 및 니켈 바나듐(nickel vanadium, NiV) 중 적어도 하나를 포함한다. 일부 실시예에서, 제2 재료의 전기 저항률은 20℃에서 4.5 x 10^{-8} mΩ 내지 20℃에서 30 x 10^{-8} mΩ이다. 일부 실시예에서, 제2 재료의 녹는점은 1200℃ 내지 3600℃이다. 일부 실시예에서, 비전도층은 산화규소를 포함한다. 일부 실시예에서, 장벽층은 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝(line)한다. 일부 실시예에서, 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝하는 제2 장벽층을 더 포함하고, 제2 장벽층은 장벽층과 상부 전도층 사이에 배치된다. 일부 실시예에서, 제2 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 제2 장벽층은 제1 재료 및 제2 재료와 다른 제3 재료를 포함한다. 일부 실시예에서, 제3 재료는 금속 질화물을 포함한다. 일부 실시예에서, 제3 재료는 질화티타늄 또는 질화 탄탈륨을 포함한다. 일부 실시예에서, 장벽층의 두께는 제2 장벽층의 두께보다 더 크다. 일부 실시예에서, 반도체 요소는 장벽층 위의 중간 전도층 및 중간 전도층 위의 제3 장벽층을 포함할 수 있으며, 상부 전도층은 제3 장벽층 위에 배치된다. 일부 실시예에서, 중간 전도층은 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화된다. 일부 실시예에서, 하나 이상의 추가 장벽층은 장벽층을 포함한다. 일부 실시예에서, 제3 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 장벽층은 중간 전도층이 배치된 캐비티를 라이닝하고, 장벽층은 제3 장벽층 위에서 실질적으로 접합 표면까지 수직으로 연장된다. 일부 실시예에서, 상부 전도층의 두께는 제2 전도층의 두께보다 더 작다. 일부 실시예에서, 하부 전도층은 비전도층에 매립된 재배선층(redistribution layer, RDL)을 포함한다. 일부 실시예에서, 비전도층은 반도체 부분 상에 배치된 복수의 유전체층을 포함한다. 일부 실시예에서, 반도체 요소는 장벽층에 인접하게 배치된 망간 장벽층을 포함할 수 있다. 일부 실시예에서, 망간 장벽층은 상부 전도층이 배치된 캐비티의 적어도 일부를 라이닝하고, 망간 장벽층은 장벽층 내부에 배치된다. 일부 실시예에서, 장벽층은 하부 전도층의 상부 표면의 길이를 따라 배치되고, 길이는 상부 전도층의 폭보다 더 길다. 일부 실시예에서, 하부 전도층은 상부 표면을 따라 장벽층에 의해 그리고 하부 전도층의 하부 표면 및 측면(들)을 따라 하나 이상의 추가 장벽층에 의해 캡슐화된다. 일부 실시예에서, 하나 이상의 추가 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 하나 이상의 추가 장벽층은 제1 재료 및 제2 재료와 다른 제3 재료를 포함한다. 일부 실시예에서, 반도체 요소는 하부 전도층에 연결되고 반도체 부분을 통해 연장되는 기판 관통 비아(through substrate via, TSV)를 포함할 수 있다. 일부 실시예에서, 반도체 요소는 TSV를 라이닝하는 TSV 장벽층을 포함할 수 있으며, TSV 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 상부 전도층은 이중 다마신 구조체(dual damascene structure)를 포함한다. 일부 실시예에서, 상부 전도층은 단일 다마신 구조체를 포함한다.

[0006] 일부 실시예에서, 접합 구조체는 반도체 요소 및 제2 반도체 요소를 포함하며, 반도체 요소의 상부 비전도성 표면은 중간 접착제 없이 제2 반도체 요소의 제2 상부 비전도성 표면에 직접 접합되고, 상부 전도층의 상부 컨택 표면은 제2 반도체 요소의 컨택 구조체에 직접 접합된다. 일부 실시예에서, 제2 반도체 요소는 제2 반도체 부분; 상기 제2 반도체 부분 상에 제2 상부 비전도성 표면을 형성하는 제2 비전도층 – 컨택 구조체는 제2 비전도층에 적어도 부분적으로 매립됨 –; 컨택 구조체 아래에서 컨택 구조체에 전기적으로 연결된 제2 하부 전도층; 및 컨택 구조체와 제2 하부 전도층 사이에 배치된 제2 반도체 요소의 제1 장벽층을 포함하며, 제2 반도체 요소의 제1 장벽층은 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는 재료로 형성된다. 일부 실시예에서, 컨택 구조체는 구리를 포함하고, 제2 반도체 요소의 제1 장벽층의 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함한다.

[0007] 다른 실시예에서, 반도체 요소는 반도체 부분; 반도체 요소의 접합 표면의 제1 부분을 형성하는 상부 비전도성 표면을 갖는 반도체 부분 상의 비전도성 접합층 – 상부 비전도성 표면은 다른 반도체 요소에 직접 접합하기 위해 준비됨 –; 비전도성 접합층에 적어도 부분적으로 매립되고 반도체 요소의 접합 표면의 제2 부분을 형성하는 상부 컨택 표면을 갖는 컨택 구조체 – 컨택 구조체는 제1 재료를 포함함 –; 컨택 구조체 아래에서 컨택 구조체에 전기적으로 연결된 전도층; 및 컨택 구조체와 전도층 사이에 배치된 장벽층을 포함할 수 있으며, 장벽층은 제1 재료와 다른 제2 재료를 포함하고, 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를

포함한다.

[0008] 일부 실시예에서, 컨택 구조체는 구리를 포함한다. 일부 실시예에서, 전도층은 구리를 포함한다. 일부 실시예에서, 장벽층은 코발트를 포함한다. 일부 실시예에서, 장벽층은 합금을 포함한다. 일부 실시예에서, 합금은 코발트 텅스텐 인산염(CWP), 코발트 인산염(CoP), 니켈 인산염(NiP), 니켈 텅스텐(NiW) 및 니켈 바나듐(NiV) 중 적어도 하나를 포함한다. 일부 실시예에서, 비전도성 접합층은 산화규소를 포함한다. 일부 실시예에서, 장벽층은 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝한다. 일부 실시예에서, 반도체 요소는 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝하는 제2 장벽층을 포함할 수 있으며, 제2 장벽층은 장벽층과 컨택 구조체 사이에 배치된다. 일부 실시예에서, 제2 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 제2 장벽층은 제1 재료 및 제2 재료와 다른 제3 재료를 포함한다. 일부 실시예에서, 제3 재료는 금속 질화물을 포함한다. 일부 실시예에서, 제3 재료는 질화 티타늄 또는 질화 탄탈륨을 포함한다. 일부 실시예에서, 장벽층의 두께는 제2 장벽층의 두께보다 더 크다. 일부 실시예에서, 반도체 요소는 장벽층 위의 제2 전도층 및 제2 전도층 위의 제3 장벽층을 포함할 수 있으며, 컨택 구조체는 제3 장벽층 위에 배치된다. 일부 실시예에서, 제2 전도층은 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화된다. 일부 실시예에서, 하나 이상의 추가 장벽층은 장벽층을 포함한다. 일부 실시예에서, 제3 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 장벽층은 제2 전도층이 배치된 캐비티를 라이닝하고, 장벽층은 제3 장벽층 위에서 실질적으로 접합 표면까지 수직으로 연장된다. 일부 실시예에서, 컨택 구조체의 두께는 제2 전도층의 두께보다 더 작다. 일부 실시예에서, 전도층은 비전도성 접합층에 매립된 재배선층(RDL)을 포함한다. 일부 실시예에서, 비전도성 접합층은 반도체 부분 상에 배치된 복수의 유전체층을 포함한다. 일부 실시예에서, 반도체 요소는 장벽층에 인접하게 배치된 망간 장벽층을 포함할 수 있다. 일부 실시예에서, 망간 장벽층은 컨택 구조체가 배치된 캐비티의 적어도 일부를 라이닝하고, 망간 장벽층은 장벽층 내부에 배치된다. 일부 실시예에서, 장벽층은 전도층의 상부 표면의 길이를 따라 배치되고, 길이는 컨택 구조체의 폭보다 더 길다. 일부 실시예에서, 전도층은 상부 표면을 따라 장벽층에 의해 그리고 전도층의 하부 표면 및 측면(들)을 따라 하나 이상의 추가 장벽층에 의해 캡슐화된다. 일부 실시예에서, 하나 이상의 추가 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 하나 이상의 추가 장벽층은 제1 재료 및 제2 재료와 다른 제3 재료를 포함한다. 일부 실시예에서, 반도체 요소는 전도층에 전기적으로 연결되고 반도체 부분을 통해 연장되는 기판 관통 비아(TSV)를 포함할 수 있다. 일부 실시예에서, 반도체 요소는 TSV를 라이닝하는 TSV 장벽층을 포함할 수 있으며, TSV 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 컨택 구조체는 이중 다마신 구조체를 포함한다. 일부 실시예에서, 컨택 구조체는 단일 다마신 구조체를 포함한다.

[0009] 일부 실시예에서, 접합 구조체는 반도체 요소, 및 제2 반도체 요소를 포함할 수 있으며, 반도체 요소의 상부 비전도성 표면은 중간 접착제 없이 제2 반도체 요소의 제2 상부 비전도성 표면에 직접 접합되고, 컨택 구조체의 상부 컨택 표면은 제2 반도체 요소의 제2 컨택 구조체에 직접 접합된다. 일부 실시예에서, 제2 반도체 요소는 제2 반도체 부분; 제2 반도체 부분 상에, 제2 상부 비전도성 표면을 형성하는 제2 비전도성 접합층 – 제2 컨택 구조체는 제2 비전도성 접합층에 적어도 부분적으로 매립됨 –; 제2 컨택 구조체 아래에서 제2 컨택 구조체에 전기적으로 연결된 제2 전도층; 및 제2 컨택 구조체와 제2 전도층 사이에 배치된 제2 반도체 요소의 제1 장벽층을 포함하며, 제2 반도체 요소의 제1 장벽층은 20℃에서 30×10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는 재료로 형성된다. 일부 실시예에서, 제2 컨택 구조체는 구리를 포함하고, 제2 반도체 요소의 제1 장벽층의 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함한다.

[0010] 다른 실시예에서, 반도체 요소는 반도체 부분; 반도체 부분 상의 비전도층; 비전도성 접합층에 적어도 부분적으로 매립되고 반도체 요소의 접합 표면의 적어도 일부를 형성하는 상부 컨택 표면을 갖는 컨택 구조체 – 컨택 구조체는 제1 재료를 포함함 –; 컨택 구조체 아래에서 컨택 구조체에 전기적으로 연결된 전도층; 및 전도층을 캡슐화하는 하나 이상의 장벽층을 포함할 수 있으며, 하나 이상의 장벽층은 전도층의 상부 표면, 하부 표면 및 측면 주위에 배치된다.

[0011] 일부 실시예에서, 컨택 구조체는 구리를 포함한다. 일부 실시예에서, 전도층은 구리를 포함한다. 일부 실시예에서, 하나 이상의 장벽층은 전도층의 상부 표면의 길이를 따라 배치된 제1 장벽층을 포함하고, 길이는 컨택 구조체의 폭보다 더 길며, 장벽층은 제1 재료와 다른 제2 재료를 포함한다. 일부 실시예에서, 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함한다. 일부 실시예에서, 제2 재료는 20℃에서 30×10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는다. 일부 실시예에서, 하나 이상의 장벽층은 전도층의 하부 표면 및 측면을 따라 배치된 제2 장벽층을 포함한다. 일부 실시예에서, 제2 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 제2 장벽층은 제2 재료와 다른 제3 재료를 포함한다. 일부 실시예에서, 제3 재료는

금속 질화물을 포함한다. 일부 실시예에서, 제3 재료는 질화 티타늄 또는 질화 탄탈륨을 포함한다. 일부 실시예에서, 반도체 요소는 하나 이상의 장벽층 위의 제2 전도층 및 제2 전도층 위의 제3 장벽층을 포함할 수 있으며, 컨택 구조체는 제3 장벽층 위에 배치된다. 일부 실시예에서, 제2 전도층은 제3 장벽층 및 하나 이상의 추가 장벽층에 의해 캡슐화된다. 일부 실시예에서, 제3 장벽층은 제2 재료를 포함한다. 일부 실시예에서, 컨택 구조체의 두께는 제2 전도층의 두께보다 작다. 일부 실시예에서, 전도층은 비전도성 접합층에 매립된 재배선층(RDL)을 포함한다.

[0012] 다른 실시예에서, 반도체 요소는 반도체 요소의 접합 표면의 제1 부분을 형성하는 상부 비전도성 표면을 갖는 반도체 부분 – 상부 비전도성 표면은 제2 반도체 요소에 직접 접합하기 위해 준비됨 –; 반도체 요소의 접합 표면의 제2 부분을 형성하는 상부 컨택 표면을 갖는 컨택 구조체 – 컨택 구조체는 제1 재료로 형성됨 –; 및 컨택 구조체 아래에서 컨택 구조체에 전기적으로 연결된 전기 전도성 장벽 재료를 포함할 수 있으며, 전기 전도성 장벽 재료는 제1 재료와 다른 제2 재료를 포함하고, 제2 재료는 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는다.

[0013] 일부 실시예에서, 컨택 구조체는 구리를 포함한다. 일부 실시예에서, 컨택 구조체는 전기 전도성 장벽 재료의 20% 미만을 포함한다. 일부 실시예에서, 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함한다. 일부 실시예에서, 제2 재료는 코발트를 포함한다. 일부 실시예에서, 제2 재료의 전기 저항률은 20℃에서 4.5 x 10^{-8} mΩ 내지 20℃에서 30 x 10^{-8} mΩ이다. 일부 실시예에서, 제2 재료의 녹는점은 1200℃ 내지 3600℃이다. 일부 실시예에서, 컨택 구조체의 두께는 전기 전도성 장벽 재료의 두께보다 작다. 일부 실시예에서, 전기 전도성 장벽 재료의 두께는 컨택 구조체의 두께의 적어도 2배이다.

[0014] 다른 실시예에서, 방법은 반도체 요소의 비전도층에 캐비티를 형성하는 단계; 캐비티 내에 하부 전도층을 제공하는 단계; 하부 전도층 위에 장벽층을 제공하는 단계; 및 장벽층 위에 상부 전도층을 제공하는 단계를 포함할 수 있으며, 상부 전도층은 제1 재료로 형성되고, 장벽층은 제1 재료와 다른 제2 재료로 형성되며, 제2 재료는 20℃에서 30 x 10^{-8} mΩ 미만의 전기 저항률 및 1200℃보다 높은 녹는점을 갖는다.

[0015] 일부 실시예에서, 제1 재료는 구리를 포함하고, 제2 재료는 코발트, 텅스텐, 바나듐 및 니켈 중 적어도 하나를 포함한다. 일부 실시예에서, 장벽층을 제공하는 단계는 하부 전도층의 상부 표면의 길이를 따라 장벽층을 제공하는 단계를 포함하며, 길이는 컨택 구조체의 폭보다 더 길다. 일부 실시예에서, 이 방법은 하부 전도층을 장벽층 및 하나 이상의 추가 장벽층으로 캡슐화하는 단계를 포함할 수 있다. 일부 실시예에서, 이 방법은 상부 전도층을 제공하는 단계 전에, 장벽층 및 비전도층의 적어도 일부 위에 제2 비전도층을 형성하고, 장벽층으로 연장되는 제2 비전도층 내에 개구를 형성하는 단계를 포함할 수 있다. 일부 실시예에서, 이 방법은 장벽층의 적어도 일부 위의 개구에 제2 장벽층을 제공하는 단계를 포함할 수 있다. 일부 실시예에서, 제2 장벽층을 제공하는 단계는 제2 재료로 형성된 제2 장벽층을 제공하는 단계를 포함한다. 일부 실시예에서, 이 방법은 제2 장벽층 위의 개구에 중간 전도층을 제공하는 단계를 포함할 수 있다. 일부 실시예에서, 이 방법은 중간 전도층 위에 제3 장벽층을 제공하는 단계를 포함할 수 있다. 일부 실시예에서, 제3 장벽층을 제공하는 단계는 제2 재료로 형성된 제3 장벽층을 제공하는 단계를 포함한다. 일부 실시예에서, 이 방법은 제3 장벽층 위에 상부 전도층을 제공하는 단계를 포함할 수 있다. 일부 실시예에서, 이 방법은 제2 비전도층의 상부 표면을 플라즈마 처리하는 단계를 포함할 수 있다. 일부 실시예에서, 플라즈마 처리하는 단계는 제2 비전도층을 질소 또는 산소를 포함하는 플라즈마에 노출시키는 단계를 포함한다. 일부 실시예에서, 이 방법은 중간 접착제 없이 반도체 요소의 상부 전도층을 제2 반도체 요소의 컨택 구조체에 직접 접합하는 단계를 포함할 수 있다. 일부 실시예에서, 이 방법은 반도체 요소의 비전도성 접합층을 제2 반도체 요소의 제2 비전도성 접합층에 직접 접합하는 단계를 포함할 수 있다. 일부 실시예에서, 비전도성 접합층은 비전도층을 포함한다.

도면의 간단한 설명

[0016] 자세한 설명은 첨부된 도면을 참조하여 설명된다. 서로 다른 도면에서 동일한 참조 번호의 사용을 통해 유사하거나 동일한 항목을 지시한다.

이러한 설명을 위해, 도면에 도시된 장치 및 시스템은 다수의 컴포넌트를 갖는 것으로 도시된다. 여기에서 설명된 바와 같은 장치 및/또는 시스템의 다양한 구현은 더 적은 개수의 컴포넌트를 포함할 수 있으며 본 개시의 범위 내에 유지될 수 있다. 다르게는, 장치 및/또는 시스템의 다른 구현은 추가 컴포넌트 또는 설명된 컴포넌트의 다양한 조합을 포함할 수 있으며, 본 개시의 범위 내에 유지된다.

이들 측면 및 다른 측면은 본 발명을 예시하기 위한 것이지 제한하기 위한 것이 아닌 첨부 도면 및 바람직한 실시예에 대한 다음의 설명으로부터 명백해질 것이다.

도 1a는 일 실시예에 따라 직접 접합되기 전의 두 요소의 개략적인 측단면도이다.

도 1b는 일 실시예에 따라 직접 접합된 후의 도 1a의 두 요소의 개략적인 측단면도이다.

도 2a는 일렉트로마이그레이션의 결과를 보여주는 종래의 상호연결의 현미경으로부터의 측단면도이다.

도 2b는 본 발명에 따른 일렉트로마이그레이션의 결과를 보여주는 종래의 상호연결의 개략적인 측단면도이다.

도 3은 일 실시예에 따른 반도체 요소의 일부의 개략적인 측단면도이다.

도 4a의 (a)는 이를 통해 흐르는 전류가 공극을 형성하기 전의 종래의 상호연결의 개략적인 측단면도이고, (b)는 공극이 형성되고 회로를 통해 저항이 증가된 후의 (a)의 종래 상호연결의 개략적인 측단면도이다.

도 4b의 (a)는 일 실시예에 따라 그것을 통해 흐르는 전류 전에 반도체 요소의 개략적인 측단면도이고, (b)는 공극 형성을 억제하기 위해 흐르는 중복 경로를 사용하는 전류 흐름을 도시하는 (a)의 반도체 요소의 개략적인 측단면도이다.

도 5a는 일 실시예에 따른 이중 다마신 특징을 포함하는 접합 구조체의 개략적인 측단면도이다.

도 5b는 일 실시예에 따른 단일 및 이중 다마신 특징을 포함하는 접합 구조체의 개략적인 측단면도이다.

도 5c는 일 실시예에 따른 단일 다마신 특징을 포함하는 접합 구조체의 개략적인 측단면도이다.

도 6은 일 실시예에 따른 유전체층, 저저항 장벽층 및 전도성층 사이의 적층의 개략적인 측단면도이다.

도 7a 및 도 7b는 종래의 상호연결이 형성될 수 있는 다단계 방법을 보여주는 일련의 개략적인 측단면도를 나타낸다.

도 8a-8e는 일 실시예에 따라 접합 구조체가 형성될 수 있는 다단계 방법을 보여주는 일련의 개략적인 측단면도를 나타낸다.

도 9a-9b는 일 실시예에 따라 반도체 요소가 하부, 중간 및 상부 전도층을 갖도록 형성될 수 있는 다단계 방법을 보여주는 일련의 개략적인 측단면도를 나타낸다.

도 10은 일 실시예에 따른 반도체 요소의 개략적인 측단면도이다.

도 11은 일 실시예에 따른 도 9b에 도시된 것과 같은 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 12는 일 실시예에 따른 도 10에 도시된 것과 같은 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 13은 일 실시예에 따라 플라즈마 처리를 사용하여 반도체 요소가 형성될 수 있는 다단계 방법을 보여주는 일련의 개략적인 측단면도를 나타낸다.

도 14a는 일 실시예에 따른 반도체 요소의 개략적인 측단면도이다.

도 14b는 도 14a에 도시된 것과 같은 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 14c는 일 실시예에 따른 반도체 요소의 개략적인 측단면도이다.

도 14d는 도 14c에 도시된 것과 같은 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 15a는 일 실시예에 따른 하나의 반도체 요소가 기판 관통 비아(TSV)을 갖는 두 개의 반도체 요소를 직접 하이브리드 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 15b는 일 실시예에 따라 하나의 반도체 요소가 기판 관통 비아(TSV)를 갖는 두 개의 반도체 요소를 직접 하이브리드 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 16은 일 실시예에 따른 내부 망간 장벽층을 포함하는 반도체 요소의 개략적인 측단면도이다.

도 17a는 일 실시예에 따른 하나의 반도체 요소가 기판 관통 비아(TSV)을 갖는 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 17b는 일 실시예에 따라 두 개의 반도체 요소를 접합함으로써 형성되는 접합 구조체의 개략적인 측단면도이다.

도 17c는 일 실시예에 따른 내부 망간 장벽층 및 기판 관통 비아(TSV)를 모두 포함하는 반도체 요소의 개략적인 측단면도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 금속 상호연결 구조체는 일렉트로마이그레이션(electromigration) 및/또는 기타 확산 효과에 취약하다. 예를 들어, 일렉트로마이그레이션은 반도체 요소의 접합층 내의 금속화 또는 상호연결층(예를 들어, 구리를 포함하는 층)에서, 집적 장치 다이의 후공정(back-end-of line, BEOL)층의 상호연결에서, 재배선층(redistribution layer, RDL)의 상호연결에서, 또는 서로 다른 단면 크기의 금속화층 사이(예를 들어, BEOL 스택에 매립된 층 사이 또는 직접 하이브리드 접합될 반도체 요소의 접합층 내)에 전이가 있는 컨택 구조체를 포함하는 상호연결을 갖는 임의의 기타 금속화층에서 발생할 수 있다.

[0018] 일렉트로마이그레이션은 회로의 전도성 경로 내의 금속 원자가 전자 흐름 방향으로 이동하도록 유도되는 현상이다. 이는 전자가 회로의 전도성 경로를 따라 흐를 때 전자에서 금속 원자로의 운동량 전달로 인해 발생될 수 있다. 전자 흐름 방향으로의 금속 원자의 이동은 때때로 "전자 바람(electron wind)"의 영향을 받는 원자로서 지칭된다. 일렉트로마이그레이션은 "하향 바람(downwind)" 단락 회로를 생성하거나 또는 "상향 바람(upwind)" 개방 회로를 생성하여 회로 오류를 일으킬 수 있다. 일렉트로마이그레이션은 전자 흐름 방향으로 움직이는 금속 원자가 의도된 전도성 경로를 넘어 밀려 전기적으로 연결되도록 설계되지 않은 회로 컴포넌트에 전기적으로 연결될 수 있는 금속 휘스커(whisker)를 생성할 수 있기 때문에 "하향 바람" 단락 회로를 일으킬 수 있다. 그리고, 일렉트로마이그레이션은 너무 많은 금속 원자가 전자 흐름 방향으로 이동하는 경우 회로를 손상시키지 않을 만큼 "상향 바람"으로 남아 있는 금속 원자가 충분하지 않을 수 있기 때문에 "상향 바람" 개방 회로를 유발할 수 있다. 금속 원자가 이동하는 경우, 원래 있던 자리에 빈 공간이 남게 되고, 빈 공간이 모여 공극(void)이 될 수 있으며(도 2a-2b에서 22로 도시됨), 공극의 존재는 전자의 흐름을 방해할 수 있다. 예를 들어, 온도가 증가하고 전류 밀도가 증가하며 상호연결 크기가 작아짐에 따라 일렉트로마이그레이션 문제는 더욱 악화된다. 일렉트로마이그레이션(예를 들어, 전류 군집)은 또한 전류가 더 높은 전도성 재료(구리와 같음)에서 더 낮은 전도성 재료(도 4a의 (a) 및 (b)에서 24로 도시된 종래의 장벽층과 같음)로 이동할 때 및/또는 더 넓고 전도성이 높은 경로에서 더 좁고 저항성이 더 높은 경로로 이동할 때 발생할 수 있다.

[0019] 여기에서 개시된 다양한 실시예는 낮은 전기 저항률 및 높은 녹는점을 갖는 개선된 장벽층(들)을 제공할 수 있으며, 이는 장벽층이 없거나 종래의 장벽층(도 4의 (a) 및 (b)에서 24로 도시됨)을 포함하는 상호연결에 비해 일렉트로마이그레이션을 감소시키고 열 안정성을 증가시킬 수 있다. 여기에서 개시된 일부 실시예는 요소의 접합층(예를 들어, 직접 하이브리드 접합을 위해 구성된 층)의 상호연결, 예를 들어 컨택 구조체 및/또는 금속 레벨 사이에 전이가 있는 접합층 내의 기본 금속화에 관한 것이다. 여기에서 개시된 실시예는 또한 예를 들어 BEOL 및 RDL 구조체에서 다이의 다른 층에 매립된 금속화층에서 일렉트로마이그레이션을 감소시킬 수 있다.

[0020] 도 1a 및 도 1b에 도시된 바와 같이, 일부 실시예에서, 여기에 개시된 금속화 용액은 제1 요소(2)와 제2 요소(3)가 중간 접착제 없이 서로 직접 접합될 수 있는 직접 접합 구조체(1)용 접합층에 관한 것이다. 도 1a는 직접 접합 전의 요소(2, 3)를 도시한다. 도 1b는 요소(2, 3)를 직접 접합한 후의 접합 구조체(1)를 도시한다. 2개 이상의 반도체 요소(집적 장치 다이, 웨이퍼 등과 같음)(2, 3)는 접합 구조체(1)를 형성하기 위해 서로 적층되거나 접합될 수 있다. 제1 요소(2)의 컨택 패드(4a)(패드, 비아(via), 트렌치(trench))를 포함하는 전도성 컨택 구조체는 대응하는 전도성 컨택 패드(4b) 또는 제2 요소(3)의 다른 전도성 컨택 구조체(예를 들어, 패드와 비아, 패드와 트렌치, 트렌치와 트렌치 등)에 전기적으로 연결될 수 있다. 노출된 컨택 패드(4a, 4b)만이 직접 접합을 설명하기 위한 목적으로 도 1a 및 도 1b에 도시되어 있지만, 당업자라면 도 2a-17c에 도시된 바와 같이 층들 사이의 연결을 통한 라우팅을 포함할 수 있다는 것을 이해할 것이다. 접합 구조체(1)에는 임의의 적절한 개수의 요소들이 적층될 수 있다. 예를 들어, 제2 요소(3) 상에 제3 요소(도시되지 않음)가 적층될 수 있고, 제3 요소 상에 제4 요소(도시되지 않음)가 적층될 수 있다. 기판 관통 비아(TSV, 도시되지 않음)를 포함하면 이러한 추가 적층을 위한 전기 연결을 용이하게 할 수 있다. 추가적으로 또는 다르게는, 하나 이상의 추가 요소(도시되지 않음)는 제1 요소(2)를 따라 서로 인접하게 측면으로 적층될 수 있다.

[0021] 일부 실시예에서, 요소(2, 3)는 접착제 없이 서로 직접 접합된다. 다양한 실시예에서, 비전도성 또는 유전체 재료는 접착제 없이 제2 요소(3)의 비전도성 접합층(5b) 역할을 하는 대응하는 비전도성 또는 유전체 장 영역에 직접 접합될 수 있는 제1 요소(2)의 비전도성 접합층(5a) 역할을 할 수 있다. 비전도성 접합층(5a, 5b)은 요소(2, 3)의 반도체(예를 들어, 실리콘) 부분과 같은 장치 부분(6a, 6b)의 각각의 전면(14)에 배치될 수 있다. 능동 장치 및/또는 회로는 패턴화될 수 있거나 및/또는 다르게는 장치 부분(6a, 6b) 내부 또는 그 위에 배치된다. 능동 장치 및/또는 회로는 장치 부분(6a, 6b)의 전면(14)에 또는 그 근처에, 및/또는 장치 부분(6a, 6b)의 반대쪽 후면(15)에 또는 그 근처에 배치될 수 있다. 비전도성 재료는 제1 요소(2)의 비전도성 접합 영역 또는 접합층(5a)으로 지칭될 수 있다. 일부 실시예에서, 제1 요소(2)의 비전도성 접합층(5a)은 유전체-유전체 접합 기술을 사용하여 제2 요소(3)의 대응하는 비전도성 접합층(5b)에 직접 접합될 수 있다. 예를 들어, 비전도성 또는 유전체-유전체 접합은 적어도 그 전체 내용이 모든 목적을 위해 그 전체가 참조로서 본 명세서에 포함되는 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호에 개시된 직접 접합 기술을 사용하여 접착제 없이 형성될 수 있다. 다양한 실시예에서, 비전도성 접합층(5a 및/또는 5b)은 실리콘 산화물과 같은 유전체 재료, 또는 도핑되지 않은 실리콘과 같은 도핑되지 않은 반도체 재료와 같은 비전도성 재료를 포함할 수 있다는 것이 이해되어야 한다.

[0022] 도 1a에 도시된 바와 같이, 다양한 실시예에서, 접합 표면(8a, 8b)은 하나 이상의 비전도성 부분(예를 들어, 비전도성 접합층(5a, 5b)의 노출된 표면)과 하나 이상의 전도성 부분(예를 들어, 컨택 패드(4a, 4b)의 노출된 표면)을 포함한다.

[0023] 다양한 실시예에서, 직접 하이브리드 접합은 중간 접착제 없이 형성될 수 있다. 예를 들어, 접합 표면(8a, 8b)의 비전도성(예를 들어, 유전체) 부분(들)은 높은 수준의 평활화로 연마될 수 있다. 접합 표면(8a, 8b)의 비전도성 부분(들)은 세척되고 활성화될 플라즈마 및/또는 식각제에 노출될 수 있다. 일부 실시예에서, 접합 표면(8a, 8b)의 비전도성 부분(들)은 활성화 후 또는 활성화 동안(예를 들어, 플라즈마 및/또는 식각 프로세스 동안) 종(species)으로 종결될 수 있다. 이론에 의해 제한되지 않고, 일부 실시예에서, 활성화 프로세스는 접합 표면(8a, 8b)에서 화학적 접합을 끊기 위해 수행될 수 있고, 종료 프로세스는 접합 표면(8a, 8b)에서 직접 접합 동안 접합 에너지를 향상시키는 추가적인 화학종을 제공할 수 있다. 일부 실시예에서, 활성화 및 종결은 동일한 단계, 예를 들어 접합 표면(8a, 8b)을 활성화하고 종결하기 위한 플라즈마로 제공된다. 다른 실시예에서, 접합 표면(8a, 8b)은 직접 접합을 위한 추가 종을 제공하기 위해 별도의 처리로 종결될 수 있다. 다양한 실시예에서, 종결 종은 질소를 포함할 수 있다. 또한, 일부 실시예에서, 접합 표면(8a, 8b)은 불소에 노출될 수 있다. 예를 들어, 층 및/또는 접합 인터페이스(7)(도 1b에 도시됨) 근처에 하나 또는 다수의 불소 피크가 있을 수 있다. 따라서, 직접 접합 구조체(1)에서, 2개의 접합 표면(8a 및 8b)의 비전도성 부분 사이의 접합 계면(7)은 접합 계면(7)에서 더 높은 질소 함량 및/또는 불소 피크를 갖는 매우 매끄러운 계면을 포함한다. 다양한 실시예에서, 접합 표면(8a, 8b) 중 비전도성 부분은 비전도성 접합층(5a, 5b)의 표면을 포함한다. 활성화 및/또는 종료 처리의 추가 예는 각각의 전체 내용이 모든 목적을 위해 그 전체가 참조로서 본 명세서에 포함되는 미국 특허 제9,564,414호; 제9,391,143호; 및 제10,434,749호 전체에 걸쳐 찾을 수 있다.

[0024] 다양한 실시예에서, 제1 요소(2)의 전도성 컨택 패드(4a)는 또한 제2 요소(3)의 대응하는 전도성 컨택 패드(4b)에 직접 접합될 수 있다. 예를 들어, 하이브리드 접합 기술은 전술한 바와 같이 준비된, 공유적으로 직접 접합된 비전도성-비도전성(예를 들어, 유전체-유전체) 표면을 포함하는 접합 계면(7)을 따라 도체-도체 직접 접합을 제공하는 데 사용될 수 있다. 다양한 실시예에서, 공유적으로 직접 접합된 비전도성 표면은 비전도성 접합층(5a 및 5b) 표면의 노출된 부분을 포함한다. 다양한 실시예에서, 도체-도체(예를 들어, 컨택 패드(4a) 내지 컨택 패드(4b)) 직접 접합 및 유전체-유전체 하이브리드 접합은 적어도 각각의 전체 내용이 모든 목적을 위해 그 전체가 참조로서 본 명세서에 포함되는 미국 특허 제9,716,033호 및 제9,852,988호에 개시된 직접 하이브리드 접합 기술을 사용하여 형성될 수 있다.

[0025] 예를 들어, 접합 표면(8a, 8b)의 비전도성(예를 들어, 유전체) 부분은 전술한 바와 같이 중간 접착제 없이 준비되어 서로 직접 접합될 수 있다. 전도성 컨택 패드(4a, 4b)(접합층(5a, 5b) 내의 비전도성 유전체 필드에 의해 둘러싸일 수 있음)는 또한 중간 접착제 없이 서로 직접 접합될 수 있다. 일부 실시예에서, 각각의 컨택 패드(4a, 4b)는 유전체 필드 또는 비전도성 접합층(5a, 5b)의 외부(예를 들어, 상부) 접합 표면(8a, 8b) 아래에 리세스(recess)될 수 있다. 예를 들어, 30 nm 미만, 20 nm 미만, 15 nm 미만 또는 10 nm 미만으로 리세스될 수 있거나, 또는 예를 들어 2 nm 내지 20 nm, 또는 4 nm 내지 10 nm로 레세스될 수 있다. 다양한 실시예에서, 직접 접합 전에, 반대쪽 요소(2, 3)의 리세스는 반대쪽 컨택 패드(4a, 4b) 사이의 총 간격이 15 nm 미만, 또는 10 nm 미만이도록 크기가 정해질 수 있다. 비전도성 접합층(5a, 5b)은 실온에서 접착제 없이 그리고 일부 실시예

에서 접합 표면(8a, 8b)과 접촉하기 위한 압력 이상의 외부 압력을 가하지 않고도 서로 직접 접합될 수 있으며, 이어서 접합 구조체(1)는 어닐링(anneal)될 수 있다. 어닐링 시, 컨택 패드(4a, 4b)는 확장되어 서로 접촉하여 금속 간 직접 결합을 형성하고 하이브리드 직접 접합 프로세스를 완료할 수 있다. 유익하게도, 캘리포니아주 산호세의 Adeia로부터 상업적으로 이용 가능한 기술인 직접 접합 상호연결(Direct Bond Interconnect) 또는 DBI®를 포함하여 위에서 설명된 직접 접합 및 직접 하이브리드 접합 프로세스를 사용하면 직접 접합 계면(7)을 가로질러 연결된 고밀도 패드(4a, 4b)(예를 들어, 일반적인 어레이를 위한 작거나 미세한 피치)를 가능하게 할 수 있다. 일부 실시예에서, 접합 패드(4a, 4b) 또는 접합 요소(예를 들어, 2 또는 3) 중 하나의 접합 표면(8a 또는 8b)에 매립된 전도성 트레이스의 피치(p)는 40 미크론 미만 또는 10 미크론 미만일 수 있거나, 심지어는 2 미크론 미만일 수도 있다. 일부 응용분야의 경우, 접합 패드의 치수(예를 들어, 직경) 중 하나에 대한 접합 패드(4a, 4b)의 피치(p)의 비율은 5 미만, 또는 3 미만, 때로는 바람직하게는 2 미만이다. 다른 응용분야에서, 접합 요소(예를 들어, 2 또는 3) 중 하나의 접합 표면(8)에 매립된 전도성 트레이스의 폭은 0.1 내지 5 미크론일 수 있다. 다양한 실시예에서, 컨택 패드(4a, 4b) 및/또는 트레이스는 구리를 포함할 수 있지만, 다른 금속도 적합할 수 있다.

[0026] 따라서, 직접 접합 프로세스에서, 제1 요소(2)는 중간 접착제 없이 제2 요소(3)에 직접 접합될 수 있다. 일부 배열에서, 제1 요소(2)는 단일화된 집적 장치 다이와 같은 단일화된 요소를 포함할 수 있다. 다른 배열에서, 도 1a-1b에 도시된 바와 같이, 제1 요소(2)는 단일화될 때 복수의 집적 장치 다이를 형성하는 복수의(예를 들어, 수십, 수백 또는 그 이상)의 장치 영역을 포함하는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 유사하게, 제2 요소(3)는 도 1a-1b에 도시된 바와 같이, 단일화된 집적 장치 다이와 같은 단일화된 요소를 포함할 수 있다. 다른 배열에서, 제2 요소(3)는 캐리어 또는 기판(예를 들어, 웨이퍼)을 포함할 수 있다. 따라서, 여기에 개시된 실시예는 웨이퍼-웨이퍼, 다이-다이, 다이-웨이퍼, 패널-패널, 다이-패널, 또는 웨이퍼-패널 접합 프로세스에 적용될 수 있다.

[0027] 여기에서 설명된 바와 같이, 제1 및 제2 요소(2, 3)는 접착제 없이 서로 직접 접합될 수 있으며, 이는 증착 프로세스와 다르다. 하나의 응용 분야에서, 접합 구조체(1)의 제1 요소(2)의 폭은 제2 요소(3)의 폭과 유사하다. 일부 다른 실시예에서, 접합 구조체(1)의 제1 요소(2)의 폭은 제2 요소(3)의 폭과 다르다. 유사하게, 접합 구조체에서 더 큰 요소의 폭 또는 면적은 더 작은 요소의 폭 또는 면적보다 적어도 10% 더 클 수 있다. 따라서, 제1 및 제2 요소(2, 3)는 증착되지 않은 요소를 포함할 수 있다. 또한, 직접 접합 구조체(1)는 증착된 층과 달리 나노공극이 존재하는 접합 계면(7)을 따라 결함 영역을 포함할 수 있다. 나노공극은 접합 표면(8a, 8b)의 활성화(예를 들어, 플라즈마에 대한 노출)로 인해 형성될 수 있다. 위에서 설명된 바와 같이, 접합 계면(7)은 활성화 및/또는 최종 화학 처리 프로세스로부터의 재료의 농축을 포함할 수 있다. 예를 들어, 활성화를 위해 질소 플라즈마를 활용하는 실시예에서, 질소 피크는 접합 계면(7)에 형성될 수 있다. 활성화를 위해 산소 플라즈마를 활용하는 실시예에서, 산소 피크는 접합 계면(7)에 형성될 수 있다. 일부 실시예에서, 접합 계면(7)은 질화규소, 실리콘 산질화물, 실리콘 산탄질화물 또는 실리콘 탄질화물, 사파이어, 알루미늄 산화물, 유리, 세라믹 재료, 심지어는 유리-세라믹 또는 심지어는 중합체 재료를 포함할 수 있다. 여기에서 설명된 바와 같이, 직접 접합은 반 데르 발스(van Der Walls) 결합보다 더 강한 공유 결합을 포함할 수 있다. 비전도성 접합층(5a, 5b)은 또한 높은 수준의 평활화로 평탄화된 연마된 접합 표면(8a, 8b)을 포함할 수 있다.

[0028] 다양한 실시예에서, 컨택 패드(4a, 4b) 사이의 금속-금속 접합은 구리 입자가 결합 계면(7)을 가로질러 서로 성장하도록 결합될 수 있다. 일부 실시예에서, 구리는 접합 계면(7)에 걸친 개선된 구리 확산을 위해 111 결정면을 따라 배향된 입자를 가질 수 있다. 접합 계면(7)은 접합된 컨택 패드(4a, 4b)의 적어도 일부까지 실질적으로 전체적으로 연장될 수 있어, 비전도성 접합층(5a, 5b) 사이 또는 접합된 컨택 패드(4a, 4b) 근처에 실질적으로 간격이 없게 된다. 일부 실시예에서, 장벽층(도 1a-1b에는 도시되지 않음)은 컨택 패드(4a, 4b)(예를 들어, 구리를 포함할 수 있음) 아래에 제공될 수 있다. 그러나, 다른 실시예에서, 예를 들어 그 전체가 모든 목적을 위해 참조로서 본 명세서에 포함된 US 제2019/0096741호에서 설명된 바와 같이 컨택 패드(4a, 4b) 아래에 장벽층이 없을 수 있다.

[0029] 유리하게도, 여기에서 설명된 하이브리드 접합 기술의 사용은 인접한 컨택 패드(4a 또는 4b) 사이의 매우 미세한 피치(p) 및/또는 작은 패드 크기를 가능하게 할 수 있다. 예를 들어, 다양한 실시예에서, 인접한 패드(4a (또는 4b)) 사이의 피치(p)(도 1a 참조)는 0.5 미크론 내지 25 미크론, 0.75 미크론 내지 25 미크론, 1 미크론 내지 25 미크론, 1 미크론 내지 10 미크론, 또는 1 미크론 내지 5 미크론일 수 있다. 또한, 주요 측면 치수(예를 들어 패드 직경)는 예를 들어 0.25 미크론 내지 8 미크론, 0.25 미크론 내지 5 미크론, 또는 0.5 미크론 내지 5 미크론과 같이 작을 수 있다. 패드(4a, 4b) 외에도, 전도성 비아 및 패드와 유사한 피치의 트레이스가 접

합 계면(7)의 비전도성 접합층(5a, 5b)에 배치되거나 매립될 수 있다.

[0030] 다양한 실시예에서, 제2 요소(3)는 단일화된 장치 다이를 포함할 수 있고, 제1 요소(2)는 웨이퍼 또는 패널을 포함할 수 있다. 다른 실시예에서, 요소(2, 3) 모두는 단일화된 장치 다이를 포함할 수 있다. 이러한 실시예에서, 제2 요소(3)는 초기에 웨이퍼 형태 또는 더 큰 기판으로 제공될 수 있고 단일화된 제1 요소(3)를 형성하기 위해 단일화될 수 있다. 그러나, 단일화 프로세스 및/또는 다른 처리 단계는 두 요소(2, 3)가 접합될 때 공극 및/또는 결함을 남길 수 있는 평면 접합 표면(8a 또는 8b)을 오염시킬 수 있는 파편을 생성할 수 있다. 따라서, 단일화 전에, 파편이 접합 표면(8a 또는 8b)을 오염시키는 것을 방지하기 위해 활성화 및 직접 접합 전에 접합 표면(8a 또는 8b) 위에 보호층이 제공될 수 있다. 보호층(도시되지 않음)은 접합 표면(8a 또는 8b)에 증착(예를 들어, 스핀 코팅)되는 유기 또는 무기 층(예를 들어, 포토레지스트)을 포함할 수 있다. 보호층에 대한 추가 세부 사항은 그 전체 내용이 모든 목적을 위해 그 전체가 본 명세서에 참조로서 포함되는 미국 특허 제10,714,449호 전체에서 찾아볼 수 있다.

[0031] 제1 요소(2)를 포함하는 웨이퍼는 임의의 적절한 방법을 사용하여 단일화될 수 있다. 접합 표면(8a 또는 8b) 위의 보호층은 파편으로부터 접합 표면(8a 또는 8b)을 유리하게 보호할 수 있다. 직접 접합 전에, 보호층은 세척제, 예를 들어 보호층 공급자가 권장하는 알칼리성 용액 또는 기타 적합한 세척제와 같은 적합한 용매를 사용하여 접합 표면(8a 또는 8b)에서 제거될 수 있다. 보호층 세척제는 비전도성 접합층(5a 또는 5b)의 매끄러운 접합 표면(8a 또는 8b)을 실질적으로 거칠게 하지 않고 후속 세척 작업 후에 패드 금속의 리세스를 증가시키기 위해 컨택 패드(4a 또는 4b)의 금속을 실질적으로 식각하거나 오염시키지 않도록 선택될 수 있다. 과도한 패드 리세스는 너무 깊은 리세스를 형성할 수 있으며, 이는 적절한 어닐링 조건(예를 들어, 어닐링 온도 및 시간)에서 패드 간 접합을 방해(또는 강도를 감소)시킬 수 있다. 세척제는 액체 세척제의 팬 스프레이(fan spray) 또는 기타 공지된 방법에 의해 도포될 수 있다. 예를 들어, 세척된 접합 표면(8a, 8b)은 (예를 들어, 산소 플라즈마를 사용하여) 재화(ash)되고 탈이온수(deionized water, DIW)로 세척될 수 있다. 일부 실시예에서, 세척된 요소(2, 3)는 직접 접합 전에 활성화될 수 있다. 필요에 따라 다른 다이가 세척 및 준비된 요소(3)의 후면(15) 위에 접합될 수 있다. 접합 구조체(1)는 다양한 필요한 추가 처리 단계 후에 공지된 방법에 의해 추가로 단일화될 수 있다. 추가 처리 단계는 예를 들어 접합 요소(3) 다이의 후면(15)을 얇게 하거나 접합 요소(3)의 후면(15)을 활성화하고 추가 다이를 후면(15)에 직접 접합하거나, 접합 요소(3)의 후면(15)을 유전체층으로 코팅하는 것을 포함할 수 있다.

[0032] 도 2a-2b에 도시된 바와 같이, 일부 고온 및/또는 고전류 밀도 응용분야 및/또는 더 작은 상호연결의 경우, 기존의 상호연결(26) 내의 일렉트로마이그레이션은 공극(22)을 생성할 수 있다. 예를 들어, 공극(22)은 전도층들 사이의 계면에 형성될 수 있으며, 이는 컨택 및/또는 접합 구조체의 신뢰성을 감소시킬 수 있다. 도 2a 및 2b는 측면 트레이스(도시되지 않음)를 포함할 수 있는 하부 전도층(62)과 이중 다마신 컨택 패드 및 비아를 포함할 수 있는 상부 전도층(100) 사이의 계면에 이러한 공극(22)을 포함하는 종래의 상호연결(26)을 예시한다. 하부 전도층(62) 및 상부 전도층(100)은 이산화규소와 같은 무기 유전체 재료와 같은 유전체 재료를 포함할 수 있는 비전도성층(56) 내에 배치될 수 있다. 비아와 증착 계면의 전도층(62, 100) 사이의 수축은 공극(22)을 유발하는 일렉트로마이그레이션에 기여한다. 도 2a는 구리를 포함할 수 있는 종래의 상호연결(26)에서의 일렉트로마이그레이션 실패를 도시하고, 도 2b는 직접 하이브리드 접합 프로세스를 통해 형성된 변형된 종래의 상호연결(26)의 개략도를 도시한다. 도 2b에서, 2개의 요소(42, 44)가 접합 표면(106)에 직접 접합되는 종래의 상호연결(26)이 도시되어 있다. 제1 요소(42)는 비전도층(56)에 배치된 하부 전도층(62)을 갖는다. 하부 전도층(62) 상에 종래의 상단 장벽층(28)이 제공된다. 비전도성 상단 장벽층(28)은 아래에서 더 설명된다. 접합 계면(106)에서 제1 요소(42)에 접합된 제2 요소(44)는 제2 요소(44)의 하부 전도층(124)과 제2 요소(44)의 컨택 구조체(130)를 가지며, 제2 요소(44)의 컨택 구조체(130)는 제1 요소(42)의 상부 전도층(100)과 유사하다.

[0033] 공극(22)에 의해 발생되는 이러한 문제는 구리 금속화에만 국한되지 않는다. 따라서, 여기에서 다양한 실시예는 접합 구조체의 반도체 요소의 컨택 구조체 내의 일렉트로마이그레이션 실패를 감소시키거나 억제하거나 또는 제거할 수 있다. 직접 하이브리드 접합 프로세스를 통해 형성된 접합 구조체의 일렉트로마이그레이션 실패는 예를 들어, 대체(중복) 전류 경로를 제공할 수 있는 중복 장벽 및 구조체를 형성함으로써 완화되거나 제거될 수 있다. 전술한 바와 같이, 이러한 중복 장벽과 구조체는 더 높은 온도 응용 분야, 더 높은 전류 밀도 응용 분야 및 금속 상호연결 치수가 작아짐에 따라 더욱 중요해진다.

[0034] 도 3은 다양한 실시예에 따른 반도체 요소(52)의 개략적인 측단면도이다. 반도체 요소(52)는 반도체 부분(54)을 포함할 수 있다. 반도체 부분(54)은 실리콘 또는 임의의 다른 적합한 반도체 재료와 같은 반도체 재료를 포함할 수 있다. 반도체 부분(54)은 하나 또는 다수의 장치, 예를 들어 능동 장치(트랜지스터와 같음), 수동 장

치(저항과 같음) 등을 포함할 수 있다. 비전도층(56)(예를 들어, 비전도성 접합층)은 반도체 부분 위에 제공될 수 있으며 반도체 요소(52)의 접합 표면(106)의 제1 부분을 형성하는 상부 비전도성 표면(114)을 가질 수 있다. 비전도층(56)은 일부 실시예에서 유전체 재료를 포함할 수 있다. 예를 들어, 비전도층(56)은 산화규소, 질화규소, 탄화규소, 실리콘 산탄질화물 등과 같은 무기 유전체 재료를 포함할 수 있고, 전술한 바와 같이 상부 비전도성 표면(114)에 더 높은 농도의 질소 및/또는 불소를 포함할 수 있다. 일부 실시예에서, 비전도층(56)은 반도체 부분(54) 상에 배치된 복수의 유전체층을 포함한다. 다른 실시예에서, 비전도층(56)은 단일 유전체층을 포함한다. 상부 비전도성 표면(114)은 위에서 설명한 바와 같이 제2 반도체 요소(118)(도 8e의 (b)에 도시됨)에 직접 접합하기 위해 준비될 수 있다.

[0035] 도 3의 금속화 구조체는 전기적으로 연결된 상부 컨택 구조체(예를 들어, 상부 전도층(100)) 및 하부 전도성 특징부(예를 들어, 하부 전도층(62))를 포함한다. 하부 전도층(62)은 상부 표면(64)(길이(66)을 가짐), 하부 표면(68) 및 측면(들)(70)을 가질 수 있다. 하부 전도층(62)의 하부 표면(68) 및 측면(들)(70)은 아래에 설명되는 하부 장벽층(78)과 라인을 형성할 수 있다. 도시된 반도체 요소(52) 실시예의 상부 전도층(100)은 비전도층(56)에 적어도 부분적으로 매립될 수 있는 컨택 구조체를 포함할 수 있고, 반도체 요소(52)의 접합 표면(106)의 제2 부분을 형성하는 상부 컨택 표면(116)을 가질 수 있다. 일부 실시예에서, 위에서 설명된 바와 같이, 상부 컨택 표면(116)은 직접 접합 전에 상부 비전도성 표면(114) 아래로 리세스될 수 있다. 컨택 구조체는 제1 재료로 형성될 수 있다. 도시된 바와 같이, 컨택 구조체는 구리를 포함하는 상부 전도층(100)을 포함할 수 있다. 도시된 실시예에서, 상부 전도층(100)은 상부 컨택 표면(116)에 더 가까운 상부 전도층(100)의 부분이 하부 전도층(62)에 더 가까운 상부 전도층(100)의 부부보다 측면으로 더 넓은 구조를 포함하는 듀얼 다마신 구조체를 포함한다. 다른 실시예에서, 상부 전도층(100)은 단일 다마신 구조체를 포함할 수 있다.

[0036] 또한, 도 3에 도시된 바와 같이, 반도체 요소(52)는 컨택 구조체(예를 들어, 상부 전도층(100))에 전기적으로 연결되고 아래에 하부 전도성 특징부(예를 들어, 하부 전도층(62))를 포함할 수 있다. 하부 전도층(62)은 다양한 실시예에서 구리를 포함할 수 있다. 예시된 실시예에서, 하부 전도층(62)은 비전도층(56)에 매립된 재배선층(RDL) 또는 후공정(BEOL)층의 역할을 할 수 있는 측면 트레이스를 포함한다. RDL은 다른 회로 및/또는 비아와 측면으로 연통될 수 있다.

[0037] 도 3의 반도체 요소(52)는 상부 전도층(100)과 하부 전도층(62) 사이에 배치된 장벽층(74)(다르게는 "제1 장벽층"으로 지칭됨)을 포함할 수 있다. 장벽층(74)은 상부 전도층(100)의 제1 재료와 다르고 또한 후술되는 제2 및 제3 장벽층(제3 장벽층(96)은 도 9a의 (d)에 도시됨)(86, 96)의 재료와 다른 제2 재료로 형성될 수 있다. 제1 장벽층(74)의 제2 재료는 Ta, TaN, WN 등과 같은 종래의 장벽 재료의 전기 저항률보다 낮은 전기 저항률을 가질 수 있다(제2 및 제3 장벽층(86, 96)의 재료에 대한 아래 논의 참조). 특히, 제1 장벽층(74)의 제2 재료의 전기 저항률은 20℃ 및 1200℃ 초과의 녹는점에서 80 x 10^{-8} mΩ 미만(예를 들어, 60 x 10^{-8} mΩ 미만)일 수 있다. 일부 실시예에서, 제2 재료의 전기 저항률은 20℃에서 4.5 x 10^{-8} mΩ 내지 20℃에서 60 x 10^{-8} mΩ의 범위, 또는 20℃에서 4.5 x 10^{-8} mΩ 내지 20℃에서 30 x 10^{-8} mΩ의 범위일 수 있다. 일부 실시예에서, 제2 재료의 녹는점은 1200℃ 내지 3600℃일 수 있다.

[0038] 다양한 실시예에서, 제1 장벽층(74)의 제2 재료는 구리, 알파-탄탈륨(alpha-tantalum), 육각형-탄탈륨 질화물(hexagonal-tantalum nitride), 코발트, 텅스텐, 바나듐, 몰리브덴 및 니켈 중 적어도 하나를 포함할 수 있다. 일부 실시예에서, 제2 재료는 합금을 포함한다. 예를 들어, 합금은 코발트 텅스텐 인산염(cobalt tungsten phosphate, CWP), 코발트 인산염(cobalt phosphate, CoP), 3.5% 미만의 인을 함유한 저인 니켈 인산염(nickel phosphate, NiP), 3.5% 미만의 인 및 텅스텐을 함유한 저인 및 저텅스텐(low phosphorus and a low tungsten, NiWP), 인을 함유한 저텅스텐(NiWP) 중 적어도 하나를 포함할 수 있으며, 3.5% 미만의 텅스텐, 니켈 텅스텐(nickel tungsten, NiW), 티타늄 텅스텐(titanium tungsten, TiW), 니켈 바나듐(nickel vanadium, NiV) 및 화학량론적 및 비화학량론적 붕소화물 중 적어도 하나를 포함할 수 있다. 화학량론적 붕소화물은 니켈 붕소화물(NiB, Ni_2B, Ni_3B) 및 코발트 붕소화물을 포함할 수 있다. 일부 실시예에서, 제2 재료는 합금 및 금속 원소 스택, 예를 들어 TaN/Ta, TiN/Ti, TiW/Ti, TiW/Mo 또는 TiW/Co를 포함한다. 이러한 경우, 합금은 금속 원소의 코팅을 위한 시드층 역할을 할 수 있다. 합금 시드의 두께는 2 내지 20 nm 사이에서 다양할 수 있고, 금속 원소의 두께는 25 내지 1000 nm 범위에서 다양할 수 있다. 일부 응용분야에서, 합금 시드는 코팅된 금속 원소의 저항률을 감소시키는 역할을 할 수 있다. 예를 들어, 박막 Mo의 저항률은 20℃에서 약 13 내지 18 x 10^{-8} mΩ이다. TiW 시드층의 매우 얇은 3 nm 코팅은 Mo 오버코트의 저항을 40% 이상 줄일 수 있다. 제2 재료에 대한 추

가적인 정보는 아래의 [표 1]에 도시되어 있다.

[0039] 도 3에 도시된 바와 같이, 제2 장벽층(86)은 상부 전도층(100)이 배치되는 캐비티(cavity)(98)(도 8c의 (a)에 도시됨)의 적어도 일부를 연결하기 위해 제공될 수 있으며, 제2 장벽층(86)은 비전도층(56)과 상부 전도층(100) 사이에 배치된다. 이러한 제2 장벽층(86)은 캐비티(98)(도 8c의 (a)에 도시됨)의 측벽을 라이닝(line)하고 상부 전도층(100)의 벌크(예를 들어, 구리)가 비전도층(56)(예를 들어 실리콘 산화물 기반 재료)으로 확산되는 것을 억제하는 역할을 할 수 있다. 이러한 확산 억제는 이러한 확산이 다른 전도성 특징부와의 단락 위험을 초래할 수 있기 때문에 유리할 수 있다. 예시된 제2 장벽층(86)은 또한 상부 전도층(100)의 바닥(즉, 하부 전도층(62)에 가장 가까운 상부 전도층(100)의 하부 비아 부분의 바닥)을 따라 연장되지만, 당업자는 바닥이 없는 장벽층 라이너(liner)가 또한 본 기술분야에서 알려져 있고 예를 들어 도 13의 (d)에 예시되어 있음을 이해할 것이다. 예시된 실시예에서, 제2 장벽층(86)은 상부 전도층(100)의 제1 재료 및 제1 장벽층(74)의 제2 재료와 다른 제3 재료를 포함한다. 예를 들어, 예시된 실시예에서, 제3 재료는 탄탈륨 질화물과 같은 금속 질화물을 포함한다. 예시된 실시예에서, 제1 장벽층(74)의 두께(76)는 제2 장벽층(86)의 두께(88)보다 더 클 수 있다.

[0040] 도 3에서, 제1 장벽층(74)은 하부 전도층(62)의 상부 표면(64)의 길이(66)를 따라 배치될 수 있으며, 길이(66)는 상부 전도층(100)의 폭(104)보다 더 길다. 하부 전도층(62)은 상부 표면(64)을 따라 제1 장벽층(74)에 의해 그리고 하부 전도층(62)의 하부 표면(68) 및 측면(들)(70)을 따라 하나 이상의 추가 장벽층에 의해 캡슐화될 수 있다. 예시된 실시예에서, 하나 이상의 추가 장벽층은 하부 전도층(62)이 배치되는 캐비티를 라이닝하는 하부 장벽층(78)을 포함한다. 하부 장벽층(78)은 제1 재료 및 제2 재료와 다른 재료를 포함할 수 있으나, 제3 재료와 상이하거나 동일할 수 있다. 예를 들어, 예시된 실시예에서, 하부 장벽층(78)은 제2 장벽층(86)과 동일한 재료, 예를 들어 탄탈륨 질화물 또는 티타늄 질화물과 같은 금속 질화물을 포함할 수 있다. 다른 실시예에서, 여기에서 설명된 바와 같이, 하부 전도층(62)의 하부면(68) 및 측면(70)을 따른 하나 이상의 추가 장벽층은 제1 장벽층(74)의 제2 재료와 동일한 재료를 포함할 수 있다.

[0041] 도 4a의 (a) 및 (b)는 구리가 비전도층(56)의 캐비티 내에 배치되고, 캐비티가 종래의 장벽층(24), 예를 들어 탄탈륨 질화물과 같은 금속 질화물로 라이닝되어 있는 종래의 상호연결(26)을 도시한다. 구리는 하부 전도층(62)과 상부 전도층(100) 각각을 형성할 수 있고, 상부 전도층(100)은 하부 전도층(62), 예를 들어 탄탈륨 질화물과 같은 금속 질화물에 인접한 종래의 장벽층(24)과 동일한 재료를 포함할 수 있는 종래의 장벽층(24)으로 적어도 부분적으로 라이닝될 수 있다. 도 4a의 (a)는 이러한 종래의 상호연결(26)의 개략도를 도시하고, 도 4a의 (b)는 공극(22)을 포함하는 이러한 종래의 상호연결(26) 내의 전자 흐름(20)의 방향의 개략도를 도시한다. 도 4a의 (a) 및 (b)에 도시된 바와 같이, 일렉트로마이그레이션(예를 들어, 전류 군집)은 전류가 더 높은 전도성 재료(하부 전도층(62) 및/또는 상부 전도층(100)의 구성 재료일 수 있는 구리와 같음)로부터 더 낮은 전도성 재료(종래의 장벽층(24)와 같음)로 이동할 때 및/또는 더 넓고 전도성이 높은 경로로부터 더 좁고 저항성이 더 높은 경로로 이동할 때 발생할 수 있다. 유도된 일렉트로마이그레이션 스트레스는 상호연결의 전기적 신뢰성 또는 성능을 감소시킬 수 있는 공극(22)을 생성할 수 있다. 일부 실시예에서, 하부 전도층(62)의 상부 표면은 비전도층(56)의 코팅 전에 SiN과 같은 층간 유전체 재료(도시되지 않음)로 코팅될 수 있다. 층간 유전체 코팅은 하부 전도층(62)의 상부 표면에 대한 비전도층(56)의 접착성을 향상시킨다.

[0042] 대조적으로, 도 4b의 (a) 및 (b)에 도시된 바와 같이, 다양한 실시예에 따른 반도체 요소(52)에서, 제1 장벽층(74)의 제2 재료는 낮은 전기 저항률 및 높은 녹는점을 갖도록 유리하게 선택될 수 있으며, 이는 일렉트로마이그레이션 및 공극(22)의 가능성을 감소시킬 수 있다. 도 4b의 (a) 및 (b)는 비전도층(56)을 포함하는 반도체 요소(52)를 도시하며, 하부 전도층(62) 및 상부 전도층(100)은 비전도층(56)에 적어도 부분적으로 매립되어 있다. 종래의 장벽층(24)은 상부 전도층(100)과 그것이 적어도 부분적으로 매립되어 있는 비전도층(56) 사이에 배치될 수 있다. 그리고, 또 다른 종래의 장벽층(24)은 하부 전도층(62)의 하부 표면(68) 또는 측면(들)(70) 중 하나 또는 각각을 라이닝할 수 있다.

[0043] 도 4b의 (a) 및 (b)를 추가로 참조하면, 일렉트로마이그레이션 스트레스가 유도되더라도, 제1 장벽층(74)은 상부 전도층(100)과 하부 전도층(62) 사이의 중복 전기 경로 역할을 하여 개방 회로를 방지하고 그에 따라 전기적 연결 및 전기 신뢰성을 향상시킬 수 있다. 도 4b의 (b)에 도시된 바와 같이, 공극(22)이 상부 전도층(100) 근처의 하부 전도층(62) 내에 형성되더어 있더라도, 전자는 여전히 전도성 제1 장벽층(74)을 따라 흐를 수 있기 때문에 전자 흐름(20)의 방향은 방해받지 않을 것이다.

[0044] 도 5a-5c는 금속성 제1 장벽층(74, 126) 형태의 중복 전류 경로를 갖는 직접 접합 구조체(50)의 예를 제공한다. 도 5a-5c는 제1 반도체 요소(52)가 접합 표면(106)을 따라 제2 반도체 요소(118)에 접합될 수 있는 접합 구조체

(50)를 도시한다. 구체적으로, 도 5a-5c는 제1 반도체 요소(52)의 비전도층(56)이 반대편의 제2 반도체 요소(118)의 제2 비전도층(122)에 직접 접합되고, 제1 반도체 요소(52)의 상부 전도층(100)이 제2 반도체 요소(118)의 컨택 구조체(130)에 직접 접합되는 접합 구조체(50)를 도시한다. 비전도층(56, 122)은 제1 반도체 요소(52)의 상부 비전도성 표면(114)을 제2 반도체 요소(118)의 제2 상부 비전도성 표면(128)에 접합함으로써 직접적으로 접합될 수 있다. 그리고, 제1 반도체 요소(52)의 상부 전도층(100)은 제1 반도체 요소(52)의 상부 컨택 표면(116)을 제2 반도체 요소(118)의 대응하는 표면에 접합함으로써 제2 반도체 요소(118)의 컨택 구조체(130)에 접합될 수 있다.

[0045] 도 5a-5c에서, 제1 및 제2 반도체 요소(52, 118)는 접합 표면(106)을 따라 직접 접합된 것으로 도시되어 있다. 제1 및 제2 반도체 요소(52, 118)는 유사한 컴포넌트를 가질 수 있다. 제1 반도체 요소는 하부 장벽층(78) 및 제1 장벽층(74)에 의해 캡슐화된 하부 전도층(62)뿐만 아니라 제2 장벽층(86)에 의해 적어도 부분적으로 라이닝된 상부 전도층(100)을 포함할 수 있고, 제2 반도체 요소는 제2 반도체 요소(118)의 하부 장벽층(132) 및 제2 장벽층(126)에 의해 캡슐화된 제2 하부 전도층(124)뿐만 아니라 제1 반도체 요소(52)의 제2 장벽층(86)과 유사할 수 있는 제2 장벽층에 의해 적어도 부분적으로 라이닝된 제2 반도체 요소(118)의 컨택 구조체(130)를 포함할 수 있다. 도시된 바와 같이, 제1 반도체 요소(52)의 상부 전도층(100)은 단일 및/또는 이중 다마신 구조체와 같은 컨택 구조체를 포함할 수 있고, 제1 장벽층(74)(제2 재료를 포함함)은 중복 전류 경로를 제공할 수 있다. 도 5a-5c 각각에서, 제1 반도체 요소(52)의 제1 장벽층(74)은 바닥 중복 전류 경로를 제공하고, 제2 반도체 요소(118)의 제1 장벽층(126)은 상단 중복 전류 경로를 제공한다. 제2 반도체 요소(118)의 제1 장벽층(126)은 여기에서 설명된 바와 같은 제2 재료를 포함할 수 있다.

[0046] 도 5a는 이중 다마신 특징부를 포함하는 2개의 직접 접합된 반도체 요소(52, 118)의 개략도를 도시한다. 도 5b는 단일 및 이중 다마신 특징부를 포함하는 2개의 직접 접합된 반도체 요소(52, 118)의 개략도를 도시한다. 그리고, 도 5c는 단일 특징부를 포함하는 2개의 직접 접합된 반도체 요소(52, 118)의 개략도를 도시한다.

[0047] [표 1]은 제2 재료의 일부로서 사용될 수 있는 예시 재료이다(*로 표시됨).

표 1

[0048]

재료 특성	Cu	Co*	W*	V*	Ni*	Ta	Ti.
저항률 (20°C 에서 ρ 10^{-8} mΩ)	1.8-2.0	6.2	5.6	19.7	7	200-350	40
열 팽창 (x10^{-6} K^{-1})	17	13	4.5	8.3	13.4	6.3	8.6
영률 (GPa)	130	209	340	125	200	186	116
융점 (°C)	1084.6	1495	3410	1735	1455	3017	1668

[0049] [표 1]은 예를 들어 제1 장벽층(74, 126)에 사용될 수 있는 제2 재료의 예를 예시한다. 이러한 재료는 [표 1]에서 별표(*)로 표시되어 있다. [표 1]에서, 일반적으로 낮은 저항률(전기 손실을 줄이기 위함), 낮은 열팽창 계수 및 높은 녹는점을 갖는 재료를 갖는 것이 바람직하다. 예시적인 재료에는 Co, W, V, Ni 또는 CWP, CoP, NiP, NiW 또는 NiV와 같은 합금, 또는 TiW/Co, TiW/Mo, TaN/Ta, TaN/Ti, TiN/Ta 등과 같은 라미네이트(laminate)가 포함된다. 예를 들어, 라미네이트를 사용하면 결함 밀도를 줄여서 전기 저항률을 줄일 수 있다. [표 1]에 표시된 일렉트로마이그레이션 저항에 대한 예시적인 기준은 높은 녹는점과 낮은 저항률(즉, 높은 전도성)이다. 바람직하게는, 전도성은 종래의 제2 장벽층(86)에 비해 제1 장벽층(74)의 두께(76)를 증가시킴으로써 더욱 향상된다. 예를 들어, 제1 장벽층(74)의 두께(76)는 제2 장벽층(86)의 약 1.5배 내지 약 4배 사이로 선택될 수 있고, 보다 구체적으로는 제2 장벽층(86)의 두께(88)의 약 2배 내지 약 3배(예를 들어, 100-150 nm 대 5-50 nm) 사이에서 선택될 수 있다. 일부 실시예에서, 제1 장벽층(74)의 두께(76)는 10-150nm 범위, 또는 100-150nm 범위일 수 있다. 제2 재료의 두께(76)(100-150nm)는 제2 장벽층(86)의 측벽 장벽(Ta 또는 Ti(5-50nm))의 두께(88)보다 적어도 2-3배 더 클 수 있다.

[0050] 도 6에서, 전도층(62)은 낮은 저항률(예를 들어, 10 x 10^{-8} mΩ 미만)을 갖는 구리와 같은 금속을 포함할 수 있고, 제1 장벽층(74)은 위에서 언급한 바와 같은 하나 이상의 제2 재료를 포함할 수 있으며, 이는 또한 낮은 저

항률(예를 들어, 100 x 10^{-8} mΩ 미만)과 또한 높은 녹는점(예를 들어, 1200℃ 초과)을 갖는다. 도 6의 제1 장벽층(74)의 사용은 도 5a-5c의 접합 구조체(50)에 대한 전기적 중복성을 제공할 수 있고, 금속 원자가 전도층(62) 내로부터 전도층(62)이 적어도 부분적으로 매립될 수 있는 주변 비전도층(56)으로 일렉트로마이그레이션하는 효과를 방지하거나 완화하는 데 도움이 될 수 있다. 또한, 도 6은 제1 장벽층(74)이 수평층인 것으로 제한되지 않고, 일부 실시예에서, 제1 장벽층(74)이 또한 수직층일 수 있다는 것을 보여준다는 것이 이해되어야 한다.

[0051] 도 7a 및 도 7b는 종래의 접합층 및 컨택 구조체를 갖는 종래의 상호연결(26)을 형성하기 위한 프로세스 흐름을 도시한다. 도 7a의 (a)에서, 비전도층(56)은 반도체 부분(54) 상에 제공될 수 있고, RDL 또는 BEOL 트레이스 캐비티(60)는 비전도층(56) 내에 형성될 수 있다. 도 7a의 (b)에서, 종래의 장벽 층(24)(예를 들어, TaN과 같은 금속 질화물과 같음) 및 하부 전도층(62)(예를 들어, 구리)은 캐비티(60) 내에 제공될 수 있다. 도 7a의 (c)에서, 하부 전도층(62)의 과잉 금속은 제거될 수 있고 비전도층(56)은 CMP 방법에 의해 평탄화될 수 있다. 도 7a의 (d)에서, 종래의 비전도성 상단 장벽층(28)(예를 들어, 두께가 30 내지 100nm일 수 있는 SiN)은 하부 전도층(62) 위에 제공될 수 있다. 도시되지는 않았지만, 종래의 비전도성 상단 장벽층(28)은 비전도층(56)의 전체 표면에 걸쳐 블랭킷(blanket) 증착됨으로써 하부 전도층(62)의 길이를 넘어 연장될 수 있다. 도 7a의 (d)는 또한 더 두꺼운 유전체층(30)이 종래의 비전도성 상단 장벽층(28) 위에 코팅될 수 있음을 보여준다. 더 두꺼운 유전체층(30)은 또한 비전도층(56) 위에 코팅될 수 있다. 본 출원 전체에 걸쳐, 적용 가능한 경우, 더 두꺼운 유전체층(30) 및 비전도층(56)은 별도의 컴포넌트로서 또는 통합된 비전도층(56)인 것으로 논의될 수 있다. 다르게 표현하면, 적용 가능한 경우, "비도전층(56)"은 단지 하부 전도층(62)과 동일한 레벨 및 그 아래에 있는 비전도층(56)의 부분(도 7a의 (c)에 도시됨), 또는 도 7a의 (d)에서 더 두꺼운 유전체층(30)을 코팅하는 것으로부터 생성된 더 큰 비전도층(56)을 지칭할 수 있다. 또 다르게 표현하면, 비전도층(56)이 특정 실시예에서는 단일 유전체층을 포함하는 반면에, 다른 실시예에서는 복수의 유전체층을 포함하는 것으로 본 명세서에서 설명되었다는 것이 이해될 것이다. 일부 실시예에서, 더 두꺼운 유전체층(30)은 평탄화될 수 있다. 도 7b의 (a)에서, RDL 또는 BEOL층과 같은 하부 전도층(62)을 노출시키기 위해 더 두꺼운 유전체층(30) 및 종래의 비전도성 상단 장벽층(28)에 개구(32)가 형성될 수 있다. 도 7b의 (b)에서, 또 다른 종래의 장벽층(24)이 하부 전도층(62) 위의 개구(32)에 제공될 수 있다. 도 7b의 (c)에서, 상부 전도층(100)(예를 들어, 구리)은 종래의 장벽층(24) 위에 제공될 수 있다. 상부 전도층(100)은 하부 전도층(62)과 전기적으로 접촉할 수 있고 더 두꺼운 유전체층(30)의 개구(32)를 채울 수 있다. 도 7b의 (d)에서, 상부 전도층(100) 및 더 두꺼운 유전체층(30)은 평탄화되어 종래의 상호연결(26) 및 매끄러운 평면형 접합 표면(106)을 갖는 접합층을 형성할 수 있다. 도 7b의 (d)의 접합 표면(106)은 일렉트로마이그레이션 결함 없이 도 4a의 (a)의 구조체와 유사한 구조체를 형성하기 위해 세척, 준비, 활성화 및 접합될 수 있다.

[0052] 도 8a-8f는 전도층(62, 100)과 장벽층(74, 78, 86)을 갖는 반도체 요소(52)를 형성하기 위한 프로세스 흐름, 및 다양한 실시예에 따라 두 개의 반도체 요소(52, 118)를 포함하는 접합 구조체(50)를 형성하는 방법을 설명한다. 도 8a의 (a)에서, 비전도층(56)은 반도체 부분(54) 상에 제공될 수 있고, RDL 또는 BEOL 트레이스 캐비티(60)는 비전도층(56) 내에 형성될 수 있다. 이러한 단계는 도 7a의 (a)에 도시된 단계와 유사한 방식으로 완료될 수 있다. 도 8a의 (b)에서, 하부 장벽층(78) 및 하부 전도층(62)(예를 들어, 구리)은 캐비티(60) 내에 제공될 수 있다. 도시된 실시예에서, 하부 장벽층(78)은 종래의 장벽층(24) 재료, 예를 들어, TaN 또는 TiN과 같은 금속 질화물을 포함할 수 있다. 다른 실시예에서, 여기에서 설명된 바와 같이, 하부 장벽층(78)은 제1 장벽층(74)의 제2 재료를 포함할 수 있다. 도 8b의 (a)에서, 과잉 금속 및 비전도층(56)은 평탄화될 수 있고, 초기에는 하부 장벽층(78)에서 정지한 다음, 비전도층(56) 위로부터 하부 장벽층(78)을 제거한다. 도 8b의 (a)에 도시된 바와 같은 일부 실시예에서, 하부 전도층(62)의 상단 표면의 결정된 부분은 예를 들어 습식 식각 방법에 의해 선택적으로 제거될 수 있다. 결정된 부분의 두께는 예를 들어 20nm 내지 300nm 사이일 수 있다. 하부 전도층(62)은 상부 표면(64)(길이(66)을 가짐), 하부 표면(68), 및 측면(들)(70a, 70b)을 가질 수 있다. 하부 전도층(62)의 하부 표면(68) 및 측면(들)(70a, 70b)은 하부 장벽층(78)으로 라이닝될 수 있다. 도 8b의 (b)에서, 제2 재료를 포함하는 제1 장벽층(74)은 비전도층(56) 위에 그리고 나머지 하부 전도층(62) 위에 제공될 수 있다. 제1 장벽층(74)은 화학적 기계적 연마(chemical mechanical polishing, CMP) 방법에 의해 비전도층(56) 위로부터 선택적으로 제거되어 도 8b의 (c)의 구조체를 형성할 수 있다. 다른 실시예에서, 도 8b의 (c)에서와 같이, 제2 재료를 포함하는 제1 장벽층(74)은 하부 전도층(62) 위에 선택적으로 제공될 수 있다. 제1 장벽층(74)은 하부 장벽층(78)의 두께 또는 제2 장벽층(86)의 두께보다 더 큰 두께(76)를 가질 수 있다. 제1 장벽층(74)이 하부 전도층(62) 위에 놓이도록 패턴화하기 위해 다마신 처리(하부 전도층(62) 리세싱, 제2 재료 증착 및 연마); 블랭킷 증착, 마스킹 및 식각; 및 선택적 증착과 같은 다양한 기술이 채택될 수 있다. 도 8c에서, 다른 비전도층

(56a)(다르게는 반도체 부분(54) 상에 제공된 비전도층과 함께 단일 항목으로서 숫자 56으로 지칭됨)이 하부 전도층(62) 위에 제공될 수 있다. 도 8c에서, 하부 전도층(62)은 그 하부 및 측면(68, 70a, 70b)(도 8b의 (a)에 도시됨)을 라이닝하는 하부 장벽층(78)과 그 상부 표면(64)(도 8b의 (a)에 도시됨)의 길이(66)를 라이닝하는 제1 장벽층(74)의 조합에 의해 캡슐화될 수 있다. 일부 실시예에서, 얇은 층간 비전도층(도시되지 않음), 예를 들어 SiN은 비전도층(56a)을 코팅 전에 기판 위에 코팅될 수 있다. 얇은 층간 비전도층은 비전도층(56a)을 하부 전도층(62)에 결합하는 것을 도울 수 있다.

[0053] 일부 실시예에서, 비전도층(56)은 평탄화될 수 있다. 접합 표면(106)(도 8f의 (b)에 도시됨)의 일부를 형성할 비전도층(56)의 상부 비전도성 표면(114)은 위에서 언급한 바와 같이 무기 반도체 또는 유전체 재료일 수 있다. 도 8d의 (a)에서, 캐비티(98)는 제1 장벽층(74)을 연장하기 위해 비전도층(56, 56a)에 형성될 수 있다. 도 8d의 (b)에서, 제2 장벽층(86)은 제1 장벽층(74) 위의 캐비티(98)에 제공될 수 있다. 도시된 실시예에서, 제2 장벽층(86)은 여기에서 설명된 임의의 제2 재료, 예를 들어 코발트 합금, 니켈 합금 등을 포함할 수 있다. 제1 및 제2 장벽층(74, 86)은 일부 실시예에서 동일한 재료(예를 들어, 코발트 합금, 니켈 합금 등)를 포함할 수 있다. 다른 실시예에서, 제1 및 제2 장벽층(74, 86)은 서로 다른 재료를 포함할 수 있다(예를 들어, 제1 장벽층(74)은 코발트 합금을 포함할 수 있고, 제2 장벽층(86)은 니켈 합금을 포함할 수 있으며, 그 반대도 가능하다). 도 4b의 (a) 및 (b)에 도시된 구조체와 같은 또 다른 실시예에서, 제1 장벽층(74)은 임의의 제2 재료(예를 들어, 코발트 합금, 니켈 합금 등)를 포함할 수 있고, 제2 장벽층(86)은 제3 재료, 예를 들어 질화 탄탈륨 또는 질화 티타늄과 같은 금속 질화물과 같은 종래의 장벽층(24) 재료를 포함할 수 있다. 도 8d의 (c)에서, 상부 전도층(100)(예를 들어, 구리)은 제2 장벽층(86) 위에 제공될 수 있다. 도 8d의 (d)에서, 상부 전도층(100) 및 비전도층(56)은 평탄화되어 반도체 요소(52)를 형성할 수 있다. 도 8e는 대안적인 실시예를 보여준다. 도 8d의 (d)에 도시된 바와 같이, 제2 장벽층(86)은 제1 장벽층(74)의 상단과 접촉할 수 있지만, 도 8e에 도시된 바와 같이, 제2 장벽층(86)은 제1 장벽층(74) 또는 제1 장벽층(74)을 통해 하부 전도층(62)까지의 모든 경로로 연장될 수 있다. 숙련된 기술자는 이들 대안 중 임의의 것에서, 제1 장벽층(74)이 여전히 전류가 흐를 수 있는 중복 경로로서 작용한다는 것을 알 수 있을 것이다. 도 8e에서, 제1 장벽층(74)은 제2 장벽층(86) 및/또는 상부 전도층(100)의 일부 주위에 배치될 수 있다.

[0054] 도 8f의 (a)를 참조하면, 반도체 요소(52)의 접합 표면(106)이 형성될 수 있다. 예를 들어, 접합 표면(106)은 위에서 논의된 바와 같이 활성화 및/또는 종결될 수 있다. 반도체 요소(52)의 접합 표면(106)은 적어도 비전도성 부분(예를 들어, 상부 비전도성 표면(114)) 및 전도성 부분(예를 들어, 상부 컨택 표면(116))을 포함할 수 있다. 상부 비전도성 표면(114)은 비전도층(56)의 활성화된 표면일 수 있고, 상부 컨택 표면(116)은 상부 전도층(100)의 노출된 표면일 수 있다.

[0055] 도 8f의 (b)에서, 접합 구조체(50)는 중간 접착제 없이 반도체 요소(52)를 제2 반도체 요소(118)에 직접 접합함으로써 형성될 수 있다. 도 8f의 (b)에 도시된 바와 같이, 일부 실시예에서, 각 반도체 요소(52, 118)의 하부 전도층(62, 124)은 하나 이상의 장벽층(예를 들어, 제1 장벽층(74, 126) 및 하부 장벽층(78, 132)을 포함함)으로 캡슐화될 수 있다(예를 들어, 완전히 둘러싸여 있을 수 있다). 여기에서 설명된 바와 같이, 하부 장벽층(78, 132)은 Ta 또는 TaN과 같은 종래의 장벽층(24) 재료를 포함할 수 있다. 다른 실시예에서, 하부 장벽층(78, 132)은 제1 장벽층(74, 126)과 동일한 재료, 예를 들어 여기에서 설명된 제2 재료 중 하나를 포함할 수 있다. 각각의 반도체 요소(52, 118)는 또한 실리콘과 같은 반도체 재료를 포함할 수 있는 반도체 부분(54, 120)을 갖는다. 제1 및 제2 반도체 요소(52, 118)는 접합 표면(106)에서 접합된다. 여기에서 설명된 바와 같이, 제1 반도체 요소(52)의 상부 비전도성 표면(114)은 제2 반도체 요소(118)의 제2 상부 비전도성 표면(128)에 직접 접합될 수 있다. 상부 비전도성 표면(114)은 제1 반도체 요소(52)의 비전도층(56)의 활성화된 표면일 수 있고, 제2 상부 비전도성 표면(128)은 제2 반도체 요소(118)의 제2 비전도층(122)의 활성화된 표면일 수 있다. 또한, 반도체 요소(52, 118)의 전도성 부분 - 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130) - 은 직접 접합될 수 있다. 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130))는 장벽층(예를 들어, 제2 장벽층(86))에 의해 적어도 부분적으로 라이닝될 수 있다.

[0056] 도 9a-9b는 다양한 실시예에 따라 전도층(62, 92, 100)과 장벽층(74, 78, 86, 96)을 갖는 반도체 요소(52)를 형성하기 위한 프로세스 흐름을 도시한다. 도 9b에 도시된 반도체 요소(52)의 실시예는 도 8d의 (d)에 도시된 것과 유사하지만, 도 9b에 도시된 반도체 요소(52)는 하부 및 상부 전도층(62, 100)과 추가적인 전도층(예를 들어, 제3 장벽층(96) 사이에 추가 전도층(예를 들어, 중간 전도층(92))을 갖는다.

[0057] 도 9a의 (a)에 도시된 바와 같이, 반도체 요소(52)는 반도체 부분(54) 상의 비전도층(56)을 포함할 수 있다.

비전도층(56)에는 적어도 하나의 장벽층(예를 들어, 제1 장벽층(74) 및 하부 장벽층(78))에 의해 캡슐화될 수 있는 하부 전도층(62)이 매립될 수 있다. 제1 장벽층(74) 위에는 제2 장벽층(86)이 배치될 수 있으며, 이는 도 8d의 (b)에 도시된 단계와 유사하다. 도 9a의 (a)에서, 중간 전도층(92)(예를 들어, 코발트, 니켈 또는 텅스텐)은 제1 장벽층(74) 위에 배치된다. 예시된 실시예에서, 하부 장벽층(78), 제1 장벽층(74), 및 제2 장벽층(86)은 여기에서 개시된 임의의 제2 재료를 포함할 수 있다. 하부 장벽층(78), 제1 장벽층(78) 및 제2 장벽층(86)에 대한 재료 조성은 동일할 수도 있거나, 일반적으로 유사할 수 있거나 또는 상이할 수도 있다.

[0058] 도 9a의 (b)를 참조하면, 중간 전도층(92)의 제어된 부분을 선택적으로 제거함으로써 개구 또는 제어된 리세스(93)가 중간 전도층(92) 내에 형성될 수 있다. 제어된 리세스(93)는 예를 들어 습식 방법에 의해 형성될 수 있고, 예를 들어 50nm 내지 500nm의 깊이까지 리세스될 수 있다. 도 9a의 (c)에서, 상단 캡슐화층을 포함하는 제3 장벽층(96)은 나머지 중간 전도층(92) 위에 형성될 수 있다. 제3 장벽층(96)은 여기에서 설명된 임의의 제2 재료를 포함할 수 있다. 제3 장벽층(96)은 하부 장벽층(78), 제1 장벽층(74) 및/또는 제2 장벽층(86)에 사용된 제2 재료(들)와 동일하거나 다른 제2 재료로 형성될 수 있다. 도 9a의 (d)에 따르면, 상부 전도층(100)(예를 들어, 구리, 구리-아연 합금, 구리-카드뮴 합금, 구리-주석 합금, 구리-코발트 합금, <111> 구리)은 예를 들어, 물리적 기상 증착, 무전해 또는 전해 도금에 의해 제2 장벽층(86) 위에 그리고 제3 장벽층(96) 위에 제공될 수 있다.

[0059] 도 9b는 전도층(62, 92, 100) 및 장벽층(74, 78, 86, 96)을 갖는 반도체 요소(52)를 도시한다. 도 9b에서, 평탄화 프로세스는 상부 전도층(100)으로부터 과잉 전도성 재료를 제거하기 위해 수행될 수 있고, 또한 비전도층(56) 위에 있는 원하지 않는 제2 장벽층(86)을 제거할 수 있다. 중간 전도층(92) 위에 남아 있는 상부 전도층(100)은 제3 장벽층(96) 위에 접합 표면(106)의 일부를 형성하는 컨택 구조체로서 역할을 할 수 있다. 컨택 구조체(예를 들어, 상부 전도층(100))는 쉽게 평탄화되거나 연마될 수 있고 직접 하이브리드 접합에 사용될 수 있는 구리, 구리 합금 또는 다른 전도성 재료를 포함할 수 있다. 유리하게도, 도 9b의 컨택 구조체(예를 들어, 상부 전도층(100))는 제2 반도체 요소(118)(도 5a-c에 도시됨)의 컨택 구조체(130)에 연결하기 위한 접합 표면(106)의 역할을 할 수 있다. 상부 전도층(100)은 접합 재료의 역할을 할 수 있다. 또한, 상부 전도층(100)의 두께(102)는 중간 전도층(92)의 두께(94)와 하부 전도층(62)의 두께(67) 중 하나 또는 둘 다보다 작을 수 있다. 복수의 장벽층(74, 78, 86, 96) 각각은 코발트 합금과 같은 여기에서 설명된 제2 재료 중 하나를 포함할 수 있으므로, 일렉트로마이그레이션과 같이 형성된 임의의 공극(22)(도 2a-b에 도시됨) 주위에 대체 경로를 감소 및 제공하기 위한 복수의 중복 경로를 제공할 수 있는 반면에, 접합 표면(106)의 컨택 구조체(예를 들어, 상부 전도층(100))는 우수한 직접 접합 특성을 제공한다. 숙련된 기술자는 상부 컨택 표면(116)이 비전도층(56)의 상부 비전도성 표면(114) 아래에 있도록 컨택 구조체(예를 들어, 상부 전도층(100))가 리세스될 수 있다는 것을 이해할 것이다. 이로 인해, 비전도성 재료가 초기에 접합된 후, 예를 들어 여기에서 개시된 바와 같이 압력을 가하지 않고 실온에서 공유 결합을 형성한 후 다른 요소 상의 다른 컨택 구조체와 금속-금속 접촉으로 확장될 수 있도록 할 수 있다. 달리 말하면, 위에서 설명한 하이브리드 직접 접합 프로세스를 위한 접합 표면(106)을 준비하는 방법으로 컨택 구조체(예를 들어, 상부 전도층(100))가 상부 비전도성 표면(114) 아래에 리세스될 수 있다.

[0060] 도 9b에 도시된 실시예는 종래의 구조체(도 4a의 (a)에 도시된 것과 같음)에 비해 이점을 제공한다. 제2 재료(예를 들어, Co-합금)는 전도층의 재료(예를 들어, 구리)에 결함이 있을 경우 중복 전도 경로 역할을 한다. 또한, 구리가 제2 재료(예를 들어, Co-합금)에 캡슐화되는 경우, 스트레스-마이그레이션 및 일렉트로마이그레이션에 대한 저항력이 더 높아진다. 또한, 장벽층의 제2 재료(예를 들어, Co-합금)는 전도층(62, 92, 100)의 구리로 확산될 수 있으며, 이는 반도체 요소(52)의 상호연결의 신뢰성을 더욱 향상시킨다.

[0061] 도 10은 다양한 실시예에 따른 반도체 요소(52)의 다른 실시예를 도시한다. 다른 실시예와 마찬가지로, 도 10에 예시된 반도체 요소(52)는 반도체 부분(54) 및 반도체 부분(54) 상에 배치된 비전도층(56)을 포함할 수 있다. 반도체 요소(52)는 비전도층(56)의 상부 비전도성 표면(114)을 포함하는 접합 표면(106) 및 컨택 구조체(99)의 상부 컨택 표면(116)을 포함할 수 있다. 컨택 구조체(99)(도 9b에 도시된 상부 전도층(100)과 같음)는 구리와 같은 여기에서 설명된 제1 재료를 포함할 수 있다. 도 10에서, 반도체 요소(52)는 컨택 구조체(99)에 전기적으로 연결되고 그 아래에 전기 전도성 장벽 재료(61)를 포함할 수 있다. 컨택 구조체(99)는 전기 전도성 장벽 재료(61)의 전체 상부 길이에 걸쳐 연장될 수 있다. 전기 전도성 장벽 재료(61)는 합금(예를 들어, CWP, CoP, NiP, NiW 또는 NiV 등) 및 라미네이트(예를 들어, TiW/Co, TiW/Mo, TaN/Ta, TaN/Ti, TiN/Ta 등)을 포함하는 여기에서 설명된 제2 재료 중 어느 것을 포함할 수 있으며, 이전 실시예와는 달리 대부분의 전도성 특징부(예를 들어, 하부 전도층(62), 선택적인 중간 전도성 특징부(92) 및 상부 전도층(100)을 포함하며, 이들 모두는

도 9b에 도시되어 있음)는 컨택 구조체(99)를 제외하고 제2 재료로 형성된다. 예를 들어, 전기 전도성 장벽 재료(61)는 20℃에서 50 x 10^{-8} mΩ 미만의 전기 저항률과 1200℃ 이상의 녹는점을 가질 수 있다. 일부 실시예에서, 전기 전도성 장벽 재료(61)의 전기 저항률은 20℃에서 4.5 x 10^{-8} mΩ 내지 20℃에서 50 x 10^{-8} mΩ의 범위일 수 있다. 일부 실시예에서, 전기 전도성 장벽 재료(61)의 녹는점은 1200℃ 초과일 수 있고 1200℃ 내지 3600℃ 범위일 수 있다. 예시된 실시예에서, 컨택 구조체(99)는 구리를 포함한다. 전기 전도성 장벽 재료(61)는 코발트, 텅스텐, 바나듐, 몰리브덴 및 니켈 중 적어도 하나를 포함할 수 있다. 다양한 실시예에서, 전기 전도성 장벽 재료(61)의 재료는 컨택 구조체(99) 내로 확산될 수 있다. 예를 들어, 컨택 구조체(99)는 제조 동안 전기 전도성 장벽 재료(61)의 20% 미만, 또는 15% 미만을 포함할 수 있으나, 그 제품이 사용됨에 따라 50% 이상이 사용된다. 일 예로서, 구리 컨택 구조체(99)는 제조 시 20% 미만 또는 15% 미만의 코발트를 함유할 수 있지만, 제품이 사용됨에 따라 구리 컨택 구조체(99)는 50% 초과의 코발트를 함유할 수 있다. 종래의 구조체(도 4a의 (a)에 도시된 것과 같음)에 비해 도 10에 도시된 실시예의 한 가지 장점은 Co 및 Ni 합금이 순수 Cu에 비해 우수한 고온 특성을 나타낸다는 것이다. 이로 인해, 이러한 재료는 자동차, 스위치, 계전기 등과 같은 고온 응용 분야에 더 적합해진다.

[0062] 도 10에서, 컨택 구조체(99)의 두께(101)는 전기 전도성 장벽 재료(61)의 두께(63)보다 작을 수 있다. 예를 들어, 전기 전도성 장벽 재료(61)의 두께(63)는 컨택 구조체(99)의 두께(101)의 적어도 2배일 수 있다. 따라서, 상부 및/또는 하부 전도층(도 3에 도시된 62, 100)의 대부분은 우수한 고온 특성 및 일렉트로마이그레이션에 대한 감소된 민감성을 갖는 제2 재료를 포함하는 반면, 컨택 구조체(99)에는 직접 금속 접합, 특히 비교적 낮은 온도에서의 하이브리드 직접 접합에 대한 우수한 특성을 위한 높은 구리 함량이 제공된다. 숙련된 기술자는 컨택 구조체(99)의 상부 컨택 표면(116)이 비전도층(56)의 상부 비전도성 표면(114) 아래로 리세스될 수 있어서, 비전도성 재료가 초기에 접합된 후, 예를 들어 여기에서 개시된 바와 같이 압력을 가하지 않고 실온에서 공유결합을 형성한 후 다른 요소의 다른 컨택 구조체와의 금속-금속 접촉으로 확장될 수 있다는 것을 이해할 것이다. 달리 말하면, 컨택 구조체(99)는 위에서 설명된 하이브리드 직접 접합 프로세스를 위한 접합 표면(106)을 준비하는 방법으로 상부 비전도성 표면(114) 아래에 리세스될 수 있다.

[0063] 도 11은 제1 및 제2 반도체 요소(52, 118)가 접착제 없이 서로 직접 하이브리드 접합되는 접합 구조체(50)를 도시한다. 도 11의 제1 및 제2 반도체 요소(52, 118)는 일반적으로 도 9b에 도시된 반도체 요소(52)와 유사하거나 동일할 수 있다. 반도체 요소(52, 118) 모두 반도체 부분(54, 120) 위에 비전도층(56, 122)을 가질 수 있다. 각각의 비전도층(56, 122)은 상부 비전도성 표면(114, 128)을 가질 수 있고, 이들 표면은 접합 표면(106)에서 직접 접합될 수 있다. 또한, 각각의 반도체 요소(52, 118)는 중간 전도층(92)에 연결된 하부 전도층(62, 124)의 적어도 일부를 라이닝하는 제1 장벽층(74, 126)을 갖는 하부 전도층(62, 124)을 가질 수 있다. 하부 전도층(62, 124)은 또한 적어도 하나의 추가적인 장벽층(예를 들어, 하부 장벽층(78, 132))으로 적어도 부분적으로 라이닝될 수 있다. 또한, 중간 전도층(92)은 상부 전도층(100)에 연결된 중간 전도층(92)의 적어도 일부를 라이닝하는 제3 장벽층(96)을 가질 수 있다. 중간 전도층(92)은 제2 장벽층(86)에 의해 다른 모든 면 상에 적어도 부분적으로 라이닝될 수 있다. 그리고 마지막으로, 제1 반도체 요소(52)의 상부 전도층(100)은 제2 반도체 요소(118)의 컨택 구조체(130)에 직접 접합될 수 있다.

[0064] 도 12는 제1 및 제2 반도체 요소(52, 118)가 접착제 없이 서로 직접 하이브리드 접합되는 접합 구조체(50)를 도시한다. 도 12의 제1 및 제2 반도체 요소(52, 118)는 일반적으로 도 10에 도시된 반도체 요소(52)와 유사하거나 동일할 수 있다. 반도체 요소(52, 118) 모두는 반도체 부분(54) 상에 비전도층(56, 122)을 가질 수 있다. 두 개의 반도체 요소(52, 118)는 접합 표면(106)에서 직접 접합될 수 있다. 여기에서 설명된 바와 같이, 제1 반도체 요소(52)는 전기 전도성 장벽 재료(61) 상에 컨택 구조체(99)를 갖고, 제2 반도체 요소(118)는 전기 전도성 장벽 재료(61a) 상에 컨택 구조체(99a)를 갖는다.

[0065] 도 13의 (a)-(d)는 반도체 요소(52)를 형성하기 위한 또 다른 프로세스 흐름을 도시한다. 도 13의 (a)-(d)의 방법은 일반적으로 도 8d의 (a)-(d)에 도시된 방법과 유사할 수 있다. 도 13의 (a)는 반도체 부분(54) 상의 비전도층(56)을 도시하며, 하부 전도층(62)은 비전도층(56)에 내장되어 있다. 하부 전도층(62)은 제1 장벽층(74)으로 라이닝된 상부 전도층(100)(도 13의 (a)-(d)에 도시됨)에 연결될 하부 전도층(62)의 일부를 제외하고 하부 장벽층(78)에 의해 캡슐화될 수 있다. 도 13의 (a)에서, 비전도층(56)의 상부 비전도성 표면(114)은 직접적인 하이브리드 접합을 위한 비전도층(56)과 같은 주변 유전체 재료에 대한 제2 장벽층(86)의 접착력을 향상시키기 위해 플라즈마에 노출될 수 있다. 일부 실시예에서, 비전도층(56)의 캐비티의 측벽도 또한 제2 장벽층(86)의 접착력을 향상시키기 위해 플라즈마(117)에 노출될 수 있다. 제1 장벽층(74)의 상부 표면도 플라즈마(117)

에 노출될 수 있다. 플라즈마는 다양한 실시예에서 질소 함유 또는 산소 함유(예를 들어, 수증기 플라즈마) 플라즈마를 포함할 수 있다. 도 13의 (b)에서, 제2 장벽층(86)이 비전도층(56) 상에 제공될 수 있다. 도 13의 (b)가 바닥이 없는 제2 장벽층(86)을 예시하지만, 숙련된 기술자는 제2 장벽층(86)이 다르게는 제1 장벽층(74)을 덮을 수 있다는 것을 이해할 것이다. 도 13의 (c)에서, 컨택 구조체(예를 들어, 상부 전도층(100))는 제1 및 제2 장벽층(74, 86) 상에 배치될 수 있다. 도 13의 (d)에서, 상부 전도층(100)의 과잉 금속(예를 들어, 구리)이 평탄화 프로세스로 제거될 수 있다. 도 13의 (d)에서, 평탄화 프로세스는 상부 전도층(100)으로부터 과잉 금속을 모두 제거할 수 있지만 제2 장벽층(86)에서 중단되므로, 제2 장벽층(86) 아래의 비전도층(56)을 노출시키지 않는다. 결과적인 반도체 요소(52)의 접합 표면(106)은 다른 반도체 요소에 직접 접합될 준비가 되어 있을 수 있다.

[0066] 도 14a 및 도 14c는 여기에서 설명된 예시적인 반도체 요소(52)를 도시한다. 도 14b는 도 14a의 것과 유사한 두 개의 반도체 요소(52, 118)가 서로 직접 하이브리드 접합되는 접합 구조체(50)를 도시한다. 도 14d는 도 14c와 유사한 두 개의 반도체 요소(52, 118)가 서로 직접 접합된 접합 구조체(50)를 도시한다.

[0067] 도 14a-14d는 모두 반도체 부분(54, 120) 상의 비전도층(56, 122)을 각각 포함할 수 있는 반도체 요소(52, 118)를 도시한다. 각각의 반도체 요소는 비전도성 부분(예를 들어, 비전도층(56, 122)의 상부 비전도성 표면(114, 128)) 및 전도성 부분(예를 들어, 상부 컨택 표면(116))을 포함하는 접합 표면(106)을 가질 수 있다. 도 14b 및 14b의 접합 구조체(50) 각각은 여기에서 설명된 바와 같이 접합 표면(106)에서 반도체 요소(52, 118)를 함께 직접 하이브리드 접합함으로써 형성될 수 있다.

[0068] 도 14a에서, 상부 컨택 표면(116)은 상부 전도층(100)의 표면일 수 있다. 여기에서 추가로 설명된 바와 같이, 상부 전도층(100)은 다시 중간 전도층(92) 상에 제공될 수 있고, 다시 제1 장벽층(74) 상에 제공될 수 있으며, 다시 하부 전도층(62) 상에 제공될 수 있는, 제3 장벽층(96) 상에 제공될 수 있다. 제1 또는 제3 장벽층(74, 96)과 라이닝되지 않는 중간 전도층(92)의 임의의 부분은 여기에서 설명된 바와 같이 제2 장벽층(86)과 라이닝될 수 있다. 도 14b의 두 반도체 요소(52, 118)는 도 14a에 도시된 것과 유사하거나 동일할 수 있다. 두 반도체 요소(52, 118)는 하부 전도층(62, 124), 제1 장벽층(74, 126), 중간 전도층(92, 92a), 제2 장벽층(86), 제3 장벽층(96), 및 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130))를 가질 수 있다.

[0069] 도 14c에서, 상부 컨택표면(116)은 컨택 구조체(99)의 표면일 수 있다. 도 14d의 두 반도체 요소(52, 118)는 도 14c에 도시된 것과 유사하거나 동일할 수 있다. 두 반도체 요소(52, 118)는 전기 전도성 장벽 재료(61, 61a)(두께(63)) 상에 배치된 컨택 구조체(99, 99a)(두께(101))를 가질 수 있다.

[0070] 도 15a 및 도 15b는 접합 구조체(50)의 적어도 하나의 반도체 요소(52)가 기판 관통 비아(TSV)(110)를 포함하는 접합 구조체(50)를 도시한다. 도 15a 및 15b는 여기에서 설명된 바와 같이 접합 표면(106)에서 반도체 요소(52, 118)를 함께 직접 하이브리드 접합함으로써 형성될 수 있는 접합 구조체(50)를 도시한다. 도 15a는 도 11과 유사하지만, 도 15a에 도시된 접합 구조체(50)는 TSV(110) 및 TSV 장벽(112)을 포함할 수 있다. 도 15b는 도 12와 유사하지만, 도 15b에 도시된 접합 구조체(50)는 TSV(110)를 포함할 수 있다.

[0071] 도 15a의 두 반도체 요소(52, 118)는 도 11에서 설명된 바와 같이 하부 장벽층(78, 132); 하부 전도층(62, 124); 제1 장벽층(74, 126); 중간 전도층(92, 92a); 제2 장벽층(86); 제3 장벽층(96, 96a); 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130)); 비전도층(56, 122); 및 반도체 부분(54, 120)을 포함할 수 있다. 그러나, 도 11과 달리, 도 15a는 TSV(110) 및 TSV 장벽(112)를 도시한다. 도 15a에서, TSV(110)는 하부 전도층(62)에 전기적으로 연결되고 반도체 요소(52)의 반도체 부분(54)을 통해 연장되는 전도성 재료(구리와 같음)를 포함할 수 있다. TSV 장벽층(112)은 TSV(110)를 라이닝할 수 있다. 도시된 실시예에서, TSV 장벽층(112)은 여기에서 설명된 제2 재료를 포함할 수 있으며, 이는 높은 전기 전도성을 제공하고 일렉트로마이그레이션 실패를 감소시킬 수 있다. 유리하게도, TSV 장벽층(112)의 구성 재료로 코발트 또는 니켈 합금을 사용함으로써 중복 전류 경로 및 전도층 역할을 할 수 있다.

[0072] 도 15b의 두 반도체 요소(52, 118)는 도 12에서 설명된 바와 같이 컨택 구조체(99, 99a); 전기 전도성 장벽 재료(61, 61a); 비전도층(56, 122); 및 반도체 부분(54, 120)을 포함할 수 있다. 그러나, 도 12와는 달리, 도 15b는 TSV(110)를 도시한다. 도 15b에서, TSV(110)는 대부분(예를 들어, 실질적으로만) 제2 재료를 포함할 수 있다.

[0073] 도 16은 내부 망간 장벽층(108)을 포함할 수 있는 반도체 요소(52)의 또 다른 실시예를 도시한다. 다른 실시예

와 마찬가지로, 도 16의 반도체 요소(52)는 반도체 부분(54) 상에 비전도층(56)을 포함한다. 도 15a와 마찬가지로, 도 16은 하부 전도층(62)이 비전도성 부분(56)에 매립될 수 있고 TSV(110) 및 TSV 장벽 층(112)에 의해 반도체 부분(54)에 전기적으로 연결될 수 있음을 보여준다. 도 16에서, 제2 재료(예를 들어, 코발트, 코발트 합금, 니켈 합금)로 형성된 장벽층(74)은 하부 전도층(62)의 적어도 일부를 라이닝할 수 있고 비전도층(56)의 상부 표면까지 수직으로 연장될 수 있다. 내부 망간 장벽층(108)은 제2 재료로 형성된 장벽층(74)에 인접하게 배치될 수 있다. 내부 망간 장벽층(108)은 컨택 구조체가 배치되는 캐비티의 적어도 일부를 라이닝할 수 있으며, 장벽층(74)은 망간 장벽층(108) 외부에 배치된다. 그런 다음, 중간 전도층(92), 추가 망간 장벽층(108) 재료, 및 상부 전도층(100)이 망간 장벽층(180) 내의 층에 배치될 수 있다.

[0074] 더 높은 접합 온도에서, 망간 장벽층(108)은 컨택 구조체(예를 들어, 상부 전도층(100) 및/또는 중간 전도층(92)) 또는 장벽층(74) 또는 둘 모두와 합금되어 고온 접합 작업 후 반도체 요소(52)의 일렉트로마이그레이션 저항을 향상시킬 수 있다. Mn 외에, 다른 금속 또는 금속 합금은 컨택 구조체(예를 들어, 상부 전도층(100))의 일렉트로마이그레이션 저항을 개선할 수 있으며, 예를 들어 인듐, 갈륨, 주석 및 이들 각각의 합금은 장벽층(74)과 컨택 구조체(예를 들어, 상부 전도층(100) 및/또는 중간 전도층(92)) 사이에 배치된 내부 장벽층(108)으로서 적용될 수 있다. 일부 실시예에서, 내부 망간 장벽층(108)의 두께는 컨택 구조체(예를 들어, 상부 전도층(100))의 두께보다 얇을 수 있다. 또한, 일부 실시예에서, 고온 접합 작업 후, 내부 망간 장벽층(108)의 재료는 컨택 구조체(예를 들어, 상부 전도층(100) 및/또는 중간 전도층(92))와 장벽층(74) 사이에 분산될 수 있다.

[0075] 도 17a는 도 15b에 도시된 것과 유사한 접합 구조체(50)를 도시한다. 컴포넌트는 동일할 수 있다. 도 17a는 도 15b와 매우 유사해 보이지만, 도 17a는 180도 회전되어 있다. 이는 도면이 제한이 아닌 예시를 위한 것임을 강조한다. 도 17a에 도시된 바와 같이, 예를 들어, 제1 반도체 요소(52)는 제2 반도체 요소(118)보다 물리적으로 위에 있는 것일 수 있다. 이는 본 명세서에서 개시된 모든 실시예에 대해 적용된다.

[0076] 도 17b는 접합 표면(106)을 따라 두 개의 반도체 요소(52, 118)를 직접 접합함으로써 형성될 수 있는 접합 구조체(50)의 상이한 실시예를 도시한다. 도 17b는 도 14b와 유사한 접합 구조체(50)를 도시한다. 각각의 반도체 요소(52, 118)는 다른 것과 동일할 수 있다. 각각의 반도체 요소(52, 118)는 반도체 부분(54, 120) 상에 비전도층(56, 122)을 가질 수 있고, 각각의 비전도층(56, 122)은 접합 표면(106)을 따라 상부 비전도성 표면(114, 128)을 가질 수 있다. 각각의 반도체 요소(52, 118)는 비전도층(56, 122)에 적어도 부분적으로 매립된 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130))를 갖고, 실질적으로 접합 표면(106)을 따르는 표면을 갖는다. 접합 표면(106)을 따르는 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130))의 부분을 제외하고, 컨택 구조체의 다른 모든 표면은 장벽층(74, 126)과 라이닝될 수 있다. 다르게 말하면, 장벽층(74, 126)은 컨택 구조체(예를 들어, 제1 반도체 요소(52)의 상부 전도층(100) 및 제2 반도체 요소(118)의 컨택 구조체(130))의 트렌치를 라이닝할 수 있다. 이러한 장벽층(74, 126)은 여기에서 개시된 임의의 제2 재료를 포함할 수 있다. 그리고 마지막으로, 장벽층(74, 126)에 연결되고 비전도층(56, 122)에 적어도 부분적으로 매립되어, 각각의 반도체 요소(52, 118)는 하부 전도층(62, 124)을 포함할 수 있다. 본 실시예에서, 여기에서 개시된 다른 모든 것과 같이, 여기에서 개시된 제2 재료(위의 [표 1] 참조)를 포함하는 장벽층(74, 126)의 존재는 일렉트로마이그레이션과 연관된 문제를 감소시킨다.

[0077] 도 17c는 도 16과 유사한 반도체 요소(52)를 도시한다. 반도체 요소(52)는 내부 망간 장벽층(108)과 TSV 장벽(112)으로 라이닝된 TSV(110) 모두를 포함할 수 있다. 유리하게는, TSV 장벽층(112)의 구성 재료로서 코발트 또는 니켈 합금을 사용하여 중복 전류 경로 및 전도층의 역할을 한다. 일부 실시예에서, 장벽층(74)의 제2 재료는 최대 20% 바나듐, 예를 들어 0.01% 내지 5% 바나듐 범위를 갖는 니켈 바나듐(NiV) 합금을 포함할 수 있다. 일부 실시예에서, 장벽층(74)의 제2 재료는 방사선 경도를 위해 Cu/Fe를 포함할 수 있다. 일부 실시예에서, 장벽층(74)의 제2 재료는 바나듐, 크롬, 망간, 철 및/또는 니켈과 같은 재료를 포함하는 바이메탈 중복 장벽(예를 들어, Mn/Co 바이메탈 중복 장벽 구조체)을 포함할 수 있다.

[0078] 문맥상 명백히 다르게 요구되지 않는 한, 설명과 청구범위 전반에 걸쳐, "포함하다(comprise)", "포함하는(comprising)", "포함한다(include)", "포함하는(including)" 등의 단어는 배타적이거나 총망라하는 것이 아니라 포괄적인 의미로, 즉, "포함하지만, 이에 제한되지는 않는다"는 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 "결합된"이라는 단어는 직접 연결되거나 또는 하나 이상의 중간 요소를 통해 연결될 수 있는 두 개 이상의 요소를 지칭한다. 마찬가지로, 본 명세서에서 일반적으로 사용되는 "연결된"이라는 단어는 직접 연결되거나 또는 하나 이상의 중간 요소를 통해 직접 연결될 수 있는 두 개 이상의 요소를 지칭한다. 또한, "여기", "위", "아래" 및 본 출원에 사용될 때 유사한 의미의 단어는 본 출원의 특정 부분이 아닌 본 출원 전체

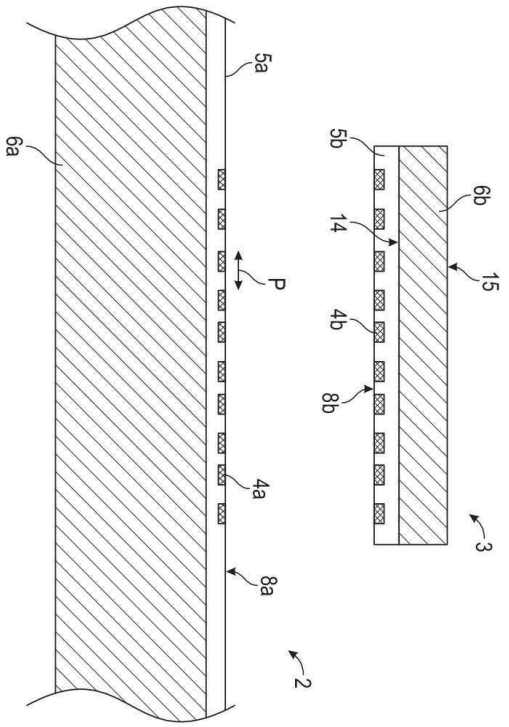
를 지칭한다. 더욱이, 본 명세서에 사용된 바와 같이, 제1 요소가 제2 요소 "상에" 또는 "위에" 있는 것으로 설명되는 경우, 제1 요소는 제2 요소 바로 위에 또는 그 위에 있을 수 있어서, 제1 및 제2 요소가 직접 접촉할 수 있거나, 또는 제1 요소가 하나 이상의 요소가 제1 요소와 제2 요소 사이에 개재되도록 간접적으로 제2 요소 위에 또는 제2 요소 위에 있을 수 있다. 문맥이 허용하는 경우, 위의 상세한 설명에서 단수 또는 복수를 사용하는 단어는 각각 복수 또는 단수를 포함할 수도 있다. 두 개 이상의 항목의 목록과 관련하여 "또는"이라는 단어는 해당 단어에 대한 다음의 해석, 즉 목록 내의 항목 중 어느 하나, 목록 내의 모든 항목, 및 목록 내의 항목의 임의의 조합을 모두 포괄한다.

[0079] 더욱이, 달리 구체적으로 언급되지 않는 한 또는 달리 사용된 문맥 내에서 이해되는 한, 특히 "할 수 있다(can)", "할 수 있다(could)", "할 수 있다(might)", "할 수 있다(may)", "예를 들어", "~와 같은" 등과 같이 본 명세서에서 사용되는 조건부 언어는 특정 실시예가 특정 특징, 요소 및/또는 상태를 포함하지만 다른 실시예는 포함하지 않는다는 것을 전달하도록 의도된다. 따라서, 이러한 조건부 언어는 일반적으로 특징, 요소 및/또는 상태는 하나 이상의 실시예에 대해 어떠한 방식으로든 필요함을 암시하도록 의도되지 않는다.

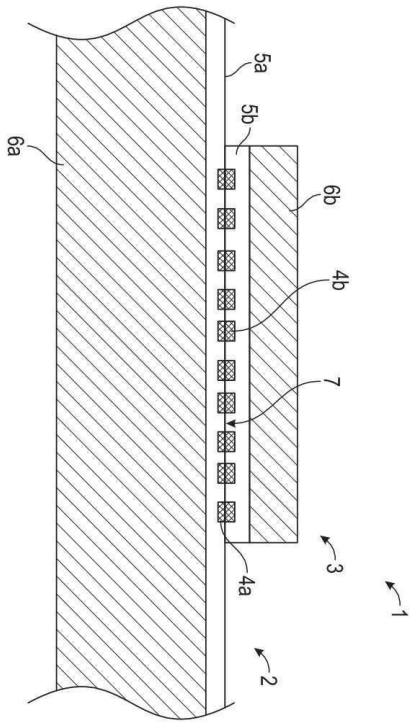
[0080] 특정 실시예가 설명되었지만, 이들 실시예는 단지 예로서 제시되었으며, 본 개시의 범위를 제한하려는 의도는 아니다. 실제로, 여기에서 설명된 새로운 장치, 방법 및 시스템은 다양한 다른 형태로 구현될 수 있고, 또한, 여기에서 설명된 방법 및 시스템의 형태에 대한 다양한 생략, 대체 및 변경이 본 개시의 정신에서 벗어나지 않고 이루어질 수 있다. 예를 들어, 블록은 주어진 배열로 제공되지만, 대안적인 실시예는 다른 컴포넌트 및/또는 회로 토폴로지로 유사한 기능을 수행할 수 있으며, 일부 블록은 삭제, 이동, 추가, 세분화, 결합 및/또는 수정될 수 있다. 이들 블록 각각은 다양한 방식으로 구현될 수 있다. 위에서 설명된 다양한 실시예의 요소와 동작의 임의의 적절한 조합이 결합되어 추가 실시예를 제공할 수 있다. 첨부된 청구범위 및 그 등가물은 본 개시의 범위 및 정신 내에 속하는 형태 또는 수정을 포괄하도록 의도된다.

도면

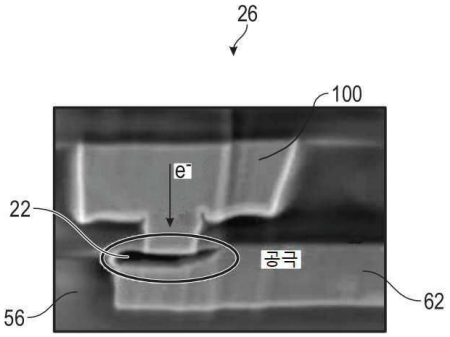
도면1a



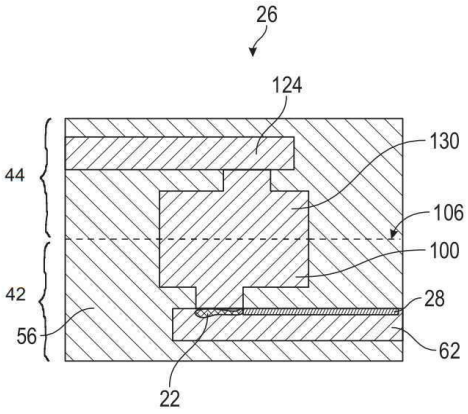
도면1b



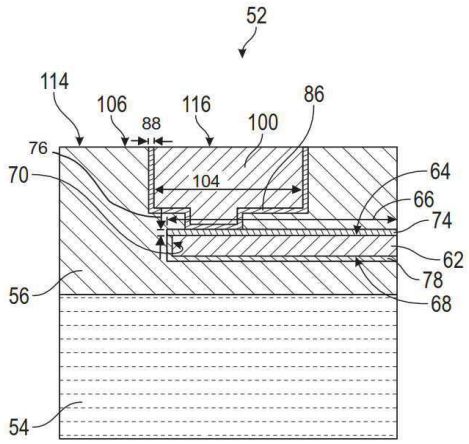
도면2a



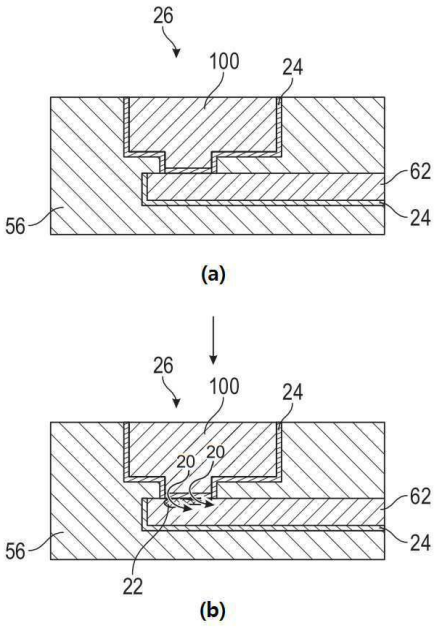
도면2b



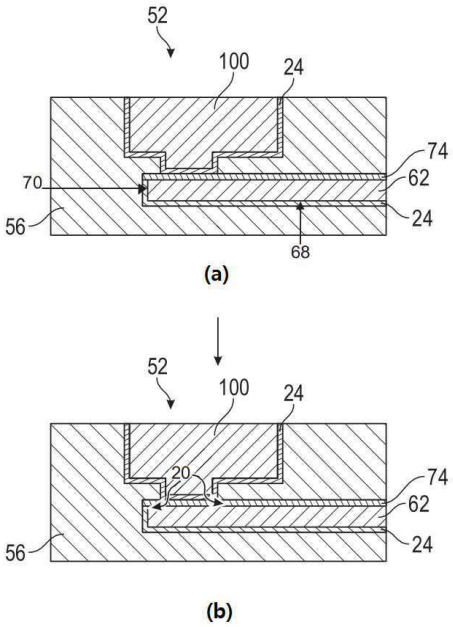
도면3


52
114
106
88
116
100
86
76
70
104
64
66
74
62
78
68
56
54

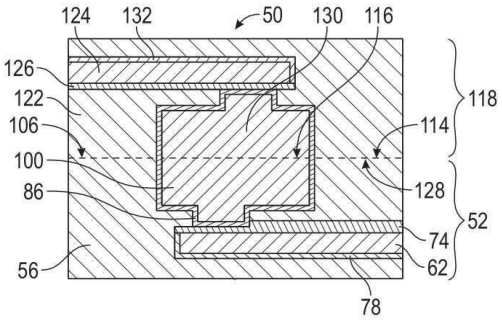
도면4a


26
100
24
62
56
24
(a)
26
100
24
20
20
62
56
24
22
(b)

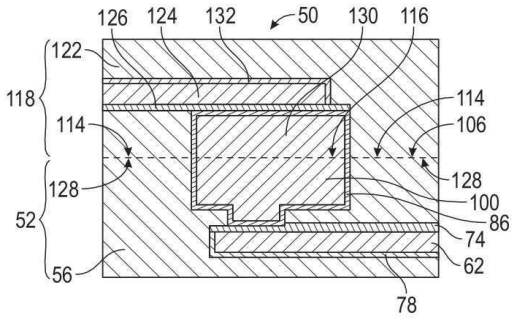
도면4b



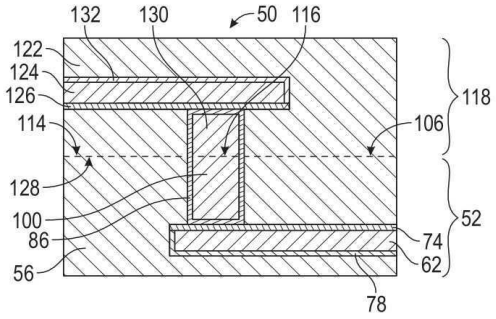
도면5a



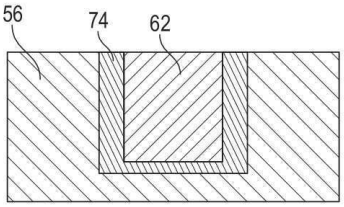
도면5b



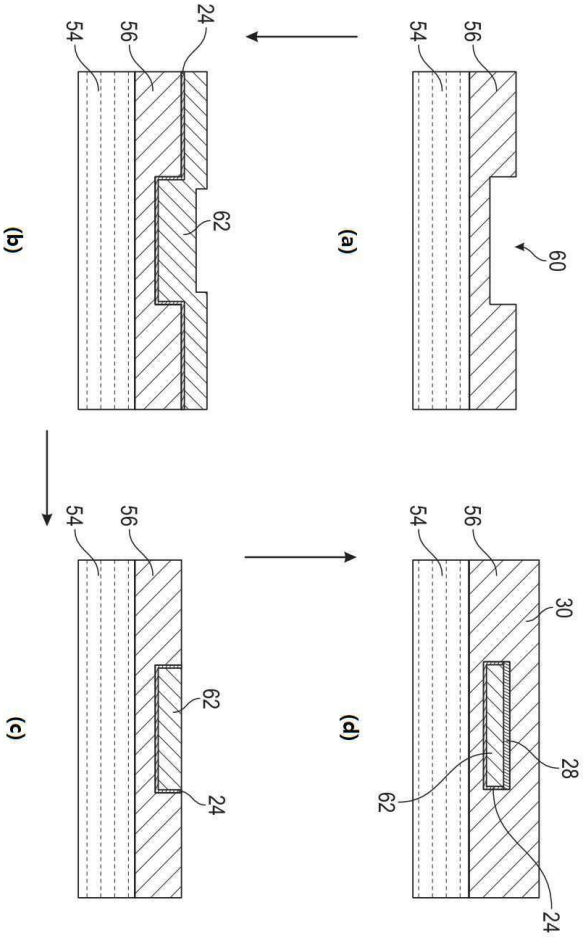
도면5c



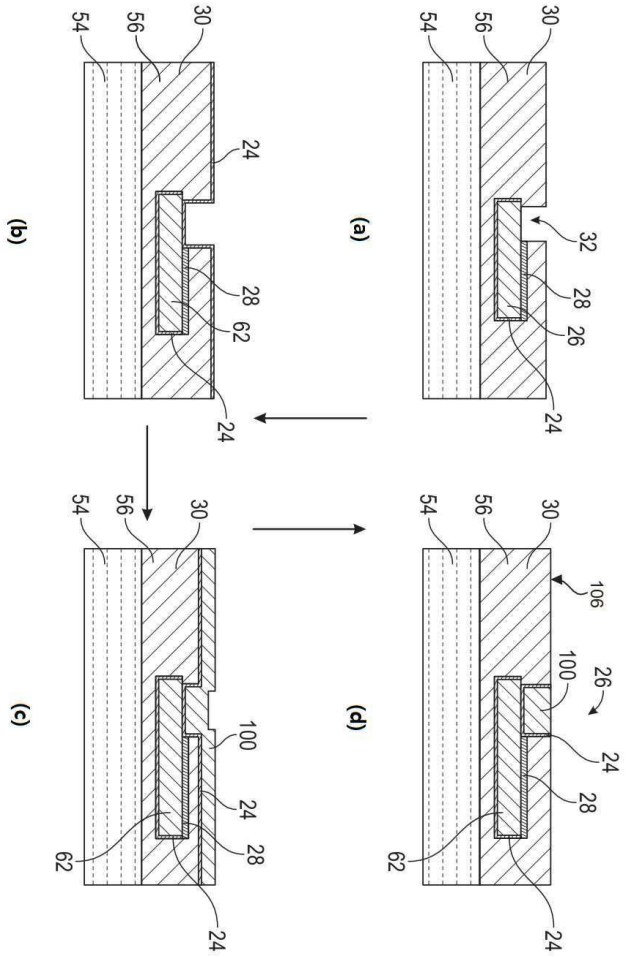
도면6



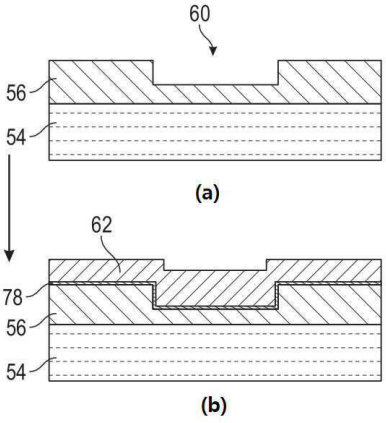
도면7a



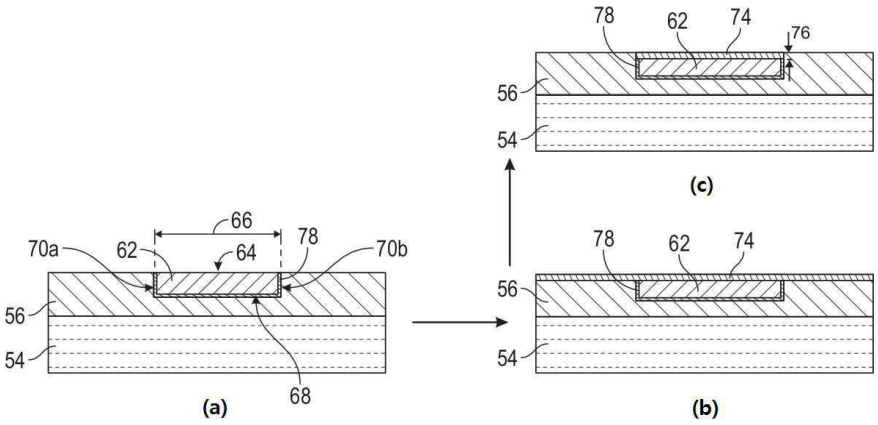
도면7b



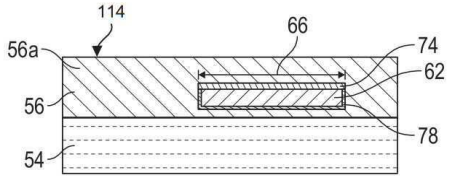
도면8a



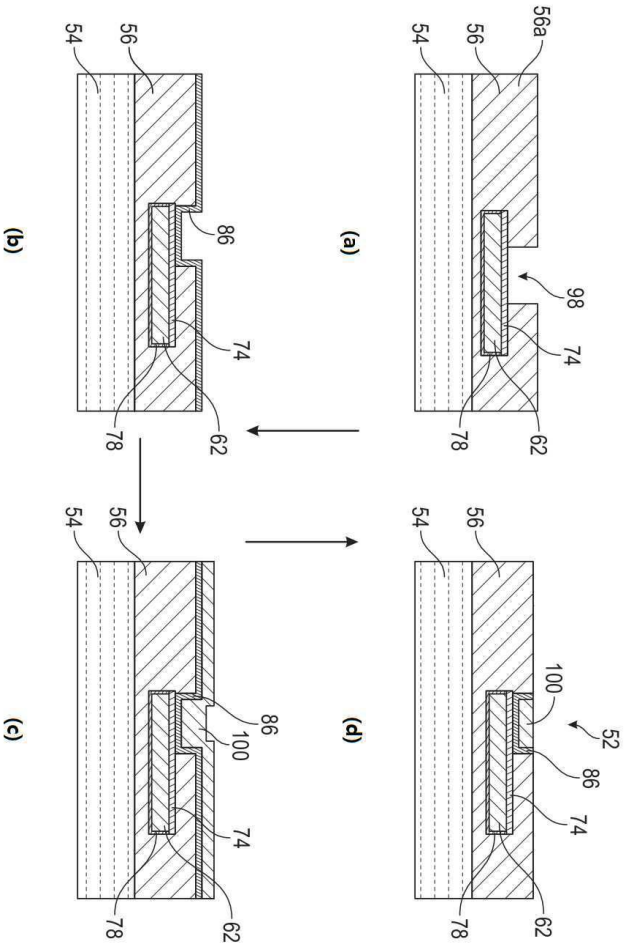
도면8b



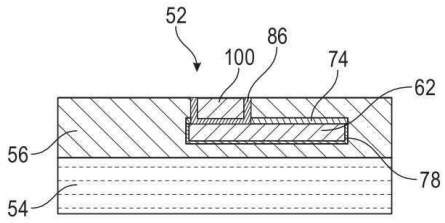
도면8c



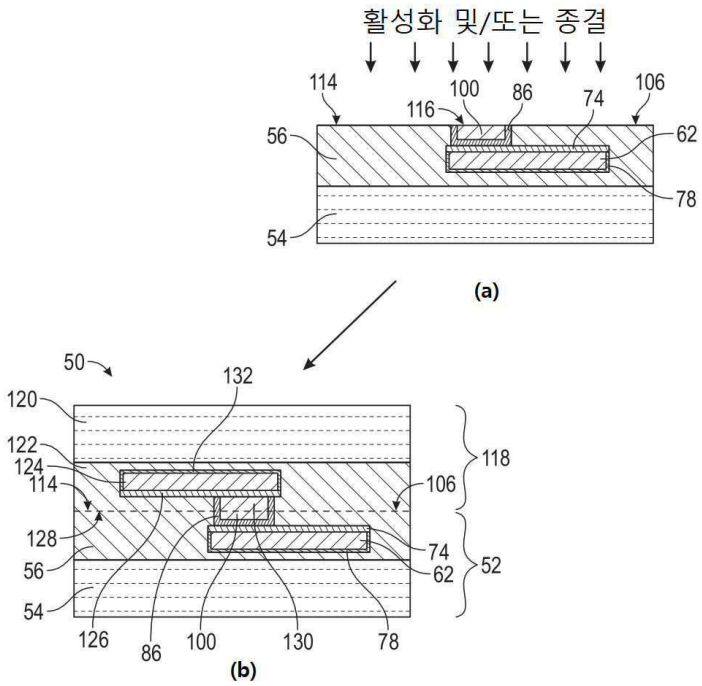
도면8d



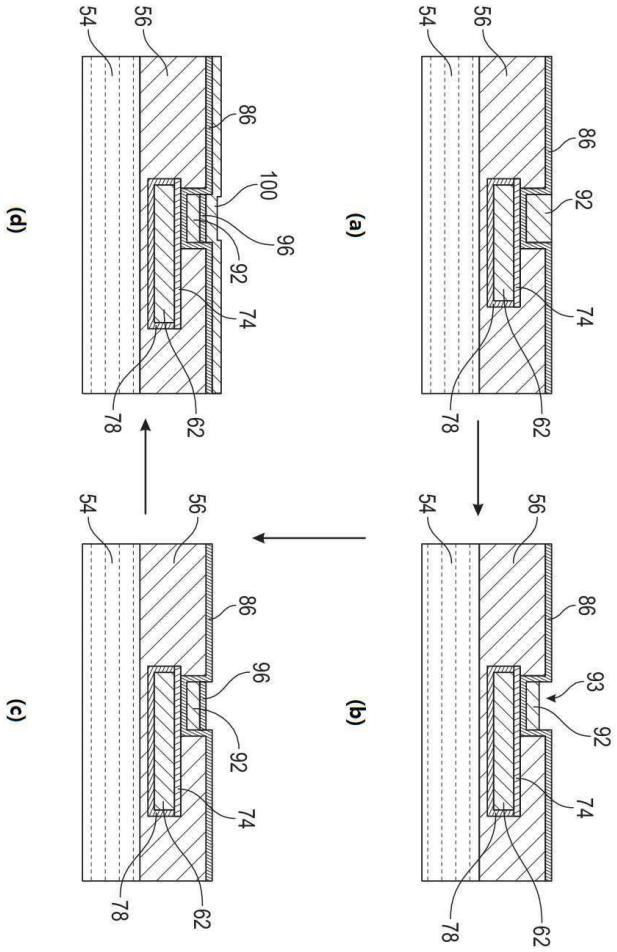
도면8e


52
86
100
74
62
56
78
54

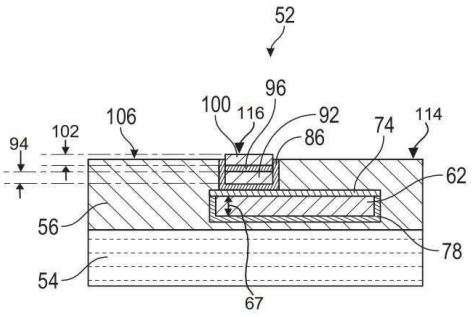
도면8f


활성화 및/또는 종결
114
100
86
74
106
116
56
62
78
54
(a)
50
132
120
122
124
114
118
106
128
74
56
62
52
54
126
86
100
130
78
(b)

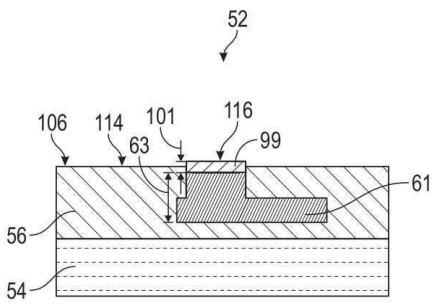
도면9a



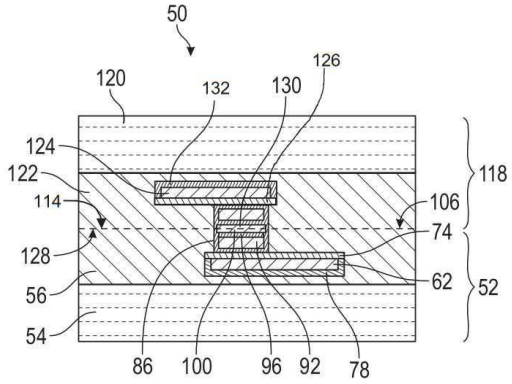
도면9b



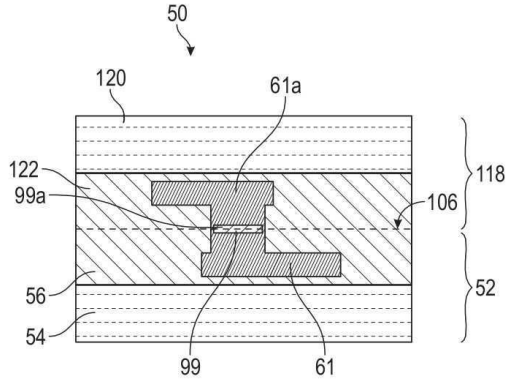
도면10



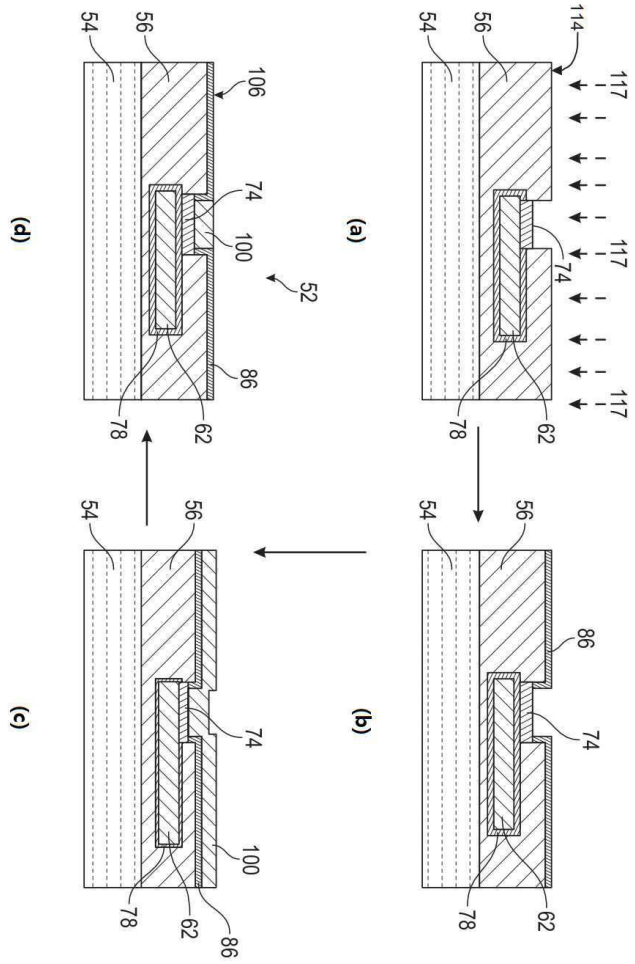
도면11


50
120
132
130
126
124
122
114
128
56
54
118
106
74
62
52
86
100
96
92
78

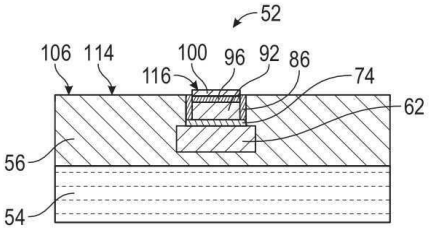
도면12


50
120
61a
122
99a
56
54
118
106
52
99
61

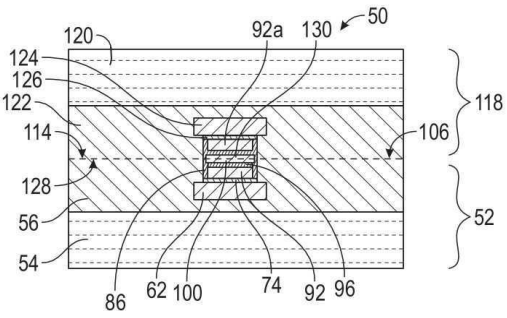
도면13



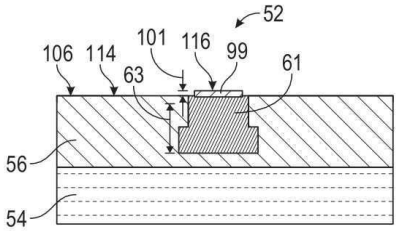
도면14a



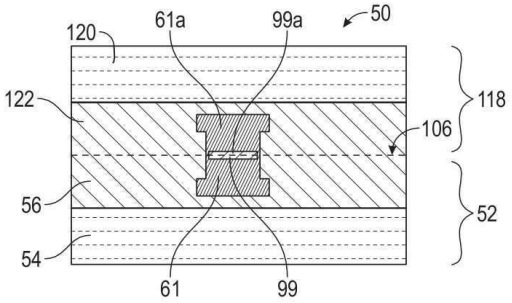
도면14b



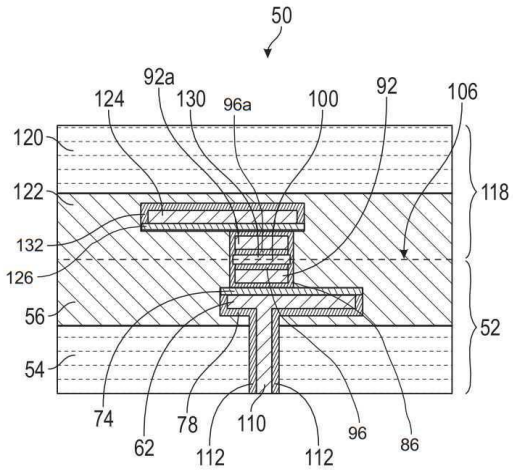
도면14c



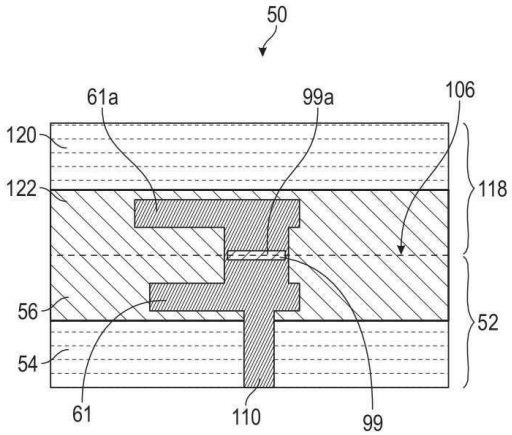
도면14d



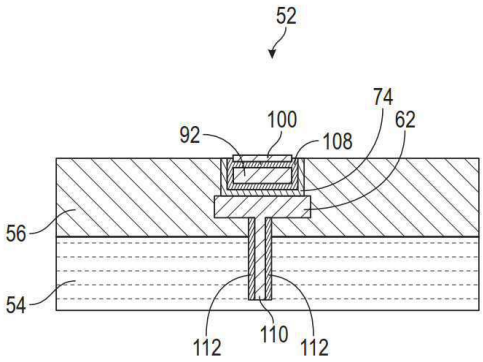
도면15a



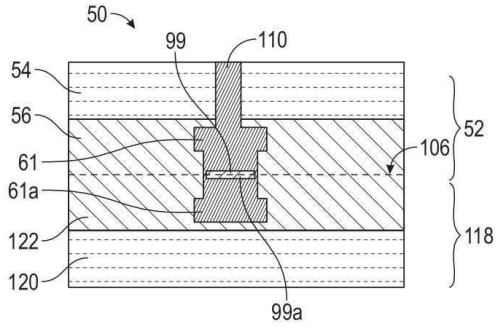
도면15b



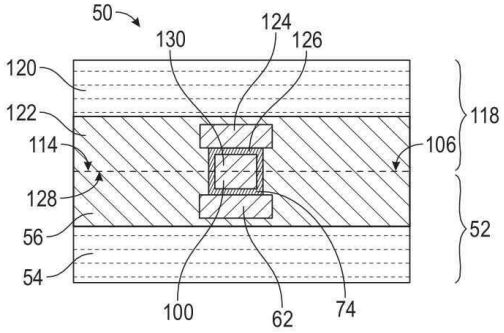
도면16



도면17a



도면17b



도면17c

