



(12) 发明专利

(10) 授权公告号 CN 111951851 B

(45) 授权公告日 2024. 06. 04

(21) 申请号 202010207063.X

(22) 申请日 2020.03.23

(65) 同一申请的已公布的文献号  
申请公布号 CN 111951851 A

(43) 申请公布日 2020.11.17

(30) 优先权数据  
16/415,377 2019.05.17 US

(73) 专利权人 闪迪技术有限公司  
地址 美国德克萨斯州

(72) 发明人 H·奇布昂格德 M·西川

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245  
专利代理师 赵志刚

(51) Int.Cl.

G11C 16/04 (2006.01)

G11C 16/08 (2006.01)

G11C 16/10 (2006.01)

H10B 80/00 (2023.01)

(56) 对比文件

CN 101075217 A, 2007.11.21

CN 102177549 A, 2011.09.07

CN 103635883 A, 2014.03.12

US 2009122610 A1, 2009.05.14

US 2010271856 A1, 2010.10.28

US 2013208544 A1, 2013.08.15

US 2014027771 A1, 2014.01.30

US 2015220385 A1, 2015.08.06

审查员 邓国秀

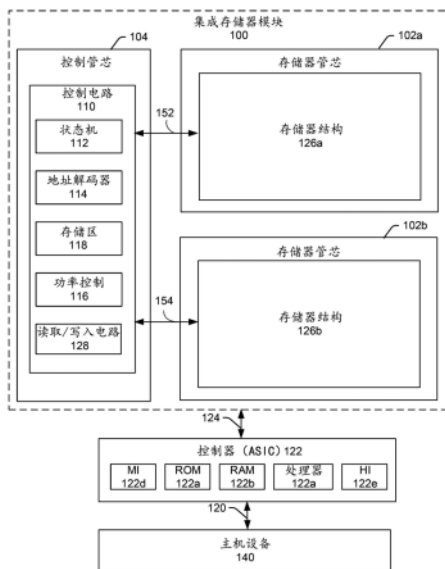
权利要求书3页 说明书23页 附图13页

(54) 发明名称

多接合存储器设备中的并行存储器操作

(57) 摘要

公开了一种包括集成存储器模块的半导体设备。所述集成存储器模块包括：第一半导体管芯，所述第一半导体管芯包括第一非易失性存储器单元；第二半导体管芯，所述第二半导体管芯包括第二非易失性存储器单元；以及第三半导体管芯，所述第三半导体管芯包括控制电路。所述第一半导体管芯、所述第二半导体管芯和所述第三半导体管芯接合在一起。所述控制电路被配置为控制所述第一存储器单元中的存储器操作以及并行地控制所述第二存储器单元中的存储器操作。



1. 一种装置,包括:

第一半导体管芯,所述第一半导体管芯包括第一组非易失性存储器单元和第一字线,其中所述第一组非易失性存储器单元连接到所述第一字线;

第二半导体管芯,所述第二半导体管芯包括第二组非易失性存储器单元和第二字线,其中所述第二组非易失性存储器单元连接到所述第二字线;和

第三半导体管芯,所述第三半导体管芯包括控制电路,所述第三半导体管芯接合到所述第一半导体管芯,所述第三半导体管芯接合到所述第二半导体管芯,所述控制电路被配置为将页面的第一部分编程到所述第一组非易失性存储器单元中以及并行地将所述页面的第二部分编程到所述第二组非易失性存储器单元中,

其中所述控制电路包括:

第一多个感测放大器,所述第一多个感测放大器通过第一组接合焊盘连接到所述第一半导体管芯上的第一位线;和

第二多个感测放大器,所述第二多个感测放大器通过第二组接合焊盘连接到所述第二半导体管芯上的第二位线。

2. 根据权利要求1所述的装置,其中所述控制电路被进一步配置为:

从连接到所述第一半导体管芯中的第一字线的存储器单元读取数据以及并行地从连接到所述第二半导体管芯中的第二字线的存储器单元读取数据。

3. 根据权利要求1所述的装置,其中所述控制电路包括:

电路,所述电路被配置为向所述第一半导体管芯和所述第二半导体管芯两者提供用于存储器操作的电压。

4. 根据权利要求1所述的装置,其中所述控制电路包括:

字线驱动器,所述字线驱动器连接到所述第一半导体管芯上的第一字线和所述第二半导体管芯上的第二字线,所述控制电路被配置为控制所述字线驱动器向所述第一字线和所述第二字线同时输送电压。

5. 根据权利要求1所述的装置,其中:

所述第一半导体管芯包括第一组接合焊盘;

所述第二半导体管芯包括第二组接合焊盘;

所述第三半导体管芯包括第三组接合焊盘,所述第三组接合焊盘接合到所述第一组接合焊盘,以将所述第三半导体管芯电耦接和物理耦接到所述第一半导体管芯以及允许所述第一半导体管芯和所述第三半导体管芯之间的内部信号传送;并且

所述第三半导体管芯包括第四组接合焊盘,所述第四组接合焊盘接合到所述第二组接合焊盘,以将所述第三半导体管芯电耦接和物理耦接到所述第二半导体管芯以及允许所述第二半导体管芯和所述第三半导体管芯之间的内部信号传送。

6. 一种操作非易失性存储器的方法,所述方法包括:

通过第一对接合焊盘从控制半导体管芯向第一存储器半导体管芯上的非易失性存储器单元的第一三维阵列中的第一选择块提供一组存储器操作电压,所述第一对接合焊盘将所述控制半导体管芯电耦接和物理耦接到所述第一存储器半导体管芯;

通过第二对接合焊盘将所述一组存储器操作电压从所述控制半导体管芯提供给第二存储器半导体管芯上的非易失性存储器单元的第二三维阵列中的第二选择块,所述一组存

存储器操作电压被并行提供给所述第一存储器半导体管芯和所述第二存储器半导体管芯,以便并行控制所述第一选择块和所述第二选择块中的存储器操作,所述第二对接合焊盘将所述控制半导体管芯电耦接和物理耦接到所述第二存储器半导体管芯,或者将所述第一存储器半导体管芯电耦接和物理耦接到所述第二存储器半导体管芯;

通过所述第一对接合焊盘感测所述第一存储器半导体管芯中的所述第一选择块的第一位线;以及

通过所述第二对接合焊盘感测所述第二存储器半导体管芯中的所述第二选择块的第二位线。

7. 根据权利要求6所述的方法,其中:

通过所述第一对接合焊盘将所述一组存储器操作电压从所述控制半导体管芯提供给所述第一选择块包括:将电压从所述控制半导体管芯上的字线驱动器提供给所述第一选择块中的第一选择的字线;并且

通过所述第二对接合焊盘将所述一组存储器操作电压从所述控制半导体管芯提供给所述第二选择块包括:将所述电压从所述控制半导体管芯上的所述字线驱动器的提供给所述第二选择块中的第二选择的字线。

8. 一种集成存储器模块,包括:

第一半导体管芯,所述第一半导体管芯包括非易失性存储器单元的第一三维阵列;

第二半导体管芯,所述第二半导体管芯包括非易失性存储器单元的第二三维阵列;

第三半导体管芯,所述第三半导体管芯包括控制电路,所述控制电路被配置为控制所述第一三维阵列中的存储器操作以及并行地控制所述第二三维阵列中的存储器操作;

第一对接合焊盘,所述第一对接合焊盘被配置为将所述第一半导体管芯电耦接和物理耦接到所述第三半导体管芯,所述第一对接合焊盘被配置为允许所述第一半导体管芯和所述第三半导体管芯之间的存储器操作信号传送;

第二对接合焊盘,所述第二对接合焊盘被配置为将所述第二半导体管芯电耦接和物理耦接到所述第三半导体管芯,或者将所述第一半导体管芯电耦接和物理耦接到所述第二半导体管芯,所述第二对接合焊盘被进一步配置为允许所述第二半导体管芯和所述第三半导体管芯之间或者所述第一半导体管芯和所述第二半导体管芯之间的存储器操作信号传送;

第一感测放大器,所述第一感测放大器位于所述第三半导体管芯上并连接到所述第一对接合焊盘的第一构件;

第一位线,所述第一位线位于所述第一半导体管芯中并连接到所述第一对接合焊盘的第二构件;

第二感测放大器,所述第二感测放大器位于所述第三半导体管芯上并连接到所述第二对接合焊盘的第一构件;和

第二位线,所述第二位线位于所述第二半导体管芯中并连接到所述第二对接合焊盘的第二构件。

9. 根据权利要求8所述的集成存储器模块,还包括:

字线驱动器,所述字线驱动器位于所述第三半导体管芯上并连接到所述第一对接合焊盘中的一个接合焊盘的第一构件,所述字线驱动器连接到所述第二对接合焊盘中的一个接合焊盘的第一构件;

第一选择的字线,所述第一选择的字线位于所述第一三维存储器阵列中并连接到所述第一对接合焊盘的所述一个接合焊盘的第二构件;和

第二选择的字线,所述第二选择的字线位于所述第二三维存储器阵列中并连接到所述第二对接合焊盘中的所述一个接合焊盘的第二构件。

10. 根据权利要求8所述的集成存储器模块,其中:

所述第二对接合焊盘被进一步配置为将所述第二半导体管芯电耦接和物理耦接到所述第三半导体管芯,以允许所述第二半导体管芯和所述第三半导体管芯之间的存储器操作信号传送。

11. 根据权利要求8所述的集成存储器模块,其中:

所述第二对接合焊盘被进一步配置为将所述第一半导体管芯电耦接和物理耦接到所述第二半导体管芯,以允许所述第一半导体管芯和所述第二半导体管芯之间的存储器操作信号传送。

12. 根据权利要求8所述的集成存储器模块,其中所述控制电路被进一步配置为将数据页的第一部分存储在所述第一三维阵列中以及并行地将所述数据页的第二部分存储在所述第二三维阵列中。

## 多接合存储器设备中的并行存储器操作

### 背景技术

[0001] 便携式消费电子器件需求的强劲增长推动了对大容量存储设备的需求。非易失性半导体存储器设备,诸如闪存存储卡,已广泛用于满足对数字信息存储和交换的日益增长的需求。它们的便携性、多功能性和坚固耐用的设计以及它们的高可靠性和大容量,使得此类存储器设备理想地用于多种电子设备中,包括例如数字照相机、数字音乐播放器、视频游戏控制器、PDA和蜂窝电话。

[0002] 最近,已经提出了使用三维(3D)结构的超高密度存储器设备。3D结构的一个示例是具有形成多层的存储器单元串的堆叠存储器结构。一种此类存储设备有时被称为位成本可扩展(BiCS)体系结构。3D存储器结构允许高的面密度,作为本文使用的术语是指每个表面积可存储的位数。除了存储器单元之外,3D存储器设备包括用于控制对存储器单元进行读取/写入的逻辑电路。

[0003] 不管3D架构如何,增加密度(例如,面密度)是期望的。一种增加面密度的技术是增加3D结构中的存储器单元层的数量。然而,目前的半导体制造技术限制了能够可靠形成的存储器单元的层数。此外,形成具有更多存储器单元层的结构能够显著增加制造成本。

[0004] 具有高编程和读取吞吐量也是期望的。用于增加高编程和读取吞吐量的一种技术是增加每个管芯的存储器单元平面的数量。然而,这增加了管芯尺寸,管芯是重要的规格。对于半导体制造技术,成本通常不与管芯尺寸成线性比例。例如,将半导体管芯的尺寸加倍可以使制造成本增加两倍以上。

### 附图说明

[0005] 图1是存储器设备的功能框图。

[0006] 图1B是根据本发明技术的实施方案的从其中形成多个控制半导体管芯的半导体晶圆的顶视图。

[0007] 图1C是根据本发明技术的实施方案的从其中形成多个第一存储器半导体管芯的半导体晶圆的顶视图。

[0008] 图1D是根据本发明技术的实施方案的从其中形成多个第二存储器半导体管芯的半导体晶圆的顶视图。

[0009] 图2A是集成存储器模块的一个实施方案的框图。

[0010] 图2B是集成存储器模块的另一实施方案的框图。

[0011] 图3A是描绘感测框的一个实施方案的框图。

[0012] 图3B是描绘存储器系统的一个实施方案的框图。

[0013] 图4是单片三维存储器阵列的一个示例实施方案的一部分的透视图。

[0014] 图5是描述用于对组织成阵列的存储器单元的NAND串进行编程的过程的一个实施方案的流程图。

[0015] 图6是示出集成存储器模块的一个实施方案的细节的图。

[0016] 图7是示出集成存储器模块的另一实施方案的细节的图。

- [0017] 图8描绘了半导体管芯的平坦表面上的接合焊盘的示例图案。
- [0018] 图9描绘了与图6的实施方案一致的集成存储器模块的实施方案的侧视图。
- [0019] 图10描绘了与图7的实施方案一致的集成存储器模块的实施方案的侧视图。
- [0020] 图11是操作包括集成存储器模块的非易失性存储器的过程的一个实施方案的流程图。
- [0021] 图12是集成存储器模块中的并行编程的过程的一个实施方案的流程图。
- [0022] 图13是集成存储器模块中的并行感测的过程的一个实施方案的流程图。

### 具体实施方式

[0023] 现在将参考附图描述本发明的技术,附图在实施方案中涉及一种包括集成存储器模块的半导体设备。集成存储器模块的实施方案具有高存储密度,包括面密度。集成存储器模块的实施方案具有高编程和读取吞吐量。集成存储器模块的实施方案具有高存储密度(例如,面密度),而不牺牲编程或读取吞吐量。

[0024] 在一些实施方案中,集成存储器模块可以包括三个半导体管芯,它们一起作为单个集成非易失性存储器操作。一个半导体管芯可以包含控制电路,该控制电路可以包括感测放大器和驱动器。两个半导体管芯可以包含非易失性存储器单元。三个半导体管芯可以作为单个集成非易失性存储器接合在一起。

[0025] 本文描述的集成存储器模块的实施方案具有高存储密度(例如,面密度),而不增加半导体管芯尺寸。将控制电路放置在半导体管芯中的一个半导体管芯上可以释放包含存储器单元的两个半导体管芯上的空间,使得附加的存储器单元可以被放置在存储器单元管芯上。具有两个半导体管芯(每个具有非易失性存储器单元)可以增加集成非易失性存储器的面密度。此外,集成非易失性存储器可以增加存储器单元的层数,而没有与增加单个半导体管芯上的存储器单元的层数相关联的问题。

[0026] 通常,可通过并行编程更多数量的存储器单元来增加编程吞吐量。同样,可通过并行读取更多数量的存储器单元来增加读取吞吐量。在一些存储器架构中,连接到同一字线的存储器单元可以被并行编程或读取。一种用于增加编程和/或读取吞吐量的可行技术是增加字线的尺寸。然而,这种解决方案往往会增加字线上的负载,这可能会对性能产生负面影响。本文描述的集成存储器模块的实施方案具有高编程吞吐量,而不显著增加字线的尺寸。在一些实施方案中,连接到第一半导体管芯上的第一选择的字线的第一组存储器单元与连接到第二半导体管芯上的第二选择的字线的第二组存储器单元被并行编程。可选地,第三半导体管芯上的相同字线驱动器可以用于向第一选择的字线和第二选择的字线提供编程电压。因此,可以在不显著增加字线尺寸的情况下增加编程吞吐量。此外,可以在不显著增加字线上的负载的情况下增加编程吞吐量。此外,在一些实施方案中,第一半导体管芯、第二半导体管芯和第三半导体管芯接合在一起形成集成存储器设备。因此,集成存储器设备兼具高编程吞吐量和高面密度。

[0027] 类似地,在一些实施方案中,连接到第一半导体管芯上的第一选择的字线的第一组存储器单元可以与连接到第二半导体管芯上的第二选择的字线的第二组存储器单元被并行读取。因此,可以在不显著增加字线尺寸的情况下增加读取吞吐量。此外,可以在不显著增加字线上的负载的情况下增加读取吞吐量。此外,在一些实施方案中,第一半导体管

芯、第二半导体管芯和第三半导体管芯接合在一起形成集成存储器设备。因此,集成存储器设备的实施方案具有高读取吞吐量和高面密度。

[0028] 增加每个管芯的存储器单元的数量的一种可行方法是增加平面中的存储器单元块的数量。然而,这种解决方案往往会增加位线上的负载,这可能影响性能。本文描述的集成存储器模块的实施方案具有高存储容量、高编程吞吐量和高读取吞吐量,而不增加位线上的负载。

[0029] 应当理解,本发明可体现为许多不同形式并且不应解释为限于本文所阐述的实施方案。相反,提供了这些实施方案,使得本公开将是周密且完整的,并且将充分地将本发明传达给本领域的技术人员。实际上,本发明旨在覆盖这些实施方案的另选方案、修改和等同物,这些均包括在由所附权利要求书所限定的本发明的范围和实质内。此外,在本发明的以下具体实施方式中,给出了许多具体细节,以便提供对本发明的周密理解。然而,对于本领域的普通技术人员将显而易见的是,本发明可在没有此类具体细节的情况下被实施。

[0030] 本文所用的术语“顶部”和“底部”、“上”和“下”以及“垂直”和“水平”及其形式,如可仅以举例方式和出于示例性目的用于本文,并且不旨在限制技术的描述,因为所引用的项目可在位置和取向上交换。另外,如本文所用,术语“基本上”和/或“约”是指指定的尺寸或参数可在给定应用的可接受的制造公差内变化。在一个实施方案中,可接受的制造公差为给定尺寸的 $\pm 0.25\%$ 。

[0031] 图1至图4描述了可用于实现本文提出的技术的存储器系统的一个示例。图1A是包括集成存储器模块100的一个实施方案的示例系统的功能框图。图1A还描绘了控制器122和主机设备140。在一个实施方案中,集成存储器模块100包括三个半导体管芯(或者更简单地说,“管芯”)。第一存储器管芯102a包括存储器结构126a,并且第二存储器管芯102b包括存储器结构126b。控制管芯104包括控制电路150。如下文更详细描述,在一些实施方案中,第一存储器管芯102a、第二存储器管芯102b和控制管芯104接合在一起。

[0032] 控制电路110对存储器结构126执行存储器操作(例如,写入、读取、擦除等)。控制电路110包括状态机112、片上地址解码器114、功率控制电路116、存储区118和读取/写入电路128。在另一个实施方案中,一些读取/写入电路128位于第一存储器管芯102a上,而其他读取/写入电路128位于第二存储器管芯102b上。在一些实施方案中,控制电路110被配置为控制存储器结构126a中的存储器操作以及并行地控制存储器结构126b中的存储器操作。在本文中,术语“存储器管芯”、“存储器半导体管芯”等是指包含用于存储的非易失性存储器单元的半导体管芯。在本文中,术语“控制管芯”、“控制半导体管芯”等是指包含用于在存储器管芯上的非易失性存储器单元上执行存储器操作的控制电路的半导体管芯。通常来说,许多半导体管芯由单个半导体(例如,硅)晶圆形成。

[0033] 片上地址解码器114在主机140或控制器122使用的地址与行解码器和列解码器(图1A中未明确示出)使用的硬件地址之间提供地址接口。功率控制电路116控制在存储器操作期间提供给字线、位线和选择线的功率和电压。在一个实施方案中,功率控制电路116包括电压电路。功率控制电路116可以包括用于产生电压的充电泵。在一个实施方案中,功率控制电路116在状态机112的控制下执行。

[0034] 在一些实施方案中,读取/写入电路128包括感测块(其可以包含感测放大器

(SA)。在一些实施方案中,感测放大器包括位线驱动器。在一个实施方案中,读取/写入电路128在状态机112的控制下执行。在一些实施方案中,每个存储器结构126能够经由行解码器(图1A中未示出)由字线以及经由列解码器(图1A中未示出)由位线来寻址。

[0035] 状态机112和/或控制器122(或等效功能电路)与图1中描绘的其他电路的全部或子集的组合可以被视为一个或多个控制电路。一个或多个控制电路可以仅包括硬件或者包括硬件和软件(包括固件)的组合。例如,由固件编程的控制器是控制电路的一个示例。一个或多个控制电路可以包括处理器、PGA(可编程门阵列)、FPGA(现场可编程门阵列)、ASIC(专用集成电路)、集成电路或其他类型的电路。在一些实施方案中,一个或多个控制电路被配置为控制存储器结构126a中的存储器操作以及并行地控制存储器结构126b中的存储器操作。

[0036] 通路152是控制电路110中的一个或多个部件和存储器管芯102a上的存储器结构之间的通路。通路可用于提供或接收信号(例如,电压、电流)。通路包括导电路径。通路可以包括但不限于可以传输或载送电信号的接合焊盘、金属互连件、通孔、晶体管、导电材料和其他材料中的一者或多者。在一个实施方案中,通路152允许控制电路110向存储器管芯102a上的字线、选择线和位线提供电压。通路154是控制电路110中的一个或多个部件和存储器管芯102b上的存储器结构之间的通路。在一个实施方案中,通路154允许控制电路110向存储器管芯102b上的字线、选择线和位线提供电压。通路152、154可用于从例如位线接收信号。

[0037] 在一些系统中,控制器122被包括在与集成存储器模块100相同的封装件(例如,可移动存储卡)中。需注意,在与控制器122相同的封装件中可能存在若干集成存储器模块100。然而,在其他系统中,控制器可以是与集成存储器模块10分离的单独封装件。在图1的实施方案中,控制器122位于与集成存储器模块100不同的管芯上。在一些实施方案中,一个控制器122将与多个集成存储器模块100通信。在其他实施方案中,每个集成存储器模块100具有其自己的控制器。命令和数据经由数据总线120在主机140和控制器122之间传送,并且经由线124在控制器122和一个或多个集成存储器模块100之间传送。在一个实施方案中,集成存储器模块100包括连接到线124的一组输入和/或输出(I/O)引脚。出于一般性,线124被描绘为连接到集成存储器模块100。线124可以连接到管芯102a、102b和/或104中的任何一个或全部。在一个实施方案中,线124将控制器122直接连接到存储器管芯104。在一个实施方案中,线124将控制器122直接连接到存储器管芯102a。在一个实施方案中,线124将控制器122直接连接到存储器管芯102a。如果线124将控制器直接连接到存储器管芯102a或102b,则通路152或154中的一者可用于允许控制器122和控制电路110之间的通信。

[0038] (芯片上或芯片外)控制器122(在一个实施方案中为电路)可包括一个或多个处理器122c、ROM 122a、RAM 122b、存储器接口(MI)122d和主机接口(HI)122e,所有这些都是互相连接的。存储设备(ROM 122a、RAM 122b)存储诸如一组指令(包括固件)的代码(软件),并且一个或多个处理器122c可操作以执行该组指令来提供本文描述的功能。另选地或除此之外,一个或多个处理器122c可从存储器结构中的存储设备访问代码,诸如连接到一个或多个字线的存储器单元的保留区域。RAM 122b可以用于存储针对控制器122的数据,包括高速缓存程序数据。与ROM 122a、RAM 122b和处理器122c通信的存储器接口122d是在控

制器122与一个或多个集成存储器模块100之间提供电接口的电路。例如,存储器接口122d可改变信号的格式或定时、提供缓冲区、与浪涌隔离、锁存I/O等。一个或多个处理器122c可经由存储器接口122d向控制电路110(或集成存储器模块100的另一个部件)发出命令。主机接口122e提供与主机140数据总线120的电接口,以便从主机140接收命令、地址和/或数据以向主机140提供数据和/或状态。

[0039] 在一个实施方案中,存储器结构126包括非易失性存储器单元的三维存储器阵列,其中多个存储器级形成在单个衬底(诸如晶圆)上方。存储器结构可以包括在存储器单元阵列的一个或多个物理层中单片地形成的任何类型的非易失性存储器,其具有设置在硅(或其他类型)衬底上方的有源区域。在一个示例中,非易失性存储器单元包括具有电荷俘获材料的垂直NAND串。

[0040] 在另一个实施方案中,存储器结构126包括非易失性存储器单元的二维存储器阵列。在一个示例中,非易失性存储器单元是利用浮动栅极的NAND闪存存储器单元。也可使用其他类型的存储器单元(例如,NOR型闪存存储器)。

[0041] 包括在存储器结构126中的存储器阵列架构或存储器单元的确切类型不限于上述示例。许多不同类型的存储器阵列架构或存储器技术可用于形成存储器结构126。实现本文提出的要求保护的新实施方案不需要特定的非易失性存储器技术。用于存储器结构126的存储器单元的合适技术的其他示例包括相变存储器(例如,PCM)等。用于存储器结构126的存储器单元架构的合适技术的示例包括二维阵列、三维阵列、交叉点阵列、叠堆二维阵列、竖直位线阵列等等。

[0042] 本领域普通技术人员将认识到,本文所述的技术不限于单个特定存储器结构,但涵盖了在本文所述和如本领域普通技术人员所理解的技术实质与范围内的许多相关的存储器结构。

[0043] 存储设备包括代码诸如一组指令,并且处理器可操作为执行该组指令以提供本文所述的功能。另选地或除此之外,处理器可在一个或多个字线中从存储器单元的保留区域访问代码。

[0044] 例如,控制器可使用代码来访问存储器结构,诸如用于编程操作、读取操作和擦除操作。代码可包括引导代码和控制代码(例如,一组指令)。引导代码是在引导或启动过程中初始化控制器并使控制器能够访问存储器结构的软件。控制器可使用代码来控制一个或多个存储器结构。在上电时,处理器122c从ROM 122a或存储器结构126取出引导代码以供执行,并且引导代码初始化系统部件并将控制代码加载到RAM 122b中。一旦控制代码被加载到RAM中,便由处理器执行。控制代码包括执行基本任务的驱动器,基本任务为诸如控制和分配存储器、对指令的处理区分优先次序,以及控制输入和输出端口。

[0045] 一般来讲,控制代码可包括执行本文所述功能的指令,包括下文进一步讨论的流程图的步骤,并且提供电压波形,包括下文进一步讨论的那些。控制电路可以被配置为执行执行本文所述的功能的指令。

[0046] 图1B是半导体晶圆135a的顶视图。晶圆135a具有集成电路103的许多副本。在一个实施方案中,每个集成电路103包含控制电路110(参见图1A)。在一些实施方案中,晶圆135a被切割成半导体管芯,每个管芯包含集成电路103的副本中的一者。因此,可以由晶圆135a形成许多控制半导体管芯104。还要注意,即使在晶圆135a被切割之前,由于本文使用

了术语“控制半导体管芯”，所以集成电路103所在的每个区可以被称为控制 半导体管芯104。

[0047] 图1C是半导体晶圆135b的顶视图。晶圆135b具有集成电路105a的许多副本。在一个实施方案中，每个集成电路105a包含存储器结构126a（参见图1A）。在一些实施方案中，晶圆135b被切割成半导体管芯，每个管芯包含集成电路105a的副本中的一者。因此，可以由晶圆135b形成许多第一存储器半导体管芯102a。还要注意，即使在晶圆135b被切割之前，由于本文使用了术语“存储器半导体管芯”，所以集成电路105a所在的每个区可以被称为存储器半导体管芯102a。

[0048] 图1D是半导体晶圆135c的顶视图。晶圆135c具有集成电路105b的许多副本。在一个实施方案中，每个集成电路105b包含存储器结构126b（参见图1A）。在一些实施方案中，晶圆135c被切割成半导体管芯，每个管芯包含集成电路105b的副本中的一者。因此，可以由晶圆135c形成许多第二存储器半导体管芯102b。还要注意，即使在晶圆135c被切割之前，由于本文使用了术语“存储器半导体管芯”，所以集成电路105b所在的每个区可以被称为存储器半导体管芯102b。

[0049] 半导体晶圆135可以根据CZ、FZ或其他工艺生长的单晶硅的晶锭而开始。半导体晶圆135可以在主表面上被切割和抛光，以提供光滑的表面。集成电路103、105a、105b可以形成在主表面上和/或主表面中。将晶圆135切割成半导体管芯可以在接合之前或之后进行。在一个实施方案中，三个晶圆135a、135b、135c接合在一起。在将三个晶圆接合在一起之后，进行切割。因此，可以由三个晶圆135形成许多集成存储器模块100。在另一个实施方案中，三个晶圆135a、135b、135c被切割成半导体管芯104、102a、102b。然后，每个半导体管芯104、102a、102b中的一者被接合在一起以形成集成存储器模块100。不管切割是在接合之前还是之后发生，可以说集成存储器模块100包含接合在一起的控制半导体管芯104、第一存储器半导体管芯102a和第二存储器半导体管芯102b。

[0050] 图2A是集成存储器模块100的一个实施方案的框图。存储器管芯102a包含存储器单元的第一平面220。存储器管芯102b包含存储器单元的第二平面230。每个存储器管芯102a、102b可以具有附加的平面。每个平面被分成M个块。在一个示例中，每个平面具有约2000个块。然而，也可以使用不同数量的块。在一个实施方案中，包括存储器单元的块是擦除单位。即，一个块的所有存储器单元一起被擦除。在其他实施方案中，可以出于其他原因将存储器单元分组为块，诸如为了组织存储器结构126以启用信令和选择电路。为每个平面描绘了一个代表性位线(BL)。每个平面可能有数千或数万条这样的位线。如下文更全面地描述，每个块可以被分成若干字线。在一个实施方案中，块表示一组连接的存储器单元，因为块的存储器单元共享一组公共的未断开的字线和未断开的位线。在图2A的结构中，平面220和230两者的块0和块M-1都位于存储器结构的边缘处（或者被称为位于存储器结构的边缘区/部分中）。

[0051] 在一个实施方案中，控制管芯104包括若干感测放大器(SA)250。在该示例中，每个感测放大器250连接到一条位线。在一个实施方案中，感测放大器包含位线驱动器。因此，感测放大器可以向与其连接的位线提供电压。感测放大器被配置为感测位线的状况。在一个实施方案中，感测放大器被配置为感测在位线中流动的电流。在一个实施方案中，感测放大器被配置为感测位线上的电压。

[0052] 控制管芯104包括若干字线驱动器260(1)-260(n)。字线驱动器 260被配置为向字线提供电压。在这个示例中,每个存储器单元块有“n”个字线。在一个实施方案中,每次为存储器阵列操作选择每个平面220、230中的块中的一个块。在一个实施方案中,如果存储器操作是编程或读取,则选择所选块内的一个字线用于存储器操作。在一个实施方案中,如果存储器操作是擦除,则选择所选块内的所有字线用于擦除。字线驱动器 260向存储器管芯102a中的第一选择块(例如,块2)中的字线提供电压,并且还向存储器管芯102b中的第二选择块(例如,块2)中的字线提供电压。在一些实施方案中,单个字线驱动器同时为存储器管芯102a中的第一字线和存储器管芯102b中的第二字线提供电压。因此,可以减少字线驱动器260的数量。

[0053] 控制管芯104还可以包括电荷泵、电压发生器等,其可以用于为字线驱动器260和/或位线驱动器提供电压。图2A中的架构允许这种电荷泵、电压发生器等生成同时输送到两个存储器管芯102a、102b的电压。

[0054] 第一存储器管芯102a在第一存储器管芯102a的第一主表面282上具有若干接合焊盘270(a)、270(b)。可以有“n”个接合焊盘270(a),以从对应的“n”个字线驱动器260(1)-260(n)接收电压。与平面220相关联的每个位线可以有一个接合焊盘270(b)。参考标号270将被用于总体上指代主表面282上的接合焊盘。

[0055] 控制管芯104在控制管芯104的第一主表面284上具有若干接合焊盘 274(a)、274(b)。可以有“n”个接合焊盘274(a)以将电压从对应的“n”个字线驱动器260(1)-260(n)输送到存储器管芯102a。与平面 220相关联的每个位线可以有一个接合焊盘274b。参考标号274将被用于总体上指代主表面282上的接合焊盘。需注意,可以有接合焊盘对270(a)/274(a)和接合焊盘对270(b)/274(b)。在一些实施方案中,接合焊盘270和/或274是覆晶接合焊盘。

[0056] 控制管芯104在控制管芯104的第二主表面288上具有若干接合焊盘 276(a)、276(b)。可以有“n”个接合焊盘276(a)以将电压从对应的“n”个字线驱动器260(1)-260(n)输送到存储器管芯102b。对于与存储器管芯102b上的平面230相关联的每个位线,可以有一个接合焊盘 276b。参考标号276将被用于总体上指代主表面288上的接合焊盘。

[0057] 第二存储器管芯102b在第二存储器管芯102b的第一主表面286上具有若干接合焊盘272(a)、272(b)。可以有“n”个接合焊盘272(a)以从对应的“n”个字线驱动器260(1)-260(n)接收电压。与平面230 相关联的每个位线可以有一个接合焊盘272(b)。参考标号272将被用于总体上指代主表面286上的接合焊盘。需注意,可以有接合焊盘对272(a)/276(a)和接合焊盘对272(b)/276(b)。在一些实施方案中,接合焊盘272和/或276是覆晶接合焊盘。

[0058] 在一个实施方案中,接合焊盘270的图案匹配接合焊盘274的图案。在一个实施方案中,接合焊盘270被接合(例如,覆晶接合)到接合焊盘 274。因此,接合焊盘270、274将第一存储器管芯102a电耦接和物理耦接到控制管芯104。此外,接合焊盘270、274允许第一存储器管芯102a和控制管芯104之间的内部信号传送。在一个实施方案中,接合焊盘272的图案匹配接合焊盘276的图案。在一个实施方案中,接合焊盘272被接合(例如,覆晶接合)到接合焊盘276。因此,接合焊盘272、276将第二存储器管芯102b电耦接和物理耦接到控制管芯104。此外,接合焊盘272、276允许第二存储器管芯102b和控制管芯104之间的内部信号

传送。因此,第一存储器管芯102a、第二存储器管芯102b和控制管芯104接合在一起。

[0059] 在本文中,“内部信号传送”是指管芯102(a)、102(b)、104中的两个管芯之间的信号传送。内部信号传送可以在控制管芯104和第一存储器管芯102(a)之间或者在控制管芯104和第二存储器管芯102(b)之间进行。在某些情况下,内部信号传送是在第一存储器管芯102(a)和第二存储器管芯102(b)之间进行的。内部信号传送允许控制管芯104上的电路控制第一存储器管芯102a中的存储器操作以及并行地控制第二存储器管芯102b中的存储器操作。因此,接合焊盘270、272、274、276可以用于存储器操作信号传送。在本文中,“存储器操作信号传送”指的是与存储器管芯102中的存储器操作相关的任何信号。存储器操作信号传送可以包括但不限于提供电压、提供电流、接收电压、接收电流、感测电压和/或感测电流。

[0060] 接合焊盘270-276可以由例如铜、铝及其合金形成。在接合焊盘272-278和主表面(282-288)之间可以有衬垫。衬垫可以由例如钛/氮化钛堆叠形成。可以通过气相沉积和/或电镀技术施加接合焊盘270-276和衬垫。接合焊盘和衬垫一起可以具有720nm的厚度,但是在其他实施方案中该厚度可以更大或更小。

[0061] 金属互连件和/或通孔可用于将管芯中的各种元件电连接到接合焊盘270-276。描述了可以用金属互连件和/或通孔实现的若干导电通路。例如,感测放大器250可以通过通路212电连接到接合焊盘274(b),或者通过通路214电连接到接合焊盘276(b)。可能有成千上万个这样的感测放大器、通路和接合焊盘。字线驱动器260可以通过通路202电连接到接合焊盘274(a)。需注意,通路202可以包括用于每个字线驱动器260(1)-260(n)的单独的导电通路。同样,对于每个字线驱动器260(1)-260(n),可以有单独的接合焊盘274(a)。存储器管芯102a的块2中的字线可以通过通路204电连接到接合焊盘270(a)。存储器管芯102b的块2中的字线可以通过通路208电连接到接合焊盘272(a)。在图2A中,对于块中对应的“n”个字线,有“n”个通路204和“n”个通路208。同样,可以有“n”个字线驱动器260、“n”个通路202和“n”个通路206。对于每个通路204,可以有单独的一对接合焊盘270(a)、274(a)。对于每个通路208,可以有单独的一对接合焊盘272(a)、276(a)。图6描绘了具有金属互连件和/或通孔的集成存储器模块100的一个实施方案的进一步细节。

[0062] 图2B描绘了集成存储器模块100的另一个实施方案。在图2B所示的实施方案中,感测放大器(SA)250位于第一存储器管芯102a和第二存储器管芯102b上。因此,在集成存储器模块100的实施方案中,接合焊盘270(b)、272(b)、274(b)和276(b)不是必需的。然而,除了接合焊盘270(a)、272(a)、274(a)和276(a)之外,还可以有其他接合焊盘。因此,接合焊盘270、274将第一存储器管芯102a电耦接和物理耦接到控制管芯104。此外,接合焊盘270(a)、274(a)允许第一存储器管芯102a和控制管芯104之间的内部信号传送。此外,接合焊盘272、276将第二存储器管芯102b电耦接和物理耦接到控制管芯104。此外,接合焊盘272(a)、276(a)允许第一存储器管芯102a和控制管芯104之间的内部信号传送。

[0063] 图3A是描绘感测块350的一个实施方案的框图。在一些实施方案中,读取/写入电路128包含许多感测块。单个感测块350被划分成称为感测电路250(1)-250(4)或感测放大器的一个或多个核心部分以及称为管理电路190的公共部分。在一个实施方案中,将存在用于每个位线/NAND串的单独感测电路和用于一组多个(例如,四个或八个)感测电路的一个公共管理电路190。组中的每个感测电路经由数据总线172与相关联的管理电路通信。

因此,存在与一组存储元件(存储器单元)的感测电路通信的一个或多个管理电路。

[0064] 作为示例,感测电路250(1)包括感测电路170,该感测电路通过确定已连接位线中的传导电流是高于还是低于预确定的阈值电平来执行感测。感测可以在读取或验证操作中发生。在编程操作中施加编程电压期间,感测电路还供应位线电压。

[0065] 感测电路可以包括Vb1选择器173、感测节点171、比较电路175和跳闸锁存器174。在施加编程电压期间,Vb1选择器173可将编程启用电压(例如,V<sub>pgm\_enable</sub>)或编程禁止电压(例如,Vb1\_inh)传递到连接到存储器单元的位线。在本文中,“编程启用电压”被定义为施加到使得能够对存储器单元进行编程的存储器单元的电压,同时编程电压(例如V<sub>pgm</sub>)也被施加到存储器单元。在某些实施方案中,编程启用电压被施加到耦接到存储器单元的位线,而编程电压被施加到存储器单元的控制栅极。在本文中,“编程禁止电压”被定义为施加到耦接到存储器单元的位线以禁止存储器单元的编程的电压,同时编程电压(例如V<sub>pgm</sub>)也被施加到存储器单元(例如,施加到存储器单元的控制栅极)。需注意,升压电压(例如,V<sub>pass</sub>)可以与施加到位线的编程禁止电压一起施加到未选择的字线。

[0066] 编程禁止电压被施加到与将不被编程的存储器单元耦接的位线和/或具有通过编程过程的执行已经达到其各自目标阈值电压的存储器单元的位线。这些位线可以被称为“未选择的位线”。编程禁止电压不被施加到具有要被编程的存储器单元的位线(“选择的位线”)。在一个实施方案中,当编程禁止电压被施加到未选择的位线时,位线从NAND沟道被切断。因此,在一个实施方案中,编程禁止电压不被传递到NAND沟道。升压电压被施加到未选择的字线以升高NAND沟道的电势,这禁止对在其控制栅极处接收编程电压的存储器单元进行编程。

[0067] 通过将晶体管的控制栅极电压设置得足够高(例如,高于从Vb1选择器传输的Vb1),晶体管55(例如,nMOS)可以被配置为传输来自Vb1选择器173的Vb1的传输栅极。例如,选择器56可以将电源电压V<sub>dd</sub>(例如3-4V)传输到晶体管55的控制栅极。

[0068] 在诸如读取和验证操作的感测操作期间,晶体管55基于选择器56传输的电压来设置位线电压。位线电压大致等于晶体管的控制栅极电压减去其V<sub>t</sub>(例如,1V)。例如,如果由选择器56传输Vb1+V<sub>t</sub>,则位线电压将为Vb1。这假设源极线为0V。晶体管55根据控制栅极电压钳位位线电压并且作为源极跟随器而不是传输栅极。Vb1选择器173可以传输诸如V<sub>dd</sub>的相对较高电压,其高于晶体管55上的控制栅极电压以提供源极跟随器模式。在感测期间,晶体管55因此对位线充电。

[0069] 在一种方法中,每个感测电路的选择器56可以与其他感测电路的选择器分开控制,以传输Vb1或V<sub>dd</sub>。每个感测电路的Vb1选择器173也可以与其他感测电路的Vb1选择器分开控制。

[0070] 在感测期间,感测节点171被充电直到初始电压,诸如V<sub>sense\_init</sub>=3V。然后,感测节点经由晶体管55连接到位线,并且感测节点的衰减量用于确定存储器单元是处于导电状态还是非导电状态。比较电路175用于在感测时将感测节点电压与跳闸电压进行比较。如果感测节点电压衰减到低于跳闸电压V<sub>trip</sub>,则存储器单元处于导电状态并且其V<sub>t</sub>等于或低于验证信号的电压。如果感测节点电压未衰减到低于V<sub>trip</sub>,则存储器单元处于非导电状态并且其V<sub>t</sub>高于验证信号的电压。感测电路170包括由比较电路175基于存储器单元是处于导电状态还是非导电状态而设置的跳闸锁存器174。跳闸锁存器中的数据可以是

由处理器192读取的位。

[0071] 管理电路190包括处理器192、四组示例性数据锁存器194、195、196、197以及耦接在数据锁存器组194与数据总线120之间的I/O接口 196。可以为每个感测电路提供一组数据锁存器,例如,包括单独锁存器LDL、MDL和UDL。在一些情况下,可以使用附加的数据锁存器。LDL为下页 数据存储一个位,MDL为中间页数据存储一个位,并且UDL为上页数据存储一个位。这是在每个存储器单元八级或三位的存储器设备中。

[0072] 数据页是在给定时间编程的数据单元。在一个实施方案中,一页数据 被编程到一个块的一部分中。例如,页面可以被编程到连接到块中的选择 的字线的存储器单元中。在其他实施方案中,一个页面可以跨越多个块被 编程。例如,页面的第一部分可以被编程到连接到第一存储器管芯102a上的第一块中的第一选择的字线的存储器单元中,并且页面的第二部分可以 被编程到连接到第二存储器管芯102b上的第二块中的第二选择的字线的存储器单元中。页面的确切尺寸、块的确切尺寸都因特定的具体实施而异。在一个示例中,页面存储2048位数据,一页数据被存储在两个块中,其中每个块中有1024位数据,并且存储一页数据的两个块位于不同的存储器管 芯102a、102b中。

[0073] 处理器192执行计算,诸如确定存储在已感测的存储器单元中的数据 以及将所确定的数据存储在该组数据锁存器中。每组数据锁存器194-197 用于在读操作期间存储由处理器192确定的数据位,并且在编程操作期间 存储从数据总线120导入的数据位,该编程操作表示要编程到存储器中的写数据。I/O接口196提供数据锁存器194-197和数据总线120之间的接 口。

[0074] 处理器192还可以用于基于锁存器的状态来确定向位线施加什么电 压。这可用于管理弱编程启用电压施加到位线的幅值和/或时间长度。

[0075] 在读取期间,系统的操作处于状态机112的控制之下,该状态机控制 向寻址的存储器单元提供不同的控制栅极电压。当它逐步通过与存储器支 持的各种存储器状态相对应的各种预定义控制栅极电压时,感测电路可以 在这些电压中的一个电压处跳闸,并且对应输出将经由数据总线172从感 测电路提供给处理器192。此时,处理器192通过考虑感测电路的跳闸事件 和关于来自状态机的经由输入线193施加的控制栅极电压的信息来确定 所得的存储器状态。然后,它计算存储器状态的二进制编码,并将得到的数 据位存储到数据锁存器194-197中。

[0076] 一些具体实施可包括多个处理器192。在一个实施方案中,每个处理 器192将包括输出线(未示出),使得每个输出线被线或在一起。在一些实施方案中,输出线在连接到线或 线之前被反转。该配置使得能够在编程 验证测试期间快速确定编程过程何时完成,因为接收线或的状态机可以确 定何时所有被编程的位达到了期望的水平。例如,当每个位达到其 所需电平时,该位的逻辑零将被发送到线或线(或数据一被反转)。当所有位输 出数据0(或数据一被反转)时,状态机知道终止编程过程。因为每个处理器与八个感测电路通信,所以状态机需要读取线或线八次,或者将逻辑添 加到处理器192以累积相关位线的结果,使得状态机只需要读取一次线或线。类似地,通过正确选择逻辑电平,全局状态机可以检测第 一位何时改 变其状态并相应地改变算法。

[0077] 在存储器单元的编程或验证操作期间,待编程的数据(写入数据)从 数据总线120 存储在该组数据锁存器194-197中,在每个存储器单元三位 的具体实施中存储在LDL、MDL

和UDL锁存器中。

[0078] 在状态机的控制下,编程操作将一组编程电压脉冲施加到所寻址的存储器单元的控制栅极。每个电压脉冲的幅值可以在处理中从先前编程脉冲逐步增加一个步长,该处理被称为增量步进脉冲编程。每个编程电压之后是验证操作以确定存储器单元是否已被编程到所需的存储器状态。在一些情况下,处理器192监控相对于所需存储器状态的读回存储器状态。当两者一致时,处理器192将位线设置为编程禁止模式,诸如通过更新其锁存器。即使将附加的编程脉冲施加到其控制栅极,这也禁止耦接到位线的存储器单元进一步编程。

[0079] 每组数据锁存器194-197可被实现为每个感测电路的数据锁存器的堆叠。在一个实施方案中,每个感测电路250有三个数据锁存器。在一些具体实施中,数据锁存器被实现为移位寄存器,使得存储在其中的并行数据被转换为数据总线120的串行数据,反之亦然。对应于存储器单元的读/写块的所有数据锁存器可以连接在一起以形成块移位寄存器,从而可以通过串行传输输入或输出数据块。具体地讲,读取/写入电路模块组被调整,使得其数据锁存器组将数据按顺序移入或移出数据总线,就如它们是整个读/写块的移位寄存器的一部分一样。

[0080] 数据锁存器识别相关联的存储器单元何时达到编程操作的某些里程碑。例如,锁存器可识别存储器单元的 $V_t$ 低于特定验证电压。数据锁存器指示存储器单元当前是否存储来自一页数据的一个或多个位。例如,LDL锁存器可以用于存储下页数据。当下页位存储在相关联的存储器单元中时,LDL锁存器被翻转(例如,从0到1)。当中间或上页位分别存储在相关联的存储器单元中时,MDL或UDL锁存器被翻转。这在相关联的存储器单元完成编程时发生。

[0081] 图3B是示例性存储器系统300的框图,描绘了控制器122的一个实施方案的更多细节。图3B中的控制器是闪存存储器控制器,但应当注意,集成存储器模块100不限于闪存。因此,控制器122不限于闪存存储器控制器的示例。如本文所用,闪存存储器控制器是管理存储在闪存存储器上的数据并且与主机诸如计算机或电子设备通信的设备。除了本文描述的特定功能外,闪存存储器控制器可以具有各种功能。例如,闪存存储器控制器可以格式化闪存存储器以确保存储器正常运行、映射出坏的闪存存储器单元,并分配备用存储器单元以替换日后的故障单元。备用单元中的部分备用单元可以用来容纳固件以操作闪存存储器控制器并实现其他特征。在操作中,当主机需要从闪存存储器读取数据或向闪存存储器写入数据时,它将与闪存存储器控制器通信。如果主机提供要读取/写入数据的逻辑地址,则闪存存储器控制器可以将主机接收的逻辑地址转换为闪存存储器中的物理地址。(或者,主机可以提供物理地址)。闪存存储器控制器还可执行各种存储器管理功能,诸如但不限于损耗均衡(分配写入以避免损耗否则将被重复写入的特定存储器块)和垃圾收集(在块已满之后,仅将有效的数据页面移动到新块,因此可以擦除并且重用完整块)。

[0082] 控制器122与集成存储器模块100之间的接口可以是任何合适的闪存接口,诸如切换模式200、400或800。在一个实施方案中,存储器系统300可为基于卡的系统,诸如安全数字卡(SD)或微型安全数字(micro-SD)卡。在另选的实施方案中,存储器系统300可为嵌入式存储器系统的一部分。例如,闪存存储器可以嵌入在主机内。在其他示例中,存储器系统300可以是固态驱动器(SSD)的形式。

[0083] 在一些实施方案中,非易失性存储器系统300包括控制器122与集成存储器模块100之间的单个沟道,本文描述的主题不限于具有单个存储器沟道。例如,在一些存储器系统架构中,控制器和存储器管芯之间存在2、4、8个或更多个沟道,取决于控制器的能力。在本文描述的任何实施方案中,即使在附图中示出单个沟道,控制器和存储器管芯之间也可以存在超过一个单个沟道。

[0084] 集成存储器模块100上的存储器单元可以布置在一个或多个平面中。在一个实施方案中,在相同存储器管芯上的不同的平面上的存储器单元组上并行执行存储器操作。在一个实施方案中,在相同集成存储器模块100中的不同存储器管芯上的不同平面上的存储器单元组上并行执行存储器操作。在一个实施方案中,在不同的集成存储器模块100上的存储器单元组上并行执行存储器操作。

[0085] 如图3B中描绘,控制器122包括与主机交接的前端模块308、与一个或多个集成存储器模块100交接的后端模块310,以及执行现在将详细描述的功能的各种其他模块。

[0086] 图3B中描绘的控制器122的部件可采用例如设计用于与其他部件一起使用的封装功能硬件单元(例如,电路)、能够由通常执行相关功能的特定功能的(微)处理器或处理电路执行的程序代码(例如,软件或固件)的一部分,或者与较大系统交接的独立硬件或软件部件的形式。例如,每个模块可包括专用集成电路(ASIC),现场可编程门阵列(FPGA),电路,数字逻辑电路,模拟电路,离散电路、门或任何其他类型的硬件的组合,或者其组合。另选地或除此之外,每个模块可包括存储在处理器可读设备(例如,存储器)中的软件,以对处理器进行编程,以使控制器122执行本文所述的功能。图3B中描绘的架构是可以(或可以不)使用图1中示出的控制器122的部件(即RAM、ROM、处理器、接口)的一个示例性具体实施。

[0087] 再次参考控制器122的模块,缓冲区管理器/总线控制器314管理随机存取存储器(RAM)316中的缓冲区,并且控制控制器122的内部总线仲裁。只读存储器(ROM)318存储系统引导代码。虽然图3B所示为与控制器122分开定位,但在其他实施方案中,RAM 316和ROM 318中的一者或两者可以位于控制器内。在又其他实施方案中,RAM和ROM的部分可以位于控制器122内和控制器之外。此外,在一些具体实施中,控制器122、RAM 316和ROM 318可位于单独的半导体管芯上。

[0088] 前端模块308包括提供与主机或下一级存储控制器的电接口的主机接口320和物理层接口(PHY)322。可以取决于所使用的存储器的类型来选择主机接口320的类型。主机接口320的示例包括但不限于SATA、SATA Express、SAS、光纤通道、USB、PCIe以及NVMe。主机接口320通常便于数据、控制信号和定时信号的传送。

[0089] 后端模块310包括错误校正代码(ECC)引擎324,该ECC引擎对从主机接收的数据字节进行编码,并且对从非易失性存储器读取的数据字节进行解码和错误校正。在一些实施方案中,ECC引擎324为一次存储的每个数据单元(例如,页面)计算奇偶校验位。奇偶校验位(也称为纠错码)可以与数据单元(例如,页)一起存储。在一个实施方案中,奇偶校验位远离数据单元(例如,页面)被存储。在一个实施方案中,控制器122指示集成存储器模块100编程第一存储器管芯102a上的页面的第一部分以及并行地编程第二存储器管芯102b上的页面的第二部分。页面的奇偶校验位可以存储在存储器管芯102a、102b中的任一个上;在存储器管芯102a、102b之间分开;或者存储在其他地方。在一个实施方案中,控制

器122指示集成存储器模块100编程第一存储器管芯102a上的第一页以及并行地编程第二存储器管芯102b上的第二页。第一页的奇偶校验位可以存储在第一存储器管芯102a上,并且第二页的奇偶校验位可以存储在第二存储器管芯102b上。或者,第一和第二页的奇偶校验位可以存储在别处。

[0090] 命令定序器326生成命令序列,诸如编程命令序列和擦除命令序列,以传输到集成存储器模块100。RAID(独立管芯的冗余阵列)模块328管理 RAID奇偶校验的生成和故障数据的恢复。RAID奇偶校验可用作写入到非易失性存储器系统300中的数据的附加级的完整性保护。在一些情况下, RAID模块328可以是ECC引擎324的一部分。需注意,RAID奇偶校验可以作为额外的一个或多个管芯添加,如公共名称所暗示的那样,但也可以在存在的管芯内添加,例如,作为额外的平面、或额外的块、或块内的额外 WL。被配置为连接到集成存储器模块100的存储器接口330向集成存储器模块100提供命令序列,并且从集成存储器模块100接收状态信息。在一个实施方案中,存储器接口330可以是双倍数据速率(DDR)接口,诸如切换模式200、400或800接口。闪存控制层232控制后端模块210的整体操作。

[0091] 图3B所示的系统300的附加部件包括媒体管理层338,该媒体管理层执行集成存储器模块100的存储器单元的损耗均衡。系统300还包括其他分立部件340,诸如外部接口、外部RAM、电阻器、电容器或可与控制器122交接的其他部件。在另选的实施方案中,物理层接口322、RAID模块328、媒体管理层338和缓冲区管理/总线控制器314中的一者或多者是控制器122中不必要的任选部件。

[0092] 闪存转换层(FTL)或媒体管理层(MML)338可被集成为可以处理闪存错误并与主机交接的闪存管理的一部分。具体地讲,MML可以是闪存管理中的模块,并且可以负责NAND管理的内部。具体地讲,MML338可包括存储器设备固件中的算法,该算法将来自主机的写入转换为对集成存储器模块100的存储器126的写入。可能需要MML338,因为:1)存储器可能具有有限的耐久性;2)该存储器126可以只写入多个页面;和/或3)除非将存储器126作为块(或在一些实施方案中作为块内的层)擦除,否则可以不写入存储器。MML338理解存储器126的这些潜在限制,这些限制可能对主机不可见。因此,MML338尝试将来自主机的写入转换为到存储器126中的写入。

[0093] 控制器122可以与一个或多个集成存储器模块100进行交接。在一个实施方案中,控制器122和多个集成存储器模块100(一起包括非易失性存储系统300)实现固态驱动器(SSD),其可以模拟、替换或代替主机(如NAS设备)内、笔记本电脑中、平板电脑中、服务器中等的硬盘驱动器使用。附加地,SSD不需要作为硬盘驱动器工作。

[0094] ECC324、定序器326、RAID328、闪存控制层332、媒体管理层338和/或缓冲区管理/总线控制314中的一者或多者可以称为处理器电路。处理器电路可以仅包括硬件或者包括硬件和软件(包括固件)的组合。例如,由固件编程以执行本文描述的功能的控制器是控制电路的一个示例。处理器电路可以包括处理器、PGA(可编程门阵列)、FPGA(现场可编程门阵列)、ASIC(专用集成电路)、集成电路或其他类型的电路。

[0095] 非易失性存储系统的一些实施方案将包括连接到一个控制器122的一个集成存储器模块100。然而,其他实施方案可以包括与一个或多个控制器122通信的多个集成存储器模块100。在一个示例中,集成存储器模块100可以被分组为一组存储器封装件。每个存储器封装件包括与控制器122通信的一个或多个集成存储器模块100。在一个实施方案中,

存储器封装件包括其上安装有一个或多个集成存储器模块100的印刷电路板(或类似结构)。在一些实施方案中,存储器封装件可以包括模制材料以包封存储器封装件的存储器管芯。在一些实施方案中,控制器122在物理上与任何存储器封装件分离。

[0096] 图4是包括存储器结构126的单片三维存储器阵列的一个示例实施方案的一部分的透视图,该存储器结构126包括多个非易失性存储器单元。例如,图4示出了包括存储器的一个块的一部分。所描绘的结构包括位于交替的介电层和导电层的堆叠上方的一组位线BL,其中垂直列材料延伸穿过介电层和导电层。出于示例目的,将介电层中的一个标记为D,并且将导电层中的一个(也被称为字线层)标记为W。交替的介电层和导电层的数量可以基于特定具体实施要求而变化。一组实施方案包括108-300个交替的介电层和导电层。一个示例实施方案包括96个数据字线层、8个选择层、6个虚设字线层和110个介电层。也可以使用多于或少于108至300个层。在一个实施方案中,交替的介电层和导电层被局部互连件LI分成四个“指状部”或子块。图4示出了两个指状部和两个局部互连件LI。源极线层SL位于交替的介电层和字线层下方。垂直列材料(也称为存储器孔)形成在交替的介电层和导电层的堆叠中。例如,其中一个垂直列/存储器孔被标记为MH。需注意,在图4中,介电层被描绘为透视图,使得读者可以看到位于交替的介电层和导电层的堆叠中的存储器孔。在一个实施方案中,通过用包括电荷俘获材料填充垂直列/存储器孔以创建存储器单元的垂直列来形成NAND串。每个存储器单元可以存储一个或多个数据位。

[0097] 图5是描述用于对组织成阵列的存储器单元的NAND串进行编程的过程500的一个实施方案的流程图。在一个示例实施方案中,使用控制管芯104上的控制电路110,在第一存储器管芯102a与第二存储器管芯102b上并行地执行图5的过程。例如,图5的过程可以在控制管芯104上的状态机112的指导下执行。

[0098] 通常,在编程操作期间(经由选择的字线)施加到控制栅极的编程电压被施加为一系列编程脉冲。一组验证脉冲位于至少一些编程脉冲之间以执行验证。在一些实施方案中,并非所有状态都在编程脉冲之后被验证。在许多具体实施中,编程脉冲的幅值随每个连续脉冲而增大预确定的步长。在图5的步骤540中,将编程电压(V<sub>pgm</sub>)初始化为起始幅值(例如,约12V至16V,或另一个合适的电平),并且将由状态机112维持的编程计数器PC初始化为1。

[0099] 在一个实施方案中,被选择要被编程的存储器单元组(在此称为所选存储器单元)被同时编程,并且包括连接到存储器管芯102a中的第一选择的字线的第一存储器单元和连接到存储器管芯102b中的第二选择的字线的第二存储器单元。可能还有未被选择用于编程的其他存储器单元(未被选择的存储器单元)也连接到第一和第二选择的字线。也就是说,选择的字线也将连接到应该被禁止编程的存储器单元。例如,当数据被写入一组存储器单元时,一些存储器单元将需要保持在擦除状态,因此它们将不被编程。此外,当存储器单元达到它们预期的目标数据状态时,它们将被禁止进一步编程。包括连接到将被禁止编程的选择的字线的存储器单元的那些NAND串(例如,未选择的NAND串)的沟道被升压以禁止编程。当沟道具有升高的电压时,沟道和字线之间的电压差不足以引起编程。为了帮助升压,在步骤542中,存储器系统将对包括连接到将被禁止编程的选择的字线的存储器单元的NAND串的沟道预充电。

[0100] 在步骤544中,包括连接到将被禁止编程的选择的字线的存储器单元的NAND串的

沟道被升压以禁止编程。此类NAND串在本文中被称为“未选择的NAND串”。在一个实施方案中,未选择的字线接收一个或多个升压电压(例如,约7伏至11伏)以执行升压方案。编程禁止电压被施加到耦接未选择的NAND串的位线。

[0101] 在步骤546中,将编程信号V<sub>pgm</sub>的编程脉冲施加到选择的字线。在一个实施方案中,如果NAND串上的存储器单元应该被编程,则对应的位线被偏置在编程启用电压。在本文中,此类NAND串被称为“选择的NAND串”。

[0102] 在步骤546中,将编程脉冲同时地施加到连接到选择的字线的所有存储器单元,使得同时地对连接到选择的字线的所有存储器单元进行编程(除非它们被禁止编程)。例如,控制管芯104上的字线驱动器260用于向第一存储器管芯102a中的第一选择的字线和第二存储器管芯102b中的第二选择的字线提供编程脉冲。因此,连接到第一选择的字线的存储器单元与连接到第二选择的字线的存储器单元同时被编程。因此,编程吞吐量很高。此外,由于第一选择的字线和第二选择的字线位于单独的存储器管芯102a、102b上,所以字线负载保持较低。

[0103] 在步骤548中,已经达到其目标状态的存储器单元被锁定而不能进一步编程。步骤548可以包括在一个或多个验证参考电平执行验证。在一个实施方案中,通过测试被选择用于编程的存储器单元的阈值电压是否已经达到适当验证参考电压来执行验证过程。在步骤548中,在存储器单元已被验证(通过V<sub>t</sub>的测试)存储器单元已经达到其目标状态之后,存储器单元可以被锁定。

[0104] 如果在步骤550中,确定所有存储器单元都已经达到它们的目标阈值电压(通过),则编程过程完成并且成功,因为所有选择的存储器单元都被编程并验证到它们的目标状态。在步骤552中,报告“通过”状态。否则,如果在550中确定不是所有存储器单元都已经达到其目标阈值电压(失败),则编程过程将继续到步骤554。

[0105] 在步骤554中,该存储器系统对尚未达到其相应的目标阈值电压分布的存储器单元的数量进行计数。即,该系统对目前为止无法达到其目标状态的存储器单元的数量进行计数。该计数可以由状态机、控制器122或其他逻辑部件来完成。在一个具体实施中,感测块中的每个感测块将存储其相应的单元的状态(通过/失败)。在一个实施方案中,存在一个总计数,其反映了最后一个验证步骤已经失败的当前正在编程的存储器单元的总数。在另一个实施方案中,为每个数据状态保留单独计数。

[0106] 在步骤556中,确定来自步骤554的计数是否小于或等于预确定的极限。在一个实施方案中,预确定的极限是在存储器单元的页面的读取过程期间可通过纠错码(ECC)校正的位的数量。如果失败的单元的数量小于或等于预确定的极限,则编程过程可以停止并在步骤552中报告“通过”状态。在这种情况下,足够的存储器单元被正确地编程,使得可以在读取过程期间使用ECC来校正校正尚未完全地编程的剩余几个存储器单元。在一些实施方案中,在步骤556中使用的预确定的极限低于在读取过程期间可由纠错码(ECC)校正的位数,以允许未来/附加的错误。当对页面的少于所有的存储器单元进行编程、或比较仅一个数据状态(或少于所有的状态)的计数时,预确定的极限就可以是在存储器单元的页面的读取过程期间ECC可校正的位的数量的一部分(按比例或不按比例)。在一些实施方案中,该极限不是预确定的。相反,它基于已经为页面计数的错误数量、所执行的编程擦除周期数量或其他标准来改变。

[0107] 如果失败的存储器单元的数量不小于预确定的极限,则编程过程在步骤558处继续并且对照编程极限值(PL)检查编程计数器PC。编程极限值的示例包括6、12、16、19和30;然而,可以使用其他值。如果编程计数器PC不小于编程极限值PL,则认为编程过程已经失败并且在步骤562中报告“失败”状态。如果编程计数器PC小于编程极限值PL,则过程在步骤560处继续,在此期间,编程计数器PC递增了1,并且编程电压V<sub>pgm</sub>被步进到下一幅值。例如,下一脉冲将具有比前一脉冲大一个步长(例如,0.1伏至1.0伏的步长)的幅值。在步骤560之后,该过程循环回到步骤542,并且另一个编程脉冲被施加到选择的字线,使得执行图5的编程过程的另一个迭代(步骤542至560)。

[0108] 图6是集成存储器模块100的一个实施方案的框图。在图6所描绘的实施方案中,第一存储器管芯102a被接合到控制管芯104,并且控制管芯104被接合到第二存储器管芯102b。因此,第一半导体管芯、第二半导体管芯和第三半导体管芯接合在一起。这种接合构型类似于图2A所描绘的实施方案。需注意,尽管在相邻管芯对之间描绘了间隙,但是这种间隙可以用环氧树脂或其他树脂或聚合物填充(例如,参见图9)。

[0109] 每个存储器管芯102a、102b包括存储器结构126。存储器结构126a邻近存储器管芯102a的衬底672。存储器结构126b邻近存储器管芯102b的衬底674。在一些实施方案中,衬底672、674由硅晶圆的一部分形成。在该示例中,存储器结构126每个都包括三维存储器阵列。存储器结构126具有与图4所描绘的示例相似的结构。存在许多被介电层分开的字线层(WL)。介电层由字线层之间的间隙表示。因此,字线层和介电层形成堆叠。可能有比图6所描绘的更多的字线层。与图4的示例一样,有延伸穿过堆叠的若干列。在每个堆叠中用参考标号602指代一列602。列包含存储器单元。例如,每一列可以包含一个NAND串。邻近堆叠有许多位线(BL)。

[0110] 字线驱动器260同时向存储器管芯102a中的第一字线642和存储器管芯102b中的第二字线644提供电压。从字线驱动器260到第一字线642的通路包括导电通路632、接合焊盘274a1、接合焊盘270a1和导电通路634。从字线驱动器260到第二字线644的通路包括导电通路632,通过硅通孔(TSV)668、接合焊盘276a1、接合焊盘272a1和导电通路636。导电通路632、634和636可以各自包括一个或多个通孔(其可以相对于管芯的主表面垂直延伸)和一个或多个金属互连件(其可以相对于管芯的主表面水平延伸)。导电通路632、634和636可以包括晶体管或其他电路元件。在一个实施方案中,晶体管实际上可以用于打开或关闭通路。因此,相同的字线驱动器260可用于同时向第一字线642和第二字线644提供电压。其他字线驱动器(图6中未示出)向其他字线提供电压。因此,除了接合焊盘274a1、270a1之外,还有附加的接合焊盘274a、270a。同样,除了接合焊盘276a1、272a1之外,还有附加的接合焊盘276a、272a。如本领域中已知的,接合焊盘可以由例如铜、铝及其合金形成。

[0111] 感测放大器250a与存储器管芯102a中的位线通信。从感测放大器250a到位线的通路包括导电通路652、接合焊盘274b、接合焊盘270b和导电通路634。感测放大器250b与存储器管芯102b中的位线通信。从感测放大器250b到位线的通路包括导电通路654、TSV 656、接合焊盘276b、接合焊盘272b和导电通路648。导电通路652、654和648可以各自包括一个或多个通孔(其可以相对于管芯的主表面垂直延伸)和一个或多个金属互连件(其可以相对于管芯的主表面水平延伸)。金属互连件可以由各种导电金属形成,包括例如本领域中已知的铜和铜合金,并且通孔可以衬有和/或填充有各种导电金属,包括例如本领域已

知的钨、铜和铜合金。导电通路652、654、648可以包括晶体管或其他电路元件。在一个实施方案中,晶体管实际上可以用于打开或关闭通路。

[0112] 控制管芯104具有衬底676,其可以由硅晶圆形成。感测放大器250、字线驱动器260和其他电路620可以形成在衬底676上和/或衬底676中。电路620可以包括一些或全部控制电路110(参见图1A)。在一些实施方案中,感测放大器250、字线驱动器260和/或其他电路620包括CMOS电路。

[0113] 存在允许控制管芯104上的电路与集成存储器模块100外部的实体通信的外部信号路径。因此,控制管芯104上的电路620可以与例如控制器122通信(参见图1A)。可选地,控制管芯104上的电路可以与例如主机140通信。外部通路包括控制管芯104中的通孔658、接合焊盘274c、接合焊盘270c、硅通孔(TSV)660和外部焊盘678。TSV660延伸穿过衬底672。

[0114] 可以在半导体管芯102、104中的集成电路形成之前、期间或之后形成TSV656、660。可通过蚀刻穿过晶圆的孔来形成TSV。例如,可以蚀刻穿过衬底672、676的孔。孔也可以被蚀刻穿过邻近晶圆的材料。然后,可将这些孔衬有防金属扩散的阻挡。阻挡层又可以衬有种子层,并且种子层可以镀有电导体,诸如铜,尽管可以使用其他合适的材料,诸如铝、锡、镍、金、掺杂的多晶硅以及合金或其组合。

[0115] 对图6所描绘的实施方案的许多修改是可行的。一种修改是使感测放大器250a于第一存储器管芯102a上,以及使感测放大器250b位于第二存储器管芯102b上。

[0116] 图7是集成存储器模块100的一个实施方案的框图。在图7所描绘的实施方案中,第一存储器管芯102a被接合到第二存储器管芯102b,并且第一存储器管芯102a被接合到控制管芯104。具体地,第二存储器管芯102b的第一主表面786上的接合焊盘702被接合到第一存储器管芯102a的第一主表面782上的接合焊盘704。此外,第一存储器管芯102a的第二主表面790上的接合焊盘706被接合到控制管芯104的第一主表面784上的接合焊盘708。因此,第一半导体管芯、第二半导体管芯和第三半导体管芯接合在一起。需注意,可以有不同于图7所描绘的其他接合焊盘。另外,需注意,尽管在相邻管芯对之间描绘了间隙,但是这种间隙可以用环氧树脂或其他树脂或聚合物填充(例如,参见图10)。在一些实施方案中,接合焊盘702、704、706和/或708是覆晶接合焊盘。

[0117] 存在允许控制管芯104上的字线驱动器260向存储器管芯102a、102b中的字线输送电压的内部信号路径。内部信号通路包括控制管芯104中的通路732、接合焊盘708a、接合焊盘706a、TSV734以及到第一存储器管芯102a中的字线744的通路736。内部信号路径还包括通路737、接合焊盘704a、接合焊盘702a以及到第二存储器管芯102b中的字线742的通路738。TSV734延伸穿过衬底674。

[0118] 存在允许控制管芯104上的电路620与集成存储器模块100外部的实体通信的外部信号路径。因此,控制管芯104上的电路620可以与例如控制器122通信(参见图1A)。可选地,控制管芯104上的电路可以与例如主机140通信。外部通路包括控制管芯104中的通孔740、接合焊盘708b、接合焊盘706b、硅通孔(TSV)746和外部焊盘778。TSV746延伸穿过衬底674。

[0119] 对图7所描绘实施方案的许多修改是可行的。一种修改是使感测放大器250位于控制管芯104上。

[0120] 图8描绘了半导体管芯的平坦表面上的接合焊盘的示例图案。半导体管芯可以是第一存储器管芯102a、第二存储器管芯102b或控制管芯104中的任何一者。接合焊盘可以是适合于半导体管芯的接合焊盘270、272、274或276中的任何一个。可选地,接合焊盘可以是接合焊盘702、704、706或708中的任何一个(参见图7)。可能有比图8所描绘的更多的接合焊盘。作为一个示例,在两个半导体管芯之间可能需要100,000或更多的互连件。为了支持如此大量的电互连件,接合焊盘可以具有小的面积和间距。一些实施方案中,接合焊盘是覆晶接合焊盘。

[0121] 在一些实施方案中,在所谓的Cu-Cu接合工艺中,接合焊盘在没有焊料或其他附加材料的情况下直接彼此接合。在Cu-Cu接合工艺中,接合焊盘被控制为高度平坦的,并且形成在高度受控的环境中,该环境基本上没有环境颗粒,否则该环境颗粒可能沉积在接合焊盘上并阻止紧密接合。在这种适当控制的条件下,接合焊盘对准并彼此压靠,以基于表面张力形成相互接合。这种接合可以在室温下形成,尽管也可以施加热量。在使用Cu-Cu接合的实施方案中,接合焊盘可以是大约 $5\mu\text{m}$ 见方,并且以 $3\mu\text{m}$ 到 $5\mu\text{m}$ 的间距彼此隔开。虽然该工艺在本文中被称为Cu-Cu接合,但是该术语也可以适用于接合焊盘由除铜之外的材料形成的情况。

[0122] 当接合焊盘的面积小时,可能难以将第二半导体管芯接合在一起。通过在包括接合焊盘的半导体管芯的表面上提供膜层,可以进一步减小接合焊盘的尺寸和间距。膜层设置在接合焊盘周围。当管芯被放在一起时,接合焊盘可以彼此接合,并且各个管芯上的膜层可以彼此接合。这种接合技术可以称为混合接合。在使用混合接合的实施方案中,接合焊盘可以是大约 $3\mu\text{m}$ 见方,并且以 $1\mu\text{m}$ 到 $5\mu\text{m}$ 的间距彼此隔开。可以使用接合技术来提供具有更小尺寸和间距的接合焊盘。

[0123] 如上所述,一些实施方案可以包括管芯102、104表面上的膜。如果最初没有提供这样的膜,则可以用环氧树脂或其他树脂或聚合物在底部填充管芯之间的空间。底部填充材料可作为液体施加,然后使其硬化为固态层。该底部填充的步骤保护了管芯102、104之间的电连接,并进一步将管芯固定在一起。各种材料可用作底部填充材料,但在实施方案中,底部填充材料可以是来自Henkel公司的Hysol环氧树脂,该公司在美国加利福尼亚州设有办事处。

[0124] 集成存储器模块100中的半导体管芯102、104可以通过最初将相应的管芯102、104上的接合焊盘彼此对准而彼此接合。此后,接合焊盘可以通过多种接合技术中的任何一种接合在一起,部分取决于接合焊盘尺寸和接合焊盘间隔(即,接合焊盘间距)。接合焊盘的尺寸和间距又可以由第一半导体管芯和第二半导体管芯102和104之间所需的电互连件的数量来决定。在一些实施方案中,管芯102a、102b、104的接合在切割晶圆之前进行。因此,几个晶圆135a、135b、135c可以接合在一起,然后被切割。在一些实施方案中,管芯102a、102b、104的接合在切割晶圆之后进行。

[0125] 图9描绘了集成存储器模块100的实施方案的侧视图。集成存储器模块100与图2A和图6的示例一致。第一存储器管芯102a被描绘为接合到控制管芯104,并且控制管芯104被描绘为接合到第二存储器管芯102b。因此,第一存储器管芯102a、第二存储器管芯102b和控制管芯104接合在一起。描绘了一些接合焊盘270、272、274和276。可能有更多的接合焊盘。管芯102、104之间的空间填充有固体层148,该固体层可以由前述环氧树脂或其他

树脂或聚合物形成。

[0126] 图10描绘了集成存储器模块100的实施方案的侧视图。集成存储器模块100与图7的示例一致。第一存储器管芯102a被描绘为接合到第二存储器管芯102b,并且控制管芯104被描绘为接合到第一存储器管芯102a。因此,第一存储器管芯102a、第二存储器管芯102b和控制管芯104接合在一起。描绘了一些接合焊盘702、704、706和708。可能有更多的接合焊盘。管芯102、104之间的空间填充有固体层148,该固体层可以由前述环氧树脂或其他树脂或聚合物形成。

[0127] 图11是操作包括集成存储器模块100的非易失性存储器的过程1100的一个实施方案的流程图。过程1100可用于在第一存储器管芯102a和第二存储器102b中并行执行存储器操作。存储器操作可以被编程、读取或擦除。过程1100可以使用本文描述的任何内部信号路径,以便在管芯102(a)、102(b)、104之间传送信号(例如,电压、电流),但是不限于本文描述的示例。

[0128] 步骤1102包括从控制半导体管芯104通过第一对接合焊盘向第一半导体管芯102a上的非易失性存储器单元的第一三维阵列中的第一选择块提供一组存储器操作电压。接合焊盘的第一焊盘将第一半导体管芯电耦接到物理耦接到第二半导体管芯。

[0129] 在与图6一致的一个实施方案中,步骤1102包括从控制管芯104上的WL驱动器260(1)-260(n)通过接合焊盘对272(a)/276(a)向第一存储器管芯102a中的选择块中的字线提供电压。在一些实施方案中,电压包括到选择的字线的电压和到未选择的字线的电压。

[0130] 在与图7一致的另一实施方案中,步骤1102包括从控制管芯104上的WL驱动器260(1)-260(n)通过接合焊盘对708(a)/706(a)向第一存储器管芯102a中的选择块中的字线提供电压。在一些实施方案中,电压包括到选择的字线的电压和到未选择的字线的电压。

[0131] 步骤1104包括从控制半导体管芯104通过第二对接合焊盘向第二存储器半导体管芯102(b)上的非易失性存储器单元的第二三维阵列中的第二选择块提供该组存储器操作电压。该组存储器操作电压被并行提供给第一存储器管芯102(a)和第二存储器管芯102(b),以便并行控制第一选择块和第二选择块中的存储器操作。

[0132] 在与图6一致的一个实施方案中,步骤1104包括从控制管芯104上的WL驱动器260(1)-260(n)通过接合焊盘对276(a)/272(a)向第二存储器管芯102b中的选择块中的字线提供电压。在一些实施方案中,电压包括到选择的字线的电压和到未选择的字线的电压。

[0133] 在与图7一致的另一实施方案中,步骤1104包括从控制管芯104上的WL驱动器260(1)-260(n)通过接合焊盘对704(a)/702(a)向第二存储器管芯102b中的选择块中的字线提供电压。在一些实施方案中,电压包括到选择的字线的电压和到未选择的字线的电压。

[0134] 在与图6一致的一个实施方案中,第二组接合焊盘对将控制管芯104电耦接到物理耦接到第二存储器管芯102b。在与图7一致的一个实施方案中,第二对接合焊盘将第一存储器管芯102a电耦接到物理耦接到第二存储器管芯102b。

[0135] 图12是集成存储器模块中的并行编程的过程1200的一个实施方案的流程图。过程1200可用于并行地编程第一存储器管芯102a上的第一组存储器单元与第二存储器102b上的第二组存储器单元。过程1200可以使用本文描述的任何内部信号路径,以便在管芯102(a)、102(b)、104之间传送信号(例如,电压、电流),但是不限于本文描述的示例。在一些实施方案中,即使第一存储器管芯102a上的存储器单元与第二存储器管芯102b上的存

存储器单元被并行编程,控制管芯104可以独立于第二存储器管芯102b上的存储器单元擦除第一存储器管芯102a上的存储器单元。

[0136] 步骤1202包括在控制管芯104处接收数据单元。该过程可用于对每个存储器单元编程一位,或对每个存储器单元编程多位。在每个存储器单元编程一位的一个实施方案中,数据单元是一页数据。在这种情况下,页面的第一部分被编程到第一存储器管芯102a上的存储器单元中,并且页面的第二部分被编程到第二存储器管芯102b上的存储器单元中。在每个存储器单元编程一位的一个实施方案中,数据单元的单元是两页数据。在这种情况下,第一页被编程到第一存储器管芯102a上的存储器单元中,并且第二页被编程到第二存储器管芯102b上的存储器单元中。

[0137] 对每个存储器管芯102编程整页或部分页的概念可以扩展到每个存储器单元编程多个位的情况。在一个实施方案中,当对每个存储器单元编程两位时,在第一存储器管芯102a上的存储器单元中编程两个全页,并且在第二存储器管芯102b上的存储器单元中编程两个全页。在一个实施方案中,当对每个存储器单元编程两位时,在第一存储器管芯102a上的存储器单元中编程两个部分页,并且在第二存储器管芯102b上的存储器单元中编程两个部分页。需注意,在部分页面示例中,页面尺寸可能更大。

[0138] 步骤1204包括将数据的一部分(例如,一半)传送到与存储器管芯102a相关联的感测放大器250中的锁存器。感测放大器位于控制管芯104上。如上所述,这部分数据可以是整个页面或页面的一部分。步骤1204还可以包括将页面的奇偶校验位传送到感测放大器250中的锁存器。

[0139] 步骤1206包括将数据的一部分(例如,一半)传送到与存储器管芯102b相关联的感测放大器250中的锁存器。感测放大器位于控制管芯104上。步骤1206还可以包括将页面的奇偶校验位传送到感测放大器250中的锁存器。

[0140] 步骤1208包括将一个或多个编程电压施加到第一存储器管芯102a中的第一选择的字线,同时将一个或多个编程电压施加到第二存储器管芯102b中的第二选择的字线。在一个实施方案中,编程电压由控制管芯104上的相同字线驱动器提供。因此,过程1200是并行控制第一存储器管芯102(a)和第二存储器管芯102(b)中的存储器单元上的存储器操作的一个实施方案。

[0141] 图13是集成存储器模块中的并行感测的过程1300的一个实施方案的流程图。过程1300可以用于感测第一存储器管芯102a上的第一组存储器单元以及并行地感测第二存储器管芯102b上的第二组存储器单元。在一个实施方案中,感测操作是读取操作。在一个实施方案中,感测操作是程序验证。过程1300可以使用本文描述的任何内部信号路径,以便在管芯102(a)、102(b)、104之间传送信号(例如,电压、电流),但是不限于本文描述的示例。

[0142] 步骤1302包括使用WL驱动器260向第一存储器管芯102a中的第一选择的字线施加一个或多个读取比较电压以及并行地向第二存储器管芯102b中的第二选择的字线施加一个或多个读取比较电压。在一个实施方案中,WL驱动器260位于控制管芯104上。

[0143] 步骤1304包括使用控制管芯104上的第一组感测放大器250感测第一存储器管芯102a中的位线。在一个实施方案中,步骤1304包括通过接合焊盘270b感测第一存储器管芯102(a)中的第一选择块的位线。在一个实施方案中,步骤1304包括通过接合焊盘274b感测第一存储器管芯102(a)中的第一选择块的位线。在一个实施方案中,步骤1304包括通过接

合焊盘270b和接合焊盘274b感测第一存储器管芯102(a)中的第一选择块的位线。

[0144] 步骤1306包括使用控制管芯104上的第二组感测放大器250感测第二存储器管芯102b中的位线。在一个实施方案中,步骤1306包括通过接合焊盘272b感测第二存储器管芯102(b)中的第二选择块的位线。在一个实施方案中,步骤1306包括通过接合焊盘276b感测第二存储器管芯102(b)中的第二选择块的位线。在一个实施方案中,步骤1306包括通过接合焊盘272b和接合焊盘276b感测第二存储器管芯102(b)中的第二选择块的位线。

[0145] 步骤1304和1306并行执行。因此,过程1300是并行控制第一存储器管芯102(a)和第二存储器管芯102(b)中的存储器单元上的存储器操作的一个实施方案。

[0146] 第一实施方案包括一种装置,所述装置包括包含第一非易失性存储器单元的第一半导体管芯、包含第二非易失性存储器单元的第二半导体管芯以及包含控制电路的第三半导体管芯。所述第一半导体管芯、所述第二半导体管芯和所述第三半导体管芯接合在一起。所述控制电路被配置为控制所述第一存储器单元中的存储器操作以及并行地控制所述第二存储器单元中的存储器操作。

[0147] 在第二实施方案中,在第一实施方案的基础上,所述控制电路被进一步配置为将数据编程到连接到所述第一半导体管芯中的第一字线的第一组第一非易失性存储器单元中以及并行地将数据编程到连接到所述第二半导体管芯中的第二字线的第二组第二非易失性存储器单元中。

[0148] 在第三实施方案中,为了推进第一或第二实施方案,所述控制电路被进一步配置为将页面的第一部分编程到所述第一组中以及并行地将页面的第二部分编程到所述第二组中。

[0149] 在第四实施方案中,为了推进第一至第三实施方案中的任何一个,所述控制电路被进一步配置为从连接到所述第一半导体管芯中的第一字线的存储器单元读取数据以及并行地从连接到所述第二半导体管芯中的第二字线的存储器单元读取数据。

[0150] 在第五实施方案中,为了推进第一至第四实施方案中的任何一个,所述控制电路包括被配置为向所述第一半导体管芯和所述第二半导体管芯两者提供用于存储器操作的电压的电路。

[0151] 在第六实施方案中,为了推进第一至第五实施方案中的任何一个,所述第三半导体管芯被接合到所述第一半导体管芯;并且所述第三半导体管芯接合到所述第二半导体管芯。

[0152] 在第七实施方案中,为了推进第一至第五实施方案中的任何一个,所述第三半导体管芯被接合到所述第一半导体管芯;并且所述第一半导体管芯接合到所述第二半导体管芯。

[0153] 在第八实施方案中,为了推进第一至第七实施方案中的任何一个,所述控制电路包括:第一多个感测放大器,所述第一多个感测放大器通过第一组接合焊盘连接到所述第一半导体管芯上的第一位线;以及第二多个感测放大器,所述第二多个感测放大器通过第二组接合焊盘连接到所述第二半导体管芯上的第二位线。

[0154] 在第九实施方案中,为了推进第一至第八实施方案中的任何一个,所述控制电路包括:字线驱动器,所述字线驱动器连接到所述第一半导体管芯上的第一字线和所述第二半导体管芯上的第二字线。所述控制电路被配置为控制所述字线驱动器向所述第一字线

和所述第二字线同时输送电压。

[0155] 在第十实施方案中,为了推进第一至第六、第八或第九实施方案中的任何一个,所述第一半导体管芯包括第一组接合焊盘;所述第二半导体管芯包括第二组接合焊盘;所述第三半导体管芯包括第三组接合焊盘,所述第三组接合焊盘接合到所述第一组接合焊盘,以将所述第三半导体管芯电耦接和物理耦接到所述第一半导体管芯,并且允许所述第一半导体管芯和所述第三半导体管芯之间的内部信号传送;并且所述第三半导体管芯包括第四组接合焊盘,所述第四组接合焊盘接合到所述第二组接合焊盘,以将所述第三半导体管芯电耦接和物理耦接到所述第二半导体管芯,并且允许所述第二半导体管芯和所述第三半导体管芯之间的内部信号传送。

[0156] 在第十一实施方案中,为了推进第一至第五或第七至第九实施方案中的任何一个,所述第一半导体管芯包括第一组接合焊盘;所述第二半导体管芯包括第二组接合焊盘;所述第三半导体管芯包括第三组接合焊盘,所述第三组接合焊盘接合到所述第一组接合焊盘,以将所述第三半导体管芯电耦接和物理耦接到所述第一半导体管芯,并且允许所述第一半导体管芯和所述第三半导体管芯之间的内部信号传送;并且所述第一半导体管芯还包括第四组接合焊盘,所述第四组接合焊盘接合到所述第二组接合焊盘,以将所述第二半导体管芯电耦接和物理耦接到所述第一半导体管芯,并且允许所述第二半导体管芯和所述第一半导体管芯之间的内部信号传送。

[0157] 一个实施方案包括一种操作非易失性存储器的方法。所述方法包括从控制半导体管芯通过第一对接合焊盘向第一存储器半导体管芯上的非易失性存储器单元的第一三维阵列中的第一选择块提供一组存储器操作电压。第一对接合焊盘将所述控制半导体管芯电耦接和物理耦接到所述第一存储器半导体管芯。所述方法还包括从所述控制半导体管芯通过第二对接合焊盘向第二存储器半导体管芯上的非易失性存储器单元的第二三维阵列中的第二选择块提供所述一组存储器操作电压。所述一组存储器操作电压被并行地提供给所述第一存储器半导体管芯和所述第二存储器半导体管芯,以便并行地控制所述第一选择块和所述第二选择块中的存储器操作。所述第二对接合焊盘将所述控制半导体管芯电耦接和物理耦接到所述第二存储器半导体管芯,或者将所述第一存储器半导体管芯电耦接和物理耦接到所述第二存储器半导体管芯。

[0158] 一个实施方案包括集成存储器模块,所述集成存储器模块包括:第一半导体管芯,所述第一半导体管芯包括非易失性存储器单元的第一三维阵列;第二半导体管芯,所述第二半导体管芯包括非易失性存储器单元的第二三维阵列;第三半导体管芯,所述第三半导体管芯包括被配置为控制所述第一三维阵列中的存储器操作以及并行地控制所述第二三维阵列中的存储器操作的控制电路。所述集成存储器模块还包括第一对接合焊盘,所述第一对接合焊盘被配置为将所述第一半导体管芯电耦接和物理耦接到所述第三半导体管芯。所述第一对接合焊盘被配置为允许所述第一半导体管芯和所述第三半导体管芯之间的存储器操作信号传送。所述集成存储器模块还包括第二对接合焊盘,所述第二对接合焊盘被配置为将所述第二半导体管芯电耦接和物理耦接到所述第三半导体管芯,或者将所述第一半导体管芯电耦接和物理耦接到所述第二半导体管芯。所述第二对接合焊盘被进一步配置为允许在所述第二半导体管芯和所述第三半导体管芯之间或者在所述第一半导体管芯和所述第二半导体管芯之间传送存储器操作信号。

[0159] 已出于例证和描述的目的提出本发明的上述具体实施方式。它并非旨在穷尽的或将本发明限制为所公开的精确形式。根据以上教导内容,很多修改和变型都是可能的。选择所述实施方案是为了最佳地阐明本发明的原理以及其实际应用,以由此使得本领域的其他技术人员能够最佳地在各种实施方案中使用具有适合于所构想的特定用途的各种修改的本发明。本发明的范围旨在由所附权利要求书限定。

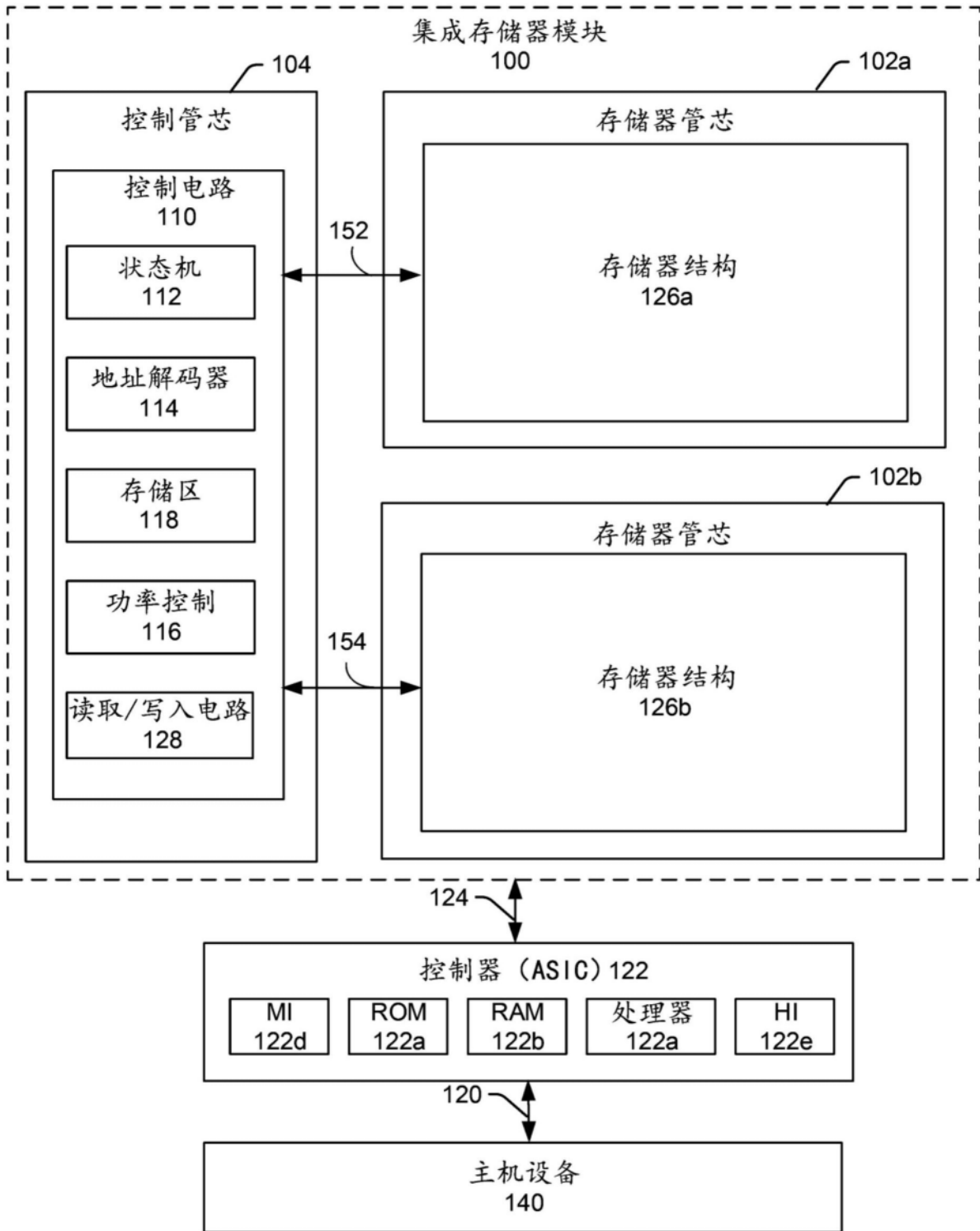


图1A

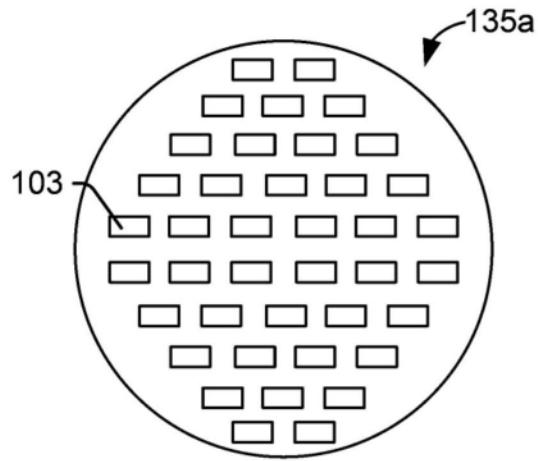


图1B

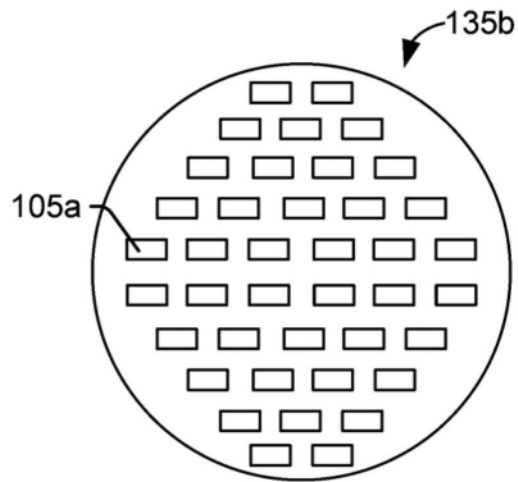


图1C

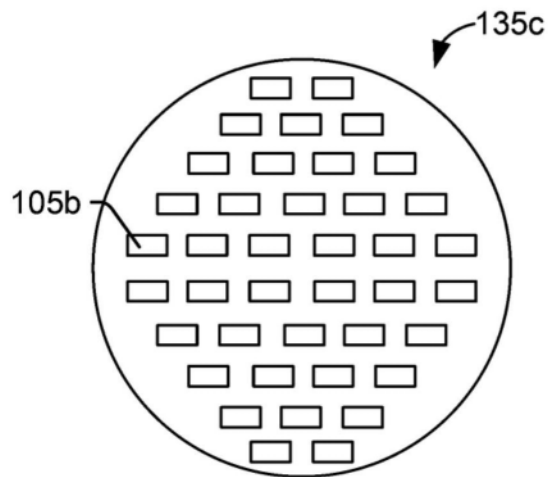


图1D

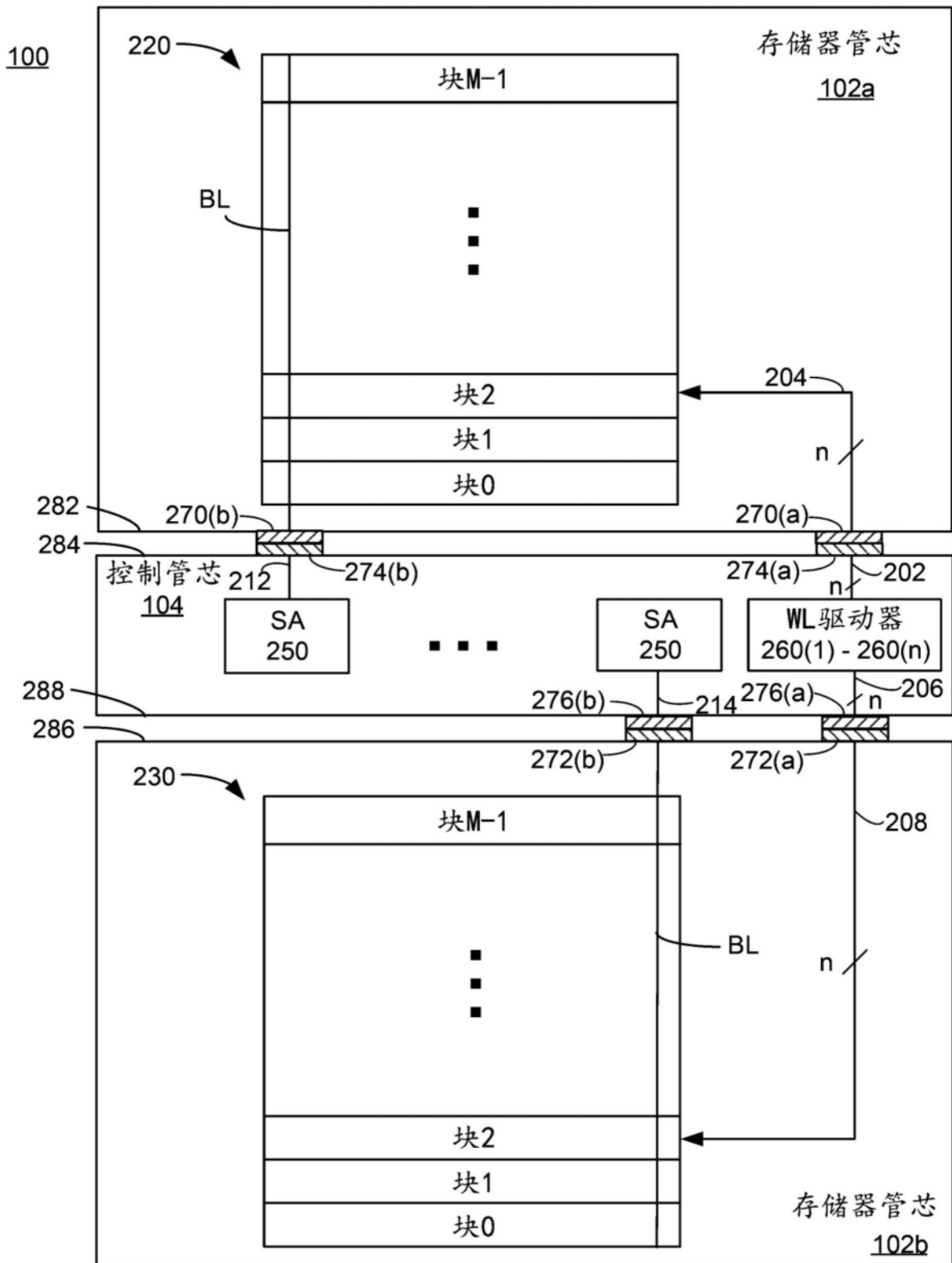


图2A

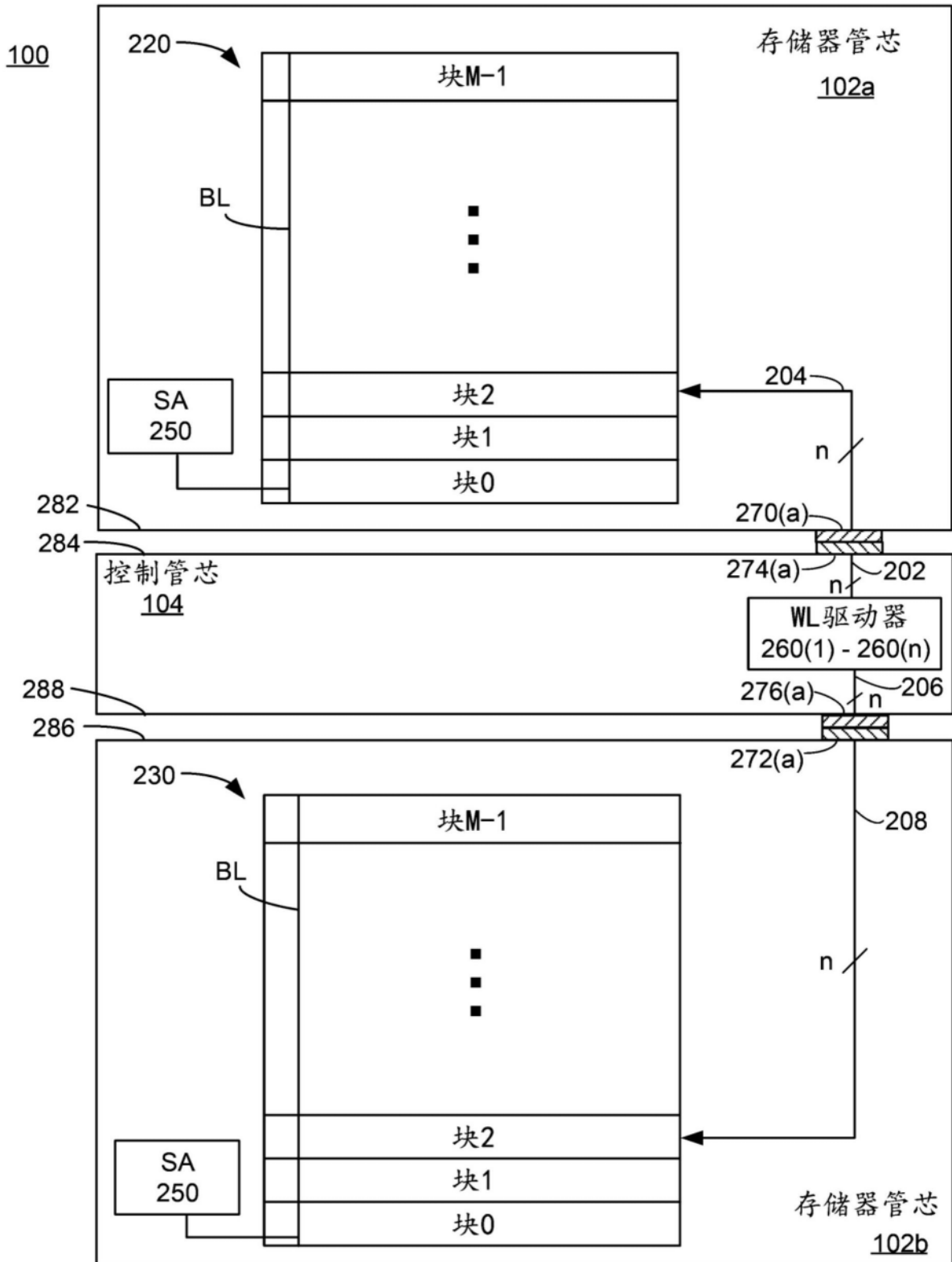


图2B

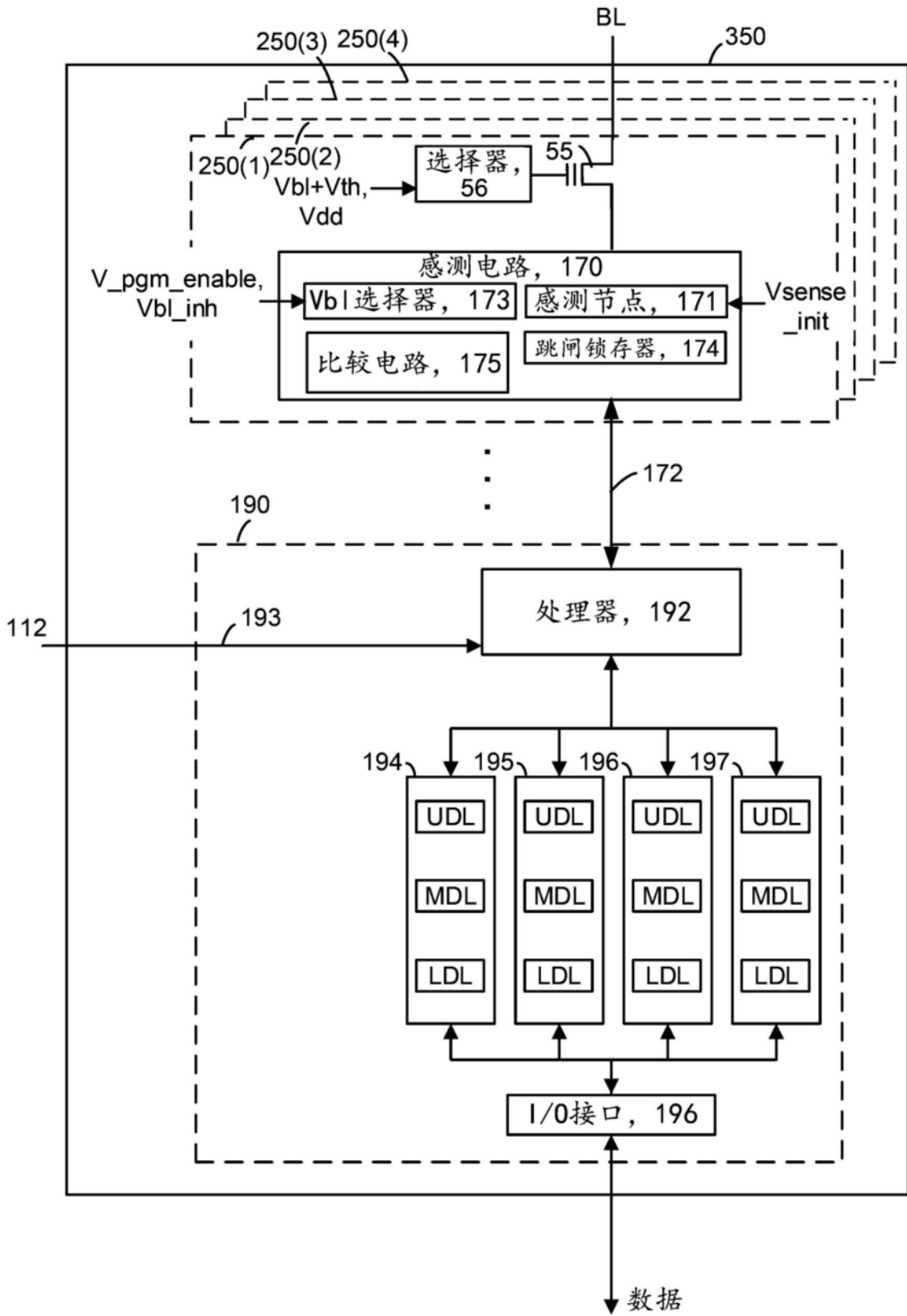


图3A

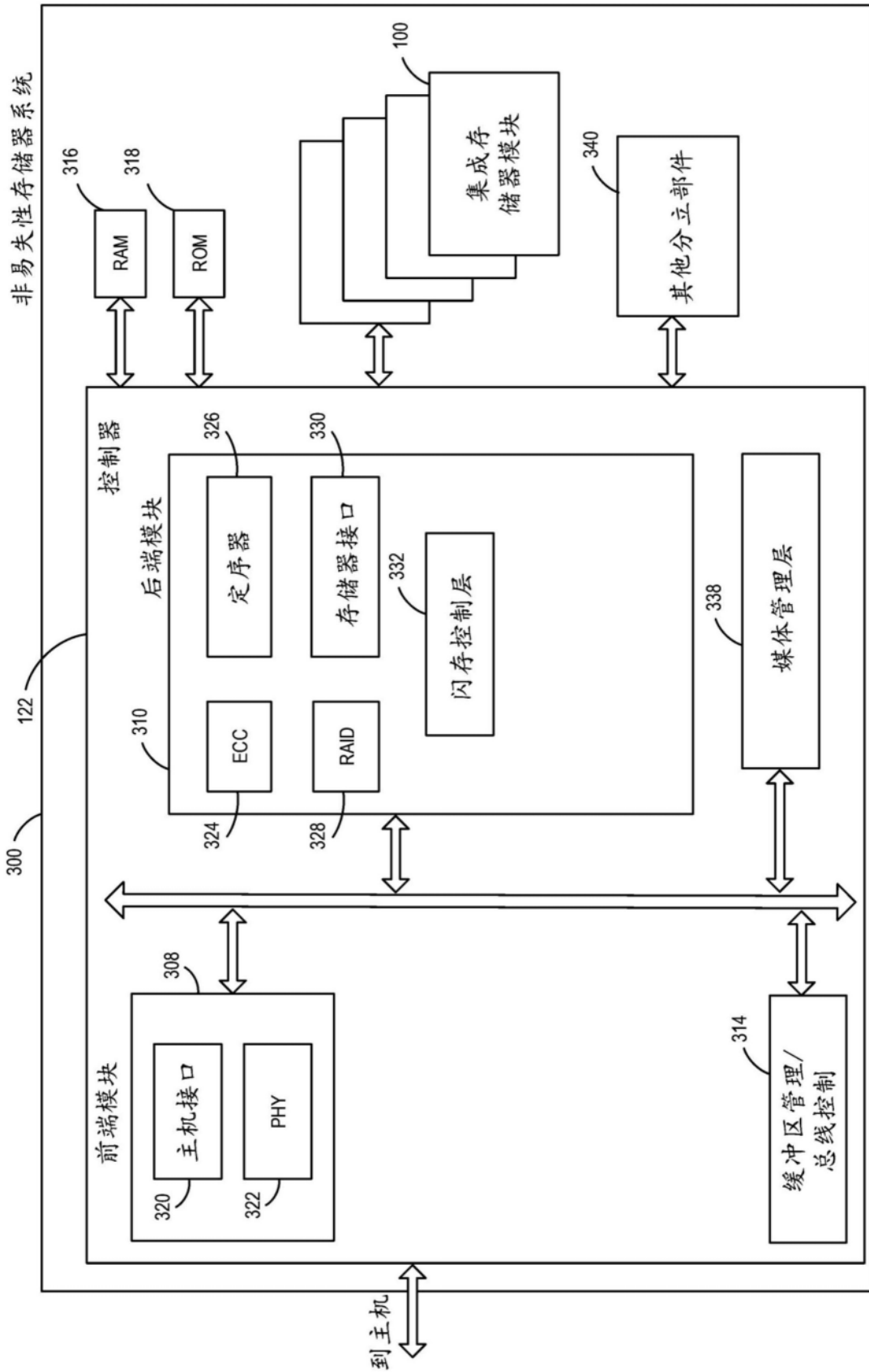


图3B

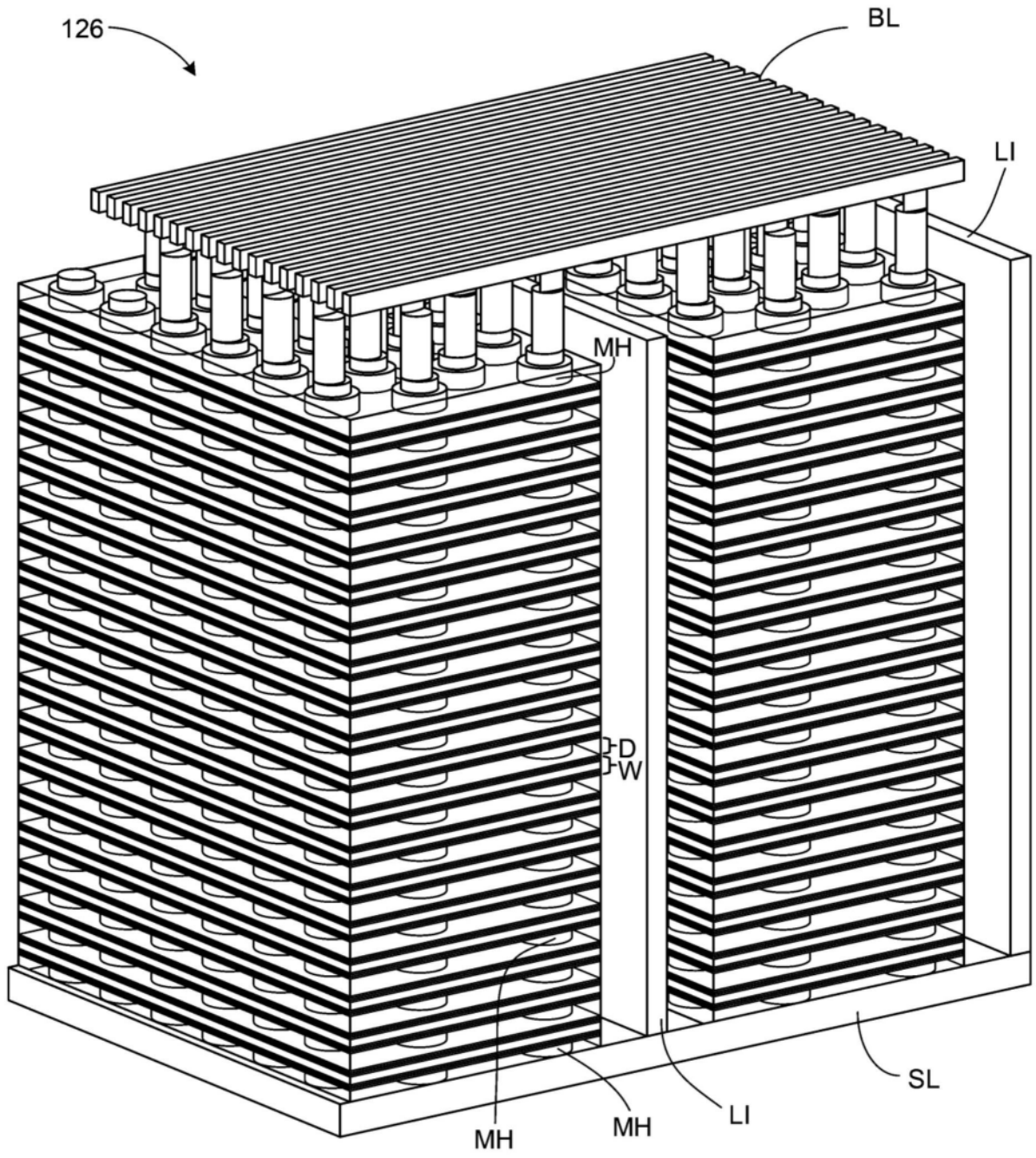


图4

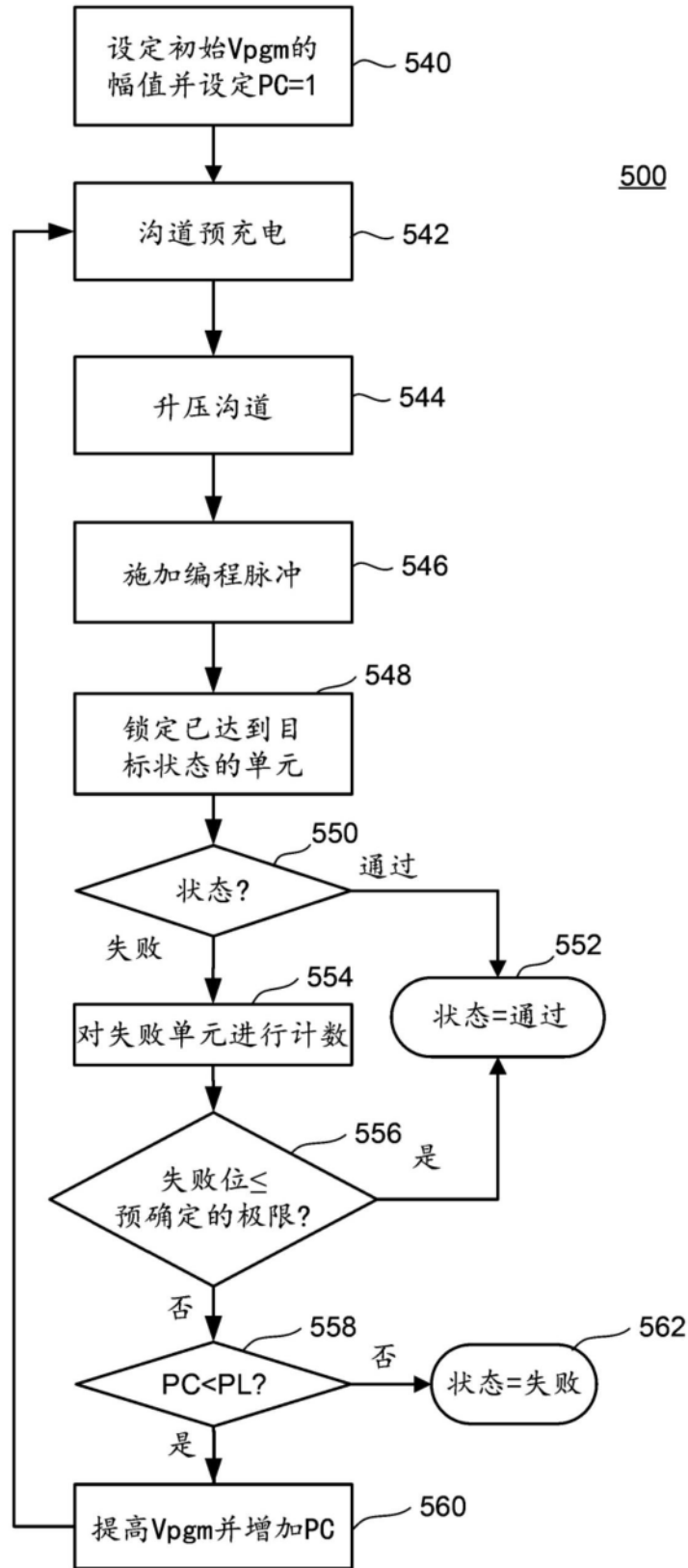


图5

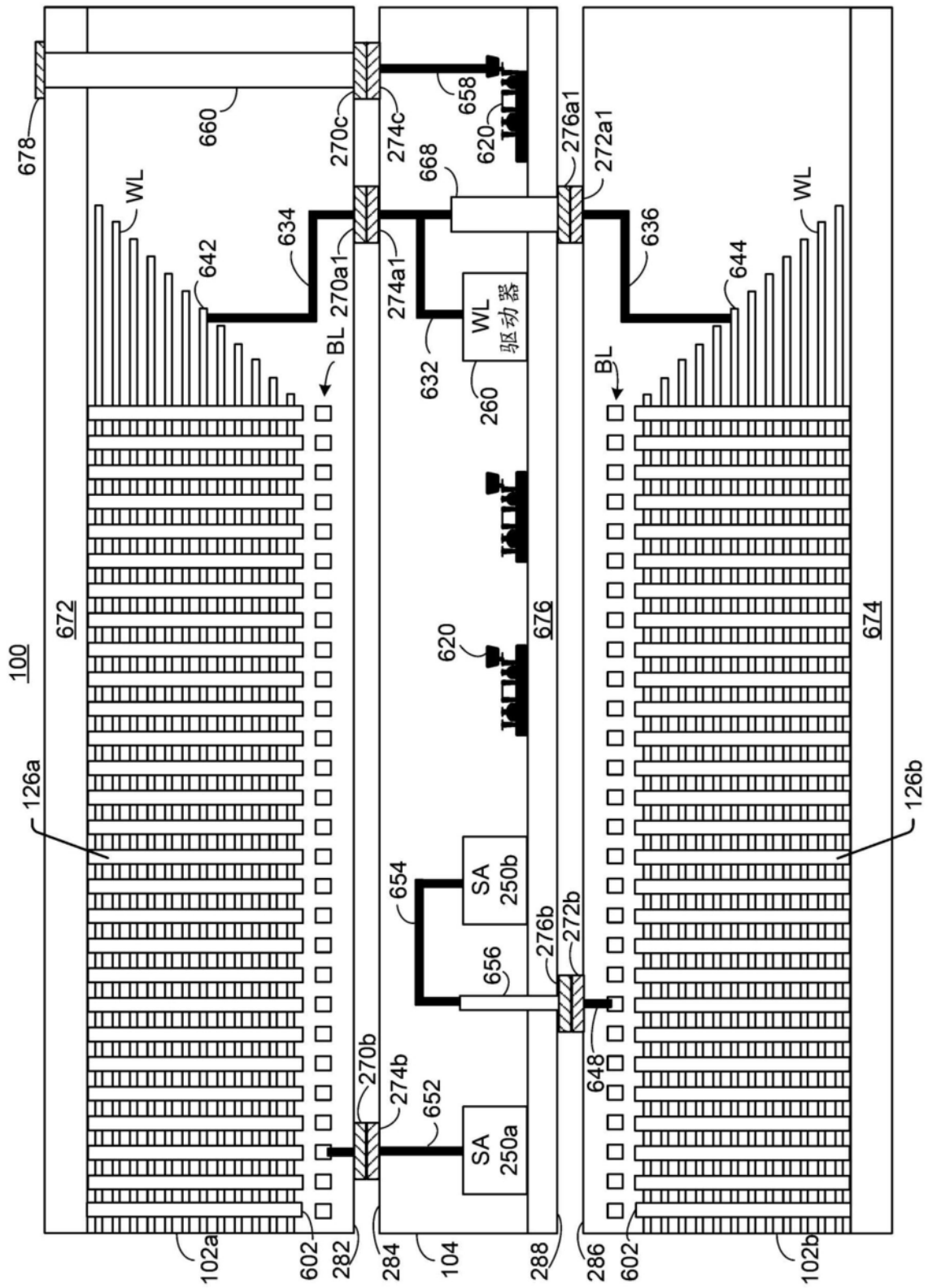


图6



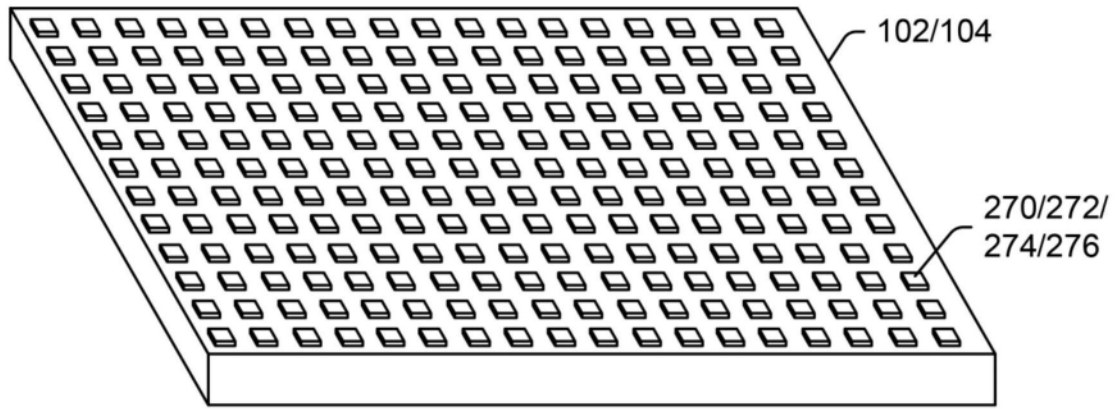


图8

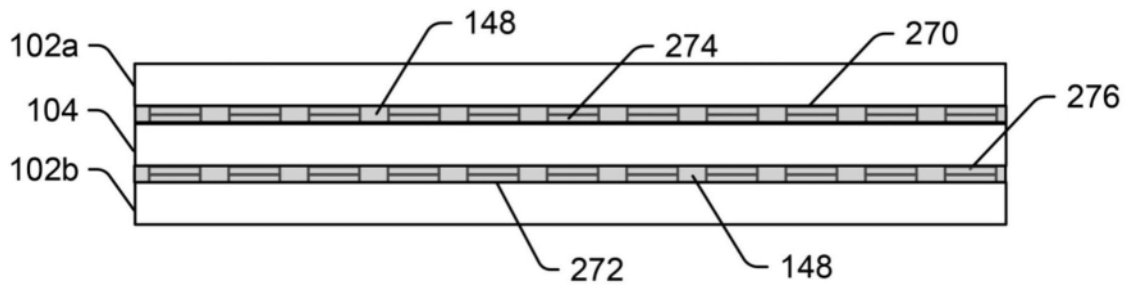


图9

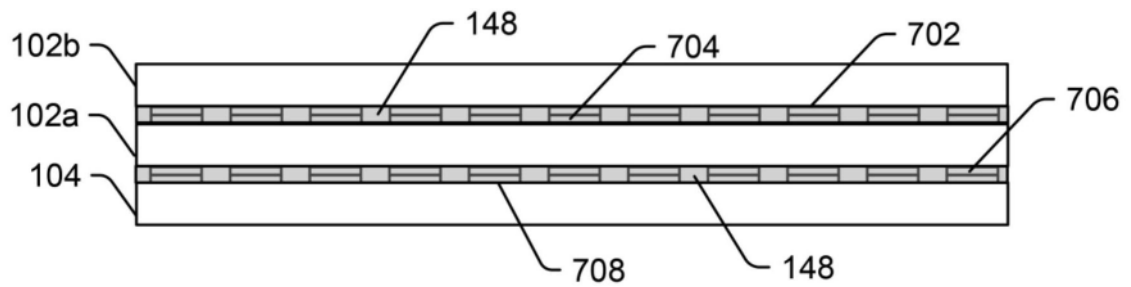


图10

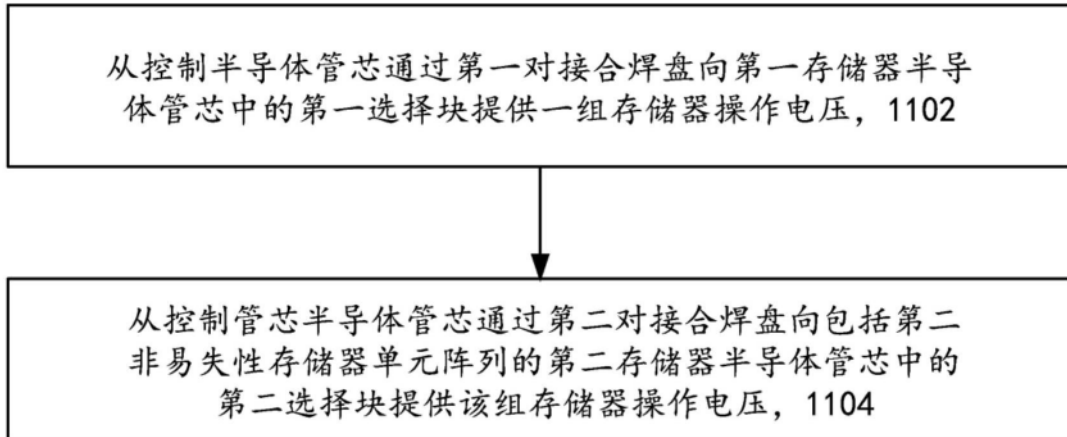
1100

图11

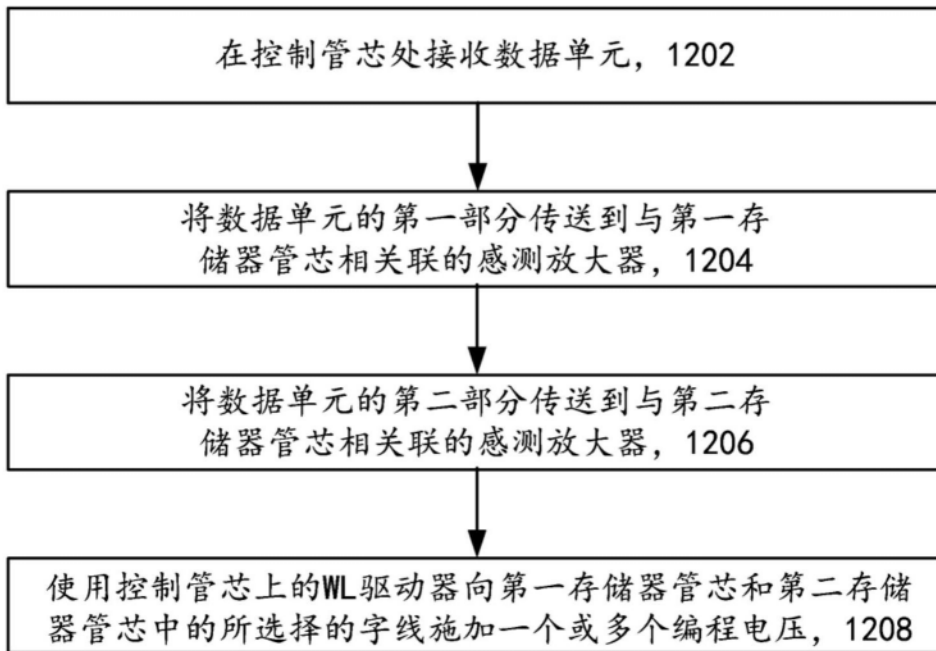
1200

图12

1300

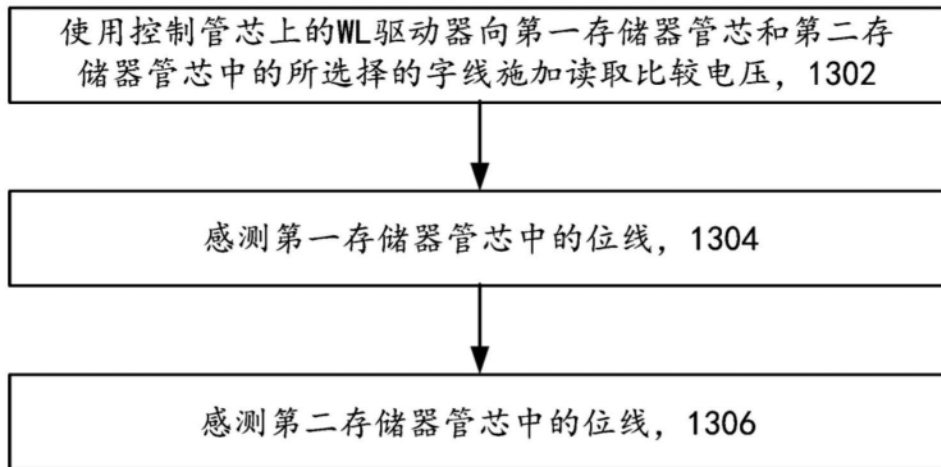


图13