

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)



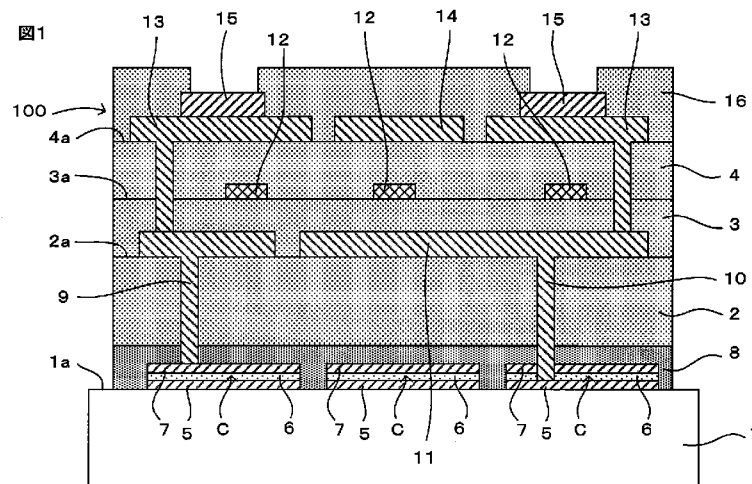
(10) 国際公開番号
WO 2016/129304 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 27/04 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2016/050477
- (22) 国際出願日: 2016年1月8日(08.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-024914 2015年2月12日(12.02.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 芦峰 智行(ASHIMINE, Tomoyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 小宮山 卓(KOMIYAMA, Takashi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中磯 俊幸(NAKAISO, Toshiyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 梁瀬 右司, 外(YANASE, Yuji et al.); 〒5300047 大阪府大阪市北区西天満5丁目1番19号 高木ビル4階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: THIN-FILM DEVICE

(54) 発明の名称: 薄膜デバイス



(57) Abstract: The purpose of the present invention is to provide a technology that prevents damage to a thin-film resistor element due to stress produced by expansion of a resin layer, thereby making it possible to obtain a highly reliable thin-film device. On a resin layer 4 disposed on the opposite side of a resin layer 3 from a substrate 1, a first constraining thin-film 14 is formed overlapping a thin-film resistor element (resistive thin-film 12) in plan view, thereby making it possible for the thin-film resistor element to be held down relative to the substrate 1. Accordingly, bending stress to which the thin-film resistor element is subjected due to expansion of resin layers 2 to 4 in a high temperature state can be absorbed, thus preventing damage to the thin-film resistor element due to stress caused by the expansion of the resin layers 2 to 4.

(57) 要約:

[続葉有]

WO 2016/129304 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

樹脂層が膨張することにより生じる応力により薄膜抵抗素子が破損するのを防止して、信頼性の高い薄膜デバイスを得ることができる技術を提供することを目的とする。樹脂層 3 の基板 1 と反対側に配置された樹脂層 4 に薄膜抵抗素子（抵抗薄膜 1 2）と平面視で重なるように形成された第 1 の拘束用薄膜 1 4 により、薄膜抵抗素子を基板 1 に対し押さえ込むことができるので、高温状態において樹脂層 2 ～ 4 が膨張することにより薄膜抵抗素子に加わる曲げ応力を緩和することができ、樹脂層 2 ～ 4 の膨張により生じる応力によって薄膜抵抗素子が破損するのを防止することができる。

明 細 書

発明の名称： 薄膜デバイス

技術分野

[0001] 本発明は、薄膜抵抗素子を備える薄膜デバイスに関する。

背景技術

[0002] 従来、薄膜抵抗素子を備える種々の薄膜デバイスが提供されている（例えば特許文献 1 参照）。例えば、図 7 に示す従来の薄膜デバイス 500 は、半導体基板 501 上に形成された集積回路 502 と、集積回路 502 上に配置された複数の電極パッド 503 と、各電極パッド 503 間に設けられたパッシベーション膜 504 上に形成された樹脂層 505 とを備えている。また、樹脂層 505 はポリイミド樹脂やエポキシ樹脂等により形成され、樹脂層 505 の電極パッド 503 に重なる位置に貫通孔が設けられている。また、貫通孔内においてバリアメタル層 506 を介して電極パッド 503 に接続される再配線 507 が樹脂層 505 上に形成されている。そして、樹脂層 505 上の再配線 507 に挟まれた位置に薄膜抵抗素子 508 が設けられている。

[0003] 図 7 に示す薄膜デバイス 500 では、薄膜抵抗素子 508 は、バリアメタル層 506 と、バリアメタル層 506 上に積層されたシード層 509 とを備えている。バリアメタル層 506 は、Ti、TiN、Ni 等により形成され、電極パッド 503 と再配線 507 との密着性を向上させるために設けられている。また、シード層 509 は、再配線 507 をめっき法により形成する際の電極として機能するものであり、Cu、Al 等により形成されている。そして、バリアメタル層 506 およびシード層 509 それぞれの膜厚が適宜調整されることにより、薄膜抵抗素子 508 の抵抗値が調整されている。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2009-267248 号公報（段落 0012，0016，0017、図 1 など）

発明の概要

発明が解決しようとする課題

[0005] ところで、図7に示す薄膜デバイス500が、他の基板などに実装等される際の熱サイクルにおいて加熱された場合に、樹脂層505が膨張すること等により薄膜抵抗素子508に曲げ応力が加わり、薄膜抵抗素子508が破損するおそれがある。

[0006] この発明は、上記した課題に鑑みてなされたものであり、樹脂層が膨張することにより生じる応力等により薄膜抵抗素子が破損するのを防止して、信頼性の高い薄膜デバイスを得ることができる技術を提供することを目的とする。

課題を解決するための手段

[0007] 上記した目的を達成するために、本発明の薄膜デバイスは、基板と、前記基板の一方主面側に積層された複数の樹脂層と、を備え、前記複数の樹脂層は、薄膜形成プロセスによって形成された薄膜抵抗素子が一方主面に設けられた第1の樹脂層と、前記第1の樹脂層の前記基板と反対側に配置され、薄膜形成プロセスにより形成された第1の拘束用薄膜が一方主面に設けられた第2の樹脂層とを含み、前記薄膜抵抗素子と前記第1の拘束用薄膜とが平面視で重なるように配置されている、ことを特徴としている。

[0008] このように構成された発明では、他の基板などに実装等される際の熱サイクルにおいて薄膜デバイスが加熱された場合に、薄膜抵抗素子が形成された第1の樹脂層は、熱膨張率が小さい基板と反対側に向って膨張しようとするが、第1の樹脂層の基板と反対側に配置された第2の樹脂層に、第1の樹脂層に形成された薄膜抵抗素子と平面視で重なるように第1の拘束用薄膜が形成されている。したがって、薄膜抵抗素子が第1の拘束用薄膜により基板に対して押さえ込まれた状態になり、高温状態において樹脂層が膨張することにより薄膜抵抗素子に加わる曲げ応力を緩和することができるので、樹脂層が膨張することにより生じる応力により薄膜抵抗素子が破損するのを防止することができる。

- [0009] また、前記第2の樹脂層の一方主面に、薄膜形成プロセスにより形成されて前記薄膜抵抗素子に電氣的に接続された配線用薄膜電極が形成されていてもよい。
- [0010] このようにすると、第1の拘束用薄膜を、配線用薄膜電極と同一の薄膜形成プロセスにより同一の材料を用いて形成することができるので、第1の拘束用薄膜を形成するための工程を簡略化することができ、製造工程を増大させることなく従来の製造工程を用いて、薄膜抵抗素子のクラックや断線が防止された信頼性の高い薄膜デバイスを提供することができる。
- [0011] また、前記第1の拘束用薄膜と前記配線用薄膜電極とが分離して形成されているとよい。
- [0012] このようにすると、第1の拘束用薄膜により吸収された応力が配線用薄膜電極に加わるのを抑制することができる。
- [0013] また、前記第1の拘束用薄膜と前記配線用薄膜電極とが一体形成されていてもよい。
- [0014] このようにしても、第1の拘束用薄膜により薄膜抵抗素子が破損するのが防止された信頼性の高い薄膜デバイスを提供することができる。
- [0015] また、前記複数の樹脂層は、前記第1の樹脂層の前記基板側に配置され、薄膜形成プロセスにより形成された第2の拘束用薄膜が一方主面に設けられた第3の樹脂層をさらに含み、前記薄膜抵抗素子と前記第2の拘束用薄膜とが平面視で重なるように配置されているとよい。
- [0016] このように構成すると、薄膜抵抗素子が、第2の樹脂層の第1の拘束用薄膜と第3の樹脂層の第2の拘束用薄膜の間に挟み込まれた状態となり、高温状態において樹脂層が膨張することにより薄膜抵抗素子に加わる曲げ応力をさらに緩和することができるので、樹脂層が膨張することにより生じる応力により薄膜抵抗素子が破損するのをさらに確実に防止することができる。
- [0017] また、前記薄膜抵抗素子は、Siを含有していてもよい。
- [0018] このようにしても、Siを含有することにより脆くなった薄膜抵抗素子の破損を防止した信頼性の高い薄膜デバイスを提供することができる。

[0019] また、第１～第４外部電極と、前記第１、第２外部電極間に直列接続された可変容量型の薄膜キャパシタ素子と、一端が前記第３外部電極に接続された第１の前記薄膜抵抗素子と、一端が前記第４外部電極に接続された第２の前記薄膜抵抗素子と、を備え、前記第１、第２の薄膜抵抗素子の他端間に前記薄膜キャパシタ素子が挿入されるように、前記第１、第２の薄膜抵抗素子それぞれの他端が前記薄膜キャパシタ素子両端のそれぞれに接続されているとよい。

[0020] このように構成すると、第１、第２外部電極を入出力端子とする可変容量型の薄膜キャパシタ素子を備える薄膜デバイスを提供することができる。すなわち、第３、第４外部電極間の電圧を調整して第１、第２の薄膜抵抗素子を介して薄膜キャパシタ素子の両端に印加される電圧を任意に調整することにより薄膜キャパシタ素子の容量を調整することができる。

[0021] また、所定電圧以上の静電気放電が生じた場合に前記第１、第２の薄膜抵抗素子および前記薄膜キャパシタ素子を經由しない電流パスを形成するＥＳＤ保護素子をさらに備えていてもよい。

[0022] このように構成すると、所定電圧以上の静電気放電（ＥＳＤ：Ｅｌｅｃｔｒｏ－Ｓｔａｔｉｃ Ｄｉｓｃｈａｒｇｅ）に起因する過電圧が生じると、第１、第２の薄膜抵抗素子および薄膜キャパシタ素子を經由しない電流パスがＥＳＤ保護素子により形成されるので、第１、第２の薄膜抵抗素子および薄膜キャパシタ素子を過電圧から保護することができる。

発明の効果

[0023] 本発明によれば、第１の樹脂層の基板と反対側に配置された第２の樹脂層に薄膜抵抗素子と平面視で重なるように形成された第１の拘束用薄膜により、薄膜抵抗素子を基板に対し押さえ込むことができるので、高温状態において樹脂層が膨張することにより薄膜抵抗素子に加わる曲げ応力等を緩和することができ、樹脂層が膨張することにより生じる応力等によって薄膜抵抗素子が破損するのを防止し、信頼性の高い薄膜抵抗素子付きの薄膜デバイスを得ることができる。

図面の簡単な説明

- [0024] [図1]本発明の第1実施形態にかかる薄膜デバイスの断面図である。
- [図2]図1の薄膜デバイスの平面図である。
- [図3]図1の薄膜デバイスが備える電気回路を示す図である。
- [図4]本発明の第2実施形態にかかる薄膜デバイスの断面図である。
- [図5]図4の薄膜デバイスの平面図である。
- [図6]本発明の第3実施形態にかかる薄膜デバイスの断面図である。
- [図7]従来の薄膜デバイスを示す要部拡大図であって、上側の図面は要部の概略断面図であり、下側の図面は要部の概略上面透視図を示す図である。

発明を実施するための形態

[0025] <第1実施形態>

本発明の第1実施形態について図1～図3を参照して説明する。なお、図1および図2では、説明を簡易なものとするために本発明にかかる主要な構成のみが図示されている。また、後の説明で参照する図4～図6についても、図1および図2と同様に主要な構成のみが図示されているが、以下の説明においてはその説明は省略する。

[0026] (構成)

薄膜デバイス100の概略構成について説明する。

- [0027] 薄膜デバイス100は、ガラス基板やセラミック基板、樹脂基板、Si基板（Siの線膨張係数： $3.4 \times 10^{-6}/K$ ）、GaAs基板などの基板1と、基板1の一方主面1a側に積層された複数の樹脂層2、3、4と、基板1の一方主面1a上に設けられた可変容量型の複数（この実施形態では10個）の薄膜キャパシタ素子Cと、複数（この実施形態では7個）の第1の薄膜抵抗素子R1（本発明の「薄膜抵抗素子」に相当）と、複数（この実施形態では6個）の第2の薄膜抵抗素子R2（本発明の「薄膜抵抗素子」に相当）と、複数（この実施形態では2個）のESD保護素子D1、D2とを備えている。

- [0028] 薄膜キャパシタ素子Cは、基板1の一方主面1a上の所定領域にPt薄膜

により形成されたキャパシタ電極層 5 と、 $(Ba, Sr)TiO_3$ （以下「BST」と称する）誘電体層 6 と、BST 誘電体層 6 上に Pt 薄膜により形成されたキャパシタ電極層 7 とにより形成される。

[0029] また、薄膜キャパシタ素子 C は、 SiO_2 耐湿保護膜により形成された保護層 8 により被覆され、保護層 8 上に樹脂層 2 が積層されている。樹脂層 2（本発明の「第 3 の樹脂層」に相当）の一方主面 2 a には、保護層 8 および樹脂層 2 に形成された透孔を介して薄膜キャパシタ素子 C の上側のキャパシタ電極層 7 に接続された Cu/Ti 引出電極 9 と、薄膜キャパシタ素子 C の下側のキャパシタ電極層 5 に接続された Cu/Ti 引出電極 10 と、第 2 の拘束用薄膜 11 とが形成されている。

[0030] 第 2 の拘束用薄膜 11 は、同一の薄膜形成プロセスにより同一の材質を用いて引出電極 9，10 と同時に形成されている。また、樹脂層 2 に、引出電極 9，10 および第 2 の拘束用薄膜 11 を被覆して樹脂層 3 が積層されている。なお、この実施形態では、第 2 の拘束用薄膜 11 と引出電極 10 とが一体形成されているが、第 2 の拘束用薄膜 11 と引出電極 10 とが分離して形成されていてもよいし、第 2 の拘束用薄膜 11 が樹脂層 2 の一方主面 2 a に形成された他の引出電極と一体的に形成されていてもよい。

[0031] 各薄膜抵抗素子 R1，R2 は、それぞれ、樹脂層 3（本発明の「第 1 の樹脂層」に相当）（樹脂層 3 の線膨張係数： $54.0 \times 10^{-6}/K$ ）の一方主面 3 a の所定領域に薄膜形成プロセスにより形成された Ni、Cr、Si を主成分とする抵抗薄膜 12 により形成される。なお、この実施形態では、各薄膜抵抗素子 R1，R2 の全てが樹脂層 3 上に形成されているが、各薄膜抵抗素子 R1，R2 が、それぞれ、異なる樹脂層上に分散して配置されていてもよい。

[0032] また、各薄膜抵抗素子 R1，R2（抵抗薄膜 12）は、樹脂層 3 の一方主面 3 a 上に積層された樹脂層 4 により被覆されている。また、樹脂層 4（本発明の「第 2 の樹脂層」に相当）（樹脂層 4 の線膨張係数： $54.0 \times 10^{-6}/K$ ）の一方主面 4 a には、樹脂層 3，4 に形成された透孔を介して引出電

極 9, 10 や薄膜抵抗素子 R1 ~ R13 に電氣的に接続された Cu / Ti 引出電極 13 (本発明の「配線用薄膜電極」に相当) (Cu の線膨張係数: $16.5 \times 10^{-6} / K$ 、Ti の線膨張係数: $8.6 \times 10^{-6} / K$) と、第 1 の拘束用薄膜 14 とが形成されている。第 1 の拘束用薄膜 14 は、同一の薄膜形成プロセスにより同一の材質を用いて引出電極 13 と同時に形成されている。また、第 1 の拘束用薄膜 14 と引出電極 13 とは分離して形成されている。

[0033] また、図 1 および図 2 に示すように、樹脂層 3 の基板 1 と反対側に配置された樹脂層 4 の第 1 の拘束用薄膜 14 と、各薄膜抵抗素子 R1, R2 (抵抗薄膜 12) とが平面視で重なるように配置され、樹脂層 3 の基板 1 側に配置された樹脂層 2 の第 2 の拘束用薄膜 11 と、各薄膜抵抗素子 R1, R2 (抵抗薄膜 12) とが平面視で重なるように配置されている。なお、各抵抗薄膜 12 の全てと平面視で重なるように第 1、第 2 の拘束用薄膜 11, 14 が形成されているが、各抵抗薄膜 12 それぞれと個別に平面視で重なるように、もしくは、複数個の抵抗薄膜 12 のグループごとに平面視で重なるように、第 1、第 2 の拘束用薄膜 11, 14 それぞれが複数個に分離して形成されていてもよい。

[0034] また、引出電極 13 上に複数の Au / Ni 外部電極 15 が形成され、引出電極 13 および第 1 の拘束用薄膜 14 と、各外部電極 15 それぞれの端縁部分とを被覆するように樹脂により形成された保護層 16 が樹脂層 4 の一方主面 4a 上に積層されている。

[0035] ESD 保護素子 D1, D2 それぞれは、図 3 に示すように、双方向ツェナーダイオードにより形成されている。双方向ツェナーダイオードの形成方法については特に限定されるものではなく、図示省略されているが、例えば、p 型および n 型のいずれか一方の導電型の第 1 の半導体薄膜と他方の導電型の第 2 の半導体薄膜とが pn 接合されて形成されたものや、例えば、B ドープされて p 型に形成された Si から成る基板 1 上に n 型 a-Si により半導体膜が成膜されて形成されたものにより、ESD 保護素子 D1, D2 を形成

することができる。

[0036] 以上のように構成された薄膜デバイス100は、図3に示すように、それぞれ外部電極15により形成された第1～第4外部電極P1～P4を有し、第1、第2外部電極P1、P2間に10個の薄膜キャパシタ素子Cが直列接続されている。また、一端が第3外部電極P3に接続された複数の第1の薄膜抵抗素子R1のうちのいずれか他端と、一端が第4外部電極P4に接続された第2の薄膜抵抗素子R2のうちのいずれか他端との間に複数の薄膜キャパシタ素子Cのうちのいずれか1個が挿入されるように、各第1の薄膜抵抗素子R1それぞれの他端および各第2の薄膜抵抗素子R2それぞれの他端が各薄膜キャパシタ素子Cそれぞれの両端に接続されている。

[0037] また、所定電圧以上の静電気放電（ESD：Electro-Static Discharge）が生じた場合に、第1、第2の薄膜抵抗素子R1、R2および薄膜キャパシタ素子Cを経由しない電流パスW1、W2が形成されるように、第1、第3外部電極P1、P3間にESD保護素子D1が直列接続され、第2、第3外部電極P2、P3間にESD保護素子D2が直列接続されている。

[0038] したがって、所定電圧以上の静電気放電に起因する過電圧が生じると、第1、第2の薄膜抵抗素子R1、R2および薄膜キャパシタ素子Cを経由しない電流パスW1、W2がESD保護素子D1、D2により形成されるので、第1、第2の薄膜抵抗素子R1、R2および薄膜キャパシタ素子Cを過電圧から保護することができる。

[0039] （製造方法）

薄膜デバイス100の製造方法の一例について説明する。なお、この実施形態では、大面積の基板1が用いられて複数の薄膜デバイス100の集合体が形成された後に個片化されることにより、複数の薄膜デバイス100が同時に形成される。なお、以下の説明においては、ESD保護素子D1、D2の形成方法の説明は省略する。

[0040] まず、例えばSiにより形成された基板1上の所定領域に下側のキャパシ

タ電極層 5、誘電体層 6、上側のキャパシタ電極層 7 が形成されて複数の薄膜キャパシタ素子 C が形成され、各薄膜キャパシタ素子 C を被覆する保護層 8 が形成される。次に、フォトリソグラフィによって透孔が形成されたポリベンゾオキサゾール系感光性樹脂絶縁膜から成る樹脂層 2 が形成され、樹脂層硬化のための熱処理が行われる。

[0041] 続いて、樹脂層 2 の透孔内の SiO_2 耐湿保護膜をドライエッチングにより除去し、スパッタ法を用いて、引出電極 9, 10 および第 2 の拘束用薄膜 11 を形成する Ti 膜が成膜され、Cu 膜が成膜される。そして、フォトリソグラフィによるエッチングによりパターン形成されて、引出電極 9, 10 および第 2 の拘束用薄膜 11 が形成される。次に、フォトリソグラフィによって透孔が形成されたフェノール系感光性樹脂絶縁膜から成る樹脂層 3 が形成され、樹脂層硬化のための熱処理が行われる。

[0042] 次に、リフトオフレジストが形成され、Ni、Cr、Si を主成分とする混合物から成る蒸着材料を用いて、リフトオフ法により抵抗薄膜 12 が蒸着形成される。このとき、各抵抗薄膜 12 は、それぞれ、第 2 の拘束用薄膜 11 に平面視で重なるように配置される。なお、複数の抵抗薄膜 12 のうちの一部または全てが、第 2 の拘束用薄膜 11 の代わりに、引出電極 9, 10 と平面視で重なるように配置されていてもよい。

[0043] 続いて、フォトリソグラフィによって透孔が形成されたフェノール系感光性樹脂絶縁膜から成る樹脂層 4 が形成され、樹脂層硬化のための熱処理が行われる。そして、スパッタ法を用いて、引出電極 13 および第 1 の拘束用薄膜 14 を形成する Ti 膜が成膜され、Cu 膜が成膜される。

[0044] 次に、形成された Cu/Ti 膜上に所定位置に開口が設けられたレジストがパターン形成されて、めっき法により第 1 ～第 4 外部電極 P1 ～P4 を成す外部電極 15 が Cu/Ti 膜上の所定位置に形成される。そして、レジストが除去された後に、フォトリソグラフィによるエッチングにより Cu/Ti 膜がパターン形成されて、引出電極 15 および第 1 の拘束用薄膜 14 が形成される。このとき、第 1 の拘束用薄膜 14 は、各抵抗薄膜 12 それぞれと

平面視で重なるように配置される。なお、複数の抵抗薄膜 12 のうちの一部が、第 1 の拘束用薄膜 14 の代わりに、引出電極 13 と平面視で重なるように配置されていてもよい。

[0045] そして、フォトリソグラフィによって外部電極露出部が形成されたフェノール系感光性樹脂絶縁膜からなる保護層 16 が形成され、樹脂層硬化のための熱処理が行われた後に、ダイシングにより各薄膜デバイス 100 ごとに個片化されることによって、薄膜デバイス 100 が完成する。

[0046] このように構成された薄膜デバイス 100 は、他の配線基板等にはんだやワイヤボンディング等を用いて実装されることにより、第 1、第 2 外部電極 P1, P2 を入出力端子とする可変容量素子として使用される。すなわち、第 3、第 4 外部電極 P3, P4 間の電圧を調整して第 1、第 2 の薄膜抵抗素子 R1, R2 を介して各薄膜キャパシタ素子 C それぞれの両端に印加される電圧を任意に調整することにより各薄膜キャパシタ素子 C それぞれの容量を調整することができる。なお、図 3 に示す電気回路は一例であって、可変キャパシタ素子 C の数や第 1、第 2 の薄膜抵抗素子 R1, R2 の数、ESD 保護素子 D1, D2 の数は図 3 に示す例に限定されるものではない。

[0047] 以上のように、この実施形態では、他の基板などに実装等される際の熱サイクルにおいて薄膜デバイス 100 が加熱された場合に、薄膜抵抗素子が形成された樹脂層 3 は、熱膨張率が小さい基板 1 と反対側に向って膨張しようとするが、樹脂層 3 よりも上層側に配置された樹脂層 4 に、樹脂層 3 に形成された薄膜抵抗素子と平面視で重なるように第 1 の拘束用薄膜 14 が形成されている。したがって、各薄膜抵抗素子 R1, R2 が第 1 の拘束用薄膜 14 により基板 1 に対して押さえ込まれた状態になり、高温状態において樹脂層 3 が膨張することにより各薄膜抵抗素子 R1, R2 (抵抗薄膜 12) に加わる曲げ応力を緩和することができるので、各樹脂層 2~4 が膨張することにより生じる応力により各薄膜抵抗素子 R1, R2 が破損するのを防止することができる。

[0048] また、基板 1 と第 1 の拘束用薄膜 14 との間に各薄膜抵抗素子 R1, R2

が配置されているので、薄膜デバイス 100 が他の基板等にマウントされた際の衝撃により生じる応力が各薄膜抵抗素子 R 1, R 2 に直接的に加わるのを防止することができる。

[0049] また、この実施形態では、図 2 に示すように、第 1 の拘束用薄膜 14 は、薄膜デバイス 100 の側面に露出するように、樹脂層 3 の端縁部まで引き伸ばされて形成されている。したがって、第 1 の拘束用薄膜 14 により吸収した応力を薄膜デバイス 100 の側面に効果的に逃がすことができる。

[0050] また、第 1 の拘束用薄膜 14 を、引出電極 13 と同一の薄膜形成プロセスにより同一の材料を用いて樹脂層 3 の一方主面 3 a 上に形成することができるので、第 1 の拘束用薄膜 14 を形成するための工程を簡略化することができる。したがって、製造工程を増大させることなく従来の製造工程を用いて、各薄膜抵抗素子 R 1, R 2 (抵抗薄膜 12) のクラックや断線が防止された信頼性の高い薄膜デバイス 100 を提供することができる。

[0051] また、第 1 の拘束用薄膜 14 と引出電極 13 とが分離して形成されているので、第 1 の拘束用薄膜 14 により吸収された応力が引出電極 13 に加わるのを抑制することができる。

[0052] また、樹脂層 3 よりも基板 1 側に配置された樹脂層 2 の一方主面 2 a 上に、各薄膜抵抗素子 R 1, R 2 と平面視で重なるように第 2 の拘束用薄膜 11 が配置されているので、各薄膜抵抗素子 R 1, R 2 が、樹脂層 4 の第 1 の拘束用薄膜 14 と樹脂層 2 の第 2 の拘束用薄膜 11 の間に挟み込まれた状態となる。そのため、高温状態において樹脂層 2 ~ 4 が膨張することにより各薄膜抵抗素子 R 1, R 2 に加わる曲げ応力をさらに緩和することができるので、樹脂層 2 ~ 4 の膨張によって生じる応力により各薄膜抵抗素子 R 1, R 2 (抵抗薄膜 12) が破損するのをさらに確実に防止することができる。

[0053] また、上記した構成とすることにより、Si を含有することにより脆くなった各薄膜抵抗素子 R 1, R 2 の破損を防止した信頼性の高い薄膜デバイス 100 を提供することができる。

[0054] <第 2 実施形態>

本発明の第２の実施形態について図４および図５を参照して説明する。

[0055] この実施形態が上記した第１実施形態と異なるのは、図４および図５に示すように、第１の拘束用薄膜１４と引出電極１３とが一体形成されている点である。その他の構成は上記した第１実施形態と同様の構成であるため、同一符号を引用することによりその構成の説明は省略する。

[0056] このように、第１の拘束用薄膜１４と引出電極１３とが一体形成されていても、第１の拘束用薄膜１４により第１、第２の薄膜抵抗素子Ｒ１，Ｒ２が破損するのが防止された信頼性の高い薄膜デバイス１００を提供することができる。

[0057] ＜第３実施形態＞

本発明の第３の実施形態について図６を参照して説明する。

[0058] この実施形態が上記した第１実施形態と異なるのは、図６に示すように、第２の拘束用薄膜１１が設けられていない点である。以下の説明においては、上記した第１実施形態と異なる点を中心に説明し、その他の構成は上記した第１実施形態と同様の構成であるため、同一符号を引用することによりその構成の説明は省略する。

[0059] （構成）

薄膜デバイス１００ａの概略構成について説明する。

[0060] 薄膜デバイス１００ａは、基板１と、基板１の一方主面１ａ側に積層された複数の樹脂層３，４と、薄膜抵抗素子Ｒとを備えている。

[0061] 薄膜抵抗素子Ｒは、基板１の一方主面１ａに積層された樹脂層３の一方主面３ａの所定領域に薄膜形成プロセスにより形成されたＮｉ、Ｃｒ、Ｓｉを主成分とする抵抗薄膜１２により形成される。そして、薄膜抵抗素子Ｒ（抵抗薄膜１２）は、樹脂層３の一方主面３ａ上に積層された樹脂層４により被覆されている。また、樹脂層４の一方主面４ａには、樹脂層４に形成された透孔（図示省略）を介して薄膜抵抗素子Ｒに電氣的に接続されたＣｕ／Ｔｉ引出電極１３と、第１の拘束用薄膜１４とが形成されている。なお、上記した第１実施形態と同様に、第１の拘束用薄膜１４と、薄膜抵抗素子Ｒ（抵抗

薄膜 1 2) とが平面視で重なるように配置されている。また、この実施形態では、第 1 の拘束用薄膜 1 4 と引出電極 1 3 とが一体形成されているが、第 1 の拘束用薄膜 1 4 と引出電極 1 3 とが分離して形成されていてもよい。

[0062] また、引出電極 1 3 上に複数の A u / N i 外部電極 1 5 が形成され、引出電極 1 3 および第 1 の拘束用薄膜 1 4 と、各外部電極 1 5 それぞれの端縁部分とを被覆するように樹脂により形成された保護層 1 6 が樹脂層 4 の一方主面 4 a 上に積層されている。

[0063] (製造方法)

薄膜デバイス 1 0 0 a の製造方法の一例について説明する。なお、上記した第 1 実施形態と同様に、大面積の基板 1 が用いられて複数の薄膜デバイス 1 0 0 a の集合体が形成された後に個片化されることにより、複数の薄膜デバイス 1 0 0 a が同時に形成される。

[0064] まず、例えば S i により形成された基板 1 上にポリベンゾオキサゾール系感光性樹脂絶縁膜から成る樹脂層 3 が形成され、樹脂層硬化のための熱処理が行われる。次に、リフトオフレジストが形成され、N i、C r、S i を主成分とする混合物から成る蒸着材料を用いて、リフトオフ法により抵抗薄膜 1 2 が蒸着形成される。続いて、フォトリソグラフィによって透孔（図示省略）が形成されたフェノール系感光性樹脂絶縁膜から成る樹脂層 4 が形成され、樹脂層硬化のための熱処理が行われる。そして、スパッタ法を用いて、引出電極 1 3 および第 1 の拘束用薄膜 1 4 を形成する T i 膜が成膜され、C u 膜が成膜される。

[0065] 次に、形成された C u / T i 膜上に所定位置に開口が設けられたレジストがパターン形成されて、めっき法により外部電極 1 5 が C u / T i 膜上の所定位置に形成される。そして、レジストが除去された後に、フォトリソグラフィによるエッチングにより C u / T i 膜がパターン形成されて、引出電極 1 5 および第 1 の拘束用薄膜 1 4 が形成される。このとき、上記した第 1 実施形態と同様に、第 1 の拘束用薄膜 1 4 は、各抵抗薄膜 1 2 それぞれと平面視で重なるように配置される。なお、複数の抵抗薄膜 1 2 のうちの一部が、

第1の拘束用薄膜14の代わりに、引出電極13と平面視で重なるように配置されていてもよい。

[0066] そして、フォトリソグラフィによって外部電極露出部が形成されたフェノール系感光性樹脂絶縁膜からなる保護層16が形成され、樹脂層硬化のための熱処理が行われた後に、ダイシングにより各薄膜デバイス100aごとに個片化されることによって、薄膜デバイス100aが完成する。

[0067] 以上のように、この実施形態では、上記した第1実施形態と同様に、薄膜抵抗素子Rが第1の拘束用薄膜14により基板1に対して押さえ込まれた状態になり、例えば高温状態において樹脂層3が膨張しても、薄膜抵抗素子R（抵抗薄膜12）に加わる曲げ応力を緩和することができるので、各樹脂層3、4が膨張することにより生じる応力により薄膜抵抗素子Rが破損するのを防止することができる。

[0068] なお、本発明は上記した実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、上記したもの以外に種々の変更を行なうことが可能であり、上記した各実施形態がどのように組み合わせられてもよい。例えば、薄膜抵抗素子R、R1、R2（抵抗薄膜12）の材質は上記した例に限定されるものではなく、例えばCrSi合金により薄膜抵抗素子R、R1、R2が形成されてもよいし、例えば図7に示す従来の薄膜デバイス500のように、Pt等の導電材料により薄膜抵抗素子R、R1、R2が形成されてもよい。

[0069] また、薄膜抵抗素子R、R1、R2（抵抗薄膜12）の全体を平面視で被覆する（重なる）ように、第1の拘束用薄膜14および／または第2の拘束用薄膜11が配置されているとよい。このようにすると、樹脂層2～4が膨張した際に、薄膜抵抗素子R、R1、R2に対して、抵抗薄膜12の全体に応力が均一に加わるようにすることができるため、抵抗薄膜12（薄膜抵抗素子R、R1、R2）に曲げ応力が加わるのをさらに確実に防止することができる。より確実に薄膜抵抗素子R、R1、R2が破損するのを防止することができる。

[0070] また、薄膜抵抗素子に追加して、薄膜キャパシタ素子や薄膜インダクタ素子、薄膜サーミスタ素子等の薄膜回路素子が適宜組み合わせられることにより、薄膜抵抗素子を備える各種の回路が構成された薄膜デバイスを提供することができる。この場合には、薄膜キャパシタ素子、薄膜インダクタ素子、薄膜サーミスタ素子の構成は、一般的な薄膜回路素子の構成を有していればよい。具体的には、例えば、近距離通信装置のアンテナ感度調整用のデバイスや、フォトダイオード用ノイズフィルタデバイスを本発明の薄膜デバイスにより構成することができる。

[0071] また、誘電体層を形成する誘電体材料は上記した例に限定されるものではない。たとえば、 BaTiO_3 、 SrTiO_3 、 PbTiO_3 などの誘電体材料により誘電体層が形成されていてもよい。

産業上の利用可能性

[0072] 薄膜抵抗素子を備える薄膜デバイスに本発明を広く適用することができる。

符号の説明

- [0073]
- 1 基板
 - 2, 3, 4 樹脂層
 - 1a, 2a, 3a, 4a 一方主面
 - 11 第2の拘束用薄膜
 - 13 引出電極（配線用薄膜電極）
 - 14 第1の拘束用薄膜
 - 100, 100a 薄膜デバイス
 - C 薄膜キャパシタ素子
 - D1, D2 ESD保護素子
 - P1 第1外部電極
 - P2 第2外部電極
 - P3 第3外部電極
 - P4 第4外部電極

R 薄膜抵抗素子

R 1 第 1 の薄膜抵抗素子（薄膜抵抗素子）

R 2 第 2 の薄膜抵抗素子（薄膜抵抗素子）

W 1 , W 2 電流パス

請求の範囲

- [請求項1] 基板と、
前記基板の一方主面側に積層された複数の樹脂層と、を備え、
前記複数の樹脂層は、
薄膜形成プロセスによって形成された薄膜抵抗素子が一方主面に設けられた第1の樹脂層と、
前記第1の樹脂層の前記基板と反対側に配置され、薄膜形成プロセスにより形成された第1の拘束用薄膜が一方主面に設けられた第2の樹脂層とを含み、
前記薄膜抵抗素子と前記第1の拘束用薄膜とが平面視で重なるように配置されている、
ことを特徴とする薄膜デバイス。
- [請求項2] 前記第2の樹脂層の一方主面に、薄膜形成プロセスにより形成されて前記薄膜抵抗素子に電氣的に接続された配線用薄膜電極が形成されている、ことを特徴とする請求項1に記載の薄膜デバイス。
- [請求項3] 前記第1の拘束用薄膜と前記配線用薄膜電極とが分離して形成されている、ことを特徴とする請求項1または2に記載の薄膜デバイス。
- [請求項4] 前記第1の拘束用薄膜と前記配線用薄膜電極とが一体形成されている、ことを特徴とする請求項1または2に記載の薄膜デバイス。
- [請求項5] 前記複数の樹脂層は、
前記第1の樹脂層の前記基板側に配置され、薄膜形成プロセスにより形成された第2の拘束用薄膜が一方主面に設けられた第3の樹脂層をさらに含み、
前記薄膜抵抗素子と前記第2の拘束用薄膜とが平面視で重なるように配置されている、
ことを特徴とする請求項1ないし4のいずれかに記載の薄膜デバイス。
- [請求項6] 前記薄膜抵抗素子は、Siを含有する、ことを特徴とする請求項1

ないし 5 のいずれかに記載の薄膜デバイス。

[請求項7]

第 1 ～第 4 外部電極と、

前記第 1、第 2 外部電極間に直列接続された可変容量型の薄膜キャパシタ素子と、

一端が前記第 3 外部電極に接続された第 1 の前記薄膜抵抗素子と、

一端が前記第 4 外部電極に接続された第 2 の前記薄膜抵抗素子と、

を備え、

前記第 1、第 2 の薄膜抵抗素子の他端間に前記薄膜キャパシタ素子が挿入されるように、前記第 1、第 2 の薄膜抵抗素子それぞれ他端が前記薄膜キャパシタ素子両端のそれぞれに接続されている、

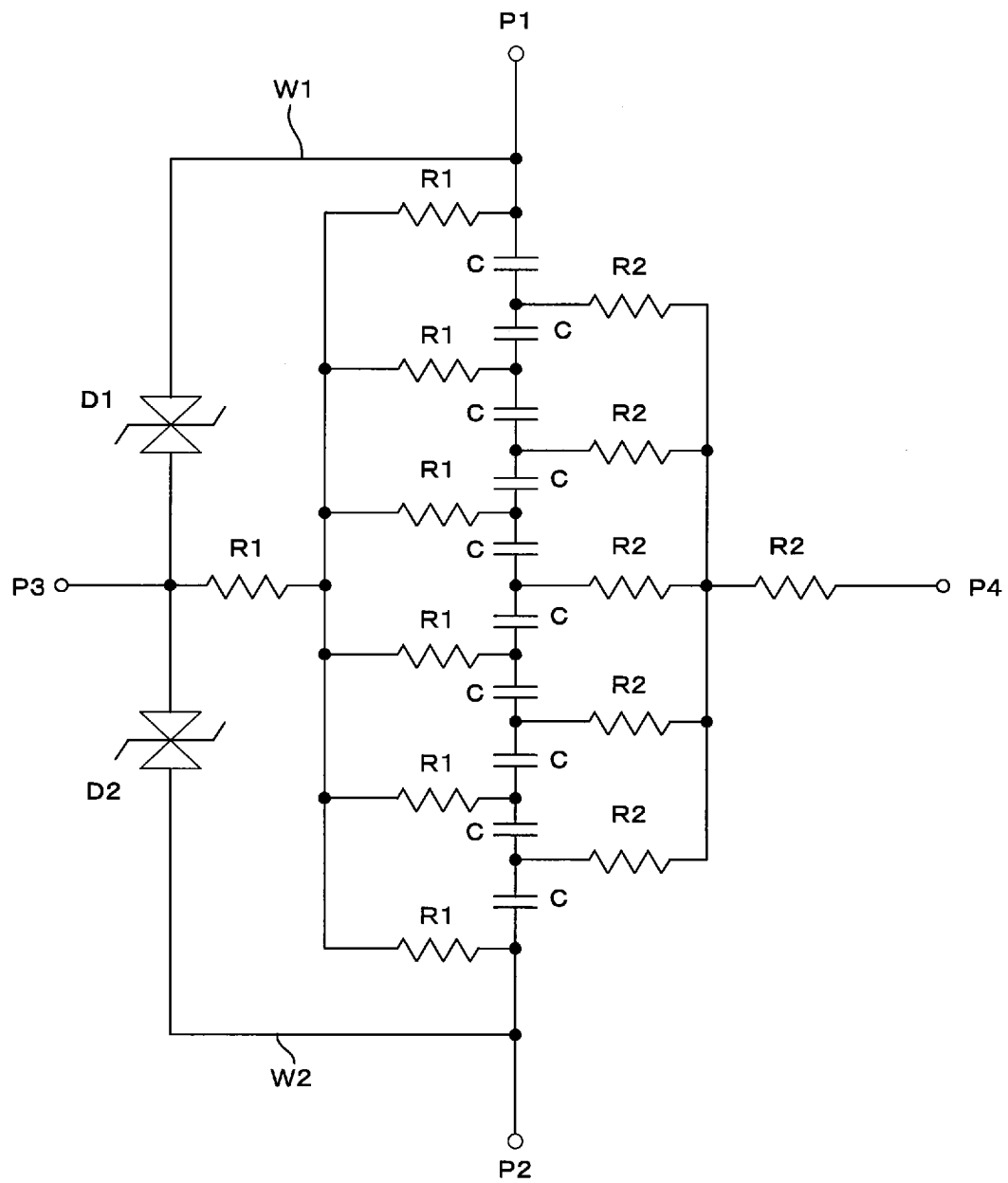
ことを特徴とする請求項 1 ないし 6 いずれかに記載の薄膜デバイス。

[請求項8]

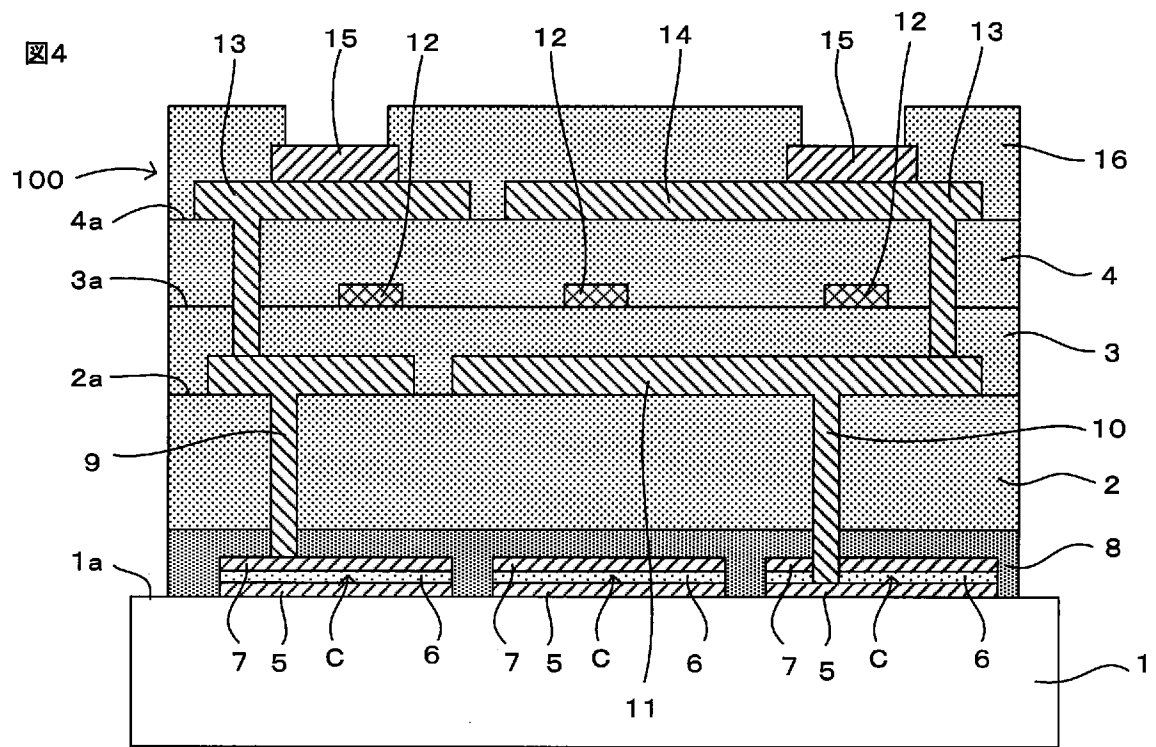
所定電圧以上の静電気放電が生じた場合に前記第 1、第 2 の薄膜抵抗素子および前記薄膜キャパシタ素子を経由しない電流パスを形成する ESD 保護素子をさらに備える、ことを特徴とする請求項 7 に記載の薄膜デバイス。

[図3]

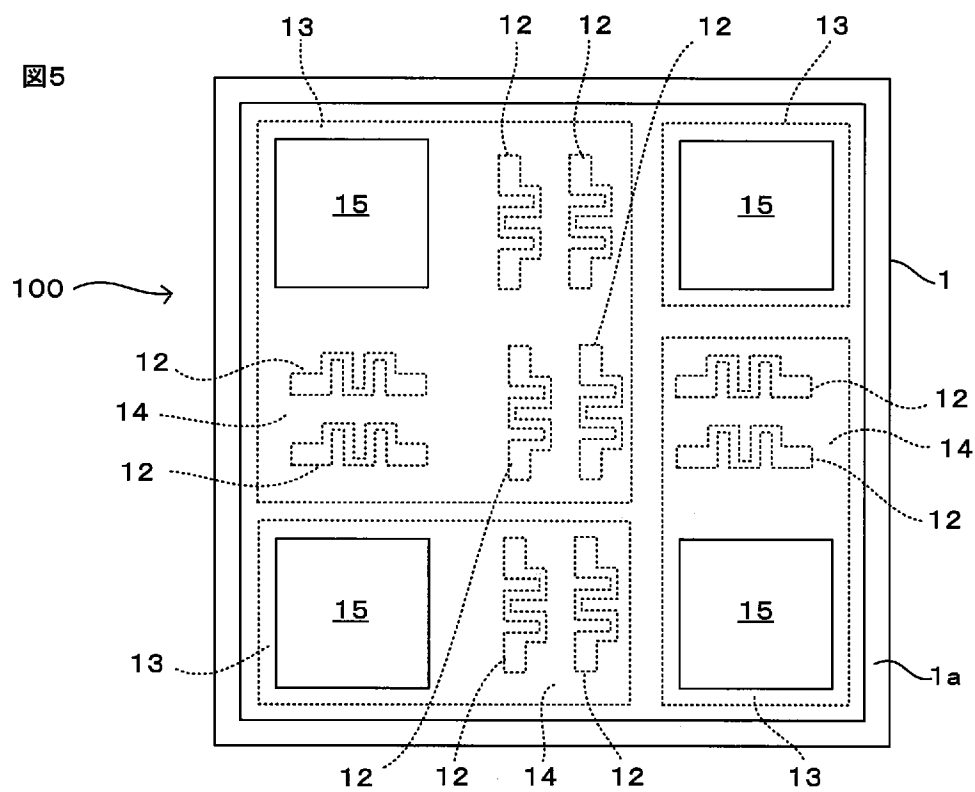
図3



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050477

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, H01L21/3205, H01L21/768, H01L23/522, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-243522 A (Mitsubishi Electric Corp.), 29 August 2003 (29.08.2003), fig. 10 & US 2003/0157811 A1 fig. 10 & DE 10247431 A1	1-8
Y	JP 2010-177506 A (NEC Corp.), 12 August 2010 (12.08.2010), paragraphs [0044], [0046] (Family: none)	1-8
Y	JP 2006-332428 A (Seiko Instruments Inc.), 07 December 2006 (07.12.2006), fig. 3 (Family: none)	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 March 2016 (14.03.16)

Date of mailing of the international search report
22 March 2016 (22.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050477

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/183472 A1 (Murata Mfg. Co., Ltd.), 12 December 2013 (12.12.2013), fig. 4, 5, 9 & JP 5673865 B & CN 204442303 U	7, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/822, H01L21/3205, H01L21/768, H01L23/522, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-243522 A (三菱電機株式会社) 2003.08.29, 図10 & US 2003/0157811 A1, Fig.10 & DE 10247431 A1	1-8
Y	JP 2010-177506 A (日本電気株式会社) 2010.08.12, [0044], [0046] (ファミリーなし)	1-8
Y	JP 2006-332428 A (セイコーインスツル株式会社) 2006.12.07, 図3 (ファミリーなし)	3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

14.03.2016

国際調査報告の発送日

22.03.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3125

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/183472 A1 (株式会社村田製作所) 2013. 12. 12, 図 4, 図 5, 図 9 & JP 5673865 B & CN 204442303 U	7, 8