(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5962328号
(P5962328)
(45)発行日　平成28年8月3日(2016.8.3)　(24)登録日　平成28年7月8日(2016.7.8)

(51)Int.Cl.　　F I
H04L 13/08 (2006.01)　　H04L 13/08
H04N 5/907 (2006.01)　　H04N 5/907 B
G06F 13/38 (2006.01)　　G06F 13/38 ３１０Ｄ

請求項の数 7　(全 22 頁)

(21)出願番号　特願2012-182545(P2012-182545)
(22)出願日　平成24年8月21日(2012.8.21)
(65)公開番号　特開2014-42110(P2014-42110A)
(43)公開日　平成26年3月6日(2014.3.6)
審査請求日　平成27年5月1日(2015.5.1)

(73)特許権者　514315159
株式会社ソシオネクスト
神奈川県横浜市港北区新横浜２丁目１０番２３
(74)代理人　100105957
弁理士　恩田　誠
(74)代理人　100068755
弁理士　恩田　博宣
(72)発明者　岡嶋　祐輔
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ＶＬＳＩ株式会社内
(72)発明者　月城　玄
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ＶＬＳＩ株式会社内

最終頁に続く

(54)【発明の名称】データ転送装置、データ転送方法、及び半導体装置

(57)【特許請求の範囲】
【請求項１】
記憶部に記憶された第１のデータと第２のデータを転送先に転送するデータ転送装置であって、
前記記憶部から出力される前記第１のデータを順次格納し、前記第１のデータの格納順序に基づいて第１の出力データを出力する第１の格納部と、
前記第１の格納部のデータ量に応じて前記第１の格納部を制御する第１の制御部と、
前記記憶部から出力される第２のデータを順次格納し、前記第２のデータの格納順序に基づいて第２の出力データを出力する第２の格納部と、
前記第２の格納部のデータ量に応じて前記第２の格納部を制御し、前記第２の格納部のデータ量に応じた選択信号を出力する第２の制御部と、
前記第１の出力データに基づいて補間データを生成する補間データ生成部と、
前記選択信号に基づいて、前記第２の出力データと前記補間データの何れか一方と前記第１の出力データに基づく出力データを生成する出力データ生成部と、
を有し、
前記第１の制御部は、前記記憶部に対するアクセスを調停する調停部に対して、前記第１のデータを読み出すための第１の読み出し要求を出力し、
前記第２の制御部は、前記調停部に対して、前記第２のデータを読み出すための第２の読み出し要求を出力し、
前記第１の読み出し要求は、前記第２の読み出し要求よりも優先度が高く設定されたこ

と
を特徴とするデータ転送装置。
【請求項２】
前記第２の制御部は、前記第２の格納部のデータ量に基づいて前記第２の格納部を停止させること、
を特徴とする請求項１に記載のデータ転送装置。
【請求項３】
前記第１の制御部は、前記第１の格納部のデータ量に基づいて第１の制御信号を出力し、
前記第２の制御部は、前記第１の制御信号に応答して前記第２の格納部を停止すること、
を特徴とする請求項１に記載のデータ転送装置。
【請求項４】
前記第１の制御部は、前記第１の格納部のデータ量に基づいて第２の制御信号を出力し、
前記第２の制御部は、前記第２の格納部を停止させた後、前記第２の制御信号に応答して前記第２の格納部の動作を再開させること、
を特徴とする請求項２又は３に記載のデータ転送装置。
【請求項５】
記憶部に記憶された複数のブロックデータを転送先に転送するデータ転送装置であって、
前記複数のブロックデータはそれぞれ複数の分割データに分割されて前記記憶部に記憶され、
前記データ転送装置は、
前記複数のブロックデータに対応する複数の転送ブロックと、
前記複数の転送ブロックの出力信号に応じて前記転送先に対する出力データを生成する出力データ生成部と
を含み、
前記複数の転送ブロックはそれぞれ、
前記記憶部から出力される第１のデータを順次格納し、前記第１のデータの格納順序に基づいて第１の出力データを出力する第１の格納部と、
前記第１の格納部のデータ量に応じて前記第１の格納部を制御する第１の制御部と、
前記記憶部から出力される第２のデータを順次格納し、前記第２のデータの格納順序に基づいて第２の出力データを出力する第２の格納部と、
前記第２の格納部のデータ量に応じて前記第２の格納部を制御する第２の制御部と、
前記第１の出力データに基づいて補間データを生成する補間データ生成部と、
を有し、
前記第２の制御部は、他の転送ブロックの前記第２の制御部からの通知又は前記第２の格納部のデータ量に応じて選択信号を出力し、
前記出力データ生成部は、前記複数の転送ブロックのそれぞれにおいて、前記選択信号に基づいて前記第２の出力データと前記補間データのうちの何れか一方と前記第１の出力データに基づいて前記転送先に対する出力データを生成すること、
を特徴とするデータ転送装置。
【請求項６】
記憶部に記憶された第１のデータと第２のデータを転送先に転送するデータ転送方法であって、
前記記憶部から出力される前記第１のデータを第１の格納部に順次格納し、前記第１のデータの格納順序に基づいて前記第１の格納部から第１の出力データを出力し、
前記第１の格納部のデータ量に応じて前記第１の格納部を制御し、
前記記憶部から出力される第２のデータを第２の格納部に順次格納し、前記第２のデー

タの格納順序に基づいて前記第２の格納部から第２の出力データを出力し、
前記第２の格納部のデータ量に応じた選択信号を生成し、
前記第１の出力データに基づいて補間データを生成し、
前記選択信号に基づいて、前記第２の出力データと前記補間データの何れか一方と前記第１の出力データに基づく出力データを生成し、
前記記憶部に対するアクセスを調停する調停部に対して、前記第１のデータを読み出すための第１の読み出し要求を出力し、
前記調停部に対して、前記第２のデータを読み出すための第２の読み出し要求を出力し、
前記第１の読み出し要求は、前記第２の読み出し要求よりも優先度が高く設定されたこと、
を特徴とするデータ転送方法。
【請求項７】
記憶部をそれぞれアクセスする複数の処理部と、
前記記憶部に記憶された第１のデータと第２のデータを転送先に転送するデータ転送部と、
前記記憶部をアクセスするために前記複数の処理部と前記データ転送部からそれぞれ出力される要求信号を調停する調停部と、
を含み、
前記データ転送部は、
前記第１のデータを順次格納し、前記第１のデータの格納順序に基づいて第１の出力データを出力する第１の格納部と、
前記第１の格納部のデータ量に応じて前記第１の格納部を制御する第１の制御部と、
前記第２のデータを順次格納し、前記第２のデータの格納順序に基づいて第２の出力データを出力する第２の格納部と、
前記第２の格納部のデータ量に応じて前記第２の格納部を制御し、前記第２の格納部のデータ量に応じた選択信号を出力する第２の制御部と、
前記第１の出力データに基づいて補間データを生成する補間データ生成部と、
前記選択信号に基づいて、前記第２の出力データと前記補間データの何れか一方と前記第１の出力データに基づく出力データを生成する出力データ生成部と、
を有し、
前記第１の制御部は、前記調停部に対して、前記第１のデータを読み出すための第１の読み出し要求を出力し、
前記第２の制御部は、前記調停部に対して、前記第２のデータを読み出すための第２の読み出し要求を出力し、
前記第１の読み出し要求は、前記第２の読み出し要求よりも優先度が高く設定されたこと
を特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
データ転送装置、データ転送方法、及び半導体装置に関する。
【背景技術】
【０００２】
従来、デジタルスチルカメラ等の電子機器は、メモリに格納された画像データを表示する表示部を有している。電子機器のデータ転送装置は、ＦＩＦＯ（first in first out）方式のメモリを有し、メモリから表示部に転送するデータ転送を調整する（例えば、特許文献１，２参照）。
【先行技術文献】
【特許文献】

【０００３】
【特許文献１】特開２００３－３４８１７５号公報
【特許文献２】特開２００７－１１４４８９号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
ところが、メモリからデータを読み出す処理が遅れると、表示部にデータを出力するタイミングに間に合わなくなる転送破綻が発生する。この転送破綻は、例えば表示部における表示画像の乱れ等の不具合を生じさせる。また、転送破綻は、データ転送装置以外の処理装置（例えばＣＰＵ）における処理の増加を招く。
【０００５】
このデータ転送装置で、転送破綻による不具合の低減を可能とすることを目的とする。
【課題を解決するための手段】
【０００６】
本発明の一観点によれば、記憶部に記憶された第１のデータと第２のデータを転送先に転送するデータ転送装置であって、前記記憶部から出力される第１のデータを順次格納し、前記第１のデータの格納順序に基づいて第１の出力データを出力する第１の格納部と、前記第１の格納部のデータ量に応じて前記第１の格納部を制御する第１の制御部と、前記記憶部から出力される第２のデータを順次格納し、前記第２のデータの格納順序に基づいて第２の出力データを出力する第２の格納部と、前記第２の格納部のデータ量に応じて前記第２の格納部を制御し、前記第２の格納部のデータ量に応じた選択信号を出力する第２の制御部と、前記第１の出力データに基づいて補間データを生成する補間データ生成部と、前記選択信号に基づいて、前記第２の出力データと前記補間データの何れか一方と前記第１の出力データに基づく出力データを生成する出力データ生成部とを有し、前記第１の制御部は、前記記憶部に対するアクセスを調停する調停部に対して、前記第１のデータを読み出すための第１の読み出し要求を出力し、前記第２の制御部は、前記調停部に対して、前記第２のデータを読み出すための第２の読み出し要求を出力し、前記第１の読み出し要求は、前記第２の読み出し要求よりも優先度が高く設定された。
【発明の効果】
【０００７】
本発明の一観点によれば、転送破綻による不具合を低減することができる。
【図面の簡単な説明】
【０００８】
【図１】電子機器のブロック回路図である。
【図２】出力部のブロック回路図である。
【図３】（ａ）～（ｃ）は画像データの説明図である。
【図４】（ａ）～（ｃ）は表示画像の説明図である。
【図５】（ａ），（ｂ）は表示画像の説明図である。
【図６】出力部の動作説明図である。
【図７】出力部の動作説明図である。
【図８】出力部の動作説明図である。
【図９】出力部の動作説明図である。
【図１０】別の出力部のブロック回路図である。
【図１１】出力部の動作説明図である。
【図１２】出力部の動作説明図である。
【図１３】別の出力部のブロック回路図である。
【図１４】（ａ）～（ｃ）は画像データの説明図である。
【図１５】（ａ）～（ｅ）は画像データの説明図である。
【発明を実施するための形態】
【０００９】

以下、一実施形態を添付図面に従って説明する。
図１に示す電子機器１０は、例えばデジタルスチルカメラである。電子機器１０は、撮像部１１と、画像処理プロセッサ１２と、フレームメモリ１３と、操作部１４と、表示部１５とを有している。フレームメモリ１３は記憶部の一例である。
【００１０】
撮像部１１は、例えばＣＣＤやＣＭＯＳイメージセンサ等の撮像素子を有し、複数の撮像素子は例えば二次元配列されている。撮像部１１は、撮像素子により撮像した１画面（１フレーム）の画像データを、フレーム毎に出力する。
【００１１】
画像処理プロセッサ１２は、撮像部１１から入力される画像データをフレームメモリ１３に格納する。このフレームメモリ１３は、複数フレームの画像データを記憶可能なメモリ容量のメモリである。このフレームメモリ１３は、例えばシンクロナスダイナミックランダムアクセスメモリ（ＳＤＲＡＭ）などの書き替え可能なメモリである。画像処理プロセッサ１２は、フレームメモリ１３に格納した画像データに対して各種画像処理を施す。すなわち、画像処理プロセッサ１２は、フレームメモリ１３から読み出した画像データに対して各種画像処理を施し、処理後の画像データをフレームメモリ１３に格納する。
【００１２】
操作部１４は、ユーザにより操作される各種スイッチを有している。この各種スイッチは、例えば表示部１５に表示する画像の選択、フレームメモリ１３に記憶した画像データに対する処理の設定、撮影条件の設定、画像データの消去、等を行うために使用される。画像処理プロセッサ１２は、フレームメモリ１３に格納した画像データを表示部１５に出力する。
【００１３】
表示部１５は、液晶や有機ＥＬ（Electronic Luminescence）などを用いた表示器である。表示部１５は、撮影した画像を確認するモニタとして利用される。また、表示部１５は、撮影する領域（フレーム）を決定するモニタとして利用される。
【００１４】
画像処理プロセッサ１２は、フレームメモリ１３に格納された画像データを処理するための画像処理部２０を有している。画像処理部２０は、複数の処理部２１～２７を含む。従って、フレームメモリ１３は複数の処理部２１～２７に対する共通のフレームメモリ（作業メモリ）として機能する。
【００１５】
各処理部２１～２７の一例を説明する。
処理部２１はプリプロセス部であり、撮像部１１から入力される画像データに対し、例えばホワイトバランス調整やゲイン調整、欠陥信号の補正などの前処理を施す。処理部２２は色空間変換部であり、処理部２１により前処理されたＲＧＢ形式の画像データ（ベイヤデータ）をＹＣｂＣｒ形式の画像データに変換する。これら処理部２１，２２により処理された１フレームの画像データは、メモリコントローラ３２を介してフレームメモリ１３に格納される。処理部２３はコーデックであり、フレームメモリ１３に格納された画像データを読み出し、その画像データを所定の方式（例えばＪＰＥＧ（Joint Photographic Experts Group）方式）により符号化し、符号化後の画像データ（符号化データ）をフレームメモリ１３に格納する。
【００１６】
処理部２４は解像度変換部であり、画像データの画像サイズ（解像度）を拡大又は縮小する解像度変換処理を実行する。処理部２５は色調変換部であり、画像データの色調をセピアやモノクロ等に変換する色調変換処理を実行する。処理部２６はエッジ強調部であり、画像データに対して画像の輪郭（エッジ）を強調するエッジ強調処理を実行する。処理部２７はノイズ補正部であり、画像データに含まれるノイズを除去するノイズ補正処理を実行する。なお、画像処理部２０に含まれる処理部２１～２７、各処理部２１～２７の処理内容は一例を示すものであり、画像処理部２０が含む処理部の種類や処理内容は、適宜

設定されてもよい。

【００１７】

また、画像処理プロセッサ１２は、中央処理装置（以下、ＣＰＵ）３１、メモリコントローラ３２、出力部３３を有している。画像処理部２０内の各処理部２１～２７と、ＣＰＵ３１と、メモリコントローラ３２と、出力部３３は、バス３４によって互いに接続されている。このバス３４は、アドレスバス、コントロールバス、データバスを含む。

【００１８】

ＣＰＵ３１は、各回路を統括制御する。また、ＣＰＵ３１は、操作部１４から入力される操作情報に従って各種情報を対応する処理部２１～２７，出力部３３のレジスタに格納する。各種情報は、撮影条件、１フレームの画素数、各処理部２１～２７，出力部３３における動作に必要な情報を含む。各処理部２１～２７，出力部３３は、初期化時や操作部１４の操作に従って設定された情報に基づいて動作する。

【００１９】

各処理部２１～２７と出力部３３は、フレームメモリ１３をアクセスするための要求を出力する。例えば、処理部２１～２７は、フレームメモリ１３にデータを書き込むために、書き込み要求を出力する。また、処理部２２～２７は、フレームメモリ１３からデータを読み出すために、読み出し要求を出力する。同様に、出力部３３は、フレームメモリ１３から画像データを読み出すための読み出し要求を出力する。

【００２０】

メモリコントローラ３２は、アービタ（調停部）を有している。アービタは、フレームメモリ１３に対するアクセス要求を調停する。即ち、アービタは、各処理部２１～２７、出力部３３から出力され競合する要求を、例えば各処理部２１～２７、出力部３３に応じて設定された優先度に従って調停する。そして、アービタは、調停結果を各処理部２１～２７，出力部３３に出力する。

【００２１】

書き込み要求が許可された処理部２１～２７は、フレームメモリ１３に対する書き込みの制御信号とデータを出力する。メモリコントローラ３２は、その制御信号に従ってデータをフレームメモリ１３に格納する。読み出し要求が許可された処理部２２～２７，出力部３３は、フレームメモリ１３からデータを読み出すための制御信号を出力する。メモリコントローラ３２は、その制御信号に従ってフレームメモリ１３から読み出したデータを要求元の処理部２２～２７、出力部３３に出力する。

【００２２】

出力部３３は、フレームメモリ１３に格納された各フレームの画像データを表示部１５に順次転送する。図３（ａ）に示すように、表示部１５の画素数に対応する１フレームの画像データＦＤＡは、複数（図において８つ）のラインデータＬ０～Ｌ７を含む。画像データＦＤＡは、例えばＹＣｂＣｒ形式の画像データである。各ラインデータＬ０～Ｌ７は、それぞれ複数（図において８つ）の画素データＤを含む。なお、図３（ａ）において、画素データＤを、横方向に並ぶ画素データの行の位置をＸ（Ｘ＝０～７）、縦方向に並ぶ画素データの列の位置をＹ（Ｙ＝０～７）とし、各画素データ「ＤＸＹ」として示す。例えば、１フレームの画像データＦＤＡにおける１行目の画素データ（Ｘ＝０）は、「Ｄ００」～「Ｄ０７」として示される。また、１列目の画素データ（Ｙ＝０））は、「Ｄ００」～「Ｄ７０」として示される。

【００２３】

１フレームの画像データＦＤＡは、表示部１５に出力する表示用の画像データをフレームメモリ１３に格納する処理部により、図３（ｂ）に示す画像データＦＤ０と、図３（ｃ）に示す画像データＦＤ１に分割される。なお、以下の説明において、１フレームの画像データＦＤＡと区別するために分割画像データＦＤ０，ＦＤ１とする場合がある。分割画像データＦＤ０，ＦＤ１はブロックデータの一例である。表示用の画像データをフレームメモリ１３に格納する処理部は、例えば処理部２４（解像度変換部）である。処理部２４は、図３（ａ）に示す画像データＦＤＡにおいて、列数Ｙが偶数である列の画素のデータ

を含む画像データＦＤ０と、列数Ｙが奇数である列の画素のデータを含む画像データＦＤ１をフレームメモリ１３に格納する。つまり、処理部２４は、画像データＦＤＡを、画像データＦＤ０と画像データＦＤ１に分割する。なお、画像データＦＤ０を偶数列（ｅｖｅｎ列）画像データと呼び、画像データＦＤ１を奇数列（ｏｄｄ列）画像データと呼ぶことがある。画像データＦＤ０は第１の分割画像データの一例であり、画像データＦＤ１は第２の分割画像データの一例である。

【００２４】

出力部３３は、分割画像データＦＤ０と分割画像データＦＤ１をフレームメモリ１３から読み出す。そして、出力部３３は、偶数列の画像データと奇数列の画像データを交互に表示部１５に出力する。これにより、表示部１５は、１フレームの画像データＦＤＡに応じた画像を表示する。

【００２５】

１フレームの画像データＦＤＡと、分割画像データＦＤ０，ＦＤ１の一例を図４（ａ）～（ｃ）に示す。

図４（ａ）に示すように、画像ＦＰＡは１フレームの画像データＦＰＡによる画像であり、複数の黒画素ＢＧによる所定の文字「Ａ」を含む。なお、画像ＦＰＡにおいて、黒画素ＢＧ以外の画素を省略している。この画像ＦＰＡに対し、図４（ｂ）に示す画像ＦＰ０は偶数列データＦＤ０による画像であり、図４（ｃ）に示す画像ＦＰ１は奇数列データＦＤ１による画像である。

【００２６】

フレームメモリ１３と出力部３３の間のデータ転送を説明する。

フレームメモリ１３は、出力部３３から出力される１つの読み出し要求に応答して、出力部３３から供給される要求アドレスを先頭アドレスとして、所定量のデータを出力する。従って、出力部３３は、複数の読み出し要求を出力する。フレームメモリ１３は、読み出し要求毎に所定量のデータを出力する。従って、フレームメモリ１３に格納された画像データＦＤ０は、複数の読み出し要求と、各読み出し要求に対する所定量のデータによって、フレームメモリ１３から出力部３３へ転送される。同様に、画像データＦＤ１は、複数の読み出し要求と、各読み出し要求に対する所定量のデータによって、フレームメモリ１３から出力部３３へ転送される。このようなデータ転送は、バースト転送の一例である。

【００２７】

次に、出力部３３を説明する。

図２に示すように、出力部３３は、２つのＦＩＦＯ（first in first out）メモリ４０，４１、２つの制御部５０，５１、補間データ生成部６０、レジスタ部６１、出力データ生成部６２を有している。

【００２８】

ＦＩＦＯメモリ４０，４１は、先に書き込んだデータの順に、先に読み出されるメモリである。ＦＩＦＯメモリ４０は第１の格納部の一例、ＦＩＦＯメモリ４１は第２の格納部の一例である。

【００２９】

ＦＩＦＯメモリ４０は、ライトポインタＷＰ０が示す位置（アドレス）に入力データＷＤ０を記憶し、ライトポインタＷＰ０を更新する。また、ＦＩＦＯメモリ４０は、リードポインタＲＰ０が示す位置（アドレス）のデータＲＤ０を出力し、リードポインタＲＰ０を更新する。ポインタＷＰ０，ＲＰ０の更新は、次のデータを書き込む位置又は読み出す位置を示す値に変更することである。データＲＤ０は第１の出力データの一例である。データを順次書き込む又は読み出す場合、ＦＩＦＯメモリ４０は、各ポインタＷＰ０，ＲＰ０の値に所定値（例えば「１」）を加算した結果を、次のポインタＷＰ０，ＲＰ０の値とする。

【００３０】

ＦＩＦＯメモリ４０は、ライトポインタＷＰ０及びリードポインタＲＰ０を循環的に管

理する。ＦＩＦＯメモリ４０は、１つの入力データＷＤ０をライトポインタＷＰ０が示す位置に記憶し、ライトポインタＷＰ０を更新（＋１）する。そして、ＦＩＦＯメモリ４０は、ライトポインタＷＰ０がメモリ容量に対応する値ｎ（例えば５１２）以上になると、ライトポインタＷＰ０の値をリセット（＝０）する。従って、ＦＩＦＯメモリ４０は、ライトポインタＷＰ０をメモリ容量に応じた値（例えば０～５１１）で循環させる。

【００３１】

同様に、ＦＩＦＯメモリ４０は、リードポインタＲＰ０が示す位置のデータＲＤ０を出力し、次の読み出しデータの位置を示すようにリードポインタＲＰ０を更新（例えば、リードポインタＲＰ０を「＋１」）する。そして、ＦＩＦＯメモリ４０は、リードポインタＲＰ０の値がメモリ容量に対応する値（例えば５１２）になると、リードポインタＲＰ０の値をリセット（＝０）にする。従って、ＦＩＦＯメモリ４０は、リードポインタＲＰ０をメモリ容量に応じた値（例えば０～５１１）で循環させる。

【００３２】

ＦＩＦＯメモリ４０は、制御部５０から所定レベル（例えばＨレベル）のリード許可信号ＲＥ０に応答してデータの読み出しを行い、例えばＬレベルのリード許可信号ＲＥ０に応答してデータの読み出しを停止する。そして、ＦＩＦＯメモリ４０は、データの読み出しが許可されている間、表示部１５の要求タイミング（例えば、表示用のクロック信号）に対応する周期（例えば、表示用のクロック信号の周期の２倍の周期）でデータＲＤ０を出力する。

【００３３】

制御部５０は、ライトポインタＷＰ０とリードポインタＲＰ０に基づいて、ＦＩＦＯメモリ４０のデータ量を監視し、ＦＩＦＯメモリ４０に対するデータの書き込みを制御する。制御部５０は第１の制御部の一例である。例えば、制御部５０は、ライトポインタＷＰ０の値とリードポインタＲＰ０の値により、ＦＩＦＯメモリ４０に格納されたデータ量を算出する。なお、このデータ量は、ＦＩＦＯメモリ４０に格納されたデータのうち、読み出しが行われていないデータの数である。そして、制御部５０は、ＦＩＦＯメモリ４０のメモリ容量とデータ量に基づいて空き容量（＝メモリ容量－データ量）を算出する。制御部５０は、空き容量と、１回の読み出し要求に応答してフレームメモリ１３から出力部３３に転送されるデータの数（バースト転送量）とを比較する。そして、制御部５０は、空き容量がバースト転送量以上になると、アービタ３２ａに対して読み出し要求ＲＱ０を出力する。

【００３４】

アービタ３２ａは、制御部５０から出力される読み出し要求ＲＱ０を受け付け、調停結果を制御部５０に出力する。アクセスの許可を受けた制御部５０は、分割画像データＦＤ０を読み出すための要求アドレスＲＡ０を出力する。要求アドレスＲＡ０は、分割画像データＦＤ０に含まれる複数画素データを順次読み出すためにアドレスである。制御部５０は、要求アドレスＲＡ０を出力すると、次の読み出しアドレスを記憶する。つまり、制御部５０は、要求アドレスＲＡ０にバースト転送量を加算し、加算結果の値を要求アドレスＲＡ０に設定する。

【００３５】

アービタ３２ａは、要求アドレスＲＡ０に基づくアドレスＡＤＤと読み出しのための制御信号をフレームメモリ１３に出力する。フレームメモリ１３は、そのアドレスＡＤＤと制御信号に応答して、アドレスＡＤＤを先頭アドレスとするメモリ領域のデータＲＤを出力する。フレームメモリ１３から出力されたデータＲＤは、アービタ３２ａを介してデータＷＤ０として出力部３３のＦＩＦＯメモリ４０に供給され、ＦＩＦＯメモリ４０は、そのデータＷＤ０を記憶する。

【００３６】

このように、制御部５０は、ＦＩＦＯメモリ４０のデータ量を監視する。そして、制御部５０は、アービタ３２ａに対し、フレームメモリ１３に格納された分割画像データＦＤ０（偶数列データ）を要求する。ＦＩＦＯメモリ４０は、フレームメモリ１３から読み出

された分割画像データＦＤ０をライトポインタＷＰ０に従って格納する。そして、ＦＩＦＯメモリ４０は、リードポインタＲＰ０に従って記憶したデータを読み出し、データＲＤ０を出力する。

【００３７】

同様に、ＦＩＦＯメモリ４１は、ライトポインタＷＰ１が示す位置（アドレス）に入力データＷＤ１を記憶し、ライトポインタＷＰ１を更新する。また、ＦＩＦＯメモリ４１は、リードポインタＲＰ１が示す位置（アドレス）のデータＲＤ１を出力し、リードポインタＲＰ１を更新する。出力データＲＤ１は第２の出力データの一例である。そして、ＦＩＦＯメモリ４１は、ライトポインタＷＰ１とリードポインタＲＰ１を循環的に管理する。

【００３８】

制御部５１は、ライトポインタＷＰ１とリードポインタＲＰ１に基づいてＦＩＦＯメモリ４１のデータ量を監視し、監視結果に応じて読み出し要求ＲＱ１を出力する。制御部５１は第２の制御部の一例である。そして、制御部５１は、アービタ３２ａの調停結果に応じて要求アドレスＲＡ１を出力する。要求アドレスＲＡ１は、分割画像データＦＤ１を読み出すためのアドレスである。これにより、制御部５１は、フレームメモリ１３に格納された分割画像データＦＤ１の読み出しと、ＦＩＦＯメモリ４１に対する分割画像データＦＤ１の格納を制御する。

【００３９】

このように、制御部５１は、ＦＩＦＯメモリ４１のデータ量を監視する。そして、制御部５１は、アービタ３２ａに対し、フレームメモリ１３に格納された分割画像データＦＤ１（奇数列データ）を要求する。ＦＩＦＯメモリ４１は、フレームメモリ１３から読み出された分割画像データＦＤ１をライトポインタＷＰ１に従って格納する。そして、ＦＩＦＯメモリ４１は、リードポインタＲＰ１に従って記憶したデータを読み出し、データＲＤ１を出力する。

【００４０】

アービタ３２ａは、制御部５０，５１から出力される読み出し要求ＲＱ０，ＲＱ１と、他の処理部２１～２７（図１参照）から出力される要求ＲＱｘを、それぞれの要求ＲＱ０，ＲＱ１，ＲＱｘの優先度に従って調整する。要求ＲＱｘは、処理部２１～２７毎に出力される要求である。なお、制御部５０の読み出し要求ＲＱ０の優先度は、制御部５１の読み出し要求ＲＱ１の優先度よりも高く設定されている。従って、アービタ３２ａは、制御部５０の読み出し要求ＲＱ０と制御部５１の読み出し要求ＲＱ１が競合するとき、優先度が高い読み出し要求ＲＱ０に対するアクセス許可を制御部５０に出力する。

【００４１】

また、制御部５１は、ＦＩＦＯメモリ４１のデータ量を監視した結果に応じたレベルの選択信号ＤＳＬを出力する。制御部５１は、レジスタ部６１により設定されるしきい値ＤＴ０とデータ量を比較する。そして、制御部５１は、データ量がしきい値ＤＴ０より大きい場合に第１のレベル（例えばＬレベル）の選択信号ＤＳＬを出力する。また、制御部５１は、データ量がしきい値ＤＴ０以下の場合に第２のレベル（例えばＨレベル）の選択信号ＤＳＬを出力する。ＦＩＦＯメモリ４１に対して設定されるしきい値ＤＴ０は、例えば「－１」である。

【００４２】

データ量と比較するしきい値ＤＴ０は、例えば、画像データの転送状態に応じて設定される。

上記したように、ＦＩＦＯメモリ４１のデータ量は、ライトポインタＷＰ１の値とリードポインタＲＰ１の値により算出される。データ量が「０」（ゼロ）であるとき、ライトポインタＷＰ１の値とリードポインタＲＰ１の値は互いに等しい。

【００４３】

データは、ライトポインタＷＰ１に従ってＦＩＦＯメモリ４１に書かれ、リードポインタＲＰ１に従ってＦＩＦＯメモリ４１から読み出される。従って、データが正常に転送されるとき、ライトポインタＷＰ１はリードポインタＲＰ１より先行している。

【００４４】
ＦＩＦＯメモリ４１に記憶されたデータは、表示部１５の動作タイミングに応じてＦＩＦＯメモリ４１から読み出される。フレームメモリ１３からの読み出しが遅れると、リードポインタＲＰ１がライトポインタＷＰ１より先行し、転送破綻が発生する。転送破綻が発生したときのデータ量は、負の値となる。つまり、データ量が「０」（ゼロ）よりも小さくなると、転送破綻が発生する。転送破綻の発生は、表示部１５における表示画像の乱れを生じさせる。従って、制御部５１は、ＦＩＦＯメモリ４１のデータ量を監視し、転送状態（転送破綻が生じうる、又は転送破綻が生じている）に応じたレベルの選択信号ＤＳＬを出力する。
【００４５】
補間データ生成部６０は、ＦＩＦＯメモリ４０から出力されるデータＲＤ０に基づいて生成した補間データＲＲを出力する。ＦＩＦＯメモリ４０は、制御部５０によりフレームメモリ１３から読み出された偶数列データＦＤ０を記憶する。表示部１５における表示には、１フレーム分の画像データが必要である。従って、補間データ生成部６０は、ＦＩＦＯメモリ４０の出力データＲＤ０に基づく補間処理により、奇数列データＦＤ１に対応する補間データＲＲを生成する。例えば、補間データ生成部６０は、補間処理により、ＦＩＦＯメモリ４０の出力データＲＤ０の値と等しい値の補間データＲＲを生成する。
【００４６】
出力データ生成部６２は、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、ＦＩＦＯメモリ４１から出力されるデータＲＤ１と、補間データ生成部６０から出力される補間データＲＲに基づいて、出力データＤＤを出力する。
【００４７】
出力データ生成部６２は、制御部５１から出力される選択信号ＤＳＬに基づいて、補間データ生成部６０から出力される補間データＲＲと、ＦＩＦＯメモリ４１から出力されるデータＲＤ１のうちの何れか一方を選択する。例えば、出力データ生成部６２は、第１のレベル（Ｌレベル）の選択信号ＤＳＬに応答してＦＩＦＯメモリ４１から出力されるデータＲＤ１を選択する。そして、出力データ生成部６２は、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、選択したデータＲＤ１を交互に出力データＤＤとして出力する。一方、出力データ生成部６２は、第２のレベル（Ｈレベル）の選択信号ＤＳＬに応答して補間データ生成部６０から出力される補間データＲＲを選択する。そして、出力データ生成部６２は、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、選択した補間データＲＲを交互に出力データＤＤとして出力する。
【００４８】
また、出力データ生成部６２は、例えばクロック信号に基づいて、表示部１５に１フレームの画像を表示するための同期信号を生成する。同期信号は、フレームの開始を示す垂直同期信号Ｖsyncと、各ラインの開始を示す水平同期信号Ｈsyncを含む。各同期信号Ｖsync，Ｈsyncの周期は、表示部１５に応じて設定されている。出力データ生成部６２は、出力データＤＤを同期信号Ｖsync，Ｈsyncに応じて出力する。
【００４９】
次に、上記の出力部３３の作用を説明する。
先ず、ＦＩＦＯメモリ４０，４１のデータ量の推移を説明する。
図６において、上段の波形はＦＩＦＯメモリ４０のデータ量ＤＶ０の推移を示し、下段の波形はＦＩＦＯメモリ４１のデータ量ＤＶ１の推移を示す。図６に示す各波形において、横軸は時間、縦軸はデータ量（百分率）である。
【００５０】
図２に示す制御部５０は、アービタ３２ａに対してフレームメモリ１３の分割画像データＦＤ０のデータを要求する読み出し要求ＲＱ０を出力する。フレームメモリ１３は、アービタ３２ａを介して制御部５０から受け取る読み出しアドレスＡＤＤ（ＲＡ０）に対応する所定量の画像データを出力する。
【００５１】

バースト転送が開始される（時刻Ｔ０）と、転送された画像データがＦＩＦＯメモリ４０に記憶されることで、ＦＩＦＯメモリ４０のデータ量ＤＶ０は増加する。バースト転送が終了する（時刻Ｔ１）と、図２に示す制御部５０は、ＦＩＦＯメモリ４０のデータ量ＤＶ０に基づいて算出した空き容量によりデータ転送が可能であると判断し、アービタ３２ａに対して読み出し要求ＲＱ０を出力する。次のバースト転送が開始される（時刻Ｔ２）までの間、データの読み出しが行われない場合、ＦＩＦＯメモリ４０のデータ量ＤＶ０は変化しない。そして、フレームメモリ１３からＦＩＦＯメモリ４０へのデータ転送により、ＦＩＦＯメモリ４０のデータ量ＤＶ０は増加し、フル状態（満杯状態であって、メモリ容量に対するデータ量の割合が「１００［％］」の状態）になる（時刻Ｔ３）。

【００５２】

ＦＩＦＯメモリ４０に対する読み出しが開始される（時刻Ｔ４）と、ＦＩＦＯメモリ４０のデータ量ＤＶ０は減少する。そして、ＦＩＦＯメモリ４０の空き容量がバースト転送量よりも多くなる（時刻Ｔ５）と、制御部５０はアービタ３２ａに対して読み出し要求ＲＱ０を出力する。ＦＩＦＯメモリ４０のデータ量ＤＶ０は、読み出し要求ＲＱ０の出力後、フレームメモリ１３とＦＩＦＯメモリ４０の間のデータ転送が開始されるまで減少する。読み出し要求ＲＱ０に応じてフレームメモリ１３からデータ転送が開始される（時刻Ｔ６）と、ＦＩＦＯメモリ４０のデータ量ＤＶ０は、書き込み速度と読み出し速度の差に応じた傾きで増加する。

【００５３】

図２に示す制御部５１は、制御部５０と同様に、ＦＩＦＯメモリ４１を制御する。従って、ＦＩＦＯメモリ４１のデータ量ＤＶ１は、ＦＩＦＯメモリ４０のデータ量ＤＶ０と同様に推移する。

【００５４】

次に、転送破綻が生じる場合について説明する。

図７において、横軸は時間である。また、図７に示すデータ量ＤＶ０，ＤＶ１の波形における縦軸はデータ量（百分率）である。

【００５５】

時刻Ｔ０において、ＦＩＦＯメモリ４０，４１に対する読み出しが開始される。図２に示す制御部５１は、データ量ＤＶ１としきい値ＤＴ０の比較結果に応じてＬレベルの選択信号ＤＳＬを出力する。出力データ生成部６２は、Ｌレベルの選択信号ＤＳＬに基づいて、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、ＦＩＦＯメモリ４１から出力されるデータＲＤ１を、交互に出力データＤＤとして出力する。

【００５６】

両ＦＩＦＯメモリ４０，４１のデータ量ＤＶ０，ＤＶ１は、画像データの読み出しに従って減少する。そして、時刻Ｔ１において、制御部５０は、データ量ＤＶ０に基づいて算出したＦＩＦＯメモリ４０の空き容量によりデータ転送が可能であると判定し、読み出し要求ＲＱ０を出力する。同様に、制御部５１は、データ量ＤＶ１に基づいて算出したＦＩＦＯメモリ４１の空き容量によりデータ転送が可能であると判定し、読み出し要求ＲＱ１を出力する。

【００５７】

両読み出し要求ＲＱ０，ＲＱ１のうち、優先度の高い読み出し要求ＲＱ０が受け付けられる。読み出し要求ＲＱ０に応じてフレームメモリ１３からＦＩＦＯメモリ４０へデータ転送が開始される（時刻Ｔ２）と、ＦＩＦＯメモリ４０のデータ量ＤＶ０は、増加する。次いで、優先度の低い読み出し要求ＲＱ１が受け付けられ、読み出し要求ＲＱ１に応じてフレームメモリ１３からＦＩＦＯメモリ４１へデータ転送が開始される。このように、ＦＩＦＯメモリ４０に対応する制御部５０の読み出し要求ＲＱ０が、ＦＩＦＯメモリ４１に対応する制御部５１の読み出し要求ＲＱ１よりも優先して受け付けられる。

【００５８】

そして、ＦＩＦＯメモリ４０に対してデータが書き込まれた後、ＦＩＦＯメモリ４１に対してデータが書き込まれる。従って、ＦＩＦＯメモリ４０よりも先に、ＦＩＦＯメモリ

４１において転送破綻が発生する（時刻Ｔ５）。制御部５１は、しきい値ＤＴ０とデータ量ＤＶ１の比較結果に応じて、Ｈレベルの選択信号ＤＳＬを出力する。出力データ生成部６２は、Ｈレベルの選択信号ＤＳＬに基づいて、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、補間データ生成部６０から出力される補間データＲＲを、交互に出力データＤＤとして出力する。

【００５９】

従って、ＦＩＦＯメモリ４０から出力される画像データＲＤ０、即ち偶数列データと、補間データＲＲによる画像が表示部１５に表示される。補間データＲＲは、ＦＩＦＯメモリ４０から出力される画像データＲＤ０に基づいて生成される。本実施形態において、補間データ生成部６０は、ＦＩＦＯメモリ４０の出力データＲＤ０の値と等しい値の補間データＲＲを出力する。従って、そして、補間データＲＲに基づいて表示される画素の色は、表示部１５において水平走査方向に隣接する画素（水平走査方向において反走査方向に隣接する画素）の色と等しい。

【００６０】

１つのフレーム画像において、水平走査方向に隣接する２つの画素は、互いに同様のデータとなることが多い。従って、１つ前の画素の画像データと等しい補間データによる画素を転送破綻の際に表示することで、転送破綻によって関係が低いデータによる画素を表示する場合と比べ、違和感が少なくなる。これにより、転送破綻による不具合が低減される。

【００６１】

次いで、ＦＩＦＯメモリ４１に対するデータ転送が開始され、ＦＩＦＯメモリ４１のデータ量ＤＶ１が「０」以上になると、転送破綻が解消される。制御部５１は、データ量ＤＶ１がしきい値ＤＴ０より大きくなると、Ｌレベルの選択信号ＤＳＬを出力する。出力データ生成部６２は、Ｌレベルの選択信号ＤＳＬに基づいて、ＦＩＦＯメモリ４０から出力されるデータＲＤ０と、ＦＩＦＯメモリ４１から出力されるデータＲＤ１を、交互に出力データＤＤとして出力する。

【００６２】

このようにして表示部１５に表示される画像の一例を図５（ａ）に示す。なお、この画像ＦＰａにおいて、破線にて挟まれた領域ＡＰａにおいて、転送破綻が生じた場合を示す。この画像ＦＰａは、転送破綻が生じていない場合の画像ＦＰＡ（図４（ａ）参照）と同様に、違和感の少ないものであり、画像に含まれる文字「Ａ」を容易に認識することができる。比較例として、両ＦＩＦＯメモリ４０，４１から出力される画像データＲＤ０，ＲＤ１による画像を図５（ｂ）に示す。この画像ＦＰｂは、領域ＡＰｂにおいて転送破綻が発生している。この画像ＦＰｂは、図５（ａ）に示す画像ＦＰａと比べ、画像に含まれる文字を認識することは難しく、違和感の多いものである。

【００６３】

以上記述したように、本実施形態によれば、以下の効果を奏する。

（１）出力部３３は、２つのＦＩＦＯ（first in first out）メモリ４０，４１、２つの制御部５０，５１、補間データ生成部６０、レジスタ部６１、出力データ生成部６２を有している。制御部５０は、ＦＩＦＯメモリ４０のデータ量を監視する。そして、制御部５０は、アービタ３２ａに対し、フレームメモリ１３に格納された分割画像データＦＤ０（偶数列データ）を要求する。ＦＩＦＯメモリ４０は、フレームメモリ１３から読み出された分割画像データＦＤ０をライトポインタＷＰ０に従って格納する。そして、ＦＩＦＯメモリ４０は、リードポインタＲＰ０に従って記憶したデータを読み出し、データＲＤ０を出力する。制御部５１は、ＦＩＦＯメモリ４１のデータ量を監視する。そして、制御部５１は、アービタ３２ａに対し、フレームメモリ１３に格納された分割画像データＦＤ１（奇数列データ）を要求する。ＦＩＦＯメモリ４１は、フレームメモリ１３から読み出された分割画像データＦＤ１をライトポインタＷＰ１に従って格納する。そして、ＦＩＦＯメモリ４１は、リードポインタＲＰ１に従って記憶したデータを読み出し、データＲＤ１を出力する。補間データ生成部６０は、ＦＩＦＯメモリ４０から出力されるデータＲＤ０

に基づいて生成した補間データＲＲを出力する。出力データ生成部６２は、制御部５１から出力される選択信号ＤＳＬに基づいて、補間データ生成部６０から出力される補間データＲＲと、ＦＩＦＯメモリ４１から出力されるデータＲＤ１のうちの何れか一方を選択する。そして、出力データ生成部６２は、選択したデータＲＤ１と補間データＲＲのうちの何れか一方とデータＲＤ０に基づいて出力データＤＤを出力する。

【００６４】

ＦＩＦＯメモリ４１において転送破綻が生じた場合、制御部５１は、Ｈレベルの選択信号ＤＳＬを出力する。出力データ生成部６２は、Ｈレベルの選択信号ＤＳＬに応答して、データＲＤ０と補間データＲＲに基づいて出力データＤＤを生成する。補間データＲＲはデータＲＤ０に基づいて生成される。従って、表示部１５の水平走査方向に隣接する２つの画素は、データＲＤ０により表示される画素と、データＲＤ０に基づいて生成された補間データＲＲにより表示される画素である。従って、転送破綻によって関係が低いデータによる画像を表示する場合と比べ、違和感が少なくなる。このように、転送破綻による不具合を低減することができる。

【００６５】

次に、出力部３３の様々な変形例を説明する。

尚、以下の説明において、上記の実施形態と同じ部材については同じ符号を付し、その説明の一部又は全てを省略する。

【００６６】

［変形例１］

転送破綻が生じた場合にＦＩＦＯメモリ４１を停止させるようにしてもよい。

図８において、横軸は時間である。また、図８に示すデータ量ＤＶ０，ＤＶ１の波形における縦軸はデータ量（百分率）である。

【００６７】

制御部５１は、ＦＩＦＯメモリ４１のデータ量ＤＶ１としきい値ＤＴ０の比較結果に応じて、ＦＩＦＯメモリ４１において転送破綻が発生したと判定した場合、Ｈレベルの選択信号ＤＳＬを出力する。その後、制御部５１は、所定のタイミングで、Ｌレベルのリード許可信号ＲＥ１を出力する。ＦＩＦＯメモリ４１は、Ｌレベルのリード許可信号ＲＥ１に応答してデータの読み出しを停止する。更に、制御部５１は、アービタ３２ａに対する読み出し要求ＲＱ１の出力を停止する。

【００６８】

ＦＩＦＯメモリ４１に対するデータの読み出しを停止することにより、フレームメモリ１３と画像処理プロセッサ１２の間のテータ転送において、単位時間において転送するデータ量、つまり転送帯域が少なくなる。これにより、制御部５０が出力する読み出し要求ＲＱ０が受け付けられ易くなり、読み出し要求ＲＱ０に対する応答時間が短くなる。このため、ＦＩＦＯメモリ４０における転送破綻の発生を抑制することができる。

【００６９】

［変形例２］

転送破綻が生じた場合にＦＩＦＯメモリ４１を停止させるようにしてもよい。

例えば、制御部５１に対するしきい値の設定を、ＦＩＦＯメモリ４１のメモリ容量に応じて、例えばメモリ容量の５パーセント［％］に設定する。なお、設定するしきい値ＤＴ１は適宜変更が可能である。

【００７０】

図９において、上段の波形はＦＩＦＯメモリ４０のデータ量ＤＶ０の推移を示し、下段の波形はＦＩＦＯメモリ４１のデータ量ＤＶ１の推移を示す。図９において、横軸は時間である。また、図９に示すデータ量ＤＶ０，ＤＶ１の波形における縦軸はデータ量（百分率）である。

【００７１】

制御部５１は、ＦＩＦＯメモリ４１のデータ量ＤＶ１としきい値ＤＴ１の比較結果に応じて、データ量ＤＶ１がしきい値ＤＴ１より小さくなると、アービタ３２ａに対する読み

出し要求ＲＱ１の出力を停止する。次いで、ＦＩＦＯメモリ４１のデータ量ＤＶ１が「０」（ゼロ）になると、Ｈレベルの選択信号ＤＳＬを出力し、ＦＩＦＯメモリ４１に対してＬレベルのリード許可信号ＲＥ１を出力する。ＦＩＦＯメモリ４１は、Ｌレベルのリード許可信号ＲＥ１に応答してデータの読み出しを停止する。

【００７２】

このような動作により、上記［変形例１］と同様に、転送帯域を少なくし、ＦＩＦＯメモリ４０における転送破綻の発生を抑制することができる。また、しきい値ＤＴ１を「０」（ゼロ）より大きな値に設定することで、読み出し要求ＲＱ１を停止するタイミングが［変形例１］よりも早くなる。このため、ＦＩＦＯメモリ４１における転送破綻の発生よりも前に転送帯域が少なくなるため、ＦＩＦＯメモリ４０における転送破綻の発生を抑制することができる。

【００７３】

［変形例３］

ＦＩＦＯメモリ４０のデータ量ＤＶ０に応じてＦＩＦＯメモリ４１を停止させるようにしてもよい。

【００７４】

例えば、図１０に示すように、出力部３３ａの制御部５０ａに対して、レジスタ部６１ａによりしきい値ＤＴ２を設定する。このしきい値ＤＴ２は、ＦＩＦＯメモリ４１において転送破綻が発生するときのＦＩＦＯメモリ４０のデータ量ＤＶ０に応じて設定され、例えばＦＩＦＯメモリ４０のメモリ容量の５パーセントに設定される。なお、設定するしきい値ＤＴ２は適宜変更が可能である。

【００７５】

制御部５０ａは、ＦＩＦＯメモリ４０のデータ量ＤＶ０としきい値ＤＴ２とを比較し、比較結果に応じて制御信号ＳＣ０を出力する。制御信号ＳＣ０は第１の制御信号の一例である。図１１に示すように、制御部５０ａは、データ量ＤＶ０がしきい値ＤＴ２以上のときに第１のレベル（例えばＬレベル）の制御信号ＳＣ０を出力する。図１１において、横軸は時間である。また、図１１に示すデータ量ＤＶ０，ＤＶ１の波形における縦軸はデータ量（百分率）である。制御部５０ａは、データ量ＤＶ０がしきい値ＤＴ２より小さくなると（時刻Ｔ０）、Ｈレベルの制御信号ＳＣ０を出力する。

【００７６】

制御部５１ａは、制御信号ＳＣ０に応答して、ＦＩＦＯメモリ４１を制御し、選択信号ＤＳＬを出力する。例えば、制御部５１ａは、Ｌレベルの制御信号ＳＣ０に応答して、ＦＩＦＯメモリ４１のデータの読み出しを許容（例えば、Ｈレベルのリード許可信号ＲＥ１を出力）し、Ｌレベルの選択信号ＤＳＬを出力する。また、制御部５１ａは、Ｈレベルの制御信号ＳＣ０に応答して、ＦＩＦＯメモリ４１のデータ読み出しを停止（例えば、Ｌレベルのリード許可信号ＲＥ１を出力）させ、Ｈレベルの選択信号ＤＳＬを出力する。

【００７７】

［変形例４］

ＦＩＦＯメモリ４１を停止させた後、ＦＩＦＯメモリ４０のデータ量ＤＶ０に応じてＦＩＦＯメモリ４１を動作させるようにしてもよい。

【００７８】

例えば、図１０に示す制御部５０ａに対し、しきい値ＤＴ３を設定する。しきい値ＤＴ３は、図１２に示すように、ＦＩＦＯメモリ４０のデータ量ＤＶ０に応じて、例えばＦＩＦＯメモリ４０のメモリ容量の９０パーセントに設定される。図１２において、横軸は時間である。また、図１２に示すデータ量ＤＶ０，ＤＶ１の波形における縦軸はデータ量（百分率）である。

【００７９】

図１２に示す例において、制御部５１ａは、設定されたしきい値ＤＴ３とデータ量ＤＶ１の比較結果に応じてＦＩＦＯメモリ４１の動作を制御し、選択信号ＤＳＬを出力する。

制御部５０ａは、データ量ＤＶ０がしきい値ＤＴ３より小さいとき、Ｌレベルの制御信

号ＳＣ１を出力する。制御信号ＳＣ１は第２の制御信号の一例である。そして、制御部５０ａは、データ量ＤＶ０がしきい値ＤＴ３以上になると、Ｈレベルの制御信号ＳＣ１を出力する。また、制御部５０ａは、ＦＩＦＯメモリ４０に書き込んだデータの位置情報を出力する。データの位置情報は、例えば、データに応じて表示される画素の位置であり、図２に示す表示部１５における水平走査方向における画素位置を含む。なお、位置情報に、表示部１５における垂直走査方向における画素位置を含めても良い。

【００８０】

制御部５１ａは、Ｈレベルの制御信号ＳＣ１に応答して、読み出し要求ＲＱ１をアービタ３２ａに出力する。このとき、ＦＩＦＯメモリ４０はフル状態に近い状態にあり、ＦＩＦＯメモリ４０のデータ量ＤＶ０は１００％に近い値となっている。したがって、制御部５０が出力する読み出し要求ＲＱ０がアービタ３２ａにより受け付けられやすい状態にある。このため、制御部５１が出力する読み出し要求ＲＱ１も受け付けられやすい。

【００８１】

読み出し要求ＲＱ１が受け付けられると、制御部５１ａは、制御部５０ａから受け取った位置情報に応じた要求アドレスＲＡ１を出力する。例えば、制御部５１ａは、ＦＩＦＯメモリ４０に書き込まれたデータの画素と１フレームの画像データＦＤＡにおいて隣接する画素のデータのアドレスを先頭アドレスとしてバースト転送分のデータを読み出すように要求アドレスＲＡ１を出力する。

【００８２】

読み出し要求ＲＱ１に応じてフレームメモリ１３からＦＩＦＯメモリ４１へデータ転送が開始され、ＦＩＦＯメモリ４１のデータ量ＤＶ１が増加する。

制御部５１ａは、上記の位置情報に対応するデータがＦＩＦＯメモリ４０から読み出されるタイミングで、ＦＩＦＯメモリ４１の読み出しを開始させる。そして、Ｌレベルの選択信号ＤＳＬを出力する。

【００８３】

なお、制御部５１ａがＦＩＦＯメモリ４１の読み出しを再開するタイミングは、適宜設定が可能である。例えば、ＦＩＦＯメモリ４０に書き込まれたデータの位置情報に基づいて、次のバースト転送によりＦＩＦＯメモリ４０に転送されるデータに対応するデータ（隣接する画素のデータ）をフレームメモリ１３から読み出し、そのデータからデータ転送を再開するようにしてもよい。また、ＦＩＦＯメモリ４０から読み出される画像データＲＤ０が含まれるラインデータの次のラインデータ又は複数ライン先のラインデータからデータ転送を再開するようにしてもよい。また、次のフレームの画像データからデータ転送を再開するようにしてもよい。

【００８４】

［変形例５］

図１３に示すように、フレームメモリ１３には、赤色（Ｒ）の画像データＦＲＡと、緑色（Ｇ）の画像データＦＧＡと、青色（Ｂ）の画像データＦＢＡが格納されている。赤色の画像データＦＲＡは、偶数列データＦＲ０と奇数列データＦＲ１を含む。同様に、緑色の画像データＦＧＡは偶数列データＦＧ０と奇数列データＦＧ１を含み、青色の画像データＦＢＡは偶数列データＦＢ０と奇数列データＦＢ１を含む。

【００８５】

出力部３３ｂは、赤色の画像データＦＲＡに対応する転送ブロックＴＢＲと、緑色の画像データＦＧＡに対応する転送ブロックＴＢＧと、青色の画像データＦＢＡに対応する転送ブロックＴＢＢと、出力データ生成部（単に「出力部」と表記）６２ｂを有している。

【００８６】

転送ブロックＴＢＲは、上記の出力部３３と同様に、ＦＩＦＯメモリ（単に「ＦＩＦＯ」と表記）４０，４１、制御部５０，５１Ｒ、補間データ生成部（単に「補間部」と表記）６０、レジスタ部６１を含む。同様に、転送ブロックＴＢＧは、ＦＩＦＯメモリ（単に「ＦＩＦＯ」と表記）４０，４１、制御部５０，５１Ｇ、補間データ生成部（単に「補間部」と表記）６０、レジスタ部６１を含む。また、転送ブロックＴＢＢは、ＦＩＦＯメモ

リ（単に「ＦＩＦＯ」と表記）４０，４１、制御部５０，５１Ｂ、補間データ生成部（単に「補間部」と表記）６０、レジスタ部６１を含む。

【００８７】

各制御部５１Ｒ、５１Ｇ、５１Ｂは、上記実施形態の制御部５０（図２参照）と同様に、ＦＩＦＯメモリ４１のデータ量ＤＶ１としきい値とを比較する。各制御部５１Ｒ、５１Ｇ、５１Ｂは、自身の比較結果と、他の制御部の比較結果に基づいて、選択信号ＤＳＲ，ＤＳＧ，ＤＳＢを出力する。例えば、転送ブロックＴＢＲのＦＩＦＯメモリ４１において転送破綻が発生した場合、制御部５１Ｒは、例えば上記［変形例１］と同様に、ＦＩＦＯメモリ４１を停止させ、Ｈレベルの選択信号ＤＳＲを出力する。そして、制御部５１Ｒは、転送破綻の発生を他の制御部５１Ｇ，５１Ｂに通知する。各制御部５１Ｇ，５１Ｂは、通知を受けてそれぞれのＦＩＦＯメモリ４１を停止させ、Ｈレベルの選択信号ＤＳＧ，ＤＳＢを出力する。他の転送ブロックＴＢＧ，ＴＢＢにおいて転送破綻が発生した場合も同様である。

【００８８】

１つの転送ブロック（例えば、転送ブロックＴＢＲ）において転送破綻が発生した場合、他の転送ブロックＴＢＧ，ＴＢＢにおいても転送破綻が発生する可能性が高い。このため、１つの転送ブロックＴＢＲにおいて転送破綻が発生した場合に、当該転送ブロックＴＢＲにおいてＦＩＦＯメモリ４１を停止させるとともに、他の転送ブロックＴＢＧ，ＴＢＢにおいてＦＩＦＯメモリ４１を停止させることで、転送帯域を削減することができ、各転送ブロックＴＢＲ～ＴＢＢのＦＩＦＯメモリ４０における転送破綻の発生を抑制することができる。

【００８９】

なお、ＦＩＦＯメモリ４１を停止させるためのしきい値の設定等は、上記各変形例と同様に行うことができる。

また、［変形例４］と同様に、ＦＩＦＯメモリ４１を用いたデータ転送を再開するようにしてもよい。この場合、全ての転送ブロックＴＢＲ～ＴＢＢにおいて転送再開の条件（ＦＩＦＯメモリ４０のデータ量ＤＶ０がしきい値ＤＴ３以上）を満足した場合に転送を再開する。

【００９０】

なお、２つの画像データ又は４つ以上の画像データをフレームメモリ１３に格納した場合も同様にデータ転送を制御することが可能である。

［変形例６］

図１４（ａ）～（ｃ）に示すように、３つの分割画像データＦＤ０～ＦＤ２を図１に示すフレームメモリ１３に格納し、各分割画像データＦＤ０～ＦＤ２をそれぞれデータ転送するようにしてもよい。図１４（ａ）に示す分割画像データＦＤ０は、列数Ｙが３ｎ（ｎは０以上の整数）である画像データを含む。図１４（ｂ）に示す分割画像データＦＤ１は列数Ｙが３ｎ＋１である画像データを含む。図１４（ｃ）に示す分割画像データＦＤ２は列数Ｙが３ｎ＋２である画像データを含む。

【００９１】

このように、３つの分割画像データＦＤ０～ＦＤ２をデータ転送する場合においても、上記実施形態及び各変形例と同様に、転送破綻による表示画像の乱れを低減することができる。

【００９２】

［変形例７］

画像データを、ビット数によって分割した分割画像データを用いるようにしてもよい。例えば、図１５（ａ）に示すように、１つの画素データＤ００は１２ビットのデータＢ１１～Ｂ０である。この画素データＤ００を、図１５（ｂ）に示すように、上位８ビットの分割データＤ００ａと、下位４ビットの分割データＤ００ｂに分割する。補間データ生成部６０（図２参照）における補間処理では、図１５（ｄ）に示すように、分割データＤ００ａに含まれる４ビット（例えば、ビットＢ１１～Ｂ８）を下位４ビットとする１２ビッ

トの補間データＲＲａを生成する。また、図１５（ｅ）に示すように、ビットＢ４を下位４ビットにコピーして１２ビットの補間データＲＲｂを生成する。尚、下位４ビットに付加する値は、例えば「０」や「１」の固定データ、又は任意のビットの値を用いることができる。

【００９３】

図１５（ａ）～（ｄ）では１２ビットの画素データＤ００及び補間データＲＲａ，ＲＲｂについて説明したが、ビット数を適宜変更してもよい。例えば、８ビットの画像データを上位４ビットと下位４ビットに分割する。また、１０ビットの画像データを上位８ビットと下位２ビットに分割する。また、１６ビットの画像データを上位８ビットと下位８ビットに分割する。また、１つの画像データを３つ以上に分割してもよい。

【００９４】

また、このようなビット数による分割は、例えば上記実施形態の偶数列データと奇数列データに対しても適用することができる。つまり、図３（ｂ）に示す偶数列データＦＤ０の各画像データを、上位ビットを含む分割画像データと下位ビットを含む分割画像データに分割する。同様に、図３（ｃ）に示す奇数列データＦＤ１の各画像データを、上位ビットを含む分割画像データと下位ビットを含む分割画像データに分割する。

【００９５】

尚、上記実施形態及び各変形例のうちの少なくとも１つにおいて、以下の態様で実施してもよい。

・補間データ生成部における補間処理を適宜変更してもよい。

【００９６】

１フレームの画像データＦＤ０を、画素データの配列に従って分割した偶数列データＦＤ０と奇数列データＦＤ１の場合、直線補間により補間データを生成するようにしてもよい。例えば、図３（ｂ）に示す偶数列データＦＤ０に含まれる画素データＤ００と画素データＤ０２の間の画素データ（図３（ａ）に示す画素データＤ０１に対応する補間データ）を生成する。この補間データの値を、例えば画素データＤ００の値と画素データＤ０２の値の平均値とする。この場合、補間データＲＲに基づいて表示される画素の色は、表示部１５において、水平走査方向において隣接する２つの画素の中間の色となる。従って、偶数列データＦＤ０の値と等しい値の補間データＲＲを生成する場合と比べ、より違和感の少ない画像が得られる。

【００９７】

また、

・出力部３３において、画像データに対して補正処理を行うようにしてもよい。補正処理は、例えば階調補正処理である。出力データ生成部６２，６２ｂにおいて生成された出力データに対して、表示部１５の表示特性に基づく階調補正処理を行い、入力した画像データに応じて直線的に階調（輝度や色）が変化するように、入力した画像データを補正する。そして、補正後の画像データを表示部１５に対して出力する。なお、補正処理を出力データ生成部６２，６２ｂにおいて行うようにしてもよい。

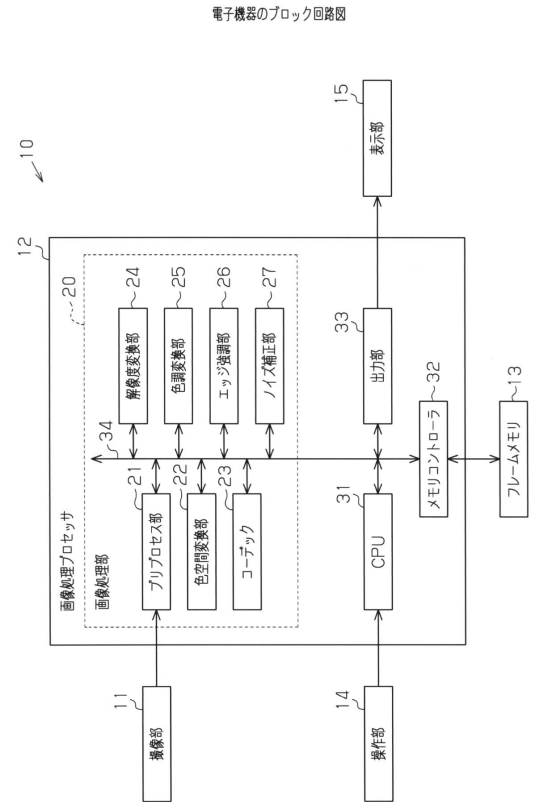
【符号の説明】

【００９８】

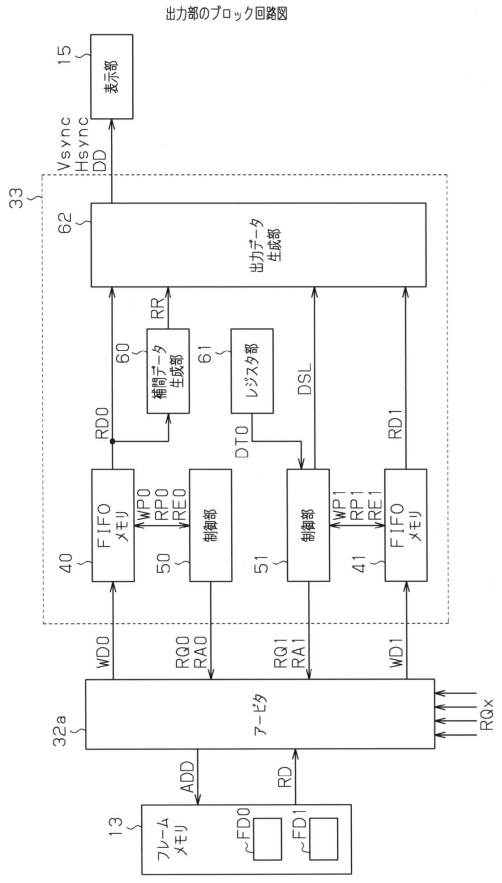
１３　フレームメモリ
１５　表示部（転送先）
３２ａ　アービタ（調停部）
３３　出力部（データ転送部）
４０，４１　ＦＩＦＯメモリ
５０，５１　制御部
６０　補間データ生成部
６１　レジスタ部
６２　出力データ生成部
ＤＤ　出力データ

ＤＳＬ　選択信号
ＤＶ０，ＤＶ１　データ量
ＦＤＡ　画像データ
ＦＤ０，ＦＤ１　分割画像データ
ＲＰ０，ＲＰ１　リードポインタ
ＷＰ０，ＷＰ１　ライトポインタ
ＷＤ０，ＷＤ１　入力データ
ＲＤ０，ＲＤ１　出力データ
ＲＲ，ＲＲａ，ＲＲｂ　補間データ

【図１】



【図２】



【図３】

画像データの説明図

(a)

FDA

D00	D01	D02	D03	D04	D05	D06	D07	L0
D10	D11	D12	D13	D14	D15	D16	D17	L1
D20	D21	D22	D23	D24	D25	D26	D27	L2
D30	D31	D32	D33	D34	D35	D36	D37	L3
D40	D41	D42	D43	D44	D45	D46	D47	L4
D50	D51	D52	D53	D54	D55	D56	D57	L5
D60	D61	D62	D63	D64	D65	D66	D67	L6
D70	D71	D72	D73	D74	D75	D76	D77	L7

(b)

FD0

D00	D02	D04	D06
D10	D12	D14	D16
D20	D22	D24	D26
D30	D32	D34	D36
D40	D42	D44	D46
D50	D52	D54	D56
D60	D62	D64	D66
D70	D72	D74	D76

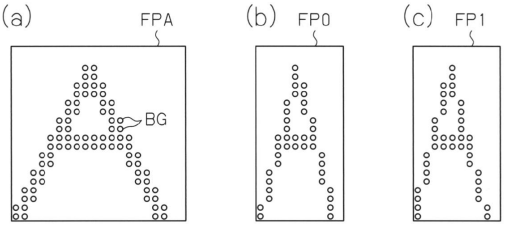
(c)

FD1

D01	D03	D05	D07
D11	D13	D15	D17
D21	D23	D25	D27
D31	D33	D35	D37
D41	D43	D45	D47
D51	D53	D55	D57
D61	D63	D65	D67
D71	D73	D75	D77

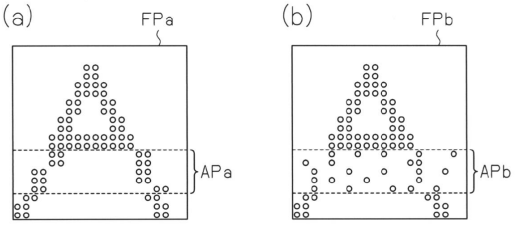
【図４】

表示画像の説明図



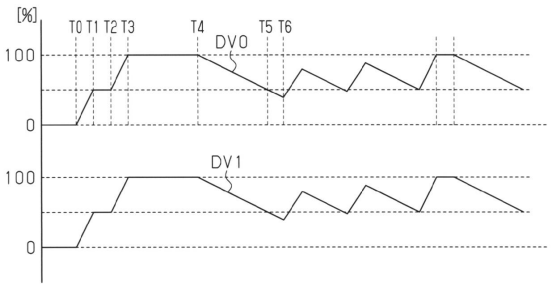
【図５】

表示画像の説明図



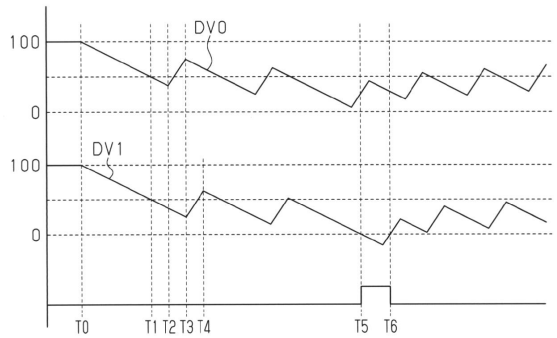
【図６】

出力部の動作説明図



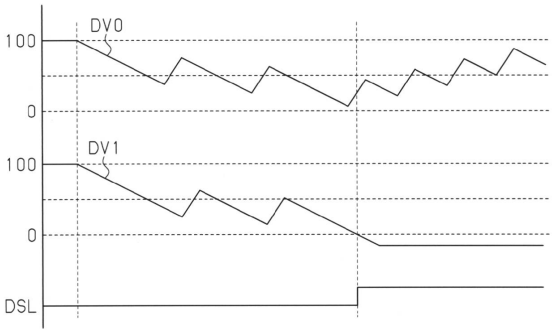
【図７】

出力部の動作説明図



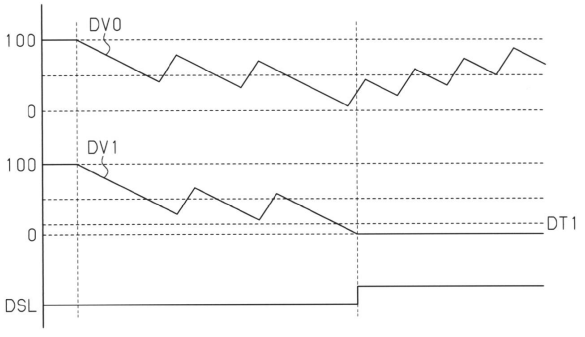
【図８】

出力部の動作説明図

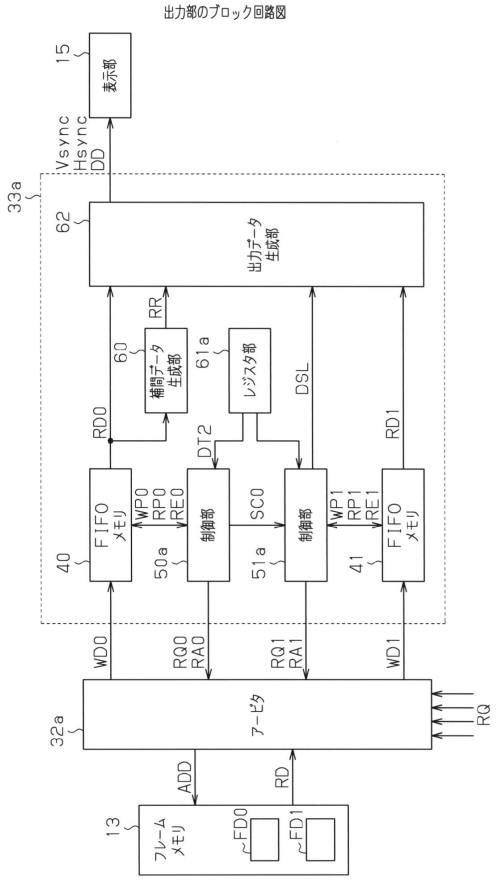


【図９】

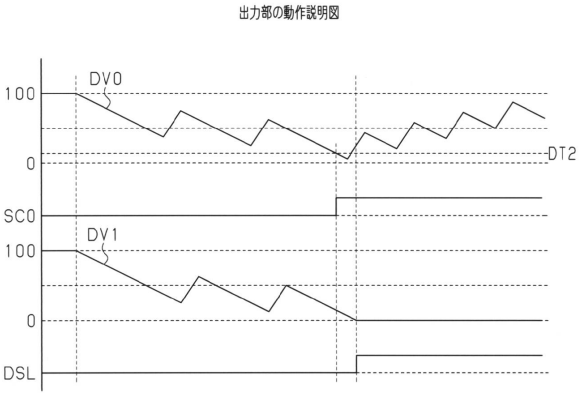
出力部の動作説明図



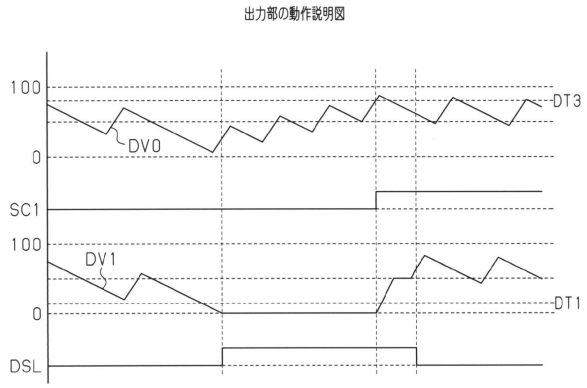
【図１０】



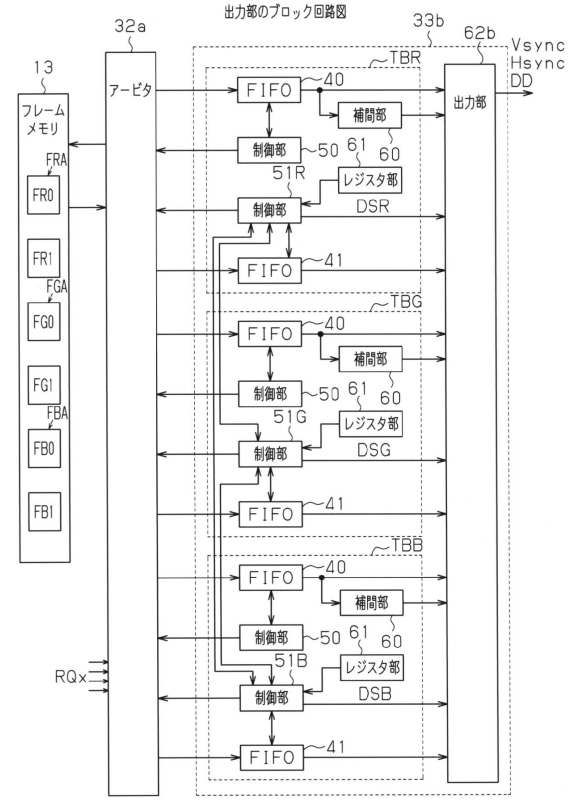
【図１１】



【図１２】



【図１３】



【図１４】

画像データの説明図

(a)

D00	D03	D06	D09	~FD0
D10	D13	D16	D19	
D20	D23	D26	D29	
D30	D33	D36	D39	
D40	D43	D46	D49	
D50	D53	D56	D59	
D60	D63	D66	D69	

(b)

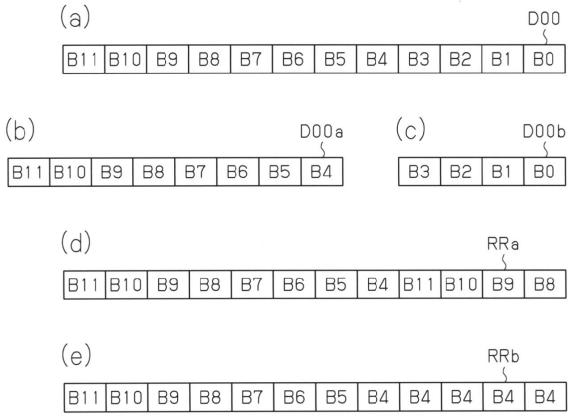
D01	D04	D07	D010	~FD1
D11	D14	D17	D110	
D21	D24	D27	D210	
D31	D34	D37	D310	
D41	D44	D47	D410	
D51	D54	D57	D510	
D61	D64	D67	D610	

(c)

D02	D05	D08	D011	~FD2
D12	D15	D18	D111	
D22	D25	D28	D211	
D32	D35	D38	D311	
D42	D45	D48	D411	
D52	D55	D58	D511	
D62	D65	D68	D611	

【図１５】

画像データの説明図



フロントページの続き

(72)発明者　関谷　知尋
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ＶＬＳＩ株式会社内
(72)発明者　箕浦　誠二
愛知県春日井市高蔵寺町二丁目１８４４番２　富士通ＶＬＳＩ株式会社内

審査官　森谷　哲朗

(56)参考文献　特開２００４－３４９９２９（ＪＰ，Ａ）
特開２０１２－１２８５８９（ＪＰ，Ａ）
特開２０００－０５９３２８（ＪＰ，Ａ）
特開平０９－１３９７２０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｌ　１３
Ｇ０６Ｆ　１３
Ｈ０４Ｎ　５／９０７