

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>6</sup> G11C 16/06	(45) 공고일자 1999년04월 15일
(21) 출원번호 1995-022788	(11) 등록번호 특0184093
(22) 출원일자 1995년07월28일	(24) 등록일자 1998년12월 17일
(30) 우선권주장 94-176726 1994년07월28일 일본(JP)	(65) 공개번호 특1996-006084
	(43) 공개일자 1996년02월23일

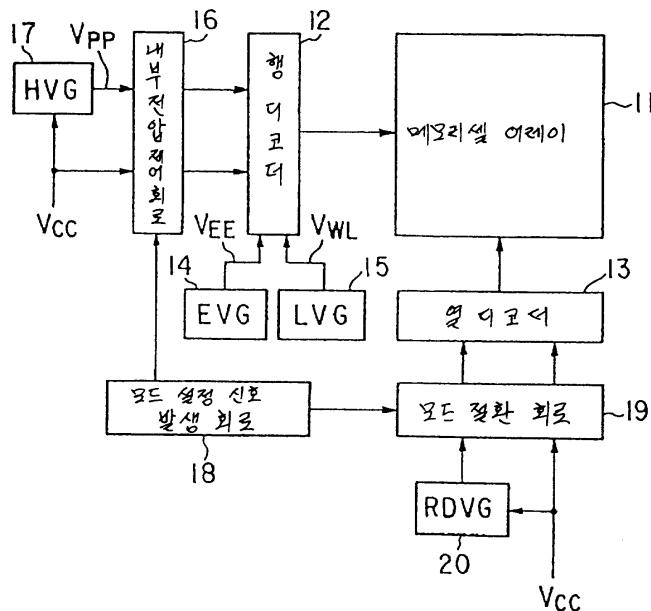
(73) 특허권자 가부시키가이샤 도시바 사토 후미오 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 아츠미 시게루 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터내 구리야마 마사오 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터내 반바 히로노리 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터내 우메자와 아키라 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터내 오츠카 노부아키 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키 가이샤 도시바 연구개발센터 내
(74) 대리인 이세진, 김윤배

**심사관 : 권인희****(54) 불휘발성 반도체 기억장치와 그 소거방법****요약**

본 발명은, 단순한 시퀀스에 의해 단시간 내에 효율이 좋은 워크·프로그램을 행할 수 있고, 임계치전압의 분포폭을 최소화할 수 있는 불휘발성 반도체 기억장치와 그 소거방법을 제고하기 위한 것이다.

본 발명은, 메모리셀 어레이(11)에는 EEPROM으로 이루어진 메모리셀(MC)이 매트릭스상으로 배치되어 있다. 메모리셀 어레이(11)는 복수의 블럭으로 분할되고, 이 블럭에 속하는 복수의 메모리셀이 일괄해서 소거된다. 이 후, 선택된 워드선 이외의 워드선을 부전위로 하고, 과소거상태에 메모리셀을 검출한다. 과소거상태의 메모리셀을 검출한 경우, 그 셀에 통상의 기록전압보다 낮은 전압에서 워크·프로그램을 행한다. 따라서, 과소거셀의 검출이 용이하게 됨과 더불어 워크·프로그램에 요하는 시간을 단축할 수 있다.

## 대표도



## 영세서

### [발명의 명칭]

불휘발성 반도체 기억장치와 그 소거방법

### [도면의 간단한 설명]

제1도는 본 발명의 1실시예를 나타낸 구성도.

제2도는 제1도의 일부를 구체적으로 나타낸 회로도.

제3도는 제1도의 일부를 구체적으로 나타낸 구성도.

제4도는 제3도의 일부를 구체적으로 나타낸 회로도.

제5도는 본 발명에 따른 소거시퀀스를 나타낸 플로우 차트.

제6도는 제2도에 나타낸 센스앰프회로의 일예를 나타낸 회로도.

제7도는 제6도에 나타낸 회로의 동작을 설명하기 위해 나타낸 도면.

제8도는 제2도에 나타낸 센스앰프회로의 다른 예를 나타낸 회로도.

제9도는 제8도에 나타낸 회로의 동작을 설명하기 위해 나타낸 도면.

제10도는 본 발명에 적용된 전압 발생회로를 나타낸 회로도.

제11도는 종래의 콤팩션 · 시퀀스를 나타낸 플로우 차트.

제12도는 제11도의 콤팩션을 구체적으로 나타낸 플로우 차트.

제13도는 위크 · 프로그램의 원리를 설명하기 위해 나타낸 도면이다.

### \* 도면의 주요 부분에 대한 부호의 설명

11 : 메모리셀 어레이

12 : 행디코더

13 : 열디코더

MC : 메모리셀

14 : 소거전압 발생기

15 : 저전압 발생기

16 : 내부전압 제어회로

17 : 고전압 발생회로

18 : 모드설정 신호발생회로

23 : 부하

24 : 센스앰프

25 : 기준전압 발생기

41 : 부하

42 : 기준셀

43, 44 : 전압제어회로

52 : P채널 트랜지스터

53 : 차동증폭기

R1, R2 : 저항

### [발명의 상세한 설명]

## [산업상의 이용분야]

본 발명은, 예컨대 기억한 데이터를 전기적으로 소거할 수 있는 불휘발성 반도체 기억장치에 관한 것으로, 특히 기억한 데이터를 전기적으로 일괄해서 소거할 수 있는 플래쉬 EEPROM과 그 소거방법에 관한 것이다.

## [종래의 기술 및 문제점]

플래쉬 EEPROM을 구성하는 메모리셀은 스택구조의 부유게이트와 제어게이트를 갖춘 트랜지스터에 의해 구성되어 있다. 이 플래쉬 EEPROM에 데이터를 기록하는 경우, 제어게이트와 드레인에 기록전압을 인가해서 채널에 열전자를 발생시켜 이 열전자를 부유게이트에 주입한다. 또한 이 플래쉬 EEPROM에 기억된데이터를 소거할 경우, 예컨대 소스에 고전압을 인가해서 부유게이트와 소스 사이에 고전류를 발생시켜, 부유게이트에 포획된 전자를 터널현상에 의해 소스로 방출시킨다.

상기 소거시에 문제로 되는 것은 메모리셀의 임계치전압이 부로 되는 과소거이다. 과소거상태의 셀(이하, 과소거셀로 칭함)이 발생한 경우, 그 셀은 비선택상태에서도 온상태로 되어 있다. 이로 인해, 과소거셀이 접속된 비트선에 0 데이터를 기억한 오프상태의 셀이 접속되어 있는 경우, 그 셀을 선택해도 데이터를 정확히 독출할 수 없다. 이 과소거를 방지하기 위하여 소거와 검증을 반복 실행하고, 가장 소거가 늦은 셀의 임계치전압이 원하는 전압 이하로 된 시점에서 소거를 종료하는 인텔리전트소거로 칭하는 소거방법이 사용되고 있다.

그러나, 플래쉬 EEPROM에 있어서 소거 후의 임계치전압의 분포폭은 2V 이상으로, 임계치전압의 분포가 1V 이내로 수축하는 자외선소거의 경우와 비교해서 상당히 크다. 이로 인해, 독출전압의 최저치가 제한되고, 특히 독출전압의 저전압화에 대해 제약되고 있다. 또한, 셀의 미세화에 수반하여 제조공정 오차가 증대하는 것이 예상되어 소거오차를 삽감할 연구가 필요로 되고 있다.

그런데, 상기 소거 후의 임계치전압의 분포폭을 다시 축소하기 위해 인텔사에 의한 콤팩션 · 시퀀스가 제안되어 있다. 이 콤팩션 · 시퀀스는 제11도에 나타낸 바와 같이, 소거 후 과소거셀을 검출한다(S21 ~ S23). 이 결과, 과소거셀이 있는 경우, 임계치전압의 분포폭을 축소하는 콤팩션이 실행된다(S24). 이 콤팩션은 제12도에 나타낸 바와 같이, 통상의 기록전압보다 낮은 케이트전압에서 재기록(이하, 위크 · 프로그램으로 칭함)을 행하고(S31), 이 후 재차 과소거상태로 되어 있는지 아닌지를 체크하는 것이다(S32, S33). 이 콤팩션이 종료한 후, 어드레스를 인크리먼트하고(S25, S26), 이 동작을 모든 셀에 대해 실행한다. 이 콤팩션 · 시퀀스에 의하면, 소거 후의 임계치전압의 분포폭을 축소할 수 있다.

제13도는, 상기 위크 · 프로그램에 있어서의 기록 특성의 케이트전압 의존성을 나타내고 있다. 동도로부터 명확히 알 수 있는 바와 같이, 기록 후의 셀의 임계치전압은 기록시의 케이트전압에 의존해서 수축한다. 따라서, 케이트전압을 낮게 설정하는 것으로 인해 과소거셀의 임계치전압을 정확히 되돌리는 정도의 재기록을 행할 수 있다.

그런데, 상기 종래의 플래쉬 EEPROM의 문제는 비선택상태의 워드선에 최저라도 0V 이상의 전압이 인가되어 버린다는 것이다. 이로 인해, 과소거셀이 어느 하나의 비트선에 접속되어 있는 경우, 그 과소거셀을 식별하는 것이 곤란하다. 따라서, 종래방식의 경우, 비트선에 접속된 과소거셀을 검출한 경우, 그 비트선에 접속된 모든 셀에 대해 위크 · 프로그램을 행한다.

이 후, 과소거셀이 없어졌는지 아닌지를 검증하여 과소거셀이 없어질 때까지 이 동작을 반복한다.

그러나, 종래 방식의 경우, 다음과 같은 영려가 생긴다.

(1) 과소거셀 이외의 정상인 임계치전압의 셀에 대해서도 위크 · 프로그램이 행하여지기 때문에 정상인 셀의 임계치전압이 지나치게 상승하여 소거부족상태로 되어 버린다.

(2) 과소거셀 1개에 대해 비트선 1개분의 위크 · 프로그램시간을 필요로 하기 때문에 과소거셀이 다수 존재할 경우, 소거시간 전체에 대해 위크 · 프로그램시간이 차지하는 비율이 무시할 수 없을 만큼 크게 된다.

이것으로부터 이해할 수 있도록 종래 방식은 원래 소거분포폭이 목적으로 하는 분포폭만큼 어긋나지 않는 경우 밖에 적용할 수 없는 것이다. 즉, 과소거셀의 비율이 매우 적고, 더욱이 과소거셀의 임계치전압이 그 정도 높게 부로 되어 있지 않는 것을 전제로 하는 것이다. 따라서, 현 상태의 독출시의 전압이 5V이고, 비교적 넓은 임계치전압의 분포폭이 허용되는 경우는 상기 종래 방식으로 충분하다. 그러나, 전원전압이 저전압화되고, 예컨대 3V로 된 경우를 고려하면, 소거 후의 임계치전압의 상한을 다시 낮추는 것이 필요하고, 콤팩션 후의 임계치전압의 분포폭을 한층 좁힐 필요가 있다. 현 상태의 소거 직후의 분포를 전제로 하면, 소거 후의 임계치전압의 상한을 낮추기 위해서는 지금까지 이상으로 많은 과소거셀을 재기록하지 않으면 안되고, 종래 방식에서는 콤팩션에 걸리는 시간의 증대를 초래할 뿐만 아니라, 과소거셀 이외의 정상인 셀이 소거부족상태로 되돌려지고, 재소거가 필요로 되는 것도 고려되어 콤팩션 · 시퀀스의 복잡화를 초래할 가능성을 가지고 있다.

## [발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 단순한 시퀀스에 의해 단시간 내에 효율이 좋은 위크 · 프로그램을 행할 수 있고, 임계치전압의 분포폭을 최소화할 수 있는 불휘발성 반도체 기억장치와 그 제조방법을 제공함에 그 목적이 있다.

## [발명의 구성]

본 발명의 불휘발성 반도체 기억장치는, 전기적으로 기록, 소거가능한 복수의 메모리셀이 행열상으로 배치된 메모리셀 어레이와, 이 메모리셀 어레이에 배치된 복수의 메모리셀에 기억된 데이터를 일괄해서 소거하는 소거수단, 상기 소거된 복수의 메모리셀을 1비트씩 선택하는 제1선택수단, 상기 제1선택수단에 의해 선택된 메모리셀로부터 소거부족의 메모리셀을 검출하는 제1검출수단, 상기 제1검출수단에 의해 소거

부족의 메모리셀이 검출되지 않은 경우, 선택워드선을 정전압으로 설정함과 더불어 비선택워드선을 부전압으로 설정하는 상기 복수의 메모리셀을 1비트씩 선택하는 제2선택수단, 상기 제2선택수단에 의해 선택된 메모리셀로부터 과소거상태의 메모리셀을 검출하는 제2검출수단 및, 상기 제2검출수단에 의해 과소거상태의 메모리셀을 검출한 경우, 상기 제2선택수단에 의해 선택되고 있는 과소거상태의 메모리셀에 통상의 기록전압보다 낮은 전압을 공급하여 임계치전압을 근소하게 상승시키는 워크·프로그램수단을 구비하고 있다.

본 발명의 불휘발성 반도체 기억장치의 소거방법은, 전기적으로 기록, 소거가 가능한 복수의 메모리셀이 행열상태로 배치된 메모리셀 어레이를 갖추고, 상기 복수의 메모리셀의 기억 데이터를 일괄해서 소거하는 불휘발성 반도체 기억장치에 있어서, 상기 소거 후에 상기 메모리셀의 데이터를 1비트씩 검증하여 모든 메모리셀이 소거상태로 되기까지 소거를 반복하는 공정과, 모든 메모리셀이 소거상태로 된 경우, 선택워드선을 정전압으로 하고, 비선택워드선을 부전압으로 해서 1비트씩 과소거상태의 메모리셀을 검출하는 공정, 및 과소거상태의 메모리셀을 검출한 경우, 선택워드선을 정전압으로 하고, 비선택워드선을 부전압으로 해서 상기 과소거상태의 메모리셀에 대해 통상의 기록전압보다 낮은 전압을 인가해서 임계치전압을 근소하게 상승시키는 공정을 구비하고 있다.

#### [작용]

즉, 상기와 같이 이루어진 본 발명은, 블럭에 속하는 복수의 메모리셀의 기억데이터를 일괄해서 소거한 후, 메모리셀의 데이터를 1비트씩 검증한다. 이 결과, 블럭내의 모든 메모리셀이 소거상태에 있는 경우, 다시 1비트씩 검증하여 과소거상태의 메모리셀을 검출한다. 이 결과, 과소거상태의 메모리셀을 검출한 경우, 그 메모리셀에 대해 통상의 기록전압보다 낮은 전압을 인가해서 임계치전압을 약간 상승시키는 워크·프로그램을 실시한다. 상기 각 검증시 및 워크·프로그램시에 선택워드선을 정전압으로 하고, 비선택워드선을 부전압으로 하는 것에 의해 비선택워드선에 접속된 과소거상태의 메모리셀에 영향을 받지 않는다. 더욱이, 1장의 비트선에 접속된 모든 메모리셀에 대해 워크·프로그램을 행할 필요가 없다. 즉, 단시간내에 효율이 좋은 검증 및 워크·프로그램을 행할 수 있다.

#### [실시예]

이하, 예시도면을 참조해서 본 발명에 따른 실시예를 상세하게 설명한다.

제1도는 본 발명의 불휘발성 반도체 기억장치를 개략적으로 나타낸 것이다. 제1도에 있어서, 메모리셀 어레이(11)에는, 도시하지 않은 스택드게이트구조의 EEPROM셀이 행방향, 열방향으로 매트릭스상으로 배치되어 있다. 이 메모리셀 어레이(11)는 도시하지 않은 복수의 블럭으로 분할되어 있고, 이 블럭에 속하는 복수의 메모리셀은 일괄해서 소거되도록 되어 있다. 이 메모리셀 어레이(11)에는 행디코더(12) 및 열디코더(13)가 접속되어 있다. 이 행디코더(12)에는 부소거전압( $V_{EE}$ )을 발생시키는 소거전압 발생기(14; EVG)와, 전원전압보다도 낮은 전압( $V_{ML}$ )을 발생시키는 저전압 발생기(15; LVG)가 접속됨과 더불어, 내부전압 제어회로(16)가 접속되어 있다. 이 내부전압 제어회로(16)에는 고전압 발생회로(17; HVG)에 의해 발생된 기록용 고전압( $V_{PP}$ ) 및 전원전압( $V_{CC}$ )이 공급됨과 더불어, 모드설정 신호발생회로(18)가 접속되어 있다. 이 모드설정 신호발생회로(18)는 데이터의 기록모드, 소거모드, 데이터소거 후에 임계치전압을 검증하는 소거검증모드, 워크·프로그램모드 등을 설정하는 모드설정신호를 발생시키는 것이다.

상기 내부전압 제어회로(16)는 모드설정 신호발생회로(18)로부터 공급되는 모드설정신호에 따라 행디코더(12)에 공급하는 전압을 절환한다. 더욱이, 이 내부전압 제어회로(16)는 후술할 전압발생회로를 포함하며, 이 전압 발생회로는 워크·프로그램모드시에 통상의 기록전압보다 낮은 전압을 발생시켜 행디코더(12)에 공급한다.

상기 열디코더(13)에는 모드절환회로(19)가 접속되어 있다. 이 모드절환회로(19)에는 독출전압 발생회로(20; RDVG)에 의해 발생된 독출전압 및 전원전압( $V_{CC}$ )이 공급됨과 더불어, 모드설정 신호발생회로(18)가 접속되어 있다. 모드절환회로(20)는 모드설정 신호발생회로(18)로부터 공급되는 모드설정신호에 따라 열디코더(13)에 공급하는 전압을 절환한다.

제2도는 제1도의 일부를 구체적으로 나타낸 것이다. 메모리셀 어레이(11)에 있어서, EEPROM으로 이루어진 복수의 메모리셀(MC)은 매트릭스상으로 배열되어 있다. 각 행에는 상기 행디코더(12)에 접속된 워드선(WL<sub>1</sub>, WL<sub>2</sub> ~ WL<sub>n</sub>)이 배치되고, 각 열에서 비트선(BL<sub>1</sub>, BL<sub>2</sub> ~ BL<sub>n</sub>)이 배치되어 있다. 동일 행에 배치된 복수의 메모리셀(MC)의 각 제어게이트는 그 행에 배치된 워드선에 접속되고, 각 소스는 소스선(S)에 공통 접속되어 있다. 또한, 동일 열에 배치된 복수의 메모리셀(MC)의 드레인은 그 열에 배치된 비트선에 접속되어 있다. 각 비트선(BL<sub>1</sub>, BL<sub>2</sub> ~ BL<sub>n</sub>)은 N채널 트랜지스터(21<sub>1</sub>, 21<sub>2</sub> ~ 21<sub>n</sub>)의 소스에 접속되어 있다. 이러한 트랜지스터(21<sub>1</sub>, 21<sub>2</sub> ~ 21<sub>n</sub>)의 각 게이트는 상기 열디코더(13)에 접속되고, 각 드레인은 N채널 트랜지스터(22)의 소스에 접속되어 있다. 이 트랜지스터(22)의 게이트에는 바이어스 전압(V<sub>b</sub>)이 공급되고, 드레인은 부하(23; L)를 매개로 전원( $V_{CC}$ )에 접속되어 있다. 상기 트랜지스터(22)의 드레인과 부하(23; L)의 접속노드(n1)는 센스앰프(24)의 한 쪽 입력단에 접속되어 있다. 이 센스앰프(24)의 다른 쪽 입력단에는 기준전압을 발생하기 위한 기준전압 발생회로(25; RVG)가 접속되고, 출력단에는 인버터회로(26)가 접속되어 있다.

제3도는 상기 행디코더(12)를 나타낸 것이다. 행디코더(12)는 프리디코더회로(27, 28), 메인디코더(29)에 의해 구성되어 있다. 프리디코더회로(27, 28)는 어드레스신호를 디코드하는 것이며, 이러한 프리디코더회로(27, 28)의 출력신호는 메인디코더회로(29)에 공급된다. 이 행디코더(12)에는 상기한 바와 같이, 예컨대 5V의 전원전압( $V_{CC}$ )의 다른 곳에, 소거용의 예컨대 -10V 정도의 부전압( $V_{EE}$ ), 기록용의 예컨대 12V 정도의 고전압( $V_{PP}$ ), 소거모드시에 비선택으로 된 메모리셀의 게이트에 공급되는 예컨대 3V의 전압( $V_{ML}$ ), 0V의 접지전압( $V_{SS}$ )이 공급된다.

제4도는 상기 메인디코더(29)를 나타낸 것이다. 이 메인디코더(29)는 상기 프리디코더회로(28)의 디코드

출력신호( $S_{28}$ )가 공급되는 CMOS형 NAND회로(31)와, 이 NAND회로(31)의 출력신호를 반전하는 CMOS형 인버터 회로(32) 및, 상기 각 워드선( $WL_1 \sim WL_n$ )에 각각 2개씩 접속된 트랜스퍼게이트(T1, T2)에 의해 구성되어 있다. 이러한 트랜스퍼 게이트(T1, T2)는 NAND게이트(31)의 출력신호에 따라 프리디코더(27)의 디코드 출력신호 또는 내부전원(SWL)의 전압을 대응하는 워드선에서 출력한다.

상기 각 트랜스퍼게이트(T1)은 병렬접속된 N채널 MOS트랜지스터(33)와, P채널 MOS트랜지스터(35)에 의해 구성되고, 각 N채널 MOS트랜지스터(33)의 게이트는 상기 인버터회로(32)의 출력단에 접속되어며, 각 P채널 MOS트랜지스터(35)의 게이트는 상기 NAND회로(31)의 출력단에 접속되어 있다. 각 트랜스퍼게이트(T1)의 일단에는 상기 프리디코더(27)의 출력신호( $S_{27}$ )가 공급되고, 각 트랜스퍼게이트(T1)의 타 단은 각 워드선( $WL_1 \sim WL_n$ )에 각각 접속되어 있다.

상기 각 트랜스퍼게이트(T2)는 병렬접속된 N채널 MOS트랜지스터(34)와 P채널 MOS트랜지스터(36)에 의해 구성되어 있다. 각 P채널 MOS트랜지스터(36)의 게이트는 상기 인버터회로(32)의 출력단에 접속되고, 각 N채널 MOS트랜지스터(34)의 게이트는 상기 NAND회로(31)의 출력단에 접속되어 있다. 각 P채널 MOS트랜지스터(35)의 게이트는 상기 NAND회로(31)의 출력단에 접속되어 있다. 각 프레스퍼게이트(T2)의 일단에는 내부전원(SWL)이 공급되고, 각 트랜스퍼게이트(T2)의 다른 단은 각 워드선( $WL_1 \sim WL_n$ )에 각각 접속되어 있다.

상기 프리디코더(27)의 디코드 출력신호( $S_{27}$ )는 독출시에 워드선에 선택할 경우는 전원전압( $V_{CC}$ )으로 되고, 기록모드시에 워드선을 선택할 경우는 고전압( $V_{PP}$ )으로 된다. 또한, 워드선을 비선택으로 할 경우는 0V로 된다.

한편, 소거모드시에 대응하는 워드선을 선택할 경우는 전압( $V_{EE}$ )으로 되고, 워드선을 비선택으로 할 경우는 전압( $V_{WL}$ )으로 된다. 내부전원(SWL)은 소거모드시에 전원( $V_{WL}$ )으로 되고, 소거모드 이외에서는 0V로 된다.

상기 메모리셀 어레이(11)에 있어서, 독출모드시에는 선택된 워드선에 전원전압( $V_{CC}$ ; 5V)이 공급되고, 선택된 비트선에는 독출전압 발생회로(20)에서 발생되는 예컨대 1V 정도의 독출전압이 각각 공급된다. 또한, 기록모드시에는 선택된 워드선에 기록용 고전압( $V_{PP}$ ; 12V)이 공급되고, 선택된 비트선에도 고전압이 각각 공급된다. 또한, 소거모드시에는 모든 소스선(S)에 예컨대 전원전압( $V_{CC}$ )이 공급되고, 선택된 워드선에만 부전압( $V_{EE}$ )이 공급되고, 비선택 워드선에는 3V의 전압( $V_{WL}$ )이 각각 공급된다. 이 상태에서, 모든 비트선은 예컨대 부유상태로 된다.

제5도는 본 발명에 따른 소거시퀀스를 나타낸 것이다. 우선, 자동소거를 개시할 경우, 메모리셀에는 상기한 바와 같이, 소거상태의 바이어스전압이 예컨대 10ms 인가되고, 불력에 속하는 복수의 메모리셀은 일괄해서 소거된다(S1). 본 발명에서는 소거전에 기록을 행하게 된다. 이 점은 종래 방식의 소거전에 기록을 행하는 경우와 크게 다르다. 소거전에 기록을 행하는 이유는 소거전에 각 셀의 데이터가 맞추어져 있지 않기 때문이다. 소거 후의 분포폭의 넓이는 소거 후의 위크 · 프로그램에 의해 축소 가능하기 때문이다.

이후, 상기 소거가 종료한 후, 1비트씩 검증을 행한다(S2). 이때, 비선택워드선을 부전위로 바이어스하는 것에 의해 동일 비트선에 접속된 복수의 셀 중에 과소거셀이 존재하여도 선택된 셀의 임계치전압을 정확히 모니터할 수 있다. 즉, 비선택셀의 영향을 배제할 수 있기 때문에 과소거셀을 정확히 인지할 수 있다. 이 검증 및 소거의 반복은 모든 셀의 데이터가 충분히 소거되기까지 반복한다(S1 ~ S5).

모든 셀의 데이터가 충분히 소거된 것이 확인되면, 콤팩션 · 시퀀스로 이동한다. 이 콤팩션 · 시퀀스에서는, 우선 과소거셀의 검증이 실행된다.

즉, 1비트씩 검증되고, 과소거셀이 판별된다(S6, S7). 과소거셀의 검증에 있어서는, 상기한 바와 같이, 비선택 워드선은 부전위로 바이어스되고, 비선택셀 중에 과소거셀이 존재하여도 그것에 영향을 받지 않게 된다. 이 검증의 결과, 과소거셀이 검출된 경우, 위크 · 프로그램이 실행된다(S8). 즉, 이 위크 · 프로그램에 있어서, 선택한 워드선에는 통상의 기록시보다도 낮은 전압 예컨대 5V가 인가되고, 비선택워드선에는 부전압, 선택된 비트선에는 기록전압 또는 그것과 같은 정도의 전압을 인가한다. 이 전압관계는 채널 열전자를 발생시키고, 이것을 부유게이트에 주입할 수 있는 전압이면, 어떤 전압이어도 된다. 선택된 셀은 제13도에 나타낸 기록 특성에 따라 완만하게 프로그램되어 임계치전압이 상승한다.

상기 위크 · 프로그램 종료 후, 재차 과소거셀의 검증이 실행되고(S6, S7), 과소거 상태가 해소되지 않는 경우, 과소거상태가 해소되기까지 위크 · 프로그램 및 검증이 실행된다(S6 ~ S8). 한편, 과소거상태가 해소되어 있는 경우, 어드레스가 인크리먼트되고, 다음의 어드레스에서 지정되는 셀의 검증이 실행된다(S9, S10). 또한, 위크 · 프로그램 및 검증의 반복횟수에 제한을 두고, 제한횟수까지 과소거가 해소되지 않는 경우, 그 셀을 불량으로 판정하도록 해도 된다. 이와 같은 동작이 최종 어드레스까지 실행된 단계에서 콤팩션이 종료된다.

또한, 상기 위크 · 프로그램의 시퀀스가 종료한 후에 재차 소거검증모드를 실행해도 된다. 이것은 위크 · 프로그램에 의해 임계치전압이 상승하여 지나간 과기록의 셀을 검출하기 때문이다.

제6도는 본 발명에 적용되는 센스앰프회로를 나타낸 것이다. 제2도와 동일 부분에는 동일 부호를 붙인다. 차동증폭기에 의해 구성된 센스앰프(24)의 비반전입력단은 상기 접속노드(n1)에 접속되어 있다. 기준전압 발생회로(25)는 예컨대 상기 부하(23)와 동일한 부하(41), 상기 메모리셀(MC)과 동일한 형태의 기준셀(42), 이 기준셀(42)의 제어게이트에 접속된 전압제어회로(43)에 의해 구성되어 있다. 상기 센스앰프(24)의 반전입력단은 부하(41)와 기준셀(42)의 접속노드(n2)에 접속되어 있다. 상기 부하(41)는 P채널 트랜지스터에 의해 구성되고, 이 트랜지스터의 상호콘덕턴스( $gm$ )는 부하(23)를 구성하는 P채널 트릴지스터의 상호콘덕턴스의 예컨대  $m$ 배( $m \geq 1$ )로 설정되어 있다. 상기 전압제어회로(43)는 기준셀(42)의 제어게이트에 접속되며, 전압( $V_g$ )을 생성한다.

상기 구성에 있어서, 센스앰프회로의 동작에 대해서 설명한다. 부하(23)와 부하(41)의 상호콘덕턴스의 관

계를 상기한 바와 같이 설정하기 때문에 센스앰프(24)의 반전입력단의 전위, 즉 기준전위는 메모리셀(MC)에 흐르는 셀전류( $I_{cell}$ )가 기준셀(42)에 흐르는 기준전류( $I_{ref}$ )의  $1/m$ 로 되어 있는 경우와 등가이다.

제7도는 센스앰프회로의 동작을 나타낸 것이다. 제7도에 있어서, 소거상태의 셀(온셀)과 기록상태의 셀(오프셀)은 각각 소정의 임계치분포를 갖추고 있다. 기준측 부하(41)의 상호콘덕턴스( $gm$ )를  $m$ 배로 하는 것은 기준전류( $I_{ref}$ )의 기울기를  $1/m$ 로 하는 것과 등가이다. 센스앰프(24)는 선택된 셀의 셀전류( $I_{cell}$ )와 기준전류( $I_{ref}$ )를 비교하여  $I_{cell} > I_{ref}$ 이면 선택된 셀은 온상태,  $I_{cell} < I_{ref}$ 이면 선택된 셀은 오프상태인 것으로 판정한다. 제7도로부터 명확히 알 수 있는 바와 같이, 게이트전압이 높을수록 오프셀을 판별하는 것이 곤란하고, 게이트전압이 낮을수록 온셀을 판별하는 것이 곤란하다.

제7도에 나타낸 기준전류( $I_{ref}$ )의 특성은 부하(23, 41)의 상호콘덕턴스( $gm$ )를 변화시키지 않고 설정할 수도 있다. 예컨대 기준셀(42)의 상호콘덕턴스( $gm$ )의 기울기를 메모리셀의 상호콘덕턴스( $gm$ )의  $1/m$ 로 해도 된다. 이를 위해서는 예컨대, (1) 기준셀(42)의 채널길이를 메모리셀의  $m$ 배로 한다. (2) 기준셀(42)의 채널폭을 메모리셀의  $1/m$ 로 한다. (3) 상기 (1), (2)를 조합시킨다. (4) 메모리셀과 동일 형태의 트랜지스터를  $m$ 개 직렬접속한다. 등의 방법이 고려된다.

제8도는 제6도에 나타낸 센스앰프회로의 변형예를 나타낸 것이다. 제6도의 경우, 전압제어회로(43)는 전압( $V_g$ )을 발생시키지만, 제8도의 경우, 부하(23, 41)의 상호콘덕턴스( $gm$ )는 같은 설정되며, 전압제어회로(44)는 전압( $V_g - \Delta V$ )을 발생시킨다. 즉, 전압제어회로(44)는 메모리셀(MC)의 전압( $V_g$ )보다  $\Delta V$  만큼 낮은 전압을 발생시킨다. 이 경우, 제9도에 나타난 바와 같이, 기준전류는 기준셀(42)의 임계치전압을  $\Delta V$  만큼 높게 한 상태로 된다.

제9도에 나타난 바와 같이 기준전류의 설정은 기준셀(42)과 메모리셀(MC)의 제어게이트에 인가하는 전압을 바꾸지 않아도 실현할 수 있다. 즉, 기준전류의 기울기를 바꾸지 않고 기준셀(42)의 임계치전압을  $\Delta V$  만큼 높게 할 수 있는 수단이면 된다. 예컨대, (1) 기준셀(42)에 대해 약간 기록을 행하며, 본래의 임계치전압보다도  $\Delta V$  만큼 임계치전압을 상승시킨다. (2) 기준셀(42)은 소거상태로 하고, 소거상태의 메모리셀의 임계치전압의 상한을 기준셀(42)의 임계치전압보다도  $\Delta V$  만큼 낮춘다. (3) 상기 (1), (2)를 조합시킨다. 등이 고려된다.

더욱이, 제6도, 제8도에 나타낸 센스앰프회로를 조합시켜 사용하는 것도 가능하다. 즉, 양부하의 상호콘덕턴스비를 바꾸지 않아도 기준셀의 콘트롤게이트에 인가하는 전압을 바꾸는 센스앰프회로로 하는 것도 가능하다.

제5도에 나타낸 시퀀스를 실현하기 위한 각종 검증은 제6도와 제8도에 나타낸 센스앰프회로를 이용하여 실현하는 것이 가능하다.

소거검증에는 제8도에 나타낸 센스앰프회로가 유효하다. 즉, 소거검증에는 제9도에 있어서, 기준전류( $I_{ref}$ )를 온셀의 임계치전압 분포의 상한에 대응하는 셀전류( $I_{cell}$ )와 동일하도록 설정하면 된다. 구체적으로는, 제8도에 나타난 센스앰프회로에 있어서, 전압제어회로(44)로부터 출력되는 전압( $V_g - \Delta V$ )을  $\Delta V = 0$ 으로 하면 기준셀의 임계치전압이 온셀의 임계치분포의 상한보다 약간 높은 전압으로 된다.

또한, 제6도에 나타난 센스앰프회로를 이용하는 경우, 전압제어회로(43)의 출력전압( $V_g$ )을 예컨대( $3V$ )로 통상보다 낮게 설정하는 것에 의해 온셀의 임계치분포의 상한을 검증시의 워드선의 전압 이하로 설정할 수 있다.

한편, 과소거검증에는 제6도, 제8도에 나타난 센스앰프회로의 모두가 유효할 수 있다. 제8도에 나타난 센스앰프회로를 과소거검증에 적용할 경우, 기준전류를 콤팩션 후의 온셀의 임계치분포의 하한으로 일치시킨다. 즉, 소거검증의 경우와 비교해서 전압제어회로(44)는  $\Delta V$ 를 약간 높은 전압( $V_1$ )으로 설정한다.

제8도에 나타난 센스앰프회로를 제5도에 나타난 시퀀스에 따라 동작시킬 경우, 우선 전압제어회로(44)로부터 출력된 전압( $V_g - \Delta V$ )의 내부  $\Delta V$ 를  $0V$ 로 한다. 이 상태에 의해 소거검증에 의한 온셀의 임계치분포의 상한을 결정한다. 이 후, 전압제어회로(44)로부터 출력된 전압( $V_g - \Delta V$ )의 내부  $\Delta V$ 를 약간 높은 전압( $V_1$ )으로 한다. 이 상태에 있어서, 과소거검증을 행하고, 소거검증시보다도  $V_1$  이상 임계치전압이 낮은 메모리셀은 과소거상태로 판단하고, 위크 · 프로그램을 행한다. 이 시퀀스를 반복하는 것에 의해 콤팩션 후, 임계치전압의 분포폭은 상기 전압( $V_1$ ) 이내로 된다.

또한, 제6도에 나타난 센스앰프회로를 제5도에 나타난 시퀀스에 따라 동작시킬 경우, 부하(41)를 구성하는 트랜지스터의  $gm$ 을, 부하(23)를 구성하는 트랜지스터의  $gm$ 의 예컨대  $m$ 배( $m1$ )로 설정하면 된다. 이와 같이 구성한 경우, 셀전류( $I_{cell}$ )보다 기준전류( $I_{ref}$ ) 쪽이 큰 전류로 된다. 따라서, 온셀의 임계치전압 분포의 하한은 기준셀의 임계치전압보다도 약간 낮게 검증된다.

또한, 상기  $gm$ 의 비율을  $m \leq 1$ 로 하는 것도 가능하다. 즉, 기준전류( $I_{ref}$ ) 자체를 증가시키면 된다. 이 경우, 기준전류( $I_{ref}$ )의 기울기가 셀전류( $I_{cell}$ )보다 급격히 높아지게 된다. 이것을 실현하는 것으로는 과소거검증시에 기준셀의 개수를 증가하고, 채널폭이 넓은 트랜지스터로 절환하는 등의 방법이 고려된다.

제10도는 전압발생회로(50)를 나타낸 것으로, 이 전압발생회로(50)는 예컨대 상기 전압제어회로(43, 44)에 적용된다. 제10도에 있어서, 전원전압( $V_{cc}$ )이 공급되는 전원단자(51)와 접지간에는 P채널 트랜지스터(52), 저항( $R1, R2$ )이 접속되어 있다. 저항( $R1$ )과 저항( $R2$ )은 차동증폭기(53)의 반전입력단에 접속되어 있다. 이 차동증폭기(53)의 비반전입력단에는 기준전압( $V_{ref}$ )이 공급되고, 출력단은 상기 트랜지스터(52)의 게이트에 접속되어 있다. 상기 트랜지스터(52)의 드레인과 저항( $R1$ )의 접속노드( $n4$ )로부터 전압( $V_{out}$ )이 출력된다. 상기 구성에 있어서, 출력전압( $V_{out}$ )은 다음 식으로 나타나게 된다.

$$V_{out} = V_{ref} \times (R1 + R2)/R2$$

이로 인해, 제5도에 나타난 시퀀스에 따라 예컨대 기준전압( $V_{ref}$ )을 바꾸는 것에 의해, 소거검증이나 과소거검증에 사용하는 상기한 전압을 발생시킬 수 있다.

또한, 제10도에 나타난 전압발생회로(50)를 제1도에 나타난 내부전압 제어회로(16)에 적용할 경우, 상기

전원단자(51)에는 기록용 고전압(Vpp)이 공급되고, 기준전압(Vref)을 위크·프로그램에 따라 적당하게 설정하는 것에 의해 통상의 기록시보다도 낮은 전압을 발생시킬 수 있다.

또한, 제5도에 나타낸 시퀀스에 있어서, 과소거검증시의 모드선 전압과, 위크 프로그램시의 모드선 전압은 동일하게 하는 것이 바람직하다. 이 이유는 워드선 전압을 절환할 경우, 큰 용량을 구동할 필요가 있고, 전압이 안정하기까지 장시간을 위하여 시퀀스 전체의 시간에 큰 영향을 줄 수 있다.

그 외, 본 발명의 요지를 변화시키지 않는 범위에서 다양하게 변형 실시 가능한 것은 물론이다.

#### [발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 단순한 시퀀스에 의해 단시간 내에 효율이 좋은 위크·프로그램을 행할 수 있고, 임계치전압의 분포폭을 최소화할 수 있는 불휘발성 반도체 기억장치와 그 소거방법을 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1

전기적으로 기록, 소거가 가능한 복수의 메모리셀이 행열상으로 배치된 메모리셀 어레이와, 이 메모리셀 어레이에 배치된 복수의 메모리셀에 기억된 데이터를 일괄해서 소거하는 소거수단, 상기 소거된 복수의 메모리셀을 1비트씩 선택하는 제1선택수단, 상기 제1선택수단에 의해 선택된 메모리셀로부터 소거부족의 메모리셀을 검출하는 제1검출수단, 상기 제1검출수단에 의해 소거부족의 메모리셀이 검출되지 않은 경우, 선택워드선을 정전압으로 설정함과 더불어 비선택워드선을 부전압으로 설정하여 상기 복수의 메모리셀을 1비트씩 선택하는 제2선택수단, 상기 제2선택수단에 의해 선택된 메모리셀로부터 과소거상태에 메모리셀을 검출하는 제2검출수단 및, 상기 제2검출수단에 의해 과소거상태의 메모리셀을 검출한 경우, 상기 제2선택수단에 의해 선택되고 있는 과소거상태에 메모리셀에 통상의 기록전압보다 낮은 전압을 공급하여 임계치전압을 근소하게 상승시키는 위크·프로그램수단을 구비하여 구성된 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 2

제1항에 있어서, 상기 메모리셀 어레이는 복수의 메모리셀을 포함하는 복수의 블럭으로 분할되고, 상기 소거수단은 각 블럭에 속하는 메모리셀의 데이터를 소거하는 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 3

제1항에 있어서, 상기 제1선택수단은 비선택워드선을 부전위로 설정하는 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 4

제1항에 있어서, 상기 제1검출수단은 상기 메모리셀로 흐르는 셀전류와 기준셀로 흐르는 기준전류를 비교하는 차동증폭기와, 소거상태의 상기 메모리셀의 상한의 임계치전압보다 약간 높은 전압을 발생시켜 상기 기준셀의 게이트에 공급하는 전압발생회로를 구비하고, 상기 셀 전류가 기준전류의  $1/m$  ( $m \geq 1$ )로 설정되어 있는 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 5

제1항에 있어서, 상기 제1검출수단은 상기 메모리셀에 흐르는 셀전류와 기준셀에 흐르는 기준전류를 비교하는 차동증폭기와, 소거상태의 상기 메모리셀의 상한의 임계치전압보다 약간 높은 전압을 발생시켜 상기 기준셀의 게이트에 공급하는 전압발생회로를 구비하여 구성된 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 6

제1항에 있어서, 상기 제2검출수단은 상기 메모리셀에 흐르는 셀전류와 기준셀로 흐르는 기준전류를 비교하는 차동증폭기와, 상기 기준셀이 도통하는 레벨의 전압을 발생시켜 기준셀의 게이트에 공급하는 전압발생회로를 구비하고, 상기 메모리셀의 게이트에는 상기 전압발생회로에 의해 발생된 전압보다 약간 낮은 전압이 공급되는 것을 특징으로 하는 불휘발성 반도체 기억장치.

#### 청구항 7

제1항에 있어서, 상기 제2선택수단은 상기 제2검출수단에 의해 과소거상태의 메모리셀을 검출하고 있는 경우와, 상기 위크·프로그램수단의 동작시에서 선택워드선의 전압을 동일하게 설정하는 것을 특징으로 하는 불휘발성 반도체 기억장치.

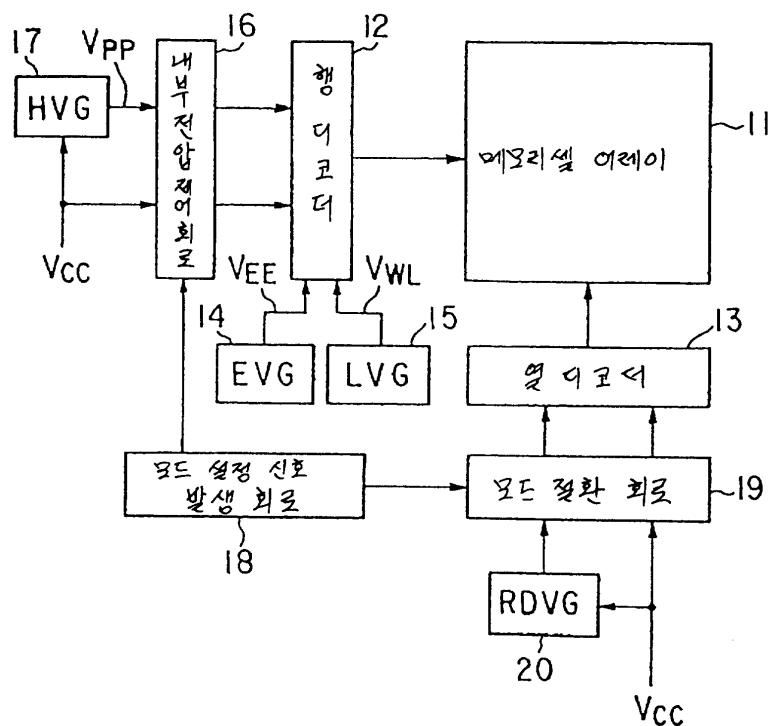
#### 청구항 8

전기적으로 기록, 소거가 가능한 복수의 메모리셀이 행열상태로 배치된 메모리셀 어레이를 갖추고, 상기 복수의 메모리셀의 기억 데이터를 일괄해서 소거하는 불휘발성 반도체 기억장치에 있어서, 상기 소거 후에 상기 메모리셀의 데이터를 1비트씩 검증하고, 모든 메모리셀이 소거상태로 되기까지 소거를 반복하는 공정과, 모든 메모리셀이 소거상태로 된 경우, 선택워드선을 정전압으로 하고, 비선택워드선을 부전압으로 해서 1비트씩 과소거상태의 메모리셀을 검출하는 공정 및, 과소거상태의 메모리셀을 검출한 경우, 선택워드선을 정전압으로 하고, 비선택워드선을 부전압으로 해서 상기 과소거상태의 메모리셀에 대해 통상의 기록전압보다 낮은 전압을 인가해서 임계치전압을 근소하게 상승시키는 공정을 구비하여 이루어진 것

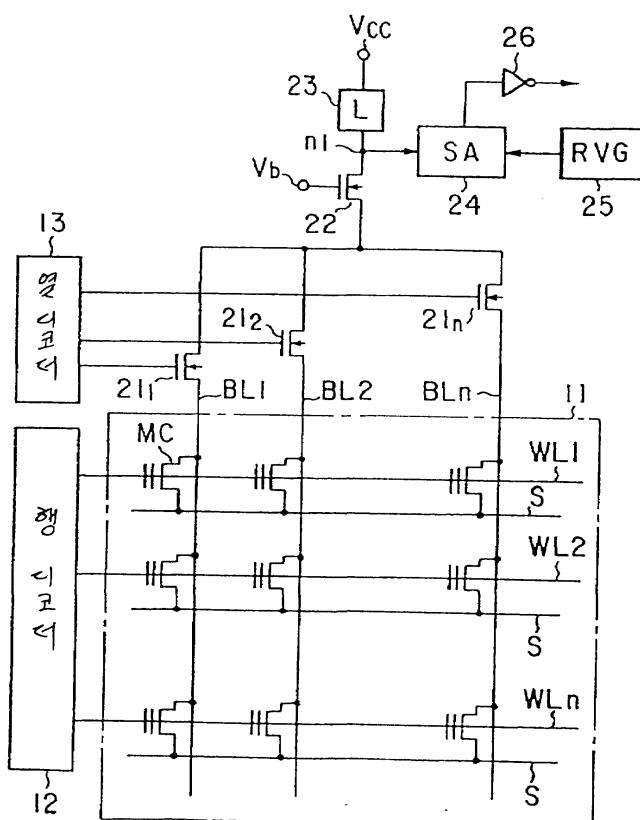
을 특징으로 하는 불휘발성 반도체 기억장치의 소거방법.

### 도면

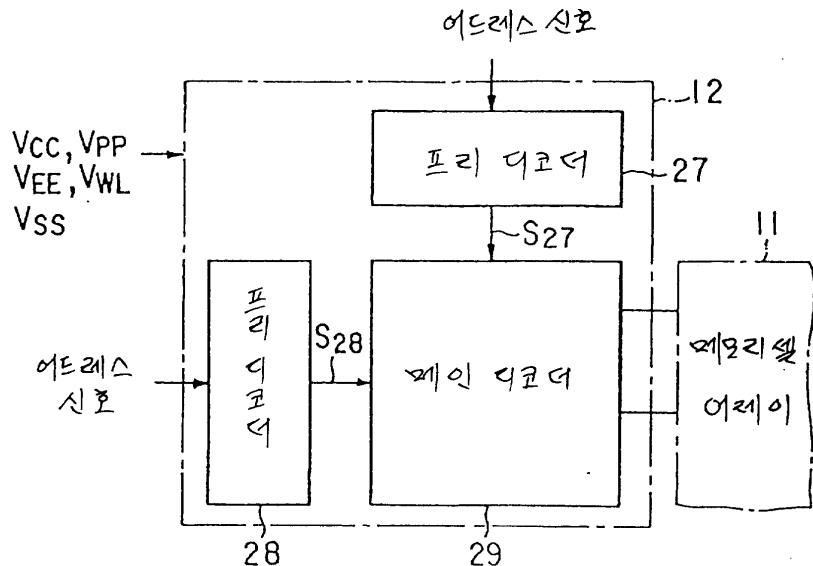
#### 도면1



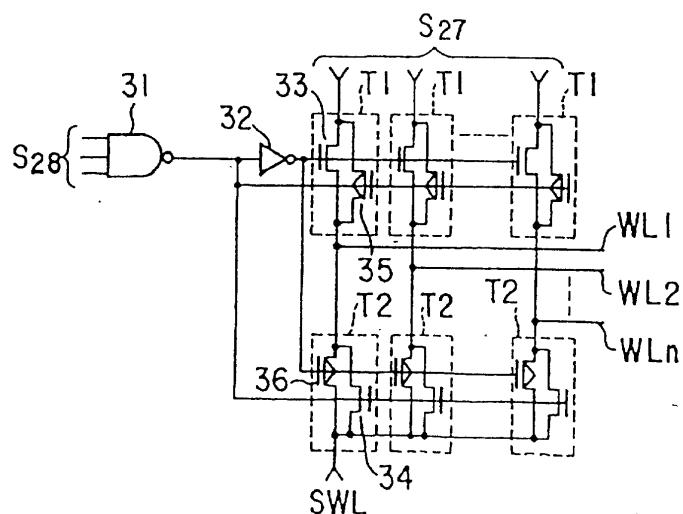
#### 도면2



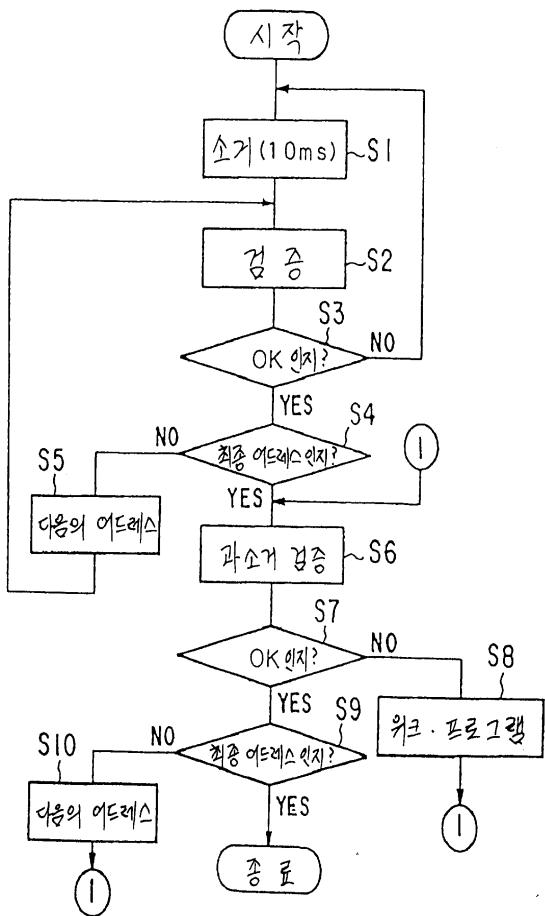
도면3



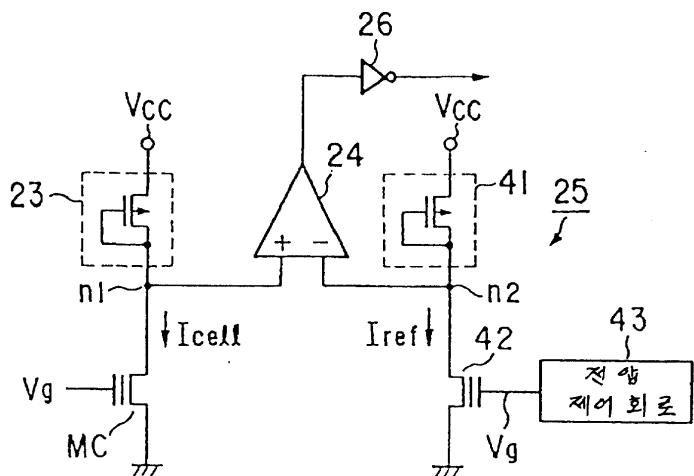
도면4



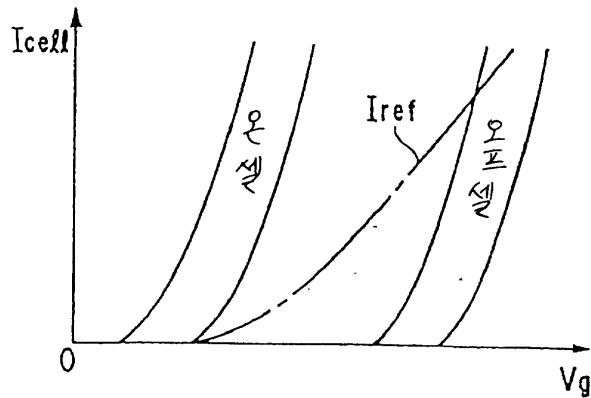
## 도면5



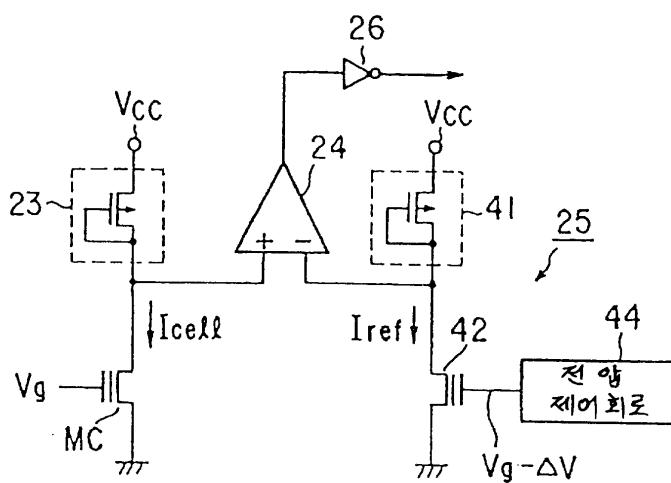
## 도면6



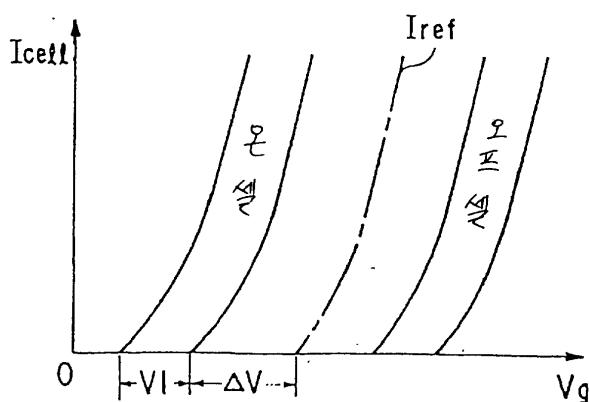
도면7



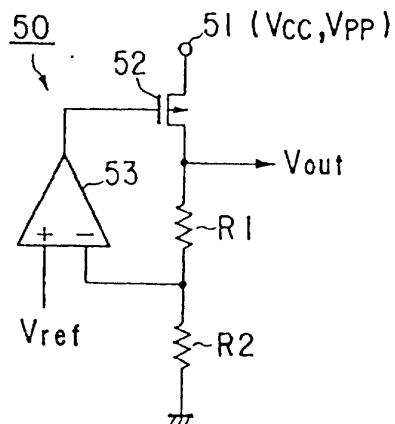
도면8



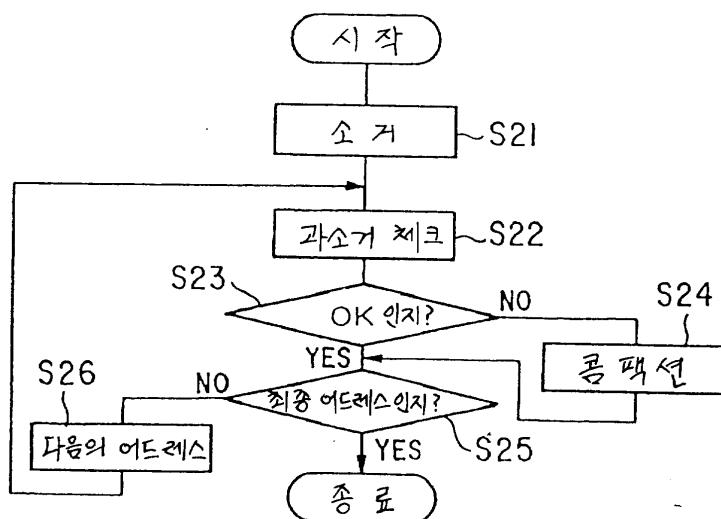
도면9



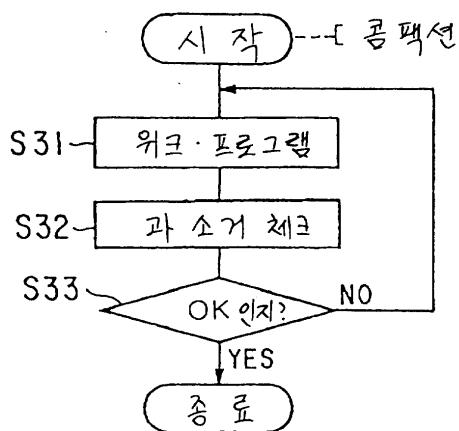
도면10



도면11



도면12



도면13

