(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-11176
(P2017-11176A)
(43)公開日　平成29年1月12日(2017.1.12)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 21/60	(2006.01)	H01L	21/60	301N	4M104
H01L 29/47	(2006.01)	H01L	29/48	D	5F044
H01L 29/872	(2006.01)	H01L	29/86	301D	
H01L 29/78	(2006.01)	H01L	29/86	301F	
H01L 29/12	(2006.01)	H01L	29/78	652Q	

審査請求 未請求　請求項の数 21　ＯＬ　（全 16 頁）　最終頁に続く

(21)出願番号　特願2015-126835 (P2015-126835)
(22)出願日　平成27年6月24日 (2015.6.24)

(71)出願人　000116024
ローム株式会社
京都府京都市右京区西院溝崎町２１番地
(74)代理人　100087701
弁理士　稲岡　耕作
(74)代理人　100101328
弁理士　川崎　実夫
(74)代理人　100149766
弁理士　京村　順二
(72)発明者　三浦　義勝
京都市右京区西院溝崎町２１番地　ローム株式会社内
(72)発明者　明田　正俊
京都市右京区西院溝崎町２１番地　ローム株式会社内

最終頁に続く

(54)【発明の名称】半導体装置および半導体装置の製造方法

(57)【要約】
【課題】半導体チップの表裏面の電極間でのマイグレーションの発生を抑制できる半導体装置およびその製造方法を提供すること。
【解決手段】金属製のベース部５と、ベース部５上に配置され、表面１１ａおよび裏面１１１ｂを有するワイドバンドギャップの半導体チップ３であって、表面１１ａ上のアノード電極１２および裏面１１ｂ上のカソード電極１３を有し、当該カソード電極１３がベース部５に接続された半導体チップ３と、アノード電極１２とカソード電極１３との間に設けられ、アノード電極１２とカソード電極１３との間のマイグレーションを防止するためのバリア層２６とを含む、半導体装置１を提供する。
【選択図】図２

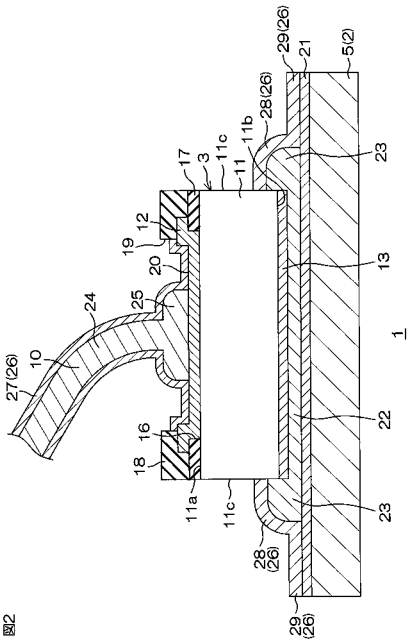


図2

【特許請求の範囲】
【請求項１】
金属製の支持層と、
前記支持層上に配置され、第１面およびその反対側の第２面を有するワイドバンドギャップの半導体チップであって、当該第１面上の第１電極および当該第２面上の第２電極を有し、当該第２電極が前記支持層に接続された半導体チップと、
前記第１電極と、前記第２電極または前記支持層との間に設けられ、当該第１電極および第２電極間のマイグレーションを防止するためのバリア層とを含む、半導体装置。
【請求項２】
前記第１電極に接続された第１接合金属層を含み、
前記バリア層は、前記第１電極および前記第１接合金属層を一体的に被覆する第１被覆層を含む、請求項１に記載の半導体装置。
【請求項３】
前記第１電極を被覆し、前記第１電極の一部を前記第１接合金属層の接続用のパッドとして露出させる開孔を有する絶縁膜を含み、
前記第１被覆層は、前記開孔内に収まるように前記パッドを被覆している、請求項２に記載の半導体装置。
【請求項４】
前記第１接合金属層は、ボンディングワイヤを含む、請求項２または３に記載の半導体装置。
【請求項５】
前記第１接合金属層は、ボンディングプレートを含む、請求項２または３に記載の半導体装置。
【請求項６】
前記第１接合金属層は、少なくともＡｕ、ＡｇまたはＣｕの露出面を有する金属からなる、請求項２～５のいずれか一項に記載の半導体装置。
【請求項７】
前記第２電極と前記支持層との間に挟まれた第２接合金属層であって、前記半導体チップの外側に、はみ出し部を有する第２接合金属層を含み、
前記バリア層は、前記第２接合金属層の前記はみ出し部を被覆する第２被覆層を含む、請求項１～６のいずれか一項に記載の半導体装置。
【請求項８】
前記第２接合金属層の前記はみ出し部は、前記半導体チップの前記第２面から端面に亘って形成されている、請求項７に記載の半導体装置。
【請求項９】
前記第２接合金属層は、少なくともＡｕ、ＡｇまたはＣｕの露出面を有する金属からなる、請求項７または８に記載の半導体装置。
【請求項１０】
前記バリア層は、前記支持層の表面を被覆する第３被覆層を含む、請求項１～９のいずれか一項に記載の半導体装置。
【請求項１１】
前記バリア層は、Ｎｉ、ＰｄまたはＰｔからなる、請求項１～１０のいずれか一項に記載の半導体装置。
【請求項１２】
前記バリア層は、互いに異なる複数の金属層を有している、請求項１～１１のいずれか一項に記載の半導体装置。
【請求項１３】
前記半導体チップは、単機能半導体を構成している、請求項１～１２のいずれか一項に記載の半導体装置。
【請求項１４】

前記単機能半導体は、ショットキーバリアダイオードを含む、請求項１３に記載の半導体装置。
【請求項１５】
前記単機能半導体は、電界効果トランジスタを含む、請求項１３に記載の半導体装置。
【請求項１６】
前記半導体チップは、３５μｍ～１５０μｍの厚さを有している、請求項１～１５のいずれか一項に記載の半導体装置。
【請求項１７】
前記半導体チップは、ＳｉＣ基板を含む、請求項１～１６のいずれか一項に記載の半導体装置。
【請求項１８】
第１面およびその反対側の第２面を有するワイドバンドギャップの半導体チップであって、当該第１面上の第１電極および当該第２面上の第２電極を有する半導体チップを、金属製の支持層に接合する工程と、
前記第１電極と、前記第２電極または前記支持層との間に、該第１電極および第２電極間のマイグレーションを防止するためのバリア層を形成する工程とを含む、半導体装置の製造方法。
【請求項１９】
前記半導体チップの接合後、第１接合金属層を前記第１電極に接続する工程を含み、
前記バリア層を、前記第１接合金属層の接続後に形成する、請求項１８に記載の半導体装置の製造方法。
【請求項２０】
前記半導体チップを、第２接合金属層を用いて前記支持層に接合する、請求項１８または１９に記載の半導体装置の製造方法。
【請求項２１】
前記バリア層を形成する工程は、前記バリア層の材料を電解めっき又は無電解めっきする工程を含む、請求項１８～２０のいずれか一項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ワイドバンドギャップ半導体からなる半導体装置およびその製造方法に関する。
【背景技術】
【０００２】
たとえば、特許文献１は、ボンディングパッドが形成された半導体チップと、リードフレームと、半導体チップ（ボンディングパッド）とリードフレームとを接続するボンディングワイヤと、封止用樹脂と半導体チップ、リードフレームおよびボンディングワイヤとの間に設けられた耐湿性膜とを含む半導体装置を開示している。特許文献１には、耐湿性膜によって、外気の水分の侵入によるボンディングパッドの腐食を抑制できる旨が記載されている。
【先行技術文献】
【特許文献】
【０００３】
【特許文献１】特開平１－２８６３４５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
近年、高耐圧、低オン抵抗を実現する次世代のパワーデバイス材料として、ＳｉＣ（シリコンカーバイト：炭化ケイ素）が使用されている。ＳｉＣ等のワイドバンドギャップ半導体は、Ｓｉに比べ、基板を薄くして基板抵抗を低減できる利点がある。

しかしながら、基板の薄化によって基板の表裏面間の距離が短くなるため、表面電極と裏面電極との間でマイグレーションが発生する可能性が高くなる。

【０００５】

そこで、本発明の一実施形態は、半導体チップの表裏面の電極間でのマイグレーションの発生を抑制できる半導体装置およびその製造方法を提供する。

【課題を解決するための手段】

【０００６】

本発明の一実施形態は、金属製の支持層と、前記支持層上に配置され、第１面およびその反対側の第２面を有するワイドバンドギャップの半導体チップであって、当該第１面上の第１電極および当該第２面上の第２電極を有し、当該第２電極が前記支持層に接続された半導体チップと、前記第１電極と、前記第２電極または前記支持層との間に設けられ、当該第１電極および第２電極間のマイグレーションを防止するためのバリア層とを含む、半導体装置を提供する。

【０００７】

この構成によれば、第１電極と、第２電極または支持層との間にバリア層が設けられているため、第１電極－第２電極間を直接、もしくは第１電極－第２電極間を支持層経由で、金属成分が行き来することを阻止することができる。これにより、第１電極と第２電極との間でのマイグレーションの発生を抑制することができる。その結果、信頼性の高い半導体装置を提供することができる。

【０００８】

本発明の一実施形態は、前記第１電極に接続された第１接合金属層を含み、前記バリア層は、前記第１電極および前記第１接合金属層を一体的に被覆する第１被覆層を含んでいてもよい。

この構成によれば、第１電極および第１接合金属層にマイグレーションの原因となる金属が含まれている場合に、マイグレーションの発生を効果的に抑制することができる。また、第１電極および第１接合金属層の表層にバリア層（第１被覆層）を形成するだけで済むので、第１電極および第１接合金属層の本来の特性を維持することができる。

【０００９】

本発明の一実施形態は、前記第１電極を被覆し、前記第１電極の一部を前記第１接合金属層の接続用のパッドとして露出させる開孔を有する絶縁膜を含み、前記第１被覆層は、前記開孔内に収まるように前記パッドを被覆していてもよい。

本発明の一実施形態では、前記第１接合金属層は、ボンディングワイヤを含んでいてもよいし、ボンディングプレートを含んでいてもよい。

【００１０】

本発明の一実施形態では、前記第１接合金属層は、少なくともＡｕ、ＡｇまたはＣｕの露出面を有する金属からなっていてもよい。

本発明の一実施形態は、前記第２電極と前記支持層との間に挟まれた第２接合金属層であって、前記半導体チップの外側に、はみ出し部を有する第２接合金属層を含み、前記バリア層は、前記第２接合金属層の前記はみ出し部を被覆する第２被覆層を含んでいてもよい。

【００１１】

この構成によれば、第２電極および第２接合金属層にマイグレーションの原因となる金属が含まれている場合に、マイグレーションの発生を効果的に抑制することができる。また、第２電極および第２接合金属層の表層にバリア層（第２被覆層）を形成するだけで済むので、第２電極および第２接合金属層の本来の特性を維持することができる。

本発明の一実施形態では、前記第２接合金属層の前記はみ出し部は、前記半導体チップの前記第２面から端面に亘って形成されていてもよい。

【００１２】

本発明の一実施形態では、前記第２接合金属層は、少なくともＡｕ、ＡｇまたはＣｕの露出面を有する金属からなっていてもよい。

本発明の一実施形態では、前記バリア層は、前記支持層の表面を被覆する第３被覆層を含んでいてもよい。

この構成によれば、支持層にマイグレーションの原因となる金属が含まれている場合に、マイグレーションの発生を効果的に抑制することができる。また、支持層の表層にバリア層（第３被覆層）を形成するだけで済むので、支持層の本来の特性を維持することができる。

【００１３】

本発明の一実施形態では、前記バリア層は、Ｎｉ、ＰｄまたはＰｔからなっていてもよい。

本発明の一実施形態では、前記バリア層は、互いに異なる複数の金属層を有していてもよい。

本発明の一実施形態では、前記半導体チップは、単機能半導体を構成していてもよい。その場合、前記単機能半導体は、ショットキーバリアダイオードを含んでいてもよいし、電界効果トランジスタを含んでいてもよい。

【００１４】

本発明の一実施形態では、前記半導体チップは、３５μｍ～１５０μｍの厚さを有していてもよい。

本発明の一実施形態では、前記半導体チップは、ＳｉＣ基板を含んでいてもよい。

本発明の一実施形態は、第１面およびその反対側の第２面を有するワイドバンドギャップの半導体チップであって、当該第１面上の第１電極および当該第２面上の第２電極を有する半導体チップを、金属製の支持層に接合する工程と、前記第１電極と、前記第２電極または前記支持層との間に、該第１電極および第２電極間のマイグレーションを防止するためのバリア層を形成する工程とを含む、半導体装置の製造方法を提供する。

【００１５】

この方法によれば、前記マイグレーションの発生を抑制可能な半導体装置を提供することができる。

本発明の一実施形態は、前記半導体チップの接合後、第１接合金属層を前記第１電極に接続する工程を含み、前記バリア層を、前記第１接合金属層の接続後に形成してもよい。

本発明の一実施形態では、前記半導体チップを、第２接合金属層を用いて前記支持層に接合してもよい。

【００１６】

本発明の一実施形態では、前記バリア層を形成する工程は、前記バリア層の材料を電解めっき又は無電解めっきする工程を含んでいてもよい。

【図面の簡単な説明】

【００１７】

【図１】図１は、本発明の一実施形態に係る半導体装置の概略図である。

【図２】図２は、前記半導体装置の一部を示す断面図である。

【図３】図３は、図２の半導体チップの構成を説明するための図である。

【図４】図４は、前記半導体チップの変形例を示す図である。

【図５】図５は、図４の半導体チップの構成を説明するための図である。

【図６Ａ】図６Ａは、前記半導体装置の製造工程の一部を示す図である。

【図６Ｂ】図６Ｂは、図６Ａの次の工程を示す図である。

【図６Ｃ】図６Ｃは、図６Ｂの次の工程を示す図である。

【図６Ｄ】図６Ｄは、図６Ｃの次の工程を示す図である。

【図７】図７は、前記半導体装置の変形例を示す図である。

【図８】図８は、前記半導体装置の変形例を示す図である。

【図９】図９は、前記半導体装置の変形例を示す図である。

【図１０】図１０は、前記半導体装置の変形例を示す図である。

【図１１】図１１は、ボンディングプレートを有する半導体装置を示す図である。

【図１２】図１２は、図１１の半導体装置の一部を示す断面図である。

【発明を実施するための形態】
【００１８】
以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。
図１は、本発明の一実施形態に係る半導体装置１の概略図である。
半導体装置１は、端子フレーム２と、半導体チップ３と、樹脂パッケージ４とを含む。
端子フレーム２は、金属製の板状である。たとえば、端子フレーム２は、Ｃｕフレームからなっていてもよい。端子フレーム２は、半導体チップ３を支持する本発明の支持層の一例としてのベース部５（アイランド）と、カソード端子６と、予備端子７と、アノード端子８とを含む。カソード端子６は、ベース部５と一体的に形成されており、ベース部５を介して半導体チップ３のカソードに接続されている。アノード端子８は、本発明の第１接合金属層の一例としてのボンディングワイヤ１０によって、半導体チップ３のアノードパッド２０に電気的に接続されている。予備端子７およびアノード端子８は、中央のカソード端子６を挟むように配置されている。
【００１９】
樹脂パッケージ４は、たとえば、エポキシ樹脂など公知のモールド樹脂からなり、半導体チップ３を封止している。樹脂パッケージ４は、半導体チップ３と共に端子フレーム２のベース部５およびボンディングワイヤ１０を覆っている。３本の端子６～８の一部は、樹脂パッケージ４から露出している。
図２は、半導体装置１の一部を示す断面図である。図３は、図２の半導体チップ３の構成を説明するための図である。
【００２０】
図２および図３を参照して、半導体チップ３は、単機能（ディスクリート）半導体デバイスであって、たとえば、ショットキーバリアダイオードであってもよい。半導体チップ３は、表面１１ａ（第１面）および裏面１１ｂ（第２面）を有する半導体基板１１と、表面１１ａ上のアノード電極１２（第１電極）と、裏面１１ｂ上のカソード電極１３（第２電極）とを含む。カソード電極１３は、半導体基板１１の裏面１１ｂの全域を覆うように形成され、半導体基板１１にオーミック接触している。
【００２１】
半導体基板１１は、ワイドバンドギャップ半導体（たとえば、バンドギャップＥｇが２ｅＶ以上、好ましくは、２．５ｅＶ～７ｅＶ）からなる。具体的には、ＳｉＣ（バンドギャップＥｇ＝約３．２ｅＶ）、ＧａＮ（バンドギャップＥｇ＝約３．４ｅＶ）、ダイヤモンド（バンドギャップＥｇ＝約５．５ｅＶ）等からなっていてもよい。
半導体基板１１は、n^+型ベース基板１４と、当該n^+型ベース基板１４上のn^-型エピタキシャル層１５とを含むエピタキシャル基板であってもよい。半導体基板１１の厚さ（n^+型ベース基板１４およびn^-型エピタキシャル層１５の合計厚さ）は、たとえば、３５μｍ～１５０μｍであってもよい。
【００２２】
半導体基板１１の表面１１ａには、n^-型エピタキシャル層１５の一部を活性領域として露出させる開孔１６を有するフィールド絶縁膜１７が積層されている。フィールド絶縁膜１７は、たとえば、SiO_2（酸化シリコン）からなっていてもよい。
アノード電極１２は、フィールド絶縁膜１７上に形成されている。アノード電極１２は、フィールド絶縁膜１７の開孔１６内でn^-型エピタキシャル層１５に接合されている。アノード電極１２は、フィールド絶縁膜１７における開孔１６の周縁部を上から覆うように、当該開孔１６の外方へフランジ状に張り出している。すなわち、フィールド絶縁膜１７の周縁部は、n^-型エピタキシャル層１５およびアノード電極１２によって、全周にわたってその上下両側から挟まれている。
【００２３】
アノード電極１２は、たとえば、n^-型エピタキシャル層１５との接合部分に、ｎ型ＳｉＣとショットキー接合を形成する金属（たとえば、Ｎｉ、Ａｕ等）からなるショットキーメタルを有し、ボンディングワイヤ１０が接合される最表面に、たとえば、ＡｌやＡｌ

Ｃｕからなるコンタクトメタルを有していてもよい。
一方、カソード電極１３は、ｎ＋型ベース基板１４との接合部分に、ｎ型ＳｉＣにオーミック接触する金属（たとえば、Ｎｉシリサイド、Ｃｏシリサイド等）からなるオーミックメタルを、Ｔｉ等のバリア層を介して有していてもよい。また、カソード電極１３においてベース部５が接合される最表面には、たとえば、ＡｕやＡｇからなるコンタクトメタルが露出していてもよい。

【００２４】

アノード電極１２上には、表面保護膜１８が形成されている。表面保護膜１８の中央部には、アノード電極１２の一部をアノードパッド２０として露出させる開孔１９が形成されている。

ベース部５（端子フレーム２）は、Ｃｕフレーム（フレーム本体）上に、めっき層２１を有していてもよい。めっき層２１は、たとえば、Ａｇめっき層であってもよい。

【００２５】

このベース部５上に、本発明の第２接合金属層の一例としての接合材２２を介して、半導体チップ３がダイボンディングされている。接合材２２は、この実施形態では、パワーデバイス材料であるＳｉＣを使用する観点から、熱伝導率が比較的高い金属（ナノ）ペーストを使用することが好ましい。たとえば、半田よりも熱伝導率が高いＡｕナノペースト、Ａｇナノペースト、Ｃｕナノペースト等を使用できる。この金属製の接合材２２によって、半導体チップ３のカソード電極１３とベース部５とが電気的に接続される。

【００２６】

接合材２２は、半導体チップ３とベース部５との間に挟まれることによって半導体チップ３をベース部５から浮いた状態で支持している。接合材２２の一部は、半導体チップ３の外側に、はみ出し部２３として、半導体チップ３の周囲を取り囲んでいる。はみ出し部２３は、半導体チップ３（半導体基板１１）の裏面１１ｂ側から端面１１ｃに亘って形成されている。これにより、半導体基板１１の端面１１ｃの下部は、たとえば全周に亘って接合材２２（はみ出し部２３）に覆われている。

【００２７】

ボンディングワイヤ１０は、アノードパッド２０に接合されている。ボンディングワイヤ１０は、たとえば、線状のワイヤ本体２４と、ワイヤ本体２４の先端において変形してアノードパッド２０に接合された接合部２５とを含んでいてもよい。ボンディングワイヤ１０は、この実施形態では、パワーデバイス材料であるＳｉＣを使用する観点から、電気伝導率が比較的高い金属ワイヤを使用することが好ましい。たとえば、Ａｌよりも電気伝導率が高いＡｕボンディングワイヤ、Ｃｕボンディングワイヤ、またはこれらの金属を含む合金からなるボンディングワイヤ等を使用できる。

【００２８】

半導体装置１では、図２に示すように、ボンディングワイヤ１０、アノード電極１２（アノードパッド２０）、接合材２２（はみ出し部２３）およびベース部５（めっき層２１）を被覆するバリア層２６が形成されている。バリア層２６は、ボンディングワイヤ１０等の上記被覆対象とは異なる金属からなり、当該被覆対象の金属によるマイグレーションを防止可能な金属種を適宜選択できる。たとえば、ヒューム・ロザリーの法則に基づいて、上記被覆対象の金属に対して固溶域を持たない金属種を選択できる。これにより、被覆対象の金属成分が、バリア層２６内に固溶し、さらに析出して当該バリア層２６を超えて移動することを防止できる。具体的には、接合材２２としてＡｇナノペーストが使用される場合、バリア層２６は、Ｎｉバリア単層であってもよい。

【００２９】

バリア層２６は、第１バリア層２７（第１被覆層）、第２バリア層２８（第２被覆層）および第３バリア層２９（第３被覆層）を含んでいてもよい。

第１バリア層２７は、ボンディングワイヤ１０およびアノード電極１２の表面に沿って形成され、ボンディングワイヤ１０およびアノード電極１２を一体的に被覆している。第１バリア層２７は、ボンディングワイヤ１０およびアノード電極１２の外観が概ね維持さ

れるように薄膜状に形成されている。また、たとえば、表面保護膜１８の開孔１９を半導体基板１１の法線方向から見た時に、当該開孔１９内の全領域が第１バリア層２７で被覆されていることが好ましい。これにより、開孔１９から外側へ向かう、ボンディングワイヤ１０やアノード電極１２の金属成分の流出経路を塞ぐことができる。なお、ボンディングワイヤ１０のワイヤ本体２４は、半導体チップ３に直接繋がっていないので、第１バリア層２７から露出する部分があっても、それほど差し支えるわけではない。また、第１バリア層２７は、図２では、表面保護膜１８の開孔１９内に収まるように形成されているが、表面保護膜１８における開孔１９の周縁部を覆うように形成されていてもよい。

【００３０】

第２バリア層２８は、接合材２２のはみ出し部２３の上端から当該はみ出し部２３表面に沿って形成され、はみ出し部２３を被覆している。半導体基板１１の端面１１ｃにおいて、はみ出し部２３の上端よりも上側の部分は、第２バリア層２８で被覆されずに露出している。

第３バリア層２９は、ベース部５の表面に沿って形成され、ベース部５を被覆している。また、第３バリア層２９は、図２に示すように、第２バリア層２８と一体的に形成されていてもよい。

【００３１】

次に、半導体チップ３の変形例について説明する。前述の説明では、半導体チップ３は、単機能のショットキーバリアダイオードとして説明したが、図４および図５に示すように、単機能の電界効果トランジスタであってもよい。電界効果トランジスタとしては、たとえば、ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor）であってもよく、その他、ＩＧＢＴ（Insulated Gate Bipolar Transistor）、ＪＦＥＴ（Junction Field Effect Transistor）等であってもよい。図４および図５では、これらの代表例として、半導体チップ３がＭＩＳＦＥＴの場合を示す。また、図４および図５において、前述の図１～図３に示した構成要素と同じものについては、同一の符号を付し、その説明を省略する。

【００３２】

まず、図４に示すように、端子フレーム２は、半導体チップ３（ＭＩＳＦＥＴ）を支持する本発明の支持層の一例としてのベース部３０（アイランド）と、ドレイン端子３１と、ゲート端子３２と、ソース端子３３とを含む。ドレイン端子３１は、ベース部３０と一体的に形成されており、ベース部３０を介して半導体チップ３のドレインに接続されている。ゲート端子３２およびソース端子３３は、それぞれ、本発明の第１接合金属層の一例としてのボンディングワイヤ３４，３５によって、半導体チップ３のゲートパッド４８およびソースパッド４６に電気的に接続されている。ゲートパッド４８は、後述するゲート電極４１に電気的に接続されたものである。ゲート端子３２およびソース端子３３は、中央のドレイン端子３１を挟むように配置されている。

【００３３】

樹脂パッケージ４は、半導体チップ３と共に端子フレーム２のベース部３０およびボンディングワイヤ３４，３５を覆っている。３本の端子３１～３３の一部は、樹脂パッケージ４から露出している。

次に、図５に示すように、n^-型エピタキシャル層１５の表面部に、所定の間隔を空けて複数のｐ型ボディ領域３６が形成されている。ｐ型ボディ領域３６の内方領域には、n^+型ソース領域３７が形成され、このn^+型ソース領域３７を貫通してp^+型ボディコンタクト領域３８が形成されている。p^+型ボディコンタクト領域３８は、ｐ型ボディ領域３６に電気的に接続されている。また、n^-型エピタキシャル層１５のうちｐ型ボディ領域３６が形成されていないn^-型の部分は、ＭＩＳＦＥＴのn^-型ドリフト領域３９を構成している。

【００３４】

隣り合うｐ型ボディ領域３６に跨るようにゲート絶縁膜４０が形成されている。ゲート絶縁膜４０は、たとえば、SiO_2（酸化シリコン）からなっていてもよい。ゲート絶縁

膜４０上には、ゲート電極４１が形成されている。ゲート電極４１は、ゲート絶縁膜４０を介してｐ型ボディ領域３６に対向している。ゲート電極４１は、たとえば、ポリシリコンからなっていてもよい。

【００３５】

半導体基板１１の表面１１ａ上には、ゲート電極４１を覆うように層間絶縁膜４２が形成されている。層間絶縁膜４２は、たとえば、SiO_2（酸化シリコン）からなっていてもよい。層間絶縁膜４２には、n^+型ソース領域３７およびp^+型ボディコンタクト領域３８を露出させる開孔４３が形成されている。

層間絶縁膜４２上には、本発明の第１電極の一例としてのソース電極４４が形成されている。ソース電極４４は、層間絶縁膜４２の開孔４３内でn^+型ソース領域３７およびp^+型ボディコンタクト領域３８に接続されている。

【００３６】

ソース電極４４上には、表面保護膜４５が形成されている。表面保護膜４５の中央部には、ソース電極４４の一部をソースパッド４６として露出させる開孔４７が形成されている。

半導体基板１１の裏面１１ｂには、その全域を覆うように本発明の第２電極の一例としてのドレイン電極４９が形成されている。ドレイン電極４９は、図２に示した接合材２２を介してベース部３０（図４参照）に接合される。

【００３７】

次に、半導体装置１の製造方法を説明する。図６Ａ～図６Ｄは、半導体装置１の製造工程の一部を示す図である。図６Ａ～図６Ｄでは、図１～図３で示した構成の半導体装置１の製造工程を示している。

まず、図６Ａに示すように、端子フレーム２が準備される。端子フレーム２は、規則的に配列された多数のベース部５および各ベース部５に対応する端子６～８を有するリードフレームとして構成されていてもよい。次に、端子フレーム２の各ベース部５に、接合材２２を介して半導体チップ３がダイボンディングされる。

【００３８】

次に、図６Ｂに示すように、半導体チップ３のアノードパッド２０に、ボンディングワイヤ１０が接合される。

次に、図６Ｃに示すように、たとえば、電解めっき又は無電解めっきによって、ボンディングワイヤ１０、アノード電極１２、接合材２２およびベース部５の露出部分から、バリア層２６の材料をめっき成長させる。これにより、当該露出部分が一括してバリア層２６で被覆される。

【００３９】

次に、図６Ｄに示すように、端子フレーム２および半導体チップ３が樹脂パッケージ４で封止される。その後、ダイシングによって、各半導体装置１に個片化される。以上の工程を経て、図１～図３に示す半導体装置１が得られる。

以上、半導体装置１によれば、被覆対象としてのボンディングワイヤ１０、アノード電極１２、接合材２２およびベース部５の露出部分がバリア層２６で被覆されている。これにより、当該被覆対象の金属成分が、バリア層２６内に固溶し、さらに析出して当該バリア層２６を超えて移動することを防止できる。そのため、半導体基板１１の端面１１ｃ等を介して当該金属成分がアノード電極１２－カソード電極１３を行き来することを阻止することができる。その結果、アノード電極１２－カソード電極１３間でのマイグレーションの発生を抑制できるので、信頼性の高い半導体装置を提供することができる。

【００４０】

また、半導体チップ３のダイボンディングおよびボンディングワイヤ１０の接合後、電解めっき又は無電解めっきによってバリア層２６を形成するので、この工程の段階で露出している金属表面を一括してバリア層２６で被覆することができる。しかも、多数のベース部５が配列された端子フレーム２（リードフレーム）ごとに処理できるので、複数の半導体装置１に対するバリア層２６の形成処理を同時に行うことができる。よって、半導体

装置１の製造コストを低減することもできる。

【００４１】

また、マイグレーションの原因となる金属を含む部材（たとえば、ボンディングワイヤ１０や接合材２２）の表層にバリア層２６を形成するだけで済むので、これらの導電部材の本来の特性を維持することができる。たとえば、接合材２２をＡｇ－Ｐｄ合金ナノペーストで形成することでＡｇのマイグレーションを防止できても、Ａｇナノペーストを使用する場合に比べて接合材２２の熱伝導率や電気伝導率が低下する可能性がある。

【００４２】

以上、本発明の一実施形態を説明したが、本発明は他の形態で実施することもできる。

たとえば、バリア層２６は、図７に示すように第１バリア層２７だけであってもよいし、図８に示すように第２バリア層２８だけであってもよいし、図９に示すように第３バリア層２９だけであってもよい。これらの変形例によっても、前述のマイグレーションの発生を抑制するという効果を十分に得ることができる。

【００４３】

また、バリア層２６は、図１０に示すように、複数の金属層５０，５１を有していてもよい。図１０では金属層５０，５１の二層構造を示しているが、三層以上の多層構造であってもよい。たとえば、Ａｇナノペーストからなる接合材２２に、Ｎｉ（金属層５０）／Ｐｄ（金属層５１）の積層構造からなるバリア層２６であってもよい。

さらに、図１１および図１２に示すように、アノード電極１２に接合される配線部材として、ボンディングワイヤ１０に代えてボンディングプレート５２を使用してもよいし、図示しないが、ボンディングリボン等を使用してもよい。

【００４４】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

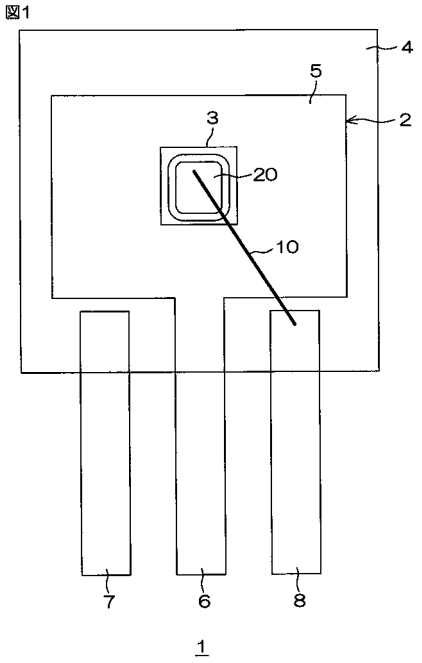
【符号の説明】

【００４５】

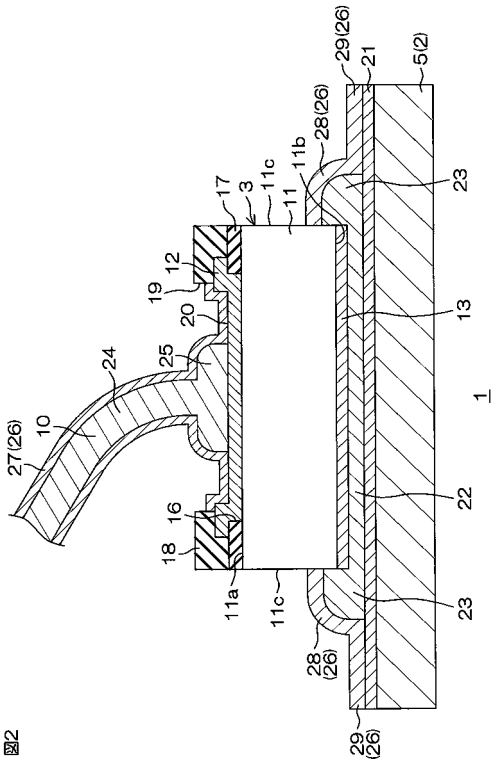
１　半導体装置
２　端子フレーム
３　半導体チップ
５　ベース部
１０　ボンディングワイヤ
１１　半導体基板
１１ａ　表面
１１ｂ　裏面
１１ｃ　端面
１２　アノード電極
１８　表面保護膜
１９　開孔
２０　アノードパッド
２１　めっき層
２２　接合材
２３　はみ出し部
２６　バリア層
２７　第１バリア層
２８　第２バリア層
２９　第３バリア層
３０　ベース部
３４　ボンディングワイヤ
３５　ボンディングワイヤ
４４　ソース電極

４５　表面保護膜
４６　ソースパッド
４７　開孔
４９　ドレイン電極
５０　金属層
５１　金属層
５２　ボンディングプレート

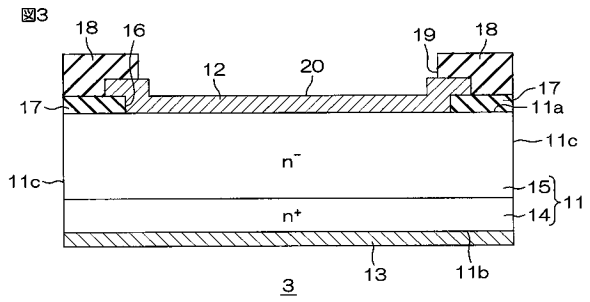
【図１】



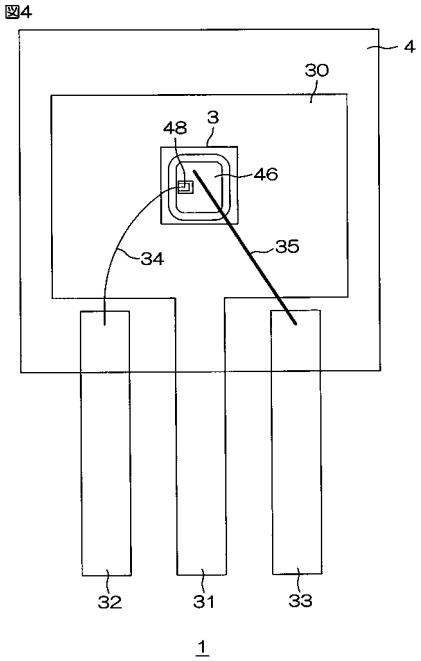
【図２】



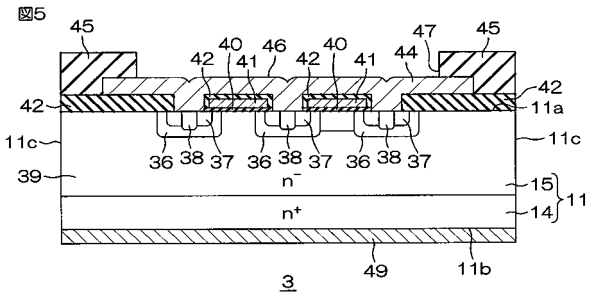
【図３】


図3
18
16
19
18
12
20
17
17
11a
11c
n⁻
11c
15
11
n⁺
14
13
11b
3

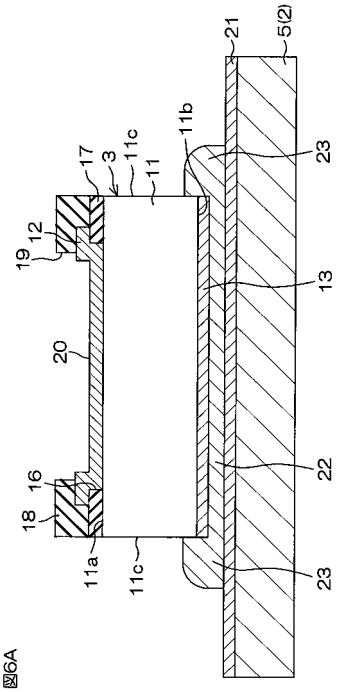
【図４】


図4
4
30
48
3
46
34
35
32
31
33
1

【図５】


図5
45
42
40
41
46
42
40
41
44
47
45
42
42
11a
11c
11c
36
38
37
36
38
37
36
38
37
39
n⁻
15
11
n⁺
14
49
11b
3

【図６Ａ】


21
5(2)
11b
23
17
3
11c
11
19
12
13
20
22
16
18
11a
11c
23
図6A

【図６Ｂ】

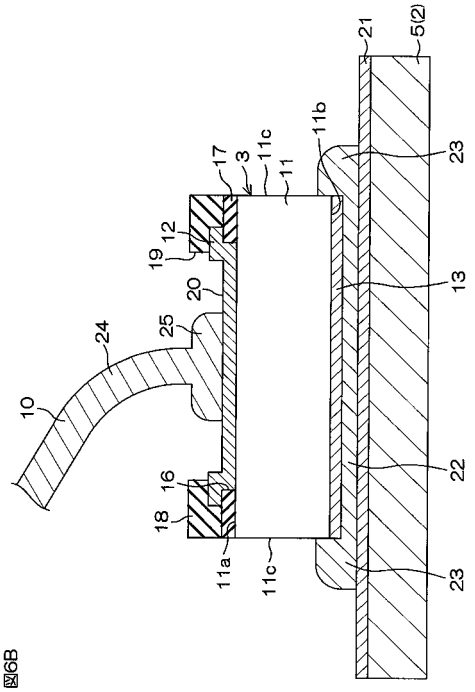


図6B

【図６Ｃ】

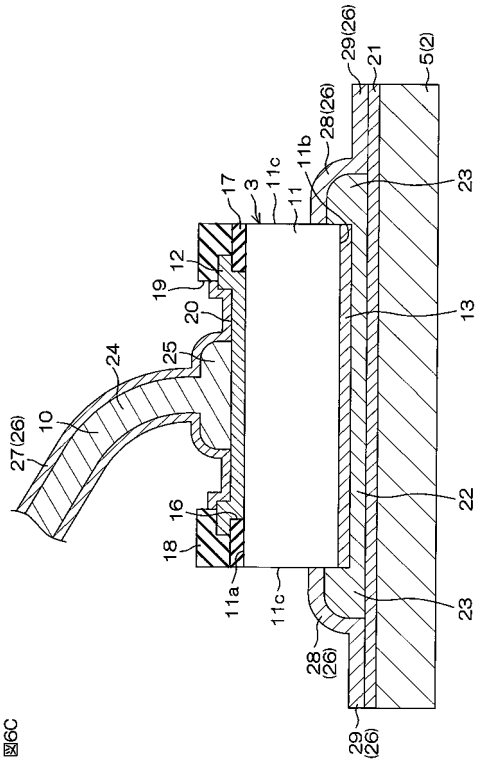


図6C

【図６Ｄ】

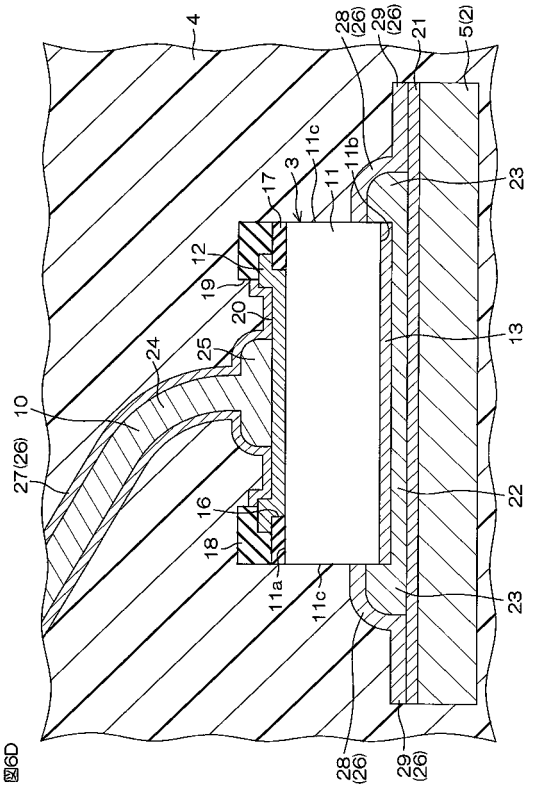


図6D

【図７】

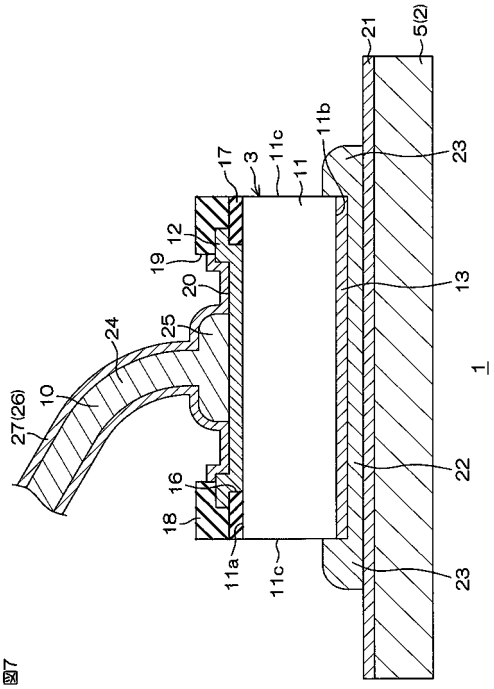


図7

【図８】

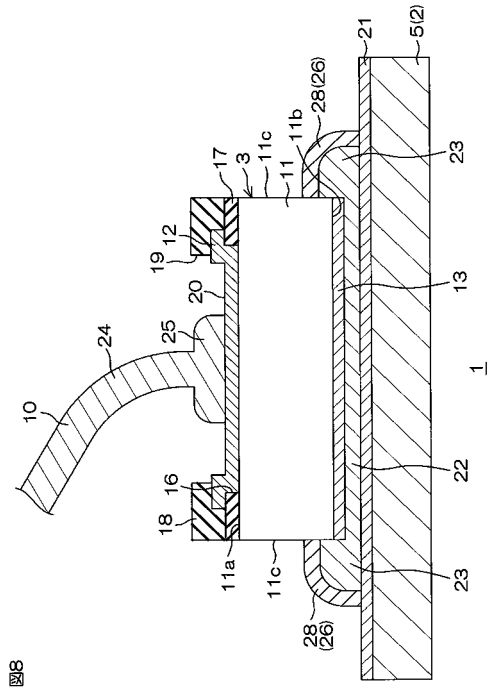


図8

【図９】

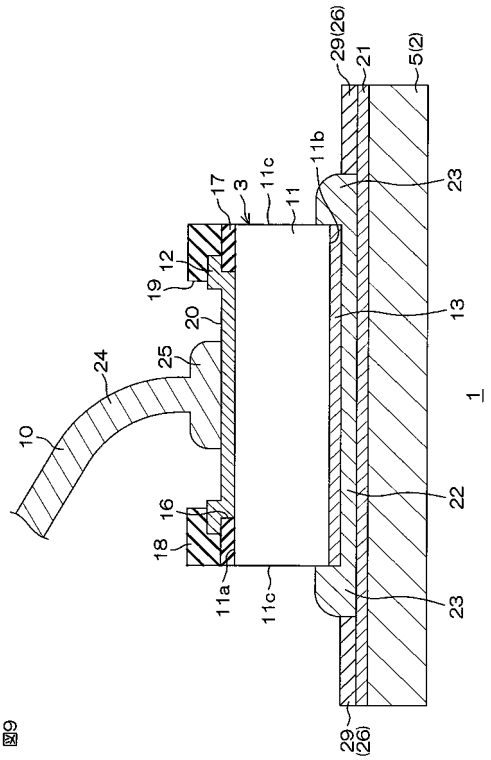


図9

【図１０】

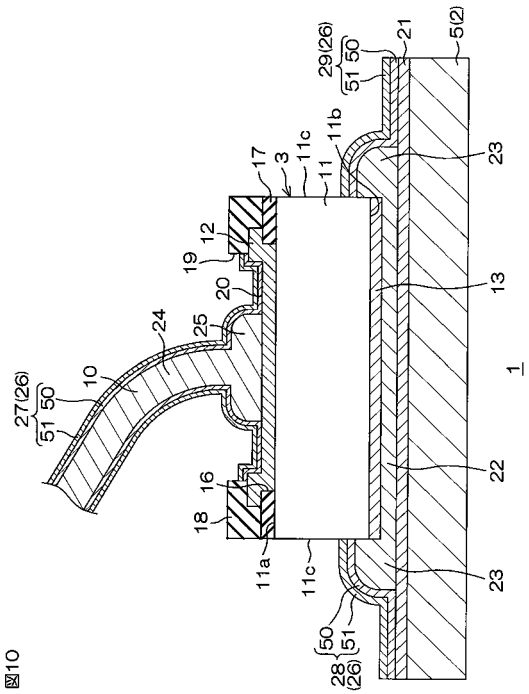


図10

【図１１】

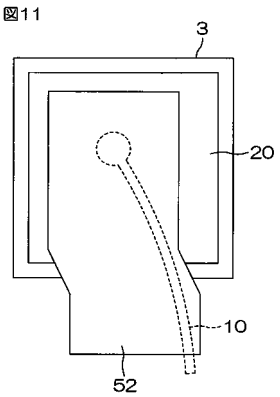


図11

【図１２】

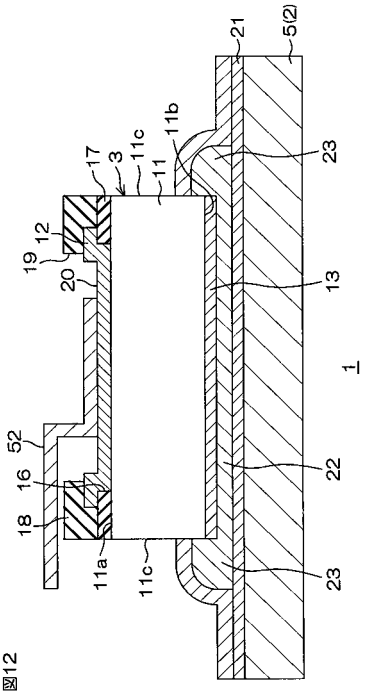


図12

フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
	Ｈ０１Ｌ　29/78　　６５２Ｔ	

Ｆターム(参考) 4M104 AA03 AA04 AA10 BB01 BB05 BB09 BB20 BB21 FF02 FF17
GG03 GG08 GG18
5F044 AA14 EE01 EE04 EE06 EE21