

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207702
(P2004-207702A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/331	HO 1 L 29/72 P	5 F 0 0 3
HO 1 L 21/8222	HO 1 L 27/08 1 O 1 B	5 F 0 8 2
HO 1 L 27/082		
HO 1 L 29/732		

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号	特願2003-404517 (P2003-404517)	(71) 出願人	000005049 シャープ株式会社
(22) 出願日	平成15年12月3日 (2003.12.3)		大阪府大阪市阿倍野区長池町2番2号
(31) 優先権主張番号	特願2002-359117 (P2002-359117)	(74) 代理人	100084146 弁理士 山崎 宏
(32) 優先日	平成14年12月11日 (2002.12.11)	(74) 代理人	100100170 弁理士 前田 厚司
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100122286 弁理士 仲倉 幸典
		(72) 発明者	前田 晃幸 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		Fターム(参考)	5F003 AP04 BA23 BA25 BB01 BB09 BC08 BC90 BE09 BH02

最終頁に続く

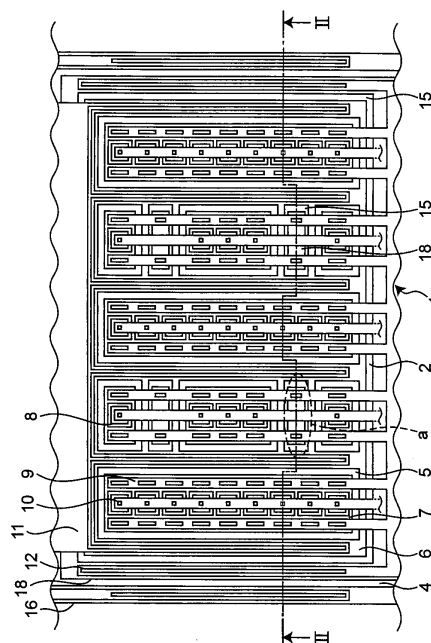
(54) 【発明の名称】 パワートランジスタおよびそれを用いた半導体集積回路

(57) 【要約】

【課題】 寄生PNPトランジスタの誤動作および周辺回路のラッチアップによる回路誤動作を防止できるパワートランジスタおよびそれを用いた半導体集積回路を提供する。

【解決手段】 P型シリコン基板1上に縦型PNPトランジスタを複数並べて構成されたパワートランジスタにおいて、前記P型シリコン基板1と前記複数の縦型PNPトランジスタのコレクタを分離するためのN+型埋込層2の電極部aをパワートランジスタの能動領域内に1箇所または複数有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

P型シリコン基板上に縦型PNPトランジスタを複数形成して構成されたパワートランジスタにおいて、

前記P型シリコン基板と前記複数の縦型PNPトランジスタのコレクタを分離するために形成されたN+型埋込層の電極部をパワートランジスタの能動領域内に1箇所または複数設けたことを特徴とするパワートランジスタ。

【請求項 2】

請求項 1 に記載のパワートランジスタにおいて、

前記電極部の少なくとも一部はパワートランジスタの能動領域上に配線されたパワートランジスタの共通エミッタメタル配線上に設けられたことを特徴とするパワートランジスタ。 10

【請求項 3】

請求項 1 に記載のパワートランジスタにおいて、

前記電極部は前記N+型埋込層上に形成され、オーミック接触するためのN+型電極層とN+型拡散層で形成されたことを特徴とするパワートランジスタ。

に記載のパワートランジスタにおいて、

【請求項 4】

請求項 3 に記載のパワートランジスタにおいて、

前記N+型拡散層は、前記複数の縦型PNPトランジスタのベース領域としてのN+型ベースウェル層と同時に形成されたことを特徴とするパワートランジスタ。 20

【請求項 5】

請求項 3 に記載のパワートランジスタにおいて、

前記N+型拡散層は、前記P型シリコン基板上に形成されたN型エピタキシャル層よりも濃い不純物濃度 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲で形成されたことを特徴とするパワートランジスタ。

【請求項 6】

請求項 3 に記載のパワートランジスタにおいて、

前記N+型拡散層は、パワートランジスタ底面にある前記N+型埋込層に到達するまで不純物を拡散して形成されたことを特徴とするパワートランジスタ。 30

【請求項 7】

請求項 1 に記載のパワートランジスタにおいて、

前記1または複数の電極部が、隣接する各電極部までの距離が均等になるように配置されていることを特徴とするパワートランジスタ。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 つに記載のパワートランジスタを用いたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、パワートランジスタおよびそれを用いた半導体集積回路に関し、特に縦型PNPトランジスタを複数並べて構成されるパワートランジスタおよびそれを用いた半導体集積回路に関する。 40

【背景技術】

【0002】

従来、パワートランジスタとしては、半導体基板上に縦型(バーチカル)PNPトランジスタを複数並べた構成のものがある(例えば、特開平7-183311号公報(特許文献1)参照)。

【0003】

図3は従来のパワートランジスタのパターン平面図を示し、図4は図3のIV-IV線から 50

見た断面図を示している。このパワートランジスタは、P型シリコン基板101に、P型シリコン基板101と縦型PNPトランジスタのコレクタを分離するためのN+型埋込層102と、前記N+型埋込層102上に形成され、縦型PNPトランジスタのコレクタとなるP+型コレクタ埋込層103と、パワートランジスタとその周辺素子を分離するためにN+型埋込層102の周囲に形成されたP+型埋込分離層113と、P型シリコン基板101の表面全体に亘ってN型エピタキシャル成長により形成されたN型エピタキシャル層104と、トランジスタ特性を向上させるために縦型PNPトランジスタのベース領域として形成されたN+型ベースウェル層105と、P+型コレクタ埋込層103上に形成されたP+型コレクタ層106と、素子分離のためのP+型埋込分離層113の上部に形成されたP+型分離層116と、前記N+型ベースウェル層105領域内に形成された縦型PNPトランジスタのエミッタとなるP+型エミッタ層107と、縦型PNPトランジスタのベース電極領域に形成されたN+型ベース層108と、パワートランジスタ領域直下のN+型埋込層102の電極を取るためにP+型コレクタ層106の周囲を取り囲むように形成されたN+型電極層118とが形成されている。また、P型シリコン基板101表面には選択的にパターンニングし開口された酸化膜120が形成され、さらにその上に、パワートランジスタを構成する複数の単位トランジスタ間を電氣的に接続するために配線された共通エミッタメタル配線109と、共通ベースメタル配線110と、共通コレクタメタル配線111と、共通エミッタメタル配線109に接続されGNDに接地されるN+型埋込層102のメタル配線112とが形成されている。なお、これらは周知である標準的なバイポーラICの製造方法により全て形成される。また、図3において共通ベースメタル配線110は本発明に関し重要でないので配線を一部省略している。

10

20

【0004】

前記従来のパワートランジスタの構造では、縦型PNPトランジスタが飽和領域のときに寄生PNPトランジスタが誤動作してP型シリコン基板に漏れ電流が流れてしまい、結果としてP型シリコン基板の電位が安定せず、パワートランジスタの周辺回路がラッチアップを起こして回路が誤動作してしまうという問題があった。前記縦型PNPトランジスタの飽和領域時の漏れ電流の発生メカニズムをパワートランジスタの断面構造の一部を用いて以下に説明する。

【0005】

図5は前記縦型PNPトランジスタが飽和領域の時のパワートランジスタ断面図で、縦型PNPトランジスタの飽和領域時には、共通エミッタメタル配線109と共通エミッタメタル配線109に配線接続されたN+型埋込層102のメタル配線112に0V、共通ベースメタル配線110に-0.6V、共通コレクタメタル配線111に-0.3Vの電位が与えられた状態となる。なお、図5中の実線矢印はホール、破線矢印は電子を表わす。

30

【0006】

まず、縦型PNPトランジスタの入力電流としてP+型エミッタ層107からN+型ベースウェル層105にホールが注入されてベース電流(図5中の実線矢印Aに示す)が流れる。縦型PNPトランジスタが飽和領域の時は、P+型コレクタ埋込層103とN+型ベースウェル層105の間は0.3Vの順バイアスになっており、N+型ベースウェル層105からP+型コレクタ埋込層103に電子が注入される(図5中の破線矢印Bに示す)。

40

【0007】

そして、注入された電子の一部は、N+型埋込層102まで届き、再結合して消滅する(図5中の破線矢印C)。このとき、前記N+型埋込層102は、自身の抵抗R1とN型エピタキシャル層104の抵抗R2を介してメタル配線112にて共通エミッタメタル配線109に配線接続されGNDに接地しているので、抵抗R1、抵抗R2が大きいと注入された電子の一部は、再結合せずにP+型コレクタ埋込層103に戻る(図5中の破線矢印C')。

【0008】

再結合せずにP+型コレクタ埋込層103に戻った電子によりP+型コレクタ埋込層103からN+型埋込層102にホールが注入され(図5中の実線矢印D)、N+型埋込層102

50

の電位が下がることにより、ホール電流が寄生PNPトランジスタ(P+型コレクタ埋込層103をエミッタ、N+型埋込層102をベース、P型シリコン基板101をコレクタとするトランジスタ)により hFE 倍されて、P型シリコン基板101に漏れ電流として流れる(図5中の実線矢印E)。

【0009】

前記従来のパワートランジスタは、図4に示すように、パワートランジスタの能動領域を囲い込むようにN+型埋込層102の電極部(N+型電極層118パターン領域)が設けられているため、パワートランジスタ中央部直下のN+型埋込層103から前記電極部までの距離が長くなり、抵抗R1が非常に大きくなる。したがって、パワートランジスタの飽和領域時においては、寄生PNPトランジスタが誤動作しやすく、P型シリコン基板101に漏れ電流が流れてしまう問題があった。

【0010】

このような問題は、結果としてP型シリコン基板101の電位が安定せず、パワートランジスタの周辺回路がラッチアップを起こし回路が誤動作する致命的な問題となる。

【特許文献1】特開平7-183311号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

そこで、この発明の目的は、パワートランジスタの寄生PNPトランジスタの誤動作を抑制することにより、周辺回路のラッチアップによる回路誤動作を防止するパワートランジスタおよびそれを用いた半導体集積回路を提供することにある。

【課題を解決するための手段】

【0012】

前記目的を達成するため、この発明のパワートランジスタは、P型シリコン基板上に縦型PNPトランジスタを複数並べて構成されたパワートランジスタにおいて、前記P型シリコン基板と前記複数の縦型PNPトランジスタのコレクタを分離するためのN+型埋込層の電極部をパワートランジスタの能動領域内に1箇所または複数有することを特徴としている。

【0013】

前記パワートランジスタによれば、パワートランジスタの能動領域内に少なくとも1つ以上のN+型埋込層の電極部を設けることにより、パワートランジスタ直下のN+型埋込層から電極部までの距離が短くなり抵抗が小さくなるため、寄生PNPトランジスタの誤動作を防止でき、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0014】

また、一実施形態では、パワートランジスタの能動領域上に形成、配線されたパワートランジスタの共通エミッタメタル配線上にN+型埋込層の電極部を設けている。

【0015】

前記実施形態のパワートランジスタによれば、パワートランジスタの能動領域上に形成、配線されたパワートランジスタの共通エミッタメタル配線下にN+型埋込層の電極部を設けることによりパワートランジスタサイズを大きくすることなく、限られたパワートランジスタの設計スペースを有効に活用することができ、複雑なパターン設計を不要とする。

【0016】

また、一実施形態では、前記電極部は、オーミック接触するためのN+型電極層とN+型拡散層で形成されている。

【0017】

寄生PNPトランジスタの誤動作の主原因は、N+型埋込層の抵抗成分が大きいためであるが、N+型電極層からパワートランジスタ底面にあるN+型埋込層までの縦方向に存在するN型エピタキシャル層の抵抗も、影響する度合いは小さいが要因の一つになっている。

。そこで、前記実施形態のパワートランジスタによれば、N+型埋込層の電極部に、N型エピタキシャル層よりも濃い不純物濃度のN+型拡散層を形成することで、N+型埋込層までの抵抗を低減することができ、寄生PNPトランジスタの誤動作を防止することができる。

【0018】

また、一実施形態では、前記N+型拡散層は、前記複数の縦型PNPトランジスタのベース領域としてのN+型ベースウェル層と同時に形成されている。

【0019】

前記実施形態のパワートランジスタによれば、縦型PNPトランジスタの特性向上のために必要である縦型PNPトランジスタのベース領域に形成しているN+型ベースウェル層とN+型拡散層とを同時に設けるので、新たに工程を付加することなくN型エピタキシャル層の抵抗を小さくすることが可能となる。

10

【0020】

また、一実施形態では、前記N+型拡散層は、前記P型シリコン基板上に形成されたN型エピタキシャル層よりも濃い不純物濃度 $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲で形成されている。

【0021】

前記実施形態のパワートランジスタによれば、N+型拡散層の不純物濃度の实用範囲としては、N型エピタキシャル層よりも濃くて縦型PNPトランジスタの特性に影響しない程度に薄くする。これを考慮すれば实用範囲としては $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ が良い。これにより縦方向に存在するN型エピタキシャル層の抵抗を低減することができる。

20

【0022】

また、一実施形態では、前記N+型拡散層は、パワートランジスタ底面にある前記N+埋込層に到達するまで不純物を拡散して形成されている。

【0023】

前記実施形態のパワートランジスタによれば、N+型拡散層をパワートランジスタ底面に存在するN+型埋込層に到達するよう拡散して形成することで、N型エピタキシャル層の抵抗を低減することができ、N型エピタキシャル層が残存して抵抗が増大することはない。

30

【0024】

また、一実施形態では、前記N+型埋込層の電極部が1箇所または複数設けられているとき、隣接する各電極部までの距離が均等になるように前記複数の電極部を配置している。

【0025】

前記実施形態のパワートランジスタによれば、隣接するN+型埋込層の電極部までの距離が均等になるように複数配置することによって、パワートランジスタ能動領域直下のN+型埋込層の抵抗を小さくすることができ、埋込領域の抵抗分布の均一化が図れ、局所的な漏れ電流の発生を抑制することができる。また、N+型埋込層の抵抗値や寄生PNPトランジスタのhFE等にもよるが、必要であれば抵抗を低減するためにN+型埋込層の電極部の配置数を増やすことも可能である。

40

【0026】

また、この発明の半導体集積回路は、前記パワートランジスタのうちのいずれか1つを用いたことを特徴としている。

【0027】

前記半導体集積回路によれば、寄生PNPトランジスタの誤動作および周辺回路のラッチアップによる回路誤動作を防止することが可能なパワートランジスタを用いることによって、安定した動作ができる高性能な半導体集積回路を提供することができる。

【発明の効果】

【0028】

50

以上より明らかなように、この発明のパワートランジスタによれば、パワートランジスタの能動領域内に複数のN+型埋込層の電極部を設けることで、N+型埋込層から電極層までの抵抗が低減できるため、寄生PNPトランジスタの誤動作を防止でき、P型シリコン基板への漏れ電流を抑制することが可能となるため、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0029】

また、この発明の半導体集積回路によれば、前記パワートランジスタを用いることによって、安定した動作ができる高性能な半導体集積回路を提供することができる。

【発明を実施するための最良の形態】

【0030】

以下、この発明のパワートランジスタを図示の実施の形態により詳細に説明する。

【0031】

図1はこの発明の実施の一形態のパワートランジスタのパターン平面図であり、図2は図1のII-II線からみた断面図を示している。

【0032】

このパワートランジスタは、図1、図2に示すように、P型シリコン基板1に、P型シリコン基板1と縦型PNPトランジスタのコレクタを分離するためのN+型埋込層2と、縦型PNPトランジスタのコレクタとなるP+型コレクタ埋込層3と、N+型埋込層2の周囲に形成され、パワートランジスタとその周辺素子を分離するためのP+型埋込分離層13と、P型シリコン基板1の表面全体に亘ってエピタキシャル成長により形成されたN型エピタキシャル層4と、トランジスタ特性を向上させるために縦型PNPトランジスタのベース領域に形成されたN+型ベースウェル層5と、N型エピタキシャル層4の抵抗を低減するために、従来からパワートランジスタの周囲を囲むように形成されたN+型埋込層2の電極部a（N+型電極層18領域直下）とパワートランジスタ能動領域内のN+型埋込層2の電極部aとに形成したN+型拡散層15と、P+型コレクタ埋込層3上に形成されたP+型コレクタ層6と、素子分離のためにP+型埋込分離層13上に形成されたP+型分離層16と、N+型ベースウェル層5領域内に形成された縦型PNPトランジスタのエミッタとなるP+型エミッタ層7と、縦型PNPトランジスタのベース電極領域に形成されたN+型ベース層8とが形成されている。

【0033】

また、P型シリコン基板1表面には選択的にパターンニングし開口された酸化膜20が形成されている。さらにその上に、パワートランジスタを構成する複数の単位トランジスタ間を電氣的に接続するために配線された共通エミッタメタル配線9と、共通ベースメタル配線10と、共通コレクタメタル配線11と、共通エミッタメタル配線9に接続されGNDに接地されるN+型埋込層2のメタル配線12とが形成されている。即ち、上記共通エミッタメタル配線9とメタル配線12とは、図2に示していないが、電氣的に接続されている。

【0034】

なお、パワートランジスタ能動領域内に形成されたN+型埋込層の電極部aは前記共通エミッタメタル配線9により接続される。この電極部aは、共通エミッタメタル配線9の下のN+型電極層18とN+型拡散層15とからなる。上記N+型電極層18は共通エミッタメタル配線9とオーミック接触する。この発明によるパワートランジスタは周知とされる標準的なバイポーラICの製造方法によって形成する。図1において共通ベースメタル配線10は本発明に関し重要でないので配線を一部省略している。

【0035】

前記構成のパワートランジスタによれば、従来から問題であった寄生PNPトランジスタの誤動作を防止し、P型シリコン基板1への漏れ電流を抑制することが可能となり、パワートランジスタの周辺回路のラッチアップによる回路誤動作を防止することができる。

【0036】

なお、この発明の実施の形態に基づき設計したパワートランジスタの漏れ電流は、従来

10

20

30

40

50

比20%程度まで改善されることを本発明者が行った実験により確認している。

【0037】

パワーランジスタの共通エミッタメタル配線9と同電位にする必要ある前記複数のN+型埋込層2の電極部aは、パワーランジスタの能動領域上に形成、配線された共通エミッタメタル配線9に直接接続できるため、限られたパワーランジスタの設計スペースを有効に活用することができ、複雑なパターン設計を不要とする。

【0038】

また、N+型埋込層2の電極部aのN+型拡散層15はN+型ベースウェル層5と同時に形成し、N型エピタキシャル層4よりも濃い不純物濃度で、かつ下部のN+型埋込層2に到達するまで不純物を拡散し形成することで、N+型電極層18からパワーランジスタの底面にあるN+型埋込層2までの抵抗R2を低減することが可能となる。

【0039】

通常、バイポーラIC(Integrated Circuit)のN型エピタキシャル層は、比抵抗1~5 cm(不純物濃度1~5×10¹⁵atoms/cm³)で形成されるのが一般的であるが、縦型PNPトランジスタの特性に影響するN+型ベースウェル層5も考慮し、N+型拡散層15の不純物濃度は、1×10¹⁶~1×10¹⁷atoms/cm³の範囲で形成するのが望ましい。

【0040】

また、パワーランジスタ能動領域の周囲に形成された従来からあるN+型埋込層の電極部a(N+型電極層18の領域)、および能動領域内に設けた複数のN+型埋込層2の電極部aの間の距離を互いに短くかつ均等に配置することにより、パワーランジスタ直下のN+型埋込層2の抵抗R1を小さくすることができ、N+型埋込層2の抵抗分布の均一化が図れ、局所的な漏れ電流の発生を抑制することができる。

【0041】

また、前記N+型埋込層2の抵抗値、寄生PNPトランジスタのhFE等にもよるが、必要であれば抵抗R1を低減するためにN+型埋込層2の電極部aの配置数を増やすことも可能である。

【0042】

前記実施の形態では、P型シリコン基板1に複数の縦型PNPトランジスタが形成されたパワーランジスタについて説明したが、半導体基板はシリコン基板に限らず、他の材料からなる半導体基板でもよい。また、前記実施の形態では、複数のN+型埋込層2の電極部aを設けたパワーランジスタについて説明したが、電極部aは1つであってもよく、縦型PNPトランジスタの構成等に応じて電極部aの配置や数は適宜設定すればよい。

【0043】

また、前記実施形態のパワーランジスタを集積回路に用いることによって、安定した動作ができる高性能な集積回路を実現することができる。

【0044】

以上、本発明を説明したが、これは種々変更してもよいことは明らかである。そのような変更は、本発明の精神と範囲からの逸脱であるとみなされるべきではなく、当業者にとって自明であるような変更はすべて、本発明に含まれるものである。

【図面の簡単な説明】

【0045】

【図1】図1はこの発明の実施の一形態のパワーランジスタの平面図である。

【図2】図2は図1のII-II線から見た断面図である。

【図3】図3は従来のパワーランジスタのパターン平面図である。

【図4】図4は図3のIV-IV線から見た断面図である。

【図5】図5は飽和領域時の縦型PNPトランジスタの断面構造を示す図である。

【符号の説明】

【0046】

- 1 ... P型シリコン基板、
- 2 ... N+型埋込層、

10

20

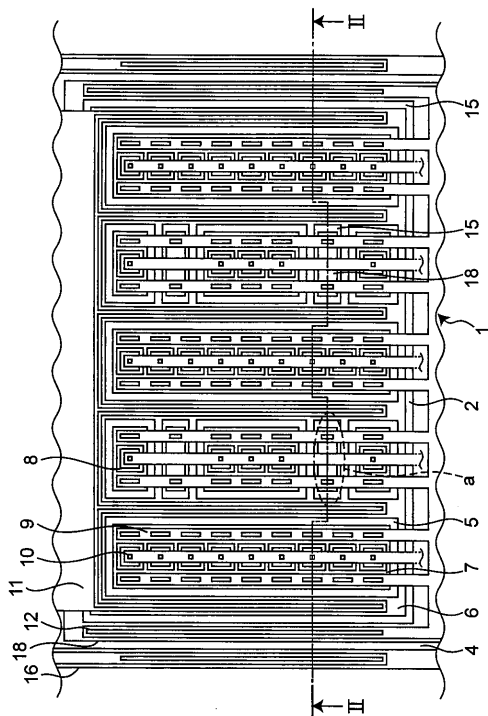
30

40

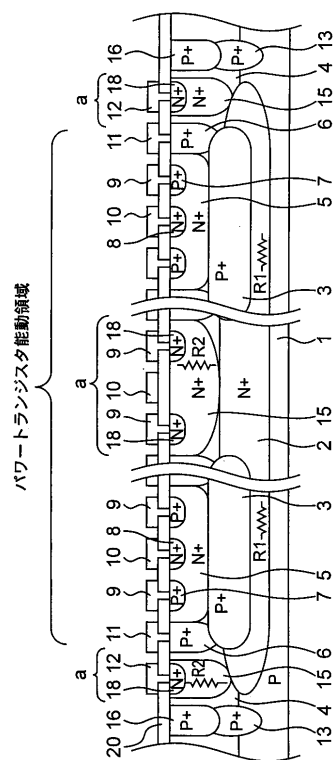
50

- 3 ... P+型コレクタ埋込層、
- 4 ... N型エピタキシャル層、
- 5 ... N+型ベースウェル層、
- 6 ... P+型コレクタ層、
- 7 ... P+型エミッタ層、
- 8 ... N+型ベース層、
- 9 ... 共通エミッタメタル配線、
- 10 ... 共通ベースメタル配線、
- 11 ... 共通コレクタメタル配線、
- 12 ... N+型埋込層のメタル配線、
- 13 ... P+型埋込分離層、
- 15 ... N+型拡散層、
- 16 ... P+型分離層、
- 18 ... N+型電極層、
- 20 ... 酸化膜(絶縁膜)。

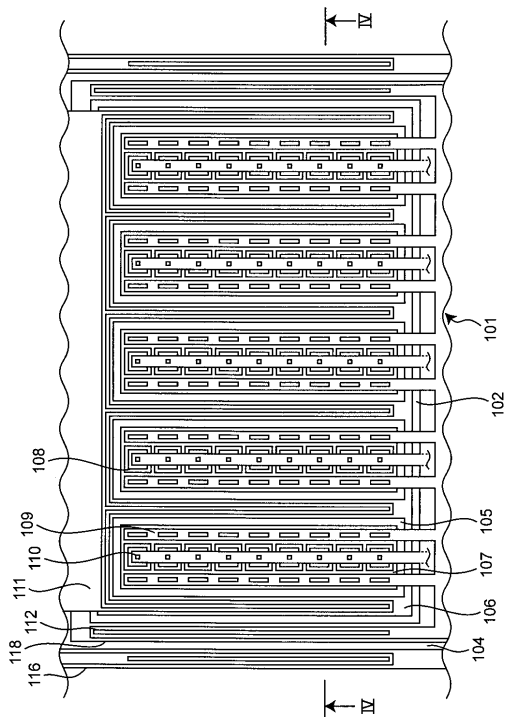
【 図 1 】



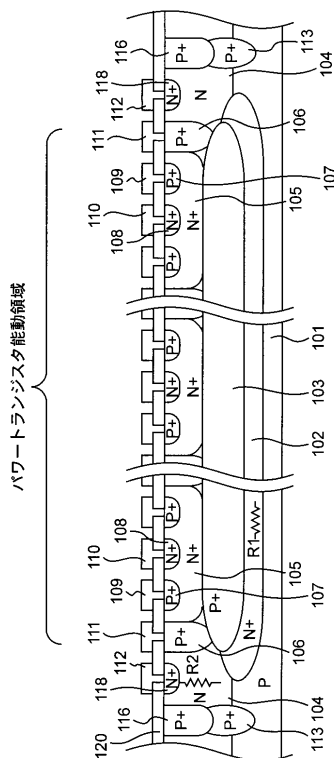
【 図 2 】



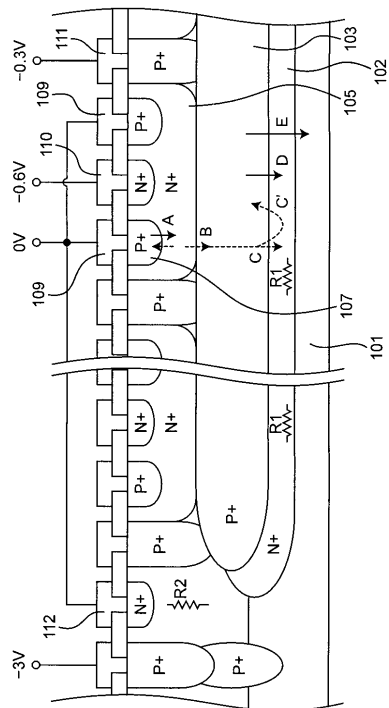
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5F082 AA17 AA26 BA02 BA11 BA12 BA21 BA26 BA38 BA41 BA47
BA48 BC04 DA01 DA03