

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7456516号
(P7456516)

(45)発行日 令和6年3月27日(2024.3.27)

(24)登録日 令和6年3月18日(2024.3.18)

(51)国際特許分類		F I			
H 0 5 K	1/02 (2006.01)	H 0 5 K	1/02	P	
H 0 5 K	1/18 (2006.01)	H 0 5 K	1/18	J	

請求項の数 9 (全16頁)

(21)出願番号	特願2022-560686(P2022-560686)	(73)特許権者	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(86)(22)出願日	令和3年10月8日(2021.10.8)	(74)代理人	240000327 弁護士 弁護士法人クレオ国際法律特許事務所
(86)国際出願番号	PCT/JP2021/037463	(72)発明者	樋口 太郎 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(87)国際公開番号	WO2022/097424	(72)発明者	今西 由浩 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(87)国際公開日	令和4年5月12日(2022.5.12)	(72)発明者	齋藤 康誌 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
審査請求日	令和5年2月22日(2023.2.22)		
(31)優先権主張番号	特願2020-184488(P2020-184488)		
(32)優先日	令和2年11月4日(2020.11.4)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 信号電源分離回路が構成される多層回路基板

(57)【特許請求の範囲】

【請求項1】

部品実装面に形成されたマイクロストリップラインと、
前記マイクロストリップラインの線路幅より広い幅で前記マイクロストリップラインに形成される実装パッドと、
前記実装パッドおよび電源間に電氣的に接続されて前記部品実装面に実装されるチップインダクタと、
前記部品実装面の直下に設けられる内層グラウンドにおける前記チップインダクタの実装面直下部分に所定の面積で形成されるインダクタ特性補償部と、
前記インダクタ特性補償部と所定の距離を置いて前記実装パッド直下部分における前記内層グラウンドに前記インダクタ特性補償部と電氣的に分離されて所定の面積で形成される信号伝送特性補償部と
を備えて信号電源分離回路が構成される多層回路基板。

【請求項2】

前記チップインダクタは前記部品実装面において前記実装パッドおよび電源間に複数個直列に設けられ、
前記インダクタ特性補償部は、前記チップインダクタの複数個にわたる実装面直下の前記内層グラウンドに所定の面積で形成されることを特徴とする請求項1に記載の多層回路基板。

【請求項3】

10

20

前記マイクロストリップラインは、前記実装パッド以外にも前記マイクロストリップラインの線路幅より広い幅の他の実装パッドを前記実装パッドと異なる箇所₁に1箇所以上有し、

前記他の実装パッド直下部分の前記内層グラウンドに所定の面積で形成される信号伝送特性補償部をさらに備える

ことを特徴とする請求項1または請求項2に記載の多層回路基板。

【請求項4】

チップ抵抗用の前記他の実装パッドに一方の端子が接続されて前記チップインダクタに並列に前記部品実装面に実装されるチップ抵抗と、

前記チップ抵抗の実装面直下の前記内層グラウンドに所定の面積で形成される抵抗特性補償部とを備え、

チップ抵抗用の前記信号伝送特性補償部は、前記抵抗特性補償部と所定の距離を₁おいてチップ抵抗用の前記他の実装パッド直下部分における前記内層グラウンドに前記抵抗特性補償部と電氣的に分離されて所定の面積で形成される

ことを特徴とする請求項3に記載の多層回路基板。

【請求項5】

前記チップインダクタは並設された2本の前記マイクロストリップラインを挟んだ両側に配置され、

前記信号伝送特性補償部は、各前記マイクロストリップラインに形成されて各前記チップインダクタの一端に接続される各前記実装パッドの下層において、2本の前記マイクロストリップラインの各延伸方向において並ぶ位置で、かつ、前記各延伸方向に直交する方向において互いに所定の距離離れて配置される

ことを特徴とする請求項1から請求項4のいずれか1項に記載の多層回路基板。

【請求項6】

前記チップインダクタは並設された2本の前記マイクロストリップラインを挟んだ両側に配置され、

前記信号伝送特性補償部は、各前記マイクロストリップラインに形成されて各前記チップインダクタの一端に接続される各前記実装パッドの下層において、一方の前記実装パッドの下方に形成される一方のものが、2本の前記マイクロストリップラインの各延伸方向において他方のものから所定の距離離れて他方のものと並ばない位置で、かつ、前記各延伸方向に直交する方向において他方の前記実装パッドが形成される一方の前記マイクロストリップラインから所定の距離離れて配置される

ことを特徴とする請求項1から請求項4のいずれか1項に記載の多層回路基板。

【請求項7】

前記信号伝送特性補償部および前記インダクタ特性補償部の両方またはいずれか一方は、誘電体を挟んで導体が網目状に位置する導電メッシュが形成されていることを特徴とする請求項1から請求項6のいずれか1項に記載の多層回路基板。

【請求項8】

前記信号伝送特性補償部および前記インダクタ特性補償部の両方またはいずれか一方は、抵抗膜が形成されていることを特徴とする請求項1から請求項6のいずれか1項に記載の多層回路基板。

【請求項9】

前記信号伝送特性補償部および前記インダクタ特性補償部の両方またはいずれか一方は、前記内層グラウンドと絶縁された浮島状の導電体が部分的に1個または複数個形成されていることを特徴とする請求項1から請求項6のいずれか1項に記載の多層回路基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロストリップラインに形成される実装パッドおよび電源間にチップインダクタが実装されて信号電源分離回路が構成される多層回路基板に関するものである。

10

20

30

40

50

【背景技術】

【0002】

従来、マイクロストリップラインが形成されるこの種の多層回路基板として、例えば、特許文献1に開示された多層基板がある。この多層基板では、マイクロストリップ線路に部品を接続するための半田付けランドパターンを設けた場合、半田付けランドパターンの部分の内層アースパターンを除いて、下層アースパターンがマイクロストリップ線路のアースパターンとされる。これにより、半田付けランドパターンの下層部における板厚が大きくなり、板厚が大きくなった分、半田付けランドパターンのパターン幅が広がっても、マイクロストリップ線路の特性インピーダンスを変えずに、半田付けランドパターンを設けることができる。

10

【0003】

また、従来、マイクロストリップラインが形成されるこの種の多層回路基板として、例えば、特許文献2に開示されたものもある。この多層回路基板では、誘電体の表面に形成された信号線路と、誘電体の裏面に形成された裏面グランドと、それらの間の誘電体中に形成された内層グランドにより、マイクロストリップ線路が構成されている。内層グランドには信号線路に沿ってギャップが設けられている。このギャップの幅の値を調節することにより、信号線路の幅を一定に保持したまま、マイクロストリップ線路の特性インピーダンスを変化させることができる。また、ギャップの幅の値を調節することにより、マイクロストリップ線路の特性インピーダンスを一定に保持したまま、線路幅を任意に設定することができる。

20

【先行技術文献】

【特許文献】

【0004】

【文献】特開平3 - 71703号公報

【文献】特開2014 - 171154号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

マイクロストリップラインによって形成される1本の信号線に信号と直流バイアス電源とを重畳させて通信を行うPoC (Power Over Coax.) と呼ばれる伝送技術では、多層回路基板表面のマイクロストリップラインに形成される実装パッドおよび電源間にインダクタが実装されて、信号電源分離回路が構成される。マイクロストリップラインを伝搬する信号の高周波化や大電流化が進むこのPoCでは、マイクロストリップラインの特性インピーダンスに高い精度が要求され、また、インダクタ部品に大電流に対応できる性能が要求される。

30

【0006】

インダクタ部品の大電流対応性能を向上させるためには、部品を大型化する必要が生じる。しかし、インダクタ部品を大型化すると、マイクロストリップラインの線路幅に対して、部品を実装するための実装パッドも大きくなり、実装パッド部分でマイクロストリップラインの特性インピーダンス変化が大きくなる。したがって、インダクタ部品の大型化とマイクロストリップラインの特性インピーダンスの高精度化の要求とは相反するものとなる。

40

【0007】

このため、特許文献1に開示された、半田付けランドパターンの下層の内層グランドを除去する技術と、特許文献2に開示された、内層グランドの除去されるギャップ幅を調整する技術とを組み合わせ、実装パッドの下層の内層グランドを任意の寸法で除去することにより、実装パッド部分で生じる特性インピーダンス変化を最小限に抑制する対策が考えられる。

【0008】

また、PoCにおいて信号電源分離回路を構成する、Bias-Tインダクタと呼ばれ

50

るインダクタは、その下層のグランド層との容量結合を抑制するため、一般的にその下層のグランド層が除去される対策がとられる。グランド層が除去されてインダクタのこの容量結合が抑制されることで、インダクタのインピーダンスの低下や、自己共振周波数（SRF周波数）の低下が防げ、Bias-Tインダクタとしての十分な特性が確保される。

【0009】

したがって、実装パッド部分で生じる特性インピーダンス変化を最小限に抑制すると共に、Bias-Tインダクタの下層グランド層との容量結合を抑制するためには、上記の各対策を組み合わせ、実装パッドおよびインダクタの両部分の下層における内層グランドを除去する必要がある。

【0010】

しかしながら、このように内層グランドを除去すると、その除去パターンがマイクロストリップラインの片側に広がる形状となり、マイクロストリップラインから見て非対称に内層グランドが無い状態となる。このため、このような対策では、Bias-Tインダクタの下層グランド層との容量結合を抑制できても、マイクロストリップラインの実装パッド部分で生じる特性インピーダンス変化を抑制することができない。

【課題を解決するための手段】

【0011】

本発明はこのような課題を解消するためになされたもので、部品実装面に形成されたマイクロストリップラインと、マイクロストリップラインの線路幅より広い幅でマイクロストリップラインに形成される実装パッドと、実装パッドおよび電源間に電氣的に接続されて部品実装面に実装されるチップインダクタと、

部品実装面の直下に設けられる内層グランドにおけるチップインダクタの実装面直下部分に所定の面積で形成されるインダクタ特性補償部と、

インダクタ特性補償部と所定の距離をおいて実装パッド直下部分における内層グランドにインダクタ特性補償部と電氣的に分離されて所定の面積で形成される信号伝送特性補償部とを備えて、信号電源分離回路が構成される多層回路基板を構成した。

【0012】

本構成によれば、マイクロストリップラインに形成される実装パッド、および、その実装パッドに接続されるチップインダクタの両部分の下層における内層グランドは、実装パッド直下部分に所定の面積で形成される信号伝送特性補償部と、チップインダクタの実装面直下部分に所定の面積で形成されるインダクタ特性補償部との間に所定の距離が空けられ、電氣的に分離される。このため、信号伝送特性補償部とインダクタ特性補償部とが合体して、マイクロストリップラインの片側に広がる形状に形成されていた内層グランドの除去部は、信号伝送特性補償部が、インダクタ特性補償部から信号伝送特性の補償に影響を与えない距離離されて、マイクロストリップラインから見てその両側にほぼ等しく張り出す形状になる。

【発明の効果】

【0013】

この結果、本発明によれば、チップインダクタの下層グランド層との容量結合を抑制できると共に、マイクロストリップラインの実装パッド部分で生じる特性インピーダンス変化を抑制することが可能な、信号電源分離回路が構成される多層回路基板を提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態による多層回路基板を示す図である。

【図2】従来の多層回路基板の問題点を説明する図である。

【図3】第1の実施形態による多層回路基板の作用を説明する図である。

【図4】第1の実施形態による多層回路基板における信号伝送特性補償除去部とインダク

10

20

30

40

50

タ特性補償除去部との間の距離を説明する図である。

【図5】本発明の第2の実施形態による多層回路基板を示す図である。

【図6】本発明の第3の実施形態による多層回路基板を示す図である。

【図7】第3の実施形態による多層回路基板における信号伝送特性補償除去部とマイクロストリップラインとの間の距離を説明する図である。

【図8】第3の実施形態による多層回路基板における各信号伝送特性補償除去部間の距離を説明する図である。

【発明を実施するための形態】

【0015】

次に、本発明による信号電源分離回路が構成される多層回路基板を実施するための形態について、説明する。なお、以下の説明において、同一または相当する部分には同一符号を付して説明する。

【0016】

図1(a)は、本発明の第1の実施形態による多層回路基板1の平面図、図1(b)は、多層回路基板1の部品実装面1aに実装された各部品を取り払った際に見える表層パターン図、図1(c)は、部品実装面1aの直下の多層回路基板1の内部に形成される内層グラウンド1bのパターン図である。

【0017】

多層回路基板1の部品実装面1aにはマイクロストリップライン2が形成されており、IC(高集積化回路)3、DCカットコンデンサ4、チップインダクタ5a, 5b、および、チップ抵抗6a, 6bが実装されている。マイクロストリップライン2の端部にはコネクタ7が設けられており、コネクタ7には図示しない同軸ケーブルが接続される。この同軸ケーブルにはIC3と通信する図示しないICが接続され、マイクロストリップライン2には高周波信号が伝搬する。部品実装面1aに実装されたIC3および図示しないICのそれぞれの内部には、SerDes(Serializer Deserializer:サーデス)回路が通信回路として形成されている。

【0018】

チップインダクタ5a, 5bはBias-Tインダクタであり、配線パターン8aで直列に接続されて、マイクロストリップライン2にシャントに接続されている。すなわち、直列接続されたチップインダクタ5a, 5bの一方端はマイクロストリップライン2に接続され、他方端は配線パターン8bを介して図示しない回路電源に接続されている。チップ抵抗6a, 6bは、配線パターン8c, 8d, 8eで各チップインダクタ5, 5に並列に接続されている。これらチップインダクタ5a, 5bおよびチップ抵抗6a, 6bの組は1組や、3組以上のこともあり、また、チップ抵抗6a, 6bは実装されない場合もある。

【0019】

マイクロストリップライン2を使って行われる通信には、1本のマイクロストリップライン2に信号と直流バイアス電源とを重畳させて通信を行うPoC伝送技術が使用されている。多層回路基板1には、チップインダクタ5a, 5bおよびチップ抵抗6a, 6bによって信号電源分離回路が構成されている。PoC伝送技術では、マイクロストリップライン2を伝搬する信号と、マイクロストリップライン2へ供給されるDC5[V]の直流バイアス電源とをこの信号電源分離回路によって分離している。

【0020】

つまり、マイクロストリップライン2には、図示しないバイアス供給源から同軸ケーブルを経由し、コネクタ7を介して、直流バイアス電源が供給される。信号電源分離回路は、マイクロストリップライン2に供給された直流バイアス電源を通過させて、通過させた直流バイアス電源を多層回路基板1の回路電源とさせる。また、これと共に、マイクロストリップライン2を伝搬する高周波信号の回路電源への漏れを阻止して、マイクロストリップライン2を伝搬する高周波信号に影響を与えないようにする。DCカットコンデンサ4は、IC3への直流バイアス電源の通過を阻止して、マイクロストリップライン2およ

10

20

30

40

50

び IC 3 間における高周波信号の授受を許容させる。チップインダクタ 5 a , 5 b に並列に接続されるチップ抵抗 6 a , 6 b は信号電源分離回路の共振を抑制する。

【 0 0 2 1 】

各回路部品は、図 1 (b) に示す各実装パッドに各端子が電氣的に接続されて、部品実装面 1 a に実装されている。つまり、チップインダクタ 5 a は、一方の端子が実装パッド 5 a1、他方の端子が実装パッド 5 a2 に接続されており、チップインダクタ 5 b は、一方の端子が実装パッド 5 b1、他方の端子が実装パッド 5 b2 に接続されている。したがって、直列接続されたチップインダクタ 5 a , 5 b は、実装パッド 5 a1 および回路電源間に電氣的に接続されて、部品実装面 1 a に実装される。

【 0 0 2 2 】

また、チップ抵抗 6 a は一方の端子が実装パッド 6 a1、他方の端子が実装パッド 6 a2 に、チップ抵抗 6 b は一方の端子が実装パッド 6 b1、他方の端子が実装パッド 6 b2 に接続されて、部品実装面 1 a に実装される。IC 3 は実装パッド 3 a、コンデンサ 4 は実装パッド 4 a , 4 b、コネクタ 7 は実装パッド 7 a に各端子が接続されて、部品実装面 1 a に実装される。マイクロストリップライン 2 上の実装パッド 3 a , 4 a , 4 b , 5 a1 , 6 a1 , 7 a は、マイクロストリップライン 2 の線路幅より広い幅でマイクロストリップライン 2 に形成されている。

【 0 0 2 3 】

マイクロストリップライン 2 上の実装パッド 3 a , 4 a , 4 b , 5 a1 , 6 a1 , 7 a、並びに、チップインダクタ 5 a , 5 b およびチップ抵抗 6 a , 6 b の直下部分の内層グラウンド 1 b は、図 1 (c) に示すように、所定の面積で除去されて、次の各部分が形成されている。なお、多層回路基板 1 の部品実装面 1 a と反対の裏面にはグラウンドパターンが全面に形成される。

【 0 0 2 4 】

すなわち、実装パッド 3 a , 4 a , 4 b , 5 a1 , 6 a1 , 7 a の直下部分の内層グラウンド 1 b には、内層グラウンド 1 b が所定の面積で除去されて信号伝送特性補償除去部 3 a1 , 4 a1 , 4 b1 , 5 a2 , 6 a2 , 7 a1 が信号伝送特性補償部として形成されている。これら信号伝送特性補償除去部 3 a1 , 4 a1 , 4 b1 , 5 a2 , 6 a2 , 7 a1 の各面積は、その上層にある実装パッド 3 a , 4 a , 4 b , 5 a1 , 6 a1 , 7 a がマイクロストリップライン 2 の幅方向にそれぞれ張り出すことによって生じるマイクロストリップライン 2 の特性インピーダンス変化をそれぞれ抑制する所定の任意の各面積となっている。

【 0 0 2 5 】

また、チップインダクタ 5 a , 5 b およびチップ抵抗 6 a , 6 b の部品実装面の直下部分、並びに、配線パターン 8 a ~ 8 e の直下部分の内層グラウンド 1 b には、内層グラウンド 1 b が所定の面積で除去されて形成された部品特性補償除去部 9 が部品特性補償部として形成されている。この部品特性補償除去部 9 は、チップインダクタ 5 a , 5 b の複数個にわたる部品実装面の直下部分の内層グラウンド 1 b が所定の面積で除去されてインダクタ特性補償部として形成されたインダクタ特性補償除去部と、チップ抵抗 6 a , 6 b の複数個にわたる部品実装面の直下部分の内層グラウンド 1 b が所定の面積で除去されて抵抗特性補償部として形成された抵抗特性補償除去部とが合体してまとめられた形状となっている。インダクタ特性補償除去部の面積は、その上層にあるチップインダクタ 5 a , 5 b と内層グラウンド 1 b との容量結合を抑制する所定の任意の面積となっている。また、抵抗特性補償除去部の面積は、その上層にあるチップ抵抗 6 a , 6 b と内層グラウンド 1 b との容量結合を抑制する所定の任意の面積となっている。

【 0 0 2 6 】

また、部品特性補償除去部 9 は、チップインダクタ 5 a が接続される実装パッド 5 a1 の信号伝送特性補償除去部 5 a2 とインダクタ特性補償除去部とが所定の距離 D 1 をおいて互いに電氣的に分離されると共に、チップ抵抗 6 a が接続される実装パッド 6 a1 の信号伝送特性補償除去部 6 a2 と抵抗特性補償除去部とが所定の距離 D 2 をおいて電氣的に分離されて、形成される。所定の距離 D 1 は、部品特性補償除去部 9 を形成するインダクタ特性補

10

20

30

40

50

償除去部が、信号伝送特性補償除去部 5 a2によるマイクロストリップライン 2 の特性インピーダンスの補償に影響を与えない任意の距離に設定される。所定の距離 D 2 は、部品特性補償除去部 9 を形成する抵抗特性補償除去部が、信号伝送特性補償除去部 6 a2によるマイクロストリップライン 2 の特性インピーダンスの補償に影響を与えない任意の距離に設定される。

【 0 0 2 7 】

上記の構成をした本実施形態による多層回路基板 1 に対して、相反するインダクタ部品の大型化とマイクロストリップラインの特性インピーダンスの高精度化の要求とに対応するため、従来、前述したように、特許文献 1 に開示された、半田付けランドパターン 1 3 の下層の内層グランドを除去する技術と、特許文献 2 に開示された、内層グランドの除去されるギャップ幅を調整する技術とを組み合わせ、実装パッドの下層の内層グランドを任意の寸法で除去することにより、実装パッド部分で生じる特性インピーダンス変化を最小限に抑制する対策が考えられた。

10

【 0 0 2 8 】

すなわち、特許文献 1 に開示された技術では、図 2 (a) に示すように、多層回路基板の部品実装面 1 1 に形成されたマイクロストリップライン 1 2 に半田付けランドパターン 1 3 が形成される。そして、図 2 (b) に示すように、半田付けランドパターン 1 3 の下層における内層グランド 1 4 に内層グランド除去部 1 5 が形成される。

【 0 0 2 9 】

また、図 2 (c) に示すように、多層回路基板の部品実装面 1 1 に形成されたマイクロストリップライン 1 2 に、例えば Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c がシャントに接続される場合、図 2 (d) に示すように、部品実装面 1 1 には、Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c を部品実装面 1 1 に実装するための実装パッド 1 6 a1 , 1 6 a2 , 1 6 b1 , 1 6 b2 , 1 6 c1 , 1 6 c2 が形成される。そして、Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c とその下層の内層グランド 1 4 との容量結合を抑制するため、図 2 (e) に示すように、Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c の部品実装面下層における内層グランド 1 4 に内層グランド除去部 1 7 が形成される。

20

【 0 0 3 0 】

特許文献 1 に開示されたマイクロストリップライン 1 2 の特性インピーダンス変化を抑制する上記の技術と、特許文献 2 に開示された、内層グランド 1 4 の除去されるギャップ幅 a (図 2 (b) 参照) を調整する技術とを組み合わせ、半田付けランドパターン 1 3 の下層の内層グランド 1 4 を任意の寸法で除去して内層グランド除去部 1 5 を形成することにより、半田付けランドパターン 1 3 の部分で生じる特性インピーダンス変化を最小限に抑制する対策が考えられる。この対策と、内層グランド除去部 1 7 を形成して、Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c の内層グランド 1 4 との容量結合を抑制する上記の対策とを組み合わせ、Bias - T インダクタ 1 6 a , 1 6 b , 1 6 c と、半田付けランドパターン 1 3 (図 2 (d) では実装パッド 1 6 a1) との両部分の下層の内層グランド 1 4 を図 2 (f) に示すように除去して、内層グランド除去部 1 8 を形成することで、相反するインダクタ部品の大型化とマイクロストリップラインの特性インピーダンスの高精度化の要求とに対応することが考えられる。

30

40

【 0 0 3 1 】

しかしながら、このように内層グランド 1 4 を除去して内層グランド除去部 1 8 を形成することとすると、その除去パターンが図 2 (f) に示すようにマイクロストリップライン 1 2 の片側に広がる形状となり、マイクロストリップライン 1 2 から見て非対称に内層グランド 1 4 が無い状態となる。このため、このような対策では、インダクタ 1 6 a , 1 6 b , 1 6 c の内層グランド 1 4 との容量結合を抑制できても、マイクロストリップライン 1 2 の実装パッド部分である半田付けランドパターン 1 3 で生じる特性インピーダンス変化を抑制することができない。

【 0 0 3 2 】

しかし、本実施形態によれば、図 3 (a) に示す、部品実装面 1 1 に形成されたマイク

50

ロストリップライン 12 上の実装パッド 13 下方の内層グランド 14 には、図 3 (b) に示すように、インダクタ 16 a , 16 b , 16 c の内層グランドとの容量結合を抑制する内層グランド除去部 17 と所定の距離 D 1 をおいて、マイクロストリップライン 12 の特性インピーダンス変化を補償する内層グランド除去部 19 が形成される。すなわち、内層グランド除去部 17 と内層グランド除去部 19 との間には所定幅 D 1 の導体が存在することとなり、内層グランド除去部 19 はマイクロストリップライン 12 から見てその両側にほぼ等しく張り出す形状になる。

【 0 0 3 3 】

図 3 (c) に示すように、図 2 (f) に示した形状をした内層グランド除去部 18 が内層グランド 14 に形成される場合には、同軸ケーブルを経由してコネクタ 7 (図 1 (a) 参照) を介し、マイクロストリップライン 12 を伝搬して IC 3 に戻ってくる高周波信号のリターン電流 I 1 , I 2 は、内層グランド除去部 18 の下方に偏って流れる。このため、内層グランド除去部 18 の図で下方における内層グランド 14 を流れるリターン電流 I 1 , I 2 の電流密度が高くなってノイズ源となり、マイクロストリップライン 12 の特性インピーダンスに悪影響を与える。

10

【 0 0 3 4 】

一方で、図 3 (b) に示すように、内層グランド除去部 19 が内層グランド除去部 17 から所定距離 D 1 離れて内層グランド 14 に形成される場合には、図 3 (d) に示すように、IC 3 に戻ってくる高周波信号のリターン電流 I 1 , I 2 は、内層グランド除去部 19 の両側を均等に流れる。このため、リターン電流 I 1 , I 2 によるノイズがマイクロストリップライン 12 の特性インピーダンスに与える影響が抑制される。

20

【 0 0 3 5 】

このように、上述した本実施形態の多層回路基板 1 によれば、図 1 に示すように、マイクロストリップライン 2 に形成される実装パッド 5 a1、および、その実装パッド 5 a1 に接続されるチップインダクタ 5 a , 5 b の両部分の下層における内層グランド 1 b は、実装パッド 5 a1 の直下部分が所定の面積で除去されて形成される信号伝送特性補償除去部 5 a2 と、チップインダクタ 5 a , 5 b の実装面直下部分が所定の面積で除去されて形成されるインダクタ特性補償除去部とに分けられて、除去される。そして、信号伝送特性補償除去部 5 a2 とインダクタ特性補償除去部とは、それらの間に所定の距離 D 1 が空けられ、電気的に分離される。このため、図 2 (f) に示すように、信号伝送特性補償除去部である内層グランド除去部 15 とインダクタ特性補償除去部である内層グランド除去部 17 とが合体して、マイクロストリップライン 12 の片側に広がる形状に形成されていた内層グランド除去部 18 は、本実施形態では、図 1 (c) に示すように、信号伝送特性補償除去部 5 a2 が、部品特性補償除去部 9 を形成するインダクタ特性補償除去部から信号伝送特性の補償に影響を与えない距離 D 1 離される。そして、信号伝送特性補償除去部 5 a2 は、マイクロストリップライン 2 から見てその両側にほぼ等しく張り出す形状になる。この結果、チップインダクタ 5 a , 5 b の内層グランド 1 b との容量結合を抑制できると共に、マイクロストリップライン 2 の実装パッド 5 a1 の部分で生じる特性インピーダンス変化を抑制することが可能な、信号電源分離回路が構成される多層回路基板 1 を提供することができる。

30

【 0 0 3 6 】

また、本実施形態の多層回路基板 1 では、チップインダクタ 5 a , 5 b が部品実装面 1 a において実装パッド 5 a1 および回路電源間に複数個直列に設けられるが、インダクタ特性補償除去部は、チップインダクタ 5 a , 5 b の複数個にわたる実装面直下の内層グランド 1 b が所定の面積で除去されて形成される。このため、複数個のチップインダクタ 5 a , 5 b の下層の内層グランド 1 b との容量結合を抑制できると共に、マイクロストリップライン 2 の実装パッド 5 a1 の部分で生じる特性インピーダンス変化を抑制することができる。

40

【 0 0 3 7 】

また、本実施形態の多層回路基板 1 では、マイクロストリップライン 2 が、チップインダクタ 5 a の実装パッド 5 a1 以外にも、マイクロストリップライン 2 の線路幅より広い幅

50

他の実装パッド 3 a , 4 a , 4 b , 6 a1 , 7 a を実装パッド 5 a1 と異なる箇所にも 1 箇所以上有し、他の実装パッド 3 a , 4 a , 4 b , 6 a1 , 7 a の直下部分の内層グラウンド 1 b が所定の面積で除去されて形成される信号伝送特性補償除去部 3 a1 , 4 a1 , 4 b1 , 6 a2 , 7 a1 をさらに備える。本実施形態の多層回路基板 1 によれば、このような他の実装パッド 3 a , 4 a , 4 b , 6 a1 , 7 a の直下部分の内層グラウンド 1 b にも同様な信号伝送特性補償除去部 3 a1 , 4 a1 , 4 b1 , 6 a2 , 7 a1 をさらに備えることで、マイクロストリップライン 2 の全体にわたって特性インピーダンス変化が抑制される。このため、マイクロストリップライン 2 を含んで構成される回路全体の信号伝送特性が向上する。

【 0 0 3 8 】

また、本実施形態の多層回路基板 1 では、チップインダクタ 5 a , 5 b に並列に回路の共振を抑制するチップ抵抗 6 a , 6 b が接続される。また、チップ抵抗用の他の実装パッド 6 a1、および、その他の実装パッド 6 a1 に接続されるチップ抵抗 6 a , 6 b の両部分の下層における内層グラウンド 1 b は、チップ抵抗用の他の実装パッド 6 a1 の直下部分が所定の面積で除去されて形成される信号伝送特性補償除去部 6 a2 と、チップ抵抗 6 a , 6 b の実装面直下部分が所定の面積で除去されて部品特性補償除去部 9 に形成される抵抗特性補償除去部とに分けられて、除去される。そして、信号伝送特性補償除去部 6 a2 と抵抗特性補償除去部は、それらの間に所定の距離 D 2 が空けられ、電氣的に分離される。このため、チップ抵抗用の他の実装パッド 6 a1 の直下における信号伝送特性補償除去部 6 a2 は、部品特性補償除去部 9 に形成される抵抗特性補償除去部から信号伝送特性の補償に影響を与えない距離 D 2 離されて、マイクロストリップライン 2 から見てその両側にほぼ等しく張り出す形状になる。この結果、チップ抵抗 6 a , 6 b の内層グラウンド 1 b との容量結合を抑制できると共に、チップ抵抗用の他の実装パッド 6 a1 の部分で生じるマイクロストリップライン 2 の特性インピーダンス変化を抑制することができる。

【 0 0 3 9 】

図 4 (a) は、マイクロストリップライン 2 に形成される実装パッド 5 a1 の下層に信号伝送特性補償除去部 5 a2 が形成された初期状態を示している。図 4 (b) は、図 4 (a) に示す初期状態に加えて、チップインダクタ 5 a , 5 b の下層に、信号伝送特性補償除去部 5 a2 から距離 D 1 離れてインダクタ特性補償除去部 9 a が形成された本実施形態の状態を示している。

【 0 0 4 0 】

図 4 (c) は、図 4 (b) におけるマイクロストリップライン 2 の長さを図示するように 3 0 [mm] に設定して距離 D 1 を変化させた際に、タイム・ドメイン・リフレクトメータ (TDR) によってシミュレーションされるマイクロストリップライン 2 の特性インピーダンスのシミュレーション結果を示すグラフである。ここで、多層回路基板 1 における各層間に設けられる誘電体の比誘電率 $r = 4.25$ 、マイクロストリップライン 2 の線路幅 = 0.43 [mm]、実装パッド 5 a1 の幅 × 長さの寸法 = 0.9 [mm] × 2.2 [mm]、インダクタ特性補償除去部 9 a の幅 × 長さの寸法 = 1.6 [mm] × 2.2 [mm]、部品実装面 1 a および内層グラウンド 1 b 間の層間厚さ = 0.05 [mm] とした。後述する各シミュレーションにおいても、同様な各寸法に設定した。

【 0 0 4 1 】

同グラフの横軸は時間 [s]、縦軸はマイクロストリップライン 2 の特性インピーダンス値 [] を表す。横軸の時間は、マイクロストリップライン 2 の延伸方向における各箇所の位置に相当しており、約 $2 \times e^{-10} \sim 2.8 \times e^{-10}$ 間は、実装パッド 5 a1 の幅部分にほぼ相当している。また、薄墨色の太い実線で示す特性線 3 1 は、図 4 (b) に示すインダクタ特性補償除去部 9 a が形成されていない、図 4 (a) に示す初期状態時のシミュレーション結果を表し、細い実線で示す特性線 3 2 は、D 1 = 0 で信号伝送特性補償除去部 5 a2 とインダクタ特性補償除去部 9 a との間に距離が無くて一体となっている状態時のシミュレーション結果を表す。また、長い破線で示す特性線 3 3 は、D 1 = 0.2 [mm] のときのシミュレーション結果を表し、短い破線で示す特性線 3 4 は、D 1 = 0.3 [mm] のときのシミュレーション結果を表す。

10

20

30

40

50

【 0 0 4 2 】

同グラフの実線で示す特性線 3 2 から、 $D 1 = 0$ のときには、実装パッド 5 a 1 の中央部分で特性インピーダンス値が大きく跳ね上がっていることが理解される。これは、 $D 1 = 0$ で、信号伝送特性補償除去部 5 a 2 とインダクタ特性補償除去部 9 a とが一体となるときは、実装パッド 5 a 1 の下層の内層グランド除去部がマイクロストリップライン 2 から見て片側に広がった形状となるためである。また、長い破線で示す特性線 3 3 から、 $D 1 = 0 . 2$ [mm] で、信号伝送特性補償除去部 5 a 2 がインダクタ特性補償除去部 9 a から $0 . 2$ [mm] 離れたときには、薄墨色の太い実線で示す特性線 3 1 で表される初期状態に対して、特性インピーダンス値が $\pm 0 . 5$ [] 以内の変化に収まっていることが理解される。また、短い破線で示す特性線 3 4 から、 $D 1 = 0 . 3$ [mm] で、信号伝送特性補償除去部 5 a 2 がインダクタ特性補償除去部 9 a から $0 . 3$ [mm] 離れたときには、太い薄墨色で示す特性線 3 1 で表される初期状態に対して、特性インピーダンス値が一致することが理解される。

10

【 0 0 4 3 】

このシミュレーション結果から、信号伝送特性補償除去部 5 a 2 がインダクタ特性補償除去部 9 a から $0 . 2$ [mm] 離れれば、実害は生じないと考えられ、 $0 . 3$ [mm] 離れれば、信号伝送特性補償除去部 5 a 2 は隣接するインダクタ特性補償除去部 9 a の影響を全く受けないことが確認された。このことは、チップ抵抗 6 a , 6 b についての信号伝送特性補償除去部 6 a 2 と抵抗特性補償除去部との関係についても、同様に考えることができる。

【 0 0 4 4 】

図 5 (a) は、本発明の第 2 の実施形態による多層回路基板 1 A における、チップインダクタ 5 , 5 の部分の平面図、図 5 (b) は、チップインダクタ 5 , 5 の実装面直下の多層回路基板 1 A の内部に形成される内層グランド 1 b のパターン図である。この他の実施形態による多層回路基板 1 A では、上記の第 1 の実施形態の構成をしたマイクロストリップライン 2 が多層回路基板 1 A に 2 本形成され、上記の第 1 の実施形態で説明した直列接続されたチップインダクタ 5 a , 5 b に代えて 1 つのインダクタ 5 が用いられる。各マイクロストリップライン 2 , 2 は、図 1 (a) に示す DC カットコンデンサ 4 , 4 を介してそれぞれ IC 3 に接続される。

20

【 0 0 4 5 】

本実施形態では、部品実装面 1 a において、チップインダクタ 5 , 5 が、並設された 2 本のマイクロストリップライン 2 , 2 を挟んだ両側に配置される。また、各マイクロストリップライン 2 , 2 に形成されて各チップインダクタ 5 , 5 の一端に接続される各実装パッド 5 a 1 , 5 a 1 の下層の内層グランド 1 b において、各信号伝送特性補償除去部 5 a 2 , 5 a 2 は、2 本のマイクロストリップライン 2 , 2 の各延伸方向 X において並ぶ位置で、かつ、各延伸方向 X に直交する方向 Y において、互いに所定の距離 $D 1$ 離れて配置される。

30

【 0 0 4 6 】

図 4 に示したシミュレーション結果から、各信号伝送特性補償除去部 5 a 2 , 5 a 2 が所定の距離 $D 1 = 0 . 2$ [mm] 離れれば、各マイクロストリップライン 2 , 2 の特性インピーダンスに実害は生じないと考えられる。また、 $0 . 3$ [mm] 離れれば、各信号伝送特性補償除去部 5 a 2 , 5 a 2 は互いに隣接するものの影響を全く受けないものと、考えられる。このことから、距離 $D 1$ は $0 . 2$ [mm] 以上とすることが好ましい。

40

【 0 0 4 7 】

この第 2 の実施形態による多層回路基板 1 A によれば、各マイクロストリップライン 2 , 2 のそれぞれに形成されるチップインダクタ 5 , 5 間およびマイクロストリップライン 2 , 2 間の距離を、各マイクロストリップライン 2 , 2 の特性インピーダンス変化を抑制しながら、最小に設定することができる。このため、チップインダクタ 5 , 5 間およびマイクロストリップライン 2 , 2 間の距離を詰めることができるため、多層回路基板 1 A の部品実装密度を高めて、多層回路基板 1 A の大きさを抑制することができる。

【 0 0 4 8 】

図 6 (a) は、本発明の第 3 の実施形態による多層回路基板 1 B における、チップイン

50

ダクタ5, 5の部分の平面図、図6(b)は、チップインダクタ5, 5の実装面直下の多層回路基板1Bの内部に形成される内層グラウンド1bのパターン図である。この第3の実施形態による多層回路基板1Bでも、上記の第1の実施形態の構成をしたマイクロストリップライン2が多層回路基板1Bに2本形成され、上記の第1の実施形態で説明した直列接続されたチップインダクタ5a, 5bに代えて1つのインダクタ5が用いられる。また、各マイクロストリップライン2, 2は、図1(a)に示すDCカットコンデンサ4, 4を介してそれぞれIC3に接続される。

【0049】

本実施形態でも、部品実装面1aにおいて、チップインダクタ5, 5が、並設された2本のマイクロストリップライン2, 2を挟んだ両側に配置される。また、各信号伝送特性補償除去部5a2, 5a2は、各マイクロストリップライン2, 2に形成されて各チップインダクタ5, 5の一端に接続される各実装パッド5a1, 5a1の下層において、一方の実装パッド5a1の下方に形成される一方のものが、2本のマイクロストリップライン2, 2の各延伸方向Xにおいて他方のものから所定の距離D3離れて、他方のものと並ばない位置で、かつ、各延伸方向Xに直交する方向Yにおいて、他方の実装パッド5a1が形成される一方のマイクロストリップライン2から所定の距離D4離れて、配置される。

【0050】

図7(a)は、図6に示した一方のマイクロストリップライン2と一方の信号伝送特性補償除去部5a2とを示す。図7(b)は、マイクロストリップライン2の長さを図7(a)に図示するように30[mm]に設定して、マイクロストリップライン2と信号伝送特性補償除去部5a2との間の上記距離D4を変化させた際に、タイム・ドメイン・リフレクトメータ(TDR)によってシミュレーションされるマイクロストリップライン2の特性インピーダンスのシミュレーション結果を示すグラフである。

【0051】

同グラフも、横軸は時間[s]、縦軸はマイクロストリップライン2の特性インピーダンス値[]を表し、横軸の時間は、マイクロストリップライン2の延伸方向における各箇所の位置に相当している。また、黒色の太い実線で示す特性線41は、図7(a)に示す信号伝送特性補償除去部5a2が形成されていない初期状態時のシミュレーション結果を表し、短い破線で示す特性線42は、D4=0で信号伝送特性補償除去部5a2とマイクロストリップライン2との間に距離が無くて、接している状態時のシミュレーション結果を表す。また、一点鎖線で示す特性線43はD4=0.1[mm]のときのシミュレーション結果を表し、細い実線で示す特性線44はD4=0.2[mm]のとき、薄墨色の太い実線で示す特性線45はD4=0.3[mm]のとき、長い破線で示す特性線46はD4=0.7[mm]のときのシミュレーション結果を表す。

【0052】

同グラフにおける黒色の太い実線で示す特性線41および短い破線で示す特性線42から、初期状態時およびD4=0のときには、信号伝送特性補償除去部5a2の中央部分で特性インピーダンス値が大きく跳ね上がっていることが理解される。また、特性線43, 44, 45および46から、D4=0.1[mm], 0.2[mm], 0.3[mm]および0.7[mm]と距離D4が大きくなるのに伴って、特性インピーダンスが初期状態時の特性線41に近付いて行き、D4=0.2[mm]以上で初期状態時の特性インピーダンスに対して差異が1[]未満になることが理解される。このことから、距離D4は0.2[mm]以上とすることが好ましい。

【0053】

図8(a)は、図6に示した一方のマイクロストリップライン2に形成された他方の実装パッド5a1と、その実装パッド5a1の下方に設けられた他方の信号伝送特性補償除去部5a2と、図示しない一方の実装パッド5a1の下方に設けられた一方の信号伝送特性補償除去部5a2とを示す。図8(b)は、マイクロストリップライン2の長さを図8(a)に図示するように30[mm]に設定して、各信号伝送特性補償除去部5a2, 5a2間の上記距離D3を変化させた際に、タイム・ドメイン・リフレクトメータ(TDR)によってシミュ

10

20

30

40

50

レーションされるマイクロストリップライン 2 の特性インピーダンスのシミュレーション結果を示すグラフである。

【 0 0 5 4 】

同グラフも、横軸は時間[s]、縦軸はマイクロストリップライン 2 の特性インピーダンス値[]を表し、横軸の時間は、マイクロストリップライン 2 の延伸方向 X における各箇所的位置に相当している。また、薄墨色の太い実線で示す特性線 5 1 は、図 8 (a) に示す図示しない一方の実装パッド 5 a1 の下方に設けられた一方の信号伝送特性補償除去部 5 a2 が形成されていない初期状態時のシミュレーション結果を表し、破線で示す特性線 5 2 は、 $D 3 = 0$ で各信号伝送特性補償除去部 5 a2 , 5 a2 間に距離が無くて、接している状態時のシミュレーション結果を表す。また、実線で示す特性線 5 3 は、 $D 3 = 0 . 2 [mm]$ のときのシミュレーション結果を表す。

10

【 0 0 5 5 】

同グラフにおける破線で示す特性線 5 2 から、 $D 3 = 0$ のときには、各信号伝送特性補償除去部 5 a2 , 5 a2 間付近で、特性インピーダンス値が大きく跳ね上がっていることが理解される。また、実線で示す特性線 5 3 から、 $D 3 = 0 . 2 [mm]$ で、各信号伝送特性補償除去部 5 a2 , 5 a2 間が $0 . 2 [mm]$ 離れたときには、薄墨色の太い実線で示す特性線 5 1 で表される初期状態に対して、特性インピーダンス値がほぼ一致することが理解される。このことから、距離 $D 3$ も $0 . 2 [mm]$ 以上とすることが好ましい。

【 0 0 5 6 】

この第 3 の実施形態による多層回路基板 1 B によれば、各マイクロストリップライン 2 , 2 のそれぞれに形成されるチップインダクタ 5 , 5 間の距離 $D 3$ およびマイクロストリップライン 2 , 2 間の距離を、各マイクロストリップライン 2 , 2 の特性インピーダンス変化を抑制しながら、さらに縮めることができる。このため、チップインダクタ 5 , 5 間の距離 $D 3$ およびマイクロストリップライン 2 , 2 間の距離をさらに詰めることができるため、多層回路基板 1 B の部品実装密度をさらに高めて、多層回路基板 1 B の大きさをさらに抑制することができる。

20

【 0 0 5 7 】

なお、上記の各実施形態の説明においては、信号伝送特性補償除去部 5 a2 およびインダクタ特性補償除去部 9 a は、内層グラウンド 1 b が除去されて形成される場合について、説明した。しかし、信号伝送特性補償除去部 5 a2 およびインダクタ特性補償除去部 9 a の両方またはいずれか一方は、層間の誘電体を挟んで導体が網目状に位置する導電メッシュが内層グラウンド 1 b の除去部に形成されているように、構成してもよい。また、信号伝送特性補償除去部 5 a2 およびインダクタ特性補償除去部 9 a の両方またはいずれか一方は、抵抗膜が内層グラウンド 1 b の除去部に形成されているように、構成してもよい。また、信号伝送特性補償除去部 5 a2 およびインダクタ特性補償除去部 9 a の両方またはいずれか一方は、内層グラウンド 1 b と絶縁された浮島状の導電体が内層グラウンド 1 b の除去部に部分的に 1 個または複数個形成されているように、構成してもよい。このような各構成によっても、各多層回路基板 1 , 1 A , 1 B は上記の実施形態と同様な作用効果を奏する。また、このような各構成によれば、さらに、図 3 (d) を用いて説明した、リターン電流 $I 1$, $I 2$ によるノイズ問題をさらに改善させることができる。

30

40

【符号の説明】

【 0 0 5 8 】

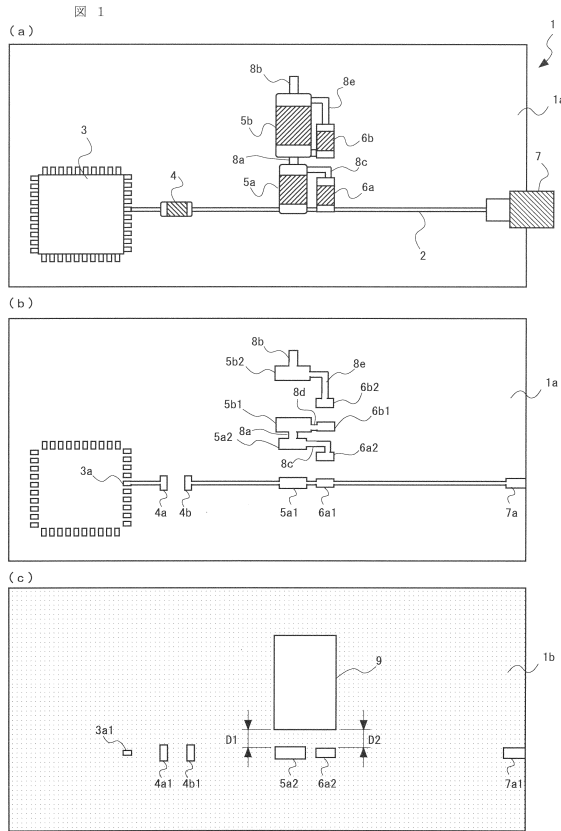
- 1 , 1 A , 1 B ... 多層回路基板
- 1 a ... 部品実装面
- 1 b ... 内層グラウンド
- 2 ... マイクロストリップライン
- 3 ... IC
- 3 a , 4 a , 4 b , 5 a1 , 6 a1 , 7 a ... 実装パッド
- 3 a1 , 4 a1 , 4 b1 , 5 a2 , 6 a2 , 7 a1 ... 信号伝送特性補償除去部
- 4 ... DC カットコンデンサ

50

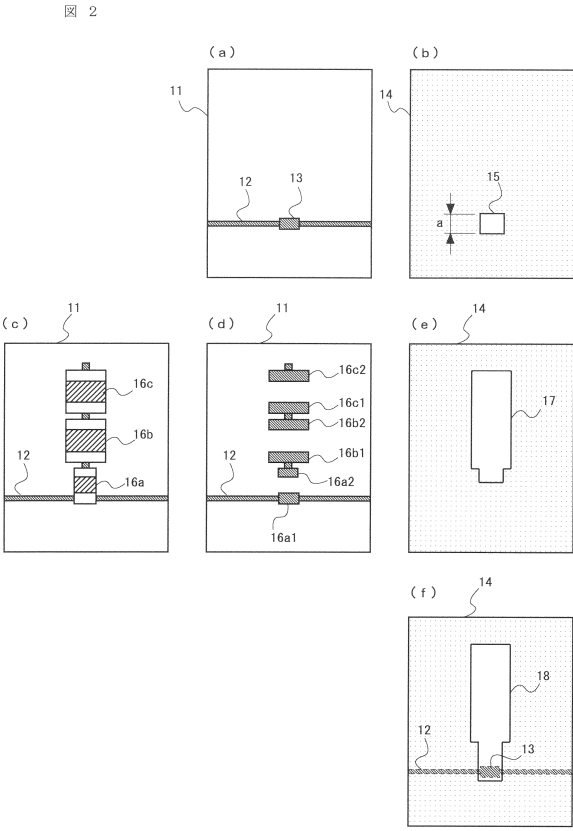
- 5 a , 5 b , 5 ... チップインダクタ
- 6 a , 6 b ... チップ抵抗
- 7 ... コネクタ
- 8 a , 8 b , 8 c , 8 d , 8 e ... 配線パターン
- 9 ... 部品特性補償除去部
- 9 a ... インダクタ特性補償除去部

【図面】

【図 1】



【図 2】



10

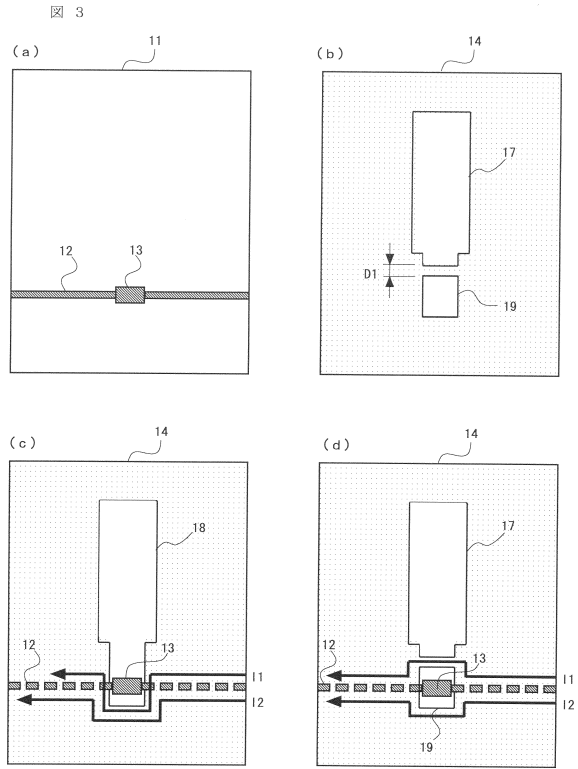
20

30

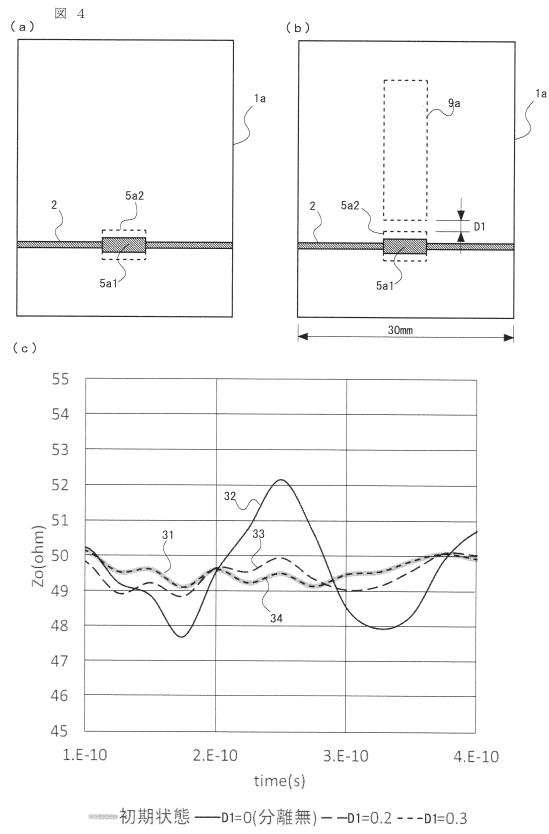
40

50

【 図 3 】



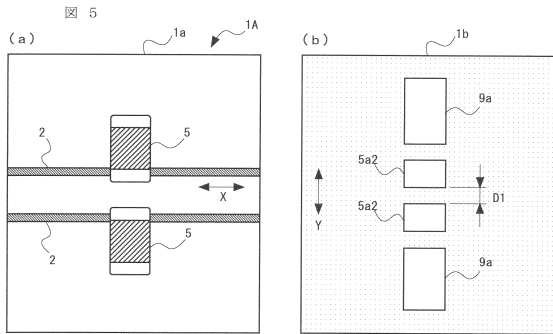
【 図 4 】



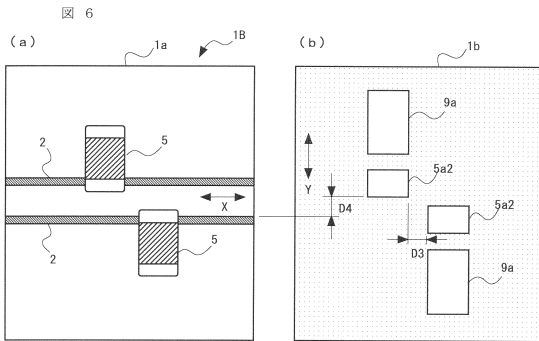
10

20

【 図 5 】



【 図 6 】



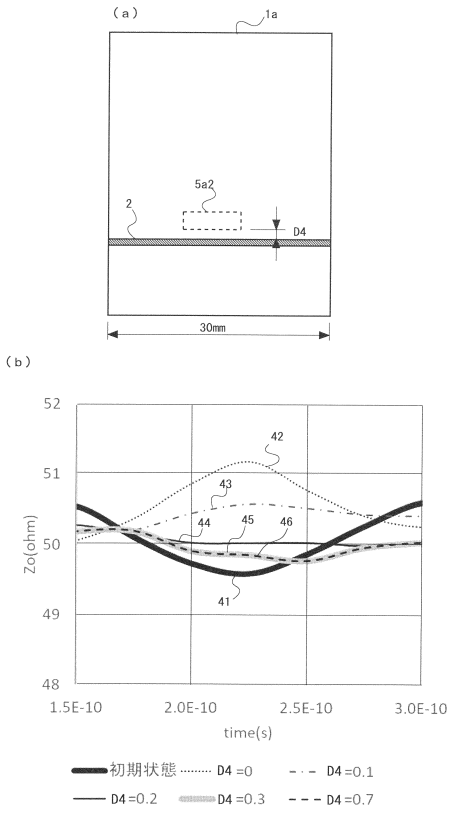
30

40

50

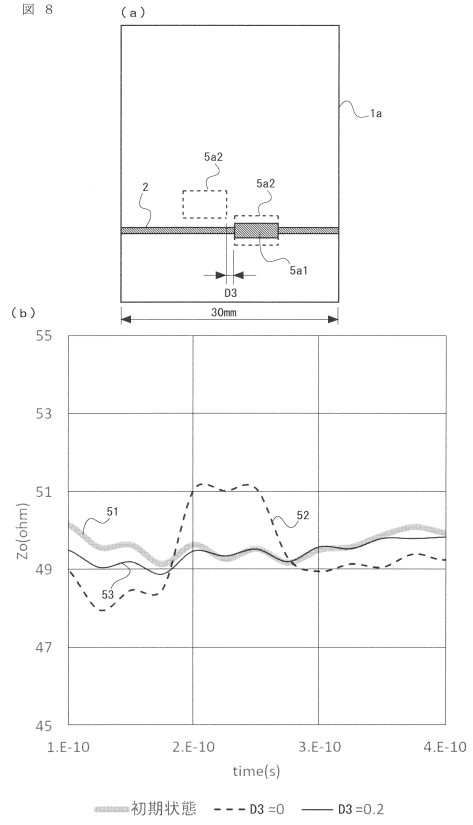
【 7 】

図 7



【 8 】

図 8



10

20

30

40

50

フロントページの続き

- (72)発明者 五十嵐 啓雄
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 吉田 峰日登
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 本多 宏之
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 乾 真規
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 長岡 悠也
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- 審査官 齊藤 健一
- (56)参考文献 実開昭63-137971(JP,U)
特開平3-71703(JP,A)
特開平10-200223(JP,A)
特開2001-119110(JP,A)
特開2004-129053(JP,A)
特開2015-23134(JP,A)
国際公開第2018/142611(WO,A1)
国際公開第2020/040072(WO,A1)
特開2020-113696(JP,A)
米国特許出願公開第2012/0048599(US,A1)
- (58)調査した分野 (Int.Cl., DB名)
H01P 1/00
H01P 3/00 3/08
H01P 5/02
H05K 1/00 3/46