



(12) 发明专利

(10) 授权公告号 CN 1633515 B

(45) 授权公告日 2010.04.28

(21) 申请号 03804006.9

(51) Int. Cl.

(22) 申请日 2003.01.21

G23C 14/04 (2006.01)

H01L 21/02 (2006.01)

(30) 优先权数据

10/076,003 2002.02.14 US

(56) 对比文件

EP 1036858 A1, 2000.09.20, 全文.

US 5154797 A, 1992.10.13, 全文.

(85) PCT申请进入国家阶段日

2004.08.16

审查员 封志强

(86) PCT申请的申请数据

PCT/US2003/001751 2003.01.21

(87) PCT申请的公布数据

W02003/069014 EN 2003.08.21

(73) 专利权人 3M 创新有限公司

地址 美国明尼苏达州

(72) 发明人 P·F·宝德 P·R·弗莱明

M·A·哈斯 T·W·凯利

D·V·莫里斯 S·西斯

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 周承泽

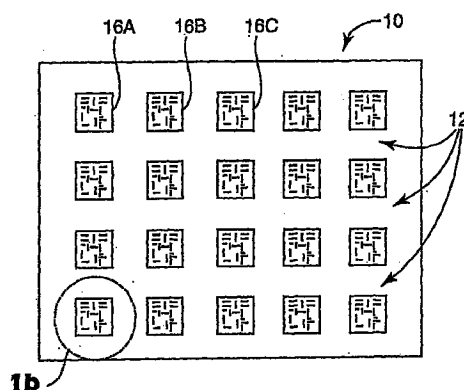
权利要求书 2 页 说明书 10 页 附图 9 页

(54) 发明名称

制造电路用孔眼掩模

(57) 摘要

在各实施方式中,本发明是关于采用孔眼掩模沉积技术制造集成电路或集成电路元件。在另一些实施方式中,本发明是关于利于该沉积技术的不同装置。这些技术通常涉及通过一组布有图案的孔眼掩模按顺序沉积材料,该图案形成了一个电路的多层或各分层。以这种方式利用孔眼掩模沉积技术制造电路,无要求蚀刻或光刻,本技术特别适用于有机半导体场合。本技术可用于制造电子显示器,低成本集成电路,诸如射频识别电路 (RFID),以及其它电路的电路元件。



1. 一种沉积设备,它包括:

孔眼掩模,它包含准直边以及对应于所述准直边形成的沉积图案;

准直固定件,它包含至少三个接触点,其中三接触点与孔眼掩模的准直边准确接触用于调准沉积工艺用的图案;

包括准直边的沉积基材,所述准直边对应于孔眼掩模的准直边;

其中,所述孔眼掩模的准直边与所述沉积基材的准直边完全对应,这样,准直固定件的接触点使孔眼掩模和沉积基材的准直边接触,在沉积工艺中将沉积图案调准在沉积基材上。

2. 如权利要求 1 所述的设备,其特征为:所述图案至少形成集成电路的一个部分。

3. 如权利要求 1 所述的设备,其特征为:所述准直固定件还包括固定件,用于将孔眼掩模固定在调准位置上。

4. 一种沉积方法,它包括:

通过定位孔眼掩模与沉积基材的准直边,使该准直边与准直固定件的三接触点准确接触,由此相对沉积基材来调准第一孔眼掩模的第一图案;以及

通过孔眼掩模的图案将材料沉积在该基材上。

5. 权利要求 4 所述的方法,其中,在调准步骤之前,所述方法还包括:

相对第一掩模基材上的准直边在第一掩模基材中形成第一图案,从而形成第一孔眼掩模。

6. 权利要求 5 所述的方法,所述方法还包括:

相对第二掩模基材上的准直边在第二掩模基材中形成第二图案,从而形成第二孔眼掩模;

通过定位第二孔眼掩模与沉积基材的准直边,使该准直边与准直固定件的三接触点准确接触,由此相对沉积基材来调准第二孔眼掩模的图案;以及

通过第二孔眼掩模的图案将材料沉积在该基材上。

7. 如权利要求 6 所述的方法,其特征为:所述方法用于制造集成电路。

8. 如权利要求 7 所述的方法,其特征为:所述集成电路包括一个或多个互补型晶体管电路元件。

9. 如权利要求 7 所述的方法,其特征为:通过第一孔眼掩模的图案沉积在沉积基材上的材料形成门电极,其中,通过第二孔眼掩模的图案沉积在沉积基材上的材料是半导体,所述半导体在沉积门电极之后沉积,该方法还包括:

相对第三掩模基材上的准直边在第三掩模基材中形成第三图案,从而形成第三孔眼掩模;

通过定位第三孔眼掩模与沉积基材的准直边,使该准直边与准直固定件的三接触点准确接触,由此相对沉积基材来调准第三孔眼掩模的图案;以及

通过第三孔眼掩模的图案在半导体上沉积源电极和漏电极。

10. 如权利要求 7 所述的方法,其特征为:通过第一孔眼掩模的图案将该材料沉积在沉积基材上而形成门电极,其中,通过第二孔眼掩模的图案将所述材料沉积在该沉积基材上而形成介电层,所述介电层在沉积门电极之后沉积,该方法还包括:

相对第三掩模基材上的准直边在第三掩模基材中形成第三图案,从而形成第三孔眼掩

模；

通过定位第三孔眼掩模与沉积基材的准直边,使该准直边与准直固定件的三接触点准确接触,由此相对沉积基材来调准第三孔眼掩模的图案;以及

通过第三孔眼掩模的图案将材料沉积在该基材上;

相对第四掩模基材上的准直边在第四掩模基材中形成第四图案,从而形成第四孔眼掩模;

通过定位第四孔眼掩模与沉积基材的准直边,使之与准直固定件的三接触点准确接触,由此相对沉积基材来调准第四孔眼掩模的图案;以及

通过第四孔眼掩模的图案将源电极和漏电极沉积在该半导体上。

11. 如权利要求6、9和10任一项所述的方法,其特征在于,各组三接触点是同一组三接触点或者不同组的三接触点。

制造电路用孔眼掩模

技术领域

[0001] 本发明涉及的是电路与电路元件的制造,更具体地说是利用孔眼掩模的沉积技术进行制造。

[0002] 发明背景

[0003] 电路是指电阻器、二极管、电容器与晶体管经由电连接连成一起的组合。薄膜集成电路包括多层,诸如金属层、介电层,以及一般由诸如硅一类半导体材料形成的活性层。一般来说,薄膜电路元件与薄膜集成电路通过沉积各种材料层,然后以增加或删减工艺使用包括化学腐蚀方法的光蚀刻在各层形成图案,以形成各种电路元件。此外,孔眼掩模用来沉积具有图案的层,而无需蚀刻步骤。

[0004] 发明综述

[0005] 通常,本发明是关于采用孔眼掩模技术制造集成电路或集成电路元件。该技术经由一组可重新定位的孔眼掩模按顺序沉积材料,该掩模布有形成多层或电路各分层的孔眼图案。在一些实施方式中,仅采用孔眼掩模沉积技术制造电路,无需采用形成集成电路图案时常采用的蚀刻或光刻步骤。该技术特别适合于制造诸如液晶显示器一类的电子显示器,以及低成本的射频识别 (RFID) 电路或电子储存器一类集成电路。此外,该技术在制造含有有机半导体集成电路时具有优点,而通常光刻技术或其它湿法蚀刻工艺与有机半导体是不相容的。

[0006] 在另一实施方式中,本发明是关于沉积工艺,如蒸汽沉积工艺中采用掩模组。该掩模组可以包括形成第一沉积孔眼图案的第一孔眼掩模,该掩模至少形成某一电路的第一层部分,形成第二沉积孔眼图案的第二孔眼掩模,它至少形成了同一电路第二层。此外,该掩模组还可以包括任意数目的孔眼掩模,该数目取决于该电路的层数。孔眼掩模中的各种沉积孔眼的宽度约小于 $20\text{ }\mu\text{m}$, 小于约 $10\text{ }\mu\text{m}$, 或甚至小于约 $5\text{ }\mu\text{m}$ 。这样大小的孔眼特别适合于制造集成电路中的小型电路元件。而且,沉积孔眼之间一个或多个的间隙小于约 $20\text{ }\mu\text{m}$, 或小于约 $10\text{ }\mu\text{m}$, 如此窄的间隙也有利于制造小型电路元件或间隔相对紧凑的电路元件。

[0007] 在另一实施方式中,本发明是关于一个或多个掩模的制造方法。比如,根据本发明的一个方法,它可以包括形成第一沉积孔眼图案,它形成第一硅晶片中某一电路至少第一层部分,用以制造第一孔眼掩模;以及形成第二沉积孔眼图案,它形成第二硅晶片上该电路至少第二层部分,用以制造第二孔眼掩模。该沉积孔眼具有如前所述的宽度,一个或多个沉积孔眼之间具有如前所述的间隙。

[0008] 一旦第一与第二孔眼掩模被制造而成,它们可用于沉积工艺,在沉积基材上制造电路元件。还可以制造更多孔眼掩模,以类似方式用于确定沉积基材上任意电路层数。

[0009] 在另一实施方式中,本发明是关于沉积工艺中采用的孔眼掩模。特别是该掩模可以包括具有准直边的掩模基材,以及掩模基材中对应于准直边所形成的图案,使得准直边的空间排列对准沉积工艺用的图案。再有,沉积孔眼具有如前所述的宽度,并且两沉积孔眼之间具有如前所述的间隙,便于制造足够小的电路元件。

[0010] 在另一实施方式中,本发明是关于沉积系统,该系统可以包括具有准直边以及对

应于该准直边所形成的沉积图案的孔眼掩模。此外,该系统可以包括至少具有三个接触点的准直固定件,其中三个接触点准确接触孔眼掩模的准直边而对准沉积工艺用的图案。在进行调准不同沉积工艺中使用的孔眼掩模时,可以采用相同或不同的三个接触点组。依据准直边与接触点的接触,沉积图案可以对应于准直边进行确定,使得该图案调准在公差小于约 $10\text{ }\mu\text{m}$, 小于约 $5\text{ }\mu\text{m}$, 或甚至小于约 $2\text{ }\mu\text{m}$ 。准直固定件可以包括其它部件,诸如用于将孔眼掩模固定在准直位置上的固定件,以及弹簧件,它产生一个弹性偏压,使孔眼掩模与沉积基材紧靠准直固定件,确保在沉积工艺过程中保持准直和紧密接触。

[0011] 在另一实施方式中,一种方法可以包括通过调准孔眼掩模的准直边与相应沉积基材的准直边,使沉积基材对准孔眼掩模图案,并通过孔眼掩模的图案将材料沉积到沉积基材上。在调准孔眼掩模与沉积基材之前,该方法可以包括在掩模基材上形成对应于准直边的掩模图案,以形成该孔眼掩模。

[0012] 在另一实施方式中,一种制造含有有机半导体电路的方法包括孔眼掩模与沉积基材的调准,以及通过由该孔眼掩模形成的沉积孔眼的图案将第一材料沉积到该基材上。该方法还可以包括再调准孔眼掩模与基材,以及通过该图案将第二材料沉积到该沉积基材上。比如,该第一与第二材料可以分别是空穴传导型半导体材料与电子传导型半导体材料,在任何一种情况中,第一材料与第二材料的沉积产生诸如金属氧化物半导体晶体管(CMOS)一类的互补型晶体管电路元件。或者或者,这些材料可以包含发红光、绿光或蓝光的材料或滤光器,无论何种情况,进行沉积工序可以形成显示器电路中的显示器像素。

[0013] 在另一实施方式中,本发明是关于一种集成电路。比如,该集成电路可以包括沉积基材,邻近于该基材而形成的第一有图案的电极层,邻近于第一电极层而形成的有机半导体层,以及邻近于该有机半导体层而沉积的第二有图案的电极层。第一有图案的电极层可以形成一个门电极,第二有图案的电极层可以形成源电极与漏电极,其中至少一种电极的宽度小于约 $20\text{ }\mu\text{m}$, 小于约 $10\text{ }\mu\text{m}$, 或甚至小于约 $5\text{ }\mu\text{m}$ 。或者,该第一有图案的电极层可以形成源电极与漏电极,而第二有图案的电极层形成门电极。该集成电路还可以包括在门电极上,有机半导体层之下形成的介电层。上述集成电路各层均可形成图案,其中各层的图案由孔眼掩模形成。此外,电极之间间隙可以小于约 $20\text{ }\mu\text{m}$, 或甚至小于约 $10\text{ }\mu\text{m}$, 如此窄的间隙特别有利于制造小型电路元件或间隔紧凑的电路元件。该集成电路也可以包括一层或多个的互联层,以及由其它金属层部分形成的互联部件。比如,通过连续孔眼掩模沉积的缝接技术(stitching)形成其它金属层。集成电路可以形成电子显示器,RFID 电路或电子存储器部分。

[0014] 在另一实施方式中,本发明是关于晶体管。比如,晶体管可以形成如 RFID 一类电路的集成电路的一部分,或者,晶体管可以形成诸如液晶显示器一类显示像素的控制元件。晶体管可以包括第一沉积导电层,在沉积的导电层上沉积介电层,以及在沉积的介电层上沉积有机半导体层,以及在沉积的有机半导体层上沉积第二沉积导电层。至少一层可以形成至少一种宽度小于约 $20\text{ }\mu\text{m}$, 小于约 $10\text{ }\mu\text{m}$, 或甚至小于约 $5\text{ }\mu\text{m}$ 的特征部分。

[0015] 在另一实施方式中,集成电路可以包括一组沉积层,其中没有一层是经蚀刻而成,其中至少一层形成了集成电路的特征部分,它的宽度小于约 $20\text{ }\mu\text{m}$, 小于约 $10\text{ }\mu\text{m}$, 或甚至小于约 $5\text{ }\mu\text{m}$ 。本发明的集成电路在形成有机半导体时特别有用,因为在电路制造工艺中无需采用蚀刻或光刻技术。

[0016] 本发明各种实施方式具有一些优点。比如,这里所述的孔眼掩模沉积技术能促进电路的制造,而无需采用蚀刻或光刻技术。还有,它特别适用于使用有机半导体的电路,因为化学蚀刻与/或光刻技术一般不适于进行有机半导体的图案形成。采用的有机半导体可以是多晶,诸如并五苯。此外,具有沉积孔眼,其宽度为本专利所述的范围内的孔眼掩模便于制造具有小型电路元件的电路,制造工艺为简便而成本又低廉的蒸汽沉积工艺。另外,间隙在本专利所述的范围内的沉积孔眼也便于制造较小电路元件。还有,这里所述的孔眼掩模很耐用,因此可以多次反复使用。而且,非金属孔眼掩模更不易形成导致薄金属掩模无法使用的折痕。

[0017] 这里所述的准直技术非常有利于沉积工艺过程的快速有效地调准沉积掩模。特别在掩模上形成的准直边避免了必须对准孔与定位柱位置,因为这种调准也许会产生稍许可以移动的间隙,造成调准失误。而且,对于非金属掩模,采用对准孔与定位柱会造成掩模的损坏,特别为了减少孔的间隙而力图提供密合调准时更为如此。相应地,采用准直边比对准孔能更有效地调准孔眼掩模。在有些情况中,采用准直边能便于孔眼掩模与沉积基材进行机械调准,使调准公差小于约 $10\text{ }\mu\text{m}$, 小于约 $5\text{ }\mu\text{m}$, 或甚至小于 $2\text{ }\mu\text{m}$ 。本发明可以避免掩模的损坏,便于对沉积工艺中制造的电路进行精确调准。

[0018] 本发明这些内容与其它一些实施方式的细节显示在附图中,并在后面叙述。本发明的其它一些特征,目标与优点可以从叙述与附图中,以及权利要求中得以理解。

[0019] 附图简要说明

[0020] 图 1a 是本发明某一实施方式中孔眼掩模的顶视图。

[0021] 图 1b 是图 1a 孔眼掩模部分放大视图。

[0022] 图 2 是本发明掩模组一个实例的顶视图。

[0023] 图 3 是本发明可使用孔眼掩模的沉积站的简化方框图。

[0024] 图 4 与图 5 是本发明制造的薄膜晶体管实例的横截面图。

[0025] 图 6 是具有准直边和对应于该准直边而形成的图案的孔眼掩模的顶视图。

[0026] 图 7 是具有准直边的沉积基材的顶视图,该准直边完全对应于图 6 孔眼掩模准直边的基材。

[0027] 图 8 是本发明一个实施方式中准直固定件的透视图。

[0028] 图 9 是该准直固定件一个实施方式的顶视图。

[0029] 图 10 是本发明沉积站的简化方框图。

[0030] 图 11-13 是本发明实施方式的流程图。

[0031] 发明的详细叙述

[0032] 图 1a 是本发明实施方式中孔眼掩模的顶视图。孔眼掩模 10 可以包含各种各样金属材料或非金属材料。对于一些实施方式,非金属材料特别有用。比如,孔眼掩模 10 可以包括单晶硅,硬质聚合物或填充聚合物基材,玻璃等。在采用硅的情况中,孔眼掩模 10 的厚度可以小于约 $100\text{ }\mu\text{m}$, 或甚至小于 $50\text{ }\mu\text{m}$ 。硅材料的这种厚度能有效地用于制造电路采用的沉积技术。而且,非金属材料的孔眼掩模 10 具有常规金属掩模所不及的一些优点,诸如制造成本较低,沉积图案的分辨率更高。孔眼掩模 10 是独立式的,其中它形成单独各别的不会形成沉积基材的结构。孔眼掩模 10 在多次沉积工艺中可反复使用。

[0033] 如图 1a 与 1b 所示,孔眼掩模 10 形成图案 12,它形成了一些沉积孔眼 14(仅标记

了沉积孔眼 14A-14E)。为了便于说明,图 1b 中沉积孔眼 14A-14E 的排列与形状被简化了,且根据用户的应用与想象的电路布局,可以有许多改变。图案 12 形成了至少部分电路层,通常可以采取多种不同形式。换言之,沉积孔眼 14 可以布成任何图案,视采用孔眼掩模 10 的沉积工艺中所需制造的电路元件或电路层而定。例如,尽管图案 12 被示为包括一些类似的子图案(被标记为子图案 16A-16C),但本发明不仅限于此。在有些情况中,每个子图案形成了单次沉积中沉积电路一个部分。在那种情况下,图案 12 形成的是单次沉积图,而子图案可能形成的是类似的重复图案。然而,在另一些情况下,各子图案 16 可以形成沉积工艺的子掩模。在后一情况中,可能通过各子图案 16 按顺序进行沉积。后者,可以通过重新调准孔眼掩模 10,使用各子图案进行顺序沉积,从而沉积不同电路层。

[0034] 孔眼掩模 10 可用于沉积工艺,诸如蒸汽沉积工艺,其中通过沉积孔眼 14 将材料沉积到基材上,形成至少一个电路的一个部分。其优点是孔眼掩模 10 能将所需材料沉积,且同时将该材料形成所需的图案。相应地说,在进行沉积工序前后无需进行单独的图案形成工序。孔眼掩模 10 特别适用于制造电子显示器,低成本集成电路,诸如射频识别电路(RFID),以及其它电路的电路元件。而且,采用有机半导体的电路可从本发明各实施例中受益,下面将更详细叙述。

[0035] 可以形成一个或多个沉积孔眼 14,其宽度小于约 $20\mu\text{m}$,小于约 $10\mu\text{m}$,或甚至小于约 $5\mu\text{m}$ 。通过形成宽度在如此范围内的沉积孔眼 14,电路元件的尺寸得以减小。而且,两个沉积孔眼之间的间隙(例如沉积孔眼 14C 与 14D 之间距离)可以小于约 $20\mu\text{m}$,或小于约 $10\mu\text{m}$,以求减小各电路元件的大小,并且还可能改善了性能。

[0036] 如果孔眼掩模 10 是由硅晶片制成,则沉积孔眼 14 的图案 12 可以采用活性离子蚀刻或激光烧蚀技术获得可接受的沉积孔眼 14 的宽度,以及沉积孔眼 14 之间可接受的间隙。另一方面,如果孔眼掩模 10 由其它非金属材料制成,诸如聚合物,可以采用激光烧蚀技术或微复制技术,如微模技术,形成沉积孔眼 14 的图案 12。因此,由非金属材料制成的孔眼掩模 10,一般说比金属掩模所要求的制造成本低,制造工艺也稍为简单,和 / 或制造工艺更为精确。当孔眼掩模例如通过在晶片形成沉积图案 12 来形成,则该沉积孔眼的直边可以有意与晶片劈裂面或晶轴错位。如果沉积孔眼的直边与晶轴对准,则该掩模易碎裂。这样一种错位也适用于由晶片制成孔眼掩模,所述晶片包括例如单晶硅,Ge(锗)或 GaAs。错位角度可以大于或等于 5° 。

[0037] 图 2 是掩模组 20 的顶视图,其包括沉积工艺中采用的孔眼掩模 10A-10F。掩模组 20 可以包括任意个数的孔眼掩模,取决于该沉积工艺制造的电路或电路元件。掩模 10A-10F 形成一个“组”,其意义在于,即每个掩模可以对应于具体的层或整个集成电路内的电路元件组。每个孔眼掩模 10 所形成的沉积孔眼图案形成至少某一电路的一个层。例如,第一孔眼掩模 10A 可以形成沉积孔眼的第一图案,它形成至少是某一电路的第一沉积层,而第二孔眼掩模 10B 可以形成沉积孔眼的第二图案,它形成至少是该电路的第二沉积层。换言之,掩模组 20 的每个掩模 10 仅形成任何给定电路层。该掩模组可用于制造品种繁多的集成电路,诸如包括一个或多个诸如互补型金属氧化物(CMOS)一类元件的互补型晶体管电路元件。该互补型晶体管电路元件可以包括含有无定形硅的半导体层。也可以采用有机,无机或有机 / 无机混合型半导体材料。对于某些电路,有机与无机半导体均可使用。

[0038] 在一些场合中,第一与第二孔眼掩模 10A 与 10B 可以形成某一电路的不同层,在其

它一些场合中,第一与第二孔眼掩模 10A 与 10B 可以形成同一电路层的不同部分或可以形成其它层。例如,缝接技术可以用于形成中间连接,其中第一与第二孔眼掩模 10A 与 10B 形成了同一电路层的不同部分。换言之,在单独沉积工序中可以采用两个或多个掩模形成单层电路层,该电路层可以包括一个或多个中间连接。采用缝接技术可以避免相对较长的沉积孔眼、闭合的曲线或可能会引起部分孔眼掩模受到不良支撑的图案。解决的办法是通过将沉积图案连同二个或多个孔眼掩模缝接一起形成长线和闭合曲线来确定单个电路的特征部分。在第一次沉积中,一个掩模形成一种特征部分,而在第二次沉积中,另一个掩模形成该特征部分的其余部分。

[0039] 掩模组 20 中每个孔眼掩模 10 可以形成一个或多个沉积孔眼,沉积孔眼的宽度约小于 $20\text{ }\mu\text{m}$,小于约 $10\text{ }\mu\text{m}$,或甚至小于约 $5\text{ }\mu\text{m}$ 。此外,每个孔眼掩模中至少两个沉积孔眼被分开,它们之间的间隙小于约 $20\text{ }\mu\text{m}$,或甚至小于约 $10\text{ }\mu\text{m}$ 。还有,如此窄的孔以及孔之间的间隙可以减小电路的尺寸,并且在有些情况下还改善了电路的性能。

[0040] 图 3 是本发明沉积工艺中使用孔眼掩模的沉积站的简化方框图。特别是沉积站 30 可以构建成进行蒸汽沉积工艺,在该工艺中,材料被蒸发,并通过孔眼掩模沉积在沉积基材上。被沉积的材料可以是用于形成集成电路内各种元件的半导体材料,介电材料或导电材料。在一些情况中,沉积材料可以包含有机半导体,无机半导体,并五苯,和 / 或无定形硅。将孔眼掩模 10 置于贴近沉积基材 32 的位置。例如,在一些情况中,较好将孔眼掩模 10 紧贴在沉积基材 32,在另一些情况中,沉积基材 32 与孔眼掩模 10 之间间隙小,以改善沉积工艺。沉积基材 32 可以包含各种材料,视制造所需的电路而定。例如,如果所需电路为 RFID 电路,沉积基材 32 可以包含柔韧的材料,如柔韧的聚合物。此外,如果所需电路为电子显示器用的晶体管电路,沉积基材 32 可以为电子显示器的背面。也可以使用其它沉积基材,诸如玻璃片,硅片,硬质塑料片,涂有绝缘层的金属箔一类基材。

[0041] 沉积站 30 通常为真空室一类装置。当孔眼掩模 10 紧贴沉积基材 32 之后,材料 36 被沉积单元 34 蒸发。例如,沉积单元 34 可以包括材料舟,将材料进行加热蒸发。被蒸发材料 36 通过沉积孔眼沉积在沉积基材 32 上,至少沉积在基材 32 上沉积层部分。经过沉积,材料 36 形成由孔眼掩模 10 形成的图案。如上所述,孔眼掩模 10 可以包括沉积孔眼与足够窄的间隙,以便于采用沉积工艺制造小的电路元件。此外,可以采用如下详述的各种准直技术,确保沉积工艺时恰当调准孔眼掩模。具体地说,掩模组的各孔眼掩模必须对组内各掩模的顺序沉积工艺进行类似的调准。其它合适的沉积技术包括电子束蒸发,各种形式的溅射,以及脉冲激光沉积。

[0042] 图 4 与图 5 是本发明制造的薄膜晶体管实例的横截面图。在本发明中,可以制造薄膜晶体管 40 和 50 而无需采用蚀刻或光刻,取而代之的是仅仅采用这里所述的孔眼掩模沉积技术。另外,一层或多个底层可以进行蚀刻,至少两层最顶层是采用这里所述的孔眼掩模沉积技术形成。重要的是采用孔眼掩模沉积技术可获得薄膜晶体管足够小的电路特征部分。此外,如果采用有机半导体,则本发明便于制造薄膜晶体管,其中有机半导体不作为电路的最顶层。相反,没有采用蚀刻和 / 或光刻技术,可以在该有机半导体材料层上形成电极图案。同时要获得令人接受的电路元件的尺寸,则可以充分利用孔眼掩模 10 的这种优点。

[0043] 薄膜晶体管通常供给各种不同电路,如包括 RFID 电路与其它低成本电路。此外,薄膜晶体管可以用作液晶显示器像素或其它平板显示器像素的控制元件。薄膜晶体管还有

许多其它应用。

[0044] 如图 4 所示,薄膜晶体管 40 形成于沉积基材 41 上。薄膜晶体管 40 代表一种晶体管的实施方式,该实施方式的所有各层均采用孔眼掩模沉积,其中没有一层是采用蚀刻或光刻而形成的。这里所述孔眼掩模沉积技术可以制造薄膜晶体管 40,其中电极之间距离小于约 $20\text{ }\mu\text{m}$,或甚至小于 $10\text{ }\mu\text{m}$,同时还避免常规的蚀刻或光刻工艺。

[0045] 特别是薄膜晶体管 40 包括在沉积基材 41 上形成的第一沉积导电层 42。在第一导电层 42 上沉积形成的介电层 43。形成源电极 45 和漏电极 46 的第二沉积导电层 44 在沉积的介电层 43 上形成。在第二沉积导电层 44 上形成诸如沉积半导体层的沉积的活性层 47,或沉积的有机半导体层。

[0046] 采用掩模组 20 的沉积技术,比如表示制造薄膜晶体管 40 的示例方法。在该方法中,薄膜晶体管 40 的各层可以由形成掩模组 20 的非金属沉积掩模 10 中一个或多个沉积孔眼形成。另外,如上所述采用一些孔眼掩模与缝接技术可以制造薄膜晶体管具有一个或多个特征部分。

[0047] 通过形成掩模 10 中足以小的沉积孔眼 14,可以使薄膜晶体管 40 一个或多个特征部分小于 $20\text{ }\mu\text{m}$,小于 $10\text{ }\mu\text{m}$,或甚至小于 $5\text{ }\mu\text{m}$ 。而且,通过形成孔眼掩模 10 中足以小的间隙,诸如源电极 45 与漏电极 46 之间的距离一类的其它线距可以小于 $20\text{ }\mu\text{m}$,或甚至小于 $10\text{ }\mu\text{m}$ 。在那种情况下,单个掩模可用于沉积第二导电层 44,其中,俩电极 45,46 各由足以小的间隙如小于 $20\text{ }\mu\text{m}$ 或小于 $10\text{ }\mu\text{m}$ 的间隙分开的沉积孔眼所形成。以这种方式,薄膜晶体管的尺寸可以减小,能制造出更小,密度更高的电路,同时还能维持薄膜晶体管 40 的性能不变。

[0048] 图 5 是薄膜晶体管 50 的另一实施方式。特别是薄膜晶体管 50 包括形成于沉积基材 51 上的第一沉积导电层 52。在第一导电层 52 上形成沉积介电层 53。在沉积的介电层 53 上形成沉积活性层 54,如沉积半导体层或沉积有机半导体层。在沉积的活性层 54 上形成第二沉积导电层 55,它形成原电极 56 和漏电极 57。

[0049] 还有,由于掩模 10 形成的沉积孔眼 14 足够小,薄膜晶体管 50 的一个或多个特征部分所具有的宽度在这里所讨论的数量级范围。而且,由于掩模 10 形成的沉积孔眼 14 足够小,源电极 56 和漏电极 57 之间的距离在这里讨论的间隙范围之内。在那种情况下,可以采用单个掩模沉积第二导电层 55,具有各自自由间隔非常小的沉积孔眼形成的俩电极 56 和 57。以这种方式,薄膜晶体管 50 的尺寸可以减小,同时薄膜晶体管 50 的性能提高了。

[0050] 提供有机半导体的薄膜晶体管一般采取图 4 的形式,因为有机半导体通常不能采取蚀刻或光刻方式形成图案,而又不至于损坏或造成有机半导体材料的性能下降。例如,有机半导体在接触到工艺溶剂时会发生形态变化。为此,在制造技术中,一般沉积有机半导体作顶层。如果活性层为任何类型的半导体,则可以采用图 4 的构型。在其它实施方式中,除了有机半导体层之外,薄膜型晶体管的所有其它各层均可以采用任何合适的技术,包括光刻技术与湿法工艺进行制造。然后沉积有机半导体。图 5 构型具有的优点是因为在有机半导体上沉积合适的源电极与漏电极,它提供了低阻抗的界面。

[0051] 通过采用孔眼掩模沉积技术在薄膜晶体管形成至少两层顶层,甚至如果活性层 54 为有机半导体层时,本发明能便于形成图 5 的构型。图 5 构型通过可以在有机半导体层上沉积表面相对平坦的介电层 53,犹如图 4 所述介电层被沉积在非连续第二导电层 44 上那

样,则该构型可促进有机半导体层改良后的生长。比如,如果有机半导体被沉积在非平坦表面上,则这种生长受到抑制。因此,为了避免有机半导体生长抑制与高阻抗界面,就需要图 5 的构型。在一些实施方式中,如前所述沉积集成电路所有各层。

[0052] 图 6 与图 7 为孔眼掩模(图 6)与沉积基材(图 7)的顶视图,在本发明一个实施方式中两者均具有准直边。在采用孔眼掩模沉积技术制造电路所面临的一个有意义的挑战是在于难以将孔眼掩模对准沉积基材上的沉积层。特别是当制造电路元件具有这里所述的尺寸,采用机械调准将孔眼掩模对准沉积基材是极其困难复杂的。而且沉积愈来愈多的电路层时,对准问题更为复杂。

[0053] 如图 6 所示,孔眼掩模 60 包括具有准直边 62A 与 62B(后面称之为准直边 62)的掩模基材 61。在掩模基材 61 上的沉积孔眼图案 64 是对应于准直边 62 而确定的,使得掩模基材 61 的边全方位对准图案 64,进行沉积工艺。而且,如果掩模组 20(图 2)中每个掩模 10 是采用同一准直边形成的话,则在按顺序沉积过程中很容易对应于被沉积层进行调准。

[0054] 图 7 所示为与图 6 孔眼掩模一起使用的相应沉积基材 70。正如图 7 所示,沉积基材 70 包括准直边 72A 与 72B(后面称之为准直边 72),它完全对应于图 6 所示孔眼掩模的准直边 62。以这种方式,图 6 孔眼掩模的准直边与图 7 沉积基材 70 的准直边的空间准直是对应于沉积基材 70 合适地进行调准图案 64,进行沉积工艺。而且,如前所述如果掩模组中每个掩模都有类似准直边,则在按顺序沉积中很容易对每个掩模对应于沉积层进行调准。

[0055] 在掩模 60 上形成的准直边避免了必须对准孔与定位柱位置,因为这种调准也许会产生稍许可以移动的间隙,造成调准失误。而且,对于非金属掩模,采用对准孔与定位柱位置会造成掩模的损坏,特别为了减少孔的间隙而力图提供密合调准时更为如此。相应地,采用准直边 62 比对准孔能更有效地调准孔眼掩模 60。在有些情况中,采用准直边 62 能便于孔眼掩模 60 与沉积基材 70 进行机械调准,使调准公差小于约 $10\mu\text{m}$,小于约 $5\mu\text{m}$,或甚至小于 $2\mu\text{m}$ 。本发明可以避免掩模的损坏,便于对沉积工艺中制造的电路进行精确调准。

[0056] 一些包括准直边的孔眼掩模可以形成一个掩模组,该掩模组每个孔眼掩模可以包括类似的准直边,但相对于该准直边确定不同图案。以这种方式,通过每个掩模的边对准沉积基材 70 的边,将该掩模组中每个孔眼掩模合适地对准沉积基材 70。

[0057] 图 8 是本发明一个实施方式的准直固定件的透视图。特别是准直固定件 80 能便于孔眼掩模与包括准直边的沉积基材快速与精确对准。准直固定件包括相对较大的沉积孔眼 81。孔眼掩模可以覆盖沉积孔眼 81,并且沉积基材紧贴该孔眼掩模。材料经沉积孔眼 81 蒸发出来,并且按照孔眼掩模确定的图案沉积到该沉积基材上。

[0058] 准直固定件 80 至少包含三个接触点 82A,82B 与 82C。接触点 82A,82B 与 82C 被示为定位针,但其它构型的接触点 82,如定位柱,挡板一类也是可行的。具有准直边的孔眼掩模与沉积基材置于准直固定件 80 内,使得孔眼掩模与沉积基材的准直边精确对准准直固定件 80 的三个接触点 82A,82B 与 82C。以这种方式,可以得到快速与精确调准,在有些情况中,调准的公差小于约 $10\mu\text{m}$,小于约 $5\mu\text{m}$ 或甚至小于约 $2\mu\text{m}$ 。在其它情况下,对于不同沉积可以添加多个接触点,精确确定三个不同接触点。

[0059] 准直固定件 80 能够提供精确定位,而无需贯穿孔眼掩模和沉积基材上的定位孔的定位柱,而且准直固定件 80 可以避免采用定位柱贯穿定位孔时出现的微微移动。特别是准直固定件 80 不依赖掩模上的定位孔,尤其当该定位孔稍大于定位柱。此外,温差也使贯

穿掩模定位孔的定位柱相关的问题更为复杂。

[0060] 与准直固定件 80 一起使用的准直边有助于获得精确定位,没有与定位孔及贯穿该定位孔的定位柱有关的问题。还有,准直固定件 80 结构简单也有助于孔眼掩模与沉积基材更快地调准,降低了生产成本,可提高某些应用大规模生产产量。

[0061] 图 9 是准直固定件 80 某一实施方式的顶视图。如图 9 所示,准直固定件 80 可以包括另外一些特征部件,确保沉积基材与孔眼掩模恰当地固定在调准位置上。特别是准直固定件 80 可以包括固定件 91,将该孔眼掩模和沉积基材固定在调准位置上。还有,固定件 91 施加弹性偏压,迫使孔眼掩模和沉积基材紧靠准直固定件 80。弹性偏压的力是通过固定件 91 或通过单独的物件施加的。这两种情况都可以在沉积过程中保持准直与紧密接触。

[0062] 图 10 是根据本发明沉积站的一个简化方框图。沉积站 100 进行蒸汽沉积工艺过程,在该过程中,材料通过孔眼掩模进行蒸发,沉积,并聚积在沉积基材上。孔眼掩模 101 置于靠近或紧贴在准直固定件 80 内的沉积基材。孔眼掩模 101 与沉积基材 103 均有准直边。因此,孔眼掩模 101 的图案仅简单通过确保孔眼掩模 101 与沉积基材 103 的准直边与三个接触点 82A, 82B 与 82C 接触就能准确对准沉积基材 103。

[0063] 沉积站 100 通常为真空室。当孔眼掩模 101 置于贴近或紧靠准直固定件 80 内的沉积基材 103 之后,材料 106 被沉积单元 108 蒸发。例如,沉积单元 108 可以包括一个材料舟,材料在舟内被加热蒸发。被蒸发材料 106 通过沉积孔眼 81 并沉积在沉积基材 103 上,形成了至少沉积在基材 103 上电路层部分。还有,孔眼掩模 101 可以包括沉积孔眼,孔之间间隙非常小。综合孔眼掩模 101 中小孔尺寸和孔眼掩模 101 的邻近孔之间的小间隙以及利用准直固定件 80 以及孔眼掩模 101 和沉积基材 103 上的准直边获得的精确定位,可以便于制造电路特征部分小于约 $20\ \mu\text{m}$, 小于约 $10\ \mu\text{m}$ 或甚至小于约 $5\ \mu\text{m}$ 的电路。

[0064] 图 11-13 是本发明实施方式的流程图。如图 11 所示,制造孔眼掩模的方法包括在第一硅晶片 (111) 上形成第一图案,在第二硅晶片 (112) 上形成第二图案。此外,在第三硅晶片 (113) 上形成第三图案,在第四硅晶片 (114) 上形成第四图案。通过采用活性离子蚀刻技术形成各自的图案,以获得可以令人接受宽度的沉积孔眼,该沉积孔眼用来形成图案,以及沉积孔眼之间令人可接受的间隙。此外,激光烧蚀可用于在硅晶片,玻璃片,以及硬质或填料聚合物孔眼掩模基材上形成图案。每种图案形成至少一个电路层。然后,通过各形成图案后的硅晶片蒸汽沉积到基材上,形成诸如集成电路,RFID 集成电路,电子显示器电路,电子储存器一类电路 (115)。而且,可获得的电路元件宽度如前所述小于约 $20\ \mu\text{m}$, $10\ \mu\text{m}$ 或甚至 $5\ \mu\text{m}$ 。

[0065] 图 12 所示为形成与使用孔眼掩模的过程,该过程包括在对应于准直边的掩模基材上形成图案,以形成一个孔眼掩模 (121)。然后,通过该掩模的准直边对准沉积基材 (122) 的准直边将该图案对准沉积基材。换言之,将掩模 60 的准直边 62 与沉积基材 70 的准直边 72 推向准直固定件 80 的三个接触点 82A, 82B 与 82C,直至它们紧贴在一起,然后固定机构 91 将掩模 60 锁定在调准位置上。

[0066] 准确调准之后,材料通过孔眼掩模 (123) 沉积在沉积基材上。以这种方式,孔眼掩模沉积技术可用于制造电路元件,元件的宽度相对较小。特别是相对较小的沉积孔眼的宽度和相对较小的沉积孔眼之间的间隙,连同利用这里所述的精确准直技术可以获得特征部分非常小的沉积电路。

[0067] 在一个实施例中,图案按顺序沉积形成于掩模上,其中第一孔眼掩模图案形成一个门电极,并且通过第二孔眼掩模图案沉积在沉积基材上的材料为半导体,在沉积门电极之后再沉积该半导体。在这种情况下,可以通过第三孔眼掩模图案将源电极与漏电极沉积在半导体上。

[0068] 在另一个实施例中,图案按顺序沉积形成于掩模上,其中第一孔眼掩模图案形成一个门电极,并且通过第二孔眼掩模图案沉积在沉积基材上的材料形成介电层。在这种情况下,可以通过第三孔眼掩模图案将半导体沉积到介电层,并且通过第四孔眼掩模图案将源电极与漏电极沉积在半导体上。对于每次沉积,可以通过将各自孔眼掩模的准直边与沉积基材的准直边准确接触准直固定件 80 的三个接触点,将各自孔眼掩模的图案对应于沉积基材定位。

[0069] 图 13 所示为本发明另一种方法。正如图所示,形成一个电路元件的方法包括将孔眼掩模对准沉积基材 (131)。然后,通过调准的孔眼掩模 (132) 将材料沉积在该基材上。然后,再将孔眼掩模对准沉积基材 (133),并且通过再调准的孔眼掩模 (134) 将另一种材料沉积在该基材上。

[0070] 图 13 的方法特别适合于当单层电路要求数种不同材料组成的具有类似形状特征情况。在一个实施例中,可以通过某一调准的孔眼掩模沉积适合于 P 型薄膜晶体管的空穴传导型半导体材料,制造互补型薄膜晶体管电路元件的活性层。然后,对该孔眼掩模重新调准,通过重调后的孔眼掩模沉积适合于 n 型薄膜晶体管的电子传导型半导体材料。采用这种方式,将 P 型与 n 型半导体材料沉积成互补型薄膜晶体管电路元件的活性层。一些互补型薄膜晶体管电路元件可以通过在孔眼掩模中布成一个阵列图而形成。

[0071] 在其它实施例中,可以沉积第一发光材料,重新调准孔眼掩模后再沉积第二发光材料。例如,掩模被调准进行三次单独沉积工艺,各对应于红色,绿色与蓝色亚像素。在该情况下,这三次沉积可形成一个显示器像素。被沉积材料可以是有机物或无机物。在一些情况中,一种材料可以是有机物,而另一种材料可以是无机物。用类似工艺,利用滤色材料可以制造彩色亚像素,用于显示器或传感器。

[0072] 在一个实施例中,孔眼掩模与沉积基材的准直边可用来进行重新调准工作。例如,沉积基材可以确定准直边,该准直边与沉积基材的各边稍有区别。在那种情况下,重新调准可以包括从准直固定件中取下孔眼掩模,旋转该孔眼掩模一个角度(如旋转 $1/4$ 圈),然后将转动过的孔眼掩模重新插入该准直固定件内。换言之,可通过与准直边一起形成的孔眼掩模沉积第一材料,并且该孔眼掩模相对于沉积基材可旋转一个角度。然后,通过孔眼掩模沉积第二材料。不同的准直边,如准直边 62A 与 62B(见图 6)可以稍有区别,这样第一与第二材料的沉积造成沉积基材上的沉积材料稍有错位。或者,可以制造某种准直结构使得沉积基材固定在一个恒定的位置,但孔眼掩模可固定在数个位置上。

[0073] 实施例

[0074] 采用四步真空沉积工序与四个薄单晶硅掩模 ($50\text{ }\mu\text{m}$ 厚) 制造有机集成电路。将单块光刻形成图案的硅晶片置于深刻槽的刻蚀机 (PlasmaTherm SLR 系列,采用电感耦合等离子体) 进行加工,同时制造四个硅掩模。形成四个单独图案,每个图案各占单硅晶片的四个象限之一,并且各图案具有相关的准直边,它们位于每个图案的相同位置,利用二条平坦边上的三个接触点进行快速机械调准,使得调准公差为 $10\text{ }\mu\text{m}$ 或更小。每个图案(与相应

的准直边)刻蚀到晶片,形成通孔。将每个形成的孔眼掩模形成图案,形成如下单独沉积的器件层:(1) 门电极金属,(2) 绝缘体,(3) 半导体,与(4) 源/漏电极金属。

[0075] 形成孔眼掩模之后,采用蒸汽沉积工艺,而不是光刻技术或湿法工艺制造集成电路。如图 8 与图 9 所示,第一孔眼掩模置于准直固定件上。基材置于准直固定件上的孔眼掩模上,基材的一条边与准直固定件上二个接触点接触,而该基材的第二条边与第三个接触点接触。附着在二个接触点上的固定件用于在沉积工序中将基材与掩模夹持在位置上。然后通过第一掩模将材料沉积到该基材上。

[0076] 取下第一掩模,换上第二掩模。然后将第二掩模对准基材上图案和基材上的棱边。调准时对着准直固定件的接触点轻轻敲打掩模,并且用固定件固定,将该组件牢牢夹持在位置上。然后通过该掩模沉积第二材料。然后用第三掩模取代第二掩模,重复进行机械调准工作,再通过该掩模沉积第三材料。最后第三掩模被第四掩模取代,重复调准,通过该掩模沉积第四材料。然后取下第四掩模,直至这个阶段,电路元件制造完成。电路元件之间的互联是靠门电极与源电极/漏电极层的“缝合”线(trace)形成。

[0077] 采用上述四个掩模,在玻璃基材上制成七级并五苯闭合振荡器,并进行了测试。蒸汽沉积钨(50nm 厚)作门电极金属,氧化铝(150nm 厚)作绝缘层,并五苯(50nm 厚)作半导体,钨(50nm 厚)作源电极/漏电极层。在本实施例中,集成电路设计成最小线距为 15 μm 。形成的闭合振荡器的性能在试验电压为 -30V 下进行测试,该振荡器能正常工作。

[0078] 本发明叙述了一些实施方式。例如,叙述了数个不同结构件与不同孔眼掩模的沉积技术。这些孔眼掩模沉积技术可用来制造各种不同电路,仅采用沉积工艺,而避免采用化学腐蚀工艺或光刻工艺,本技术特别适合用到有机半导体材料的情况。然而,在不偏离本发明精神和范围的条件下,本发明的各种修改和变化是显而易见的。比如,虽然利用热沉积工艺具体地叙述了孔眼掩模的沉积技术,但该技术和孔眼掩模可利用其它沉积工艺,包括溅射、电子束蒸发工艺、其它热蒸发工艺等技术。因此这类其它实施方式都属于下述权利要求的范围之内。

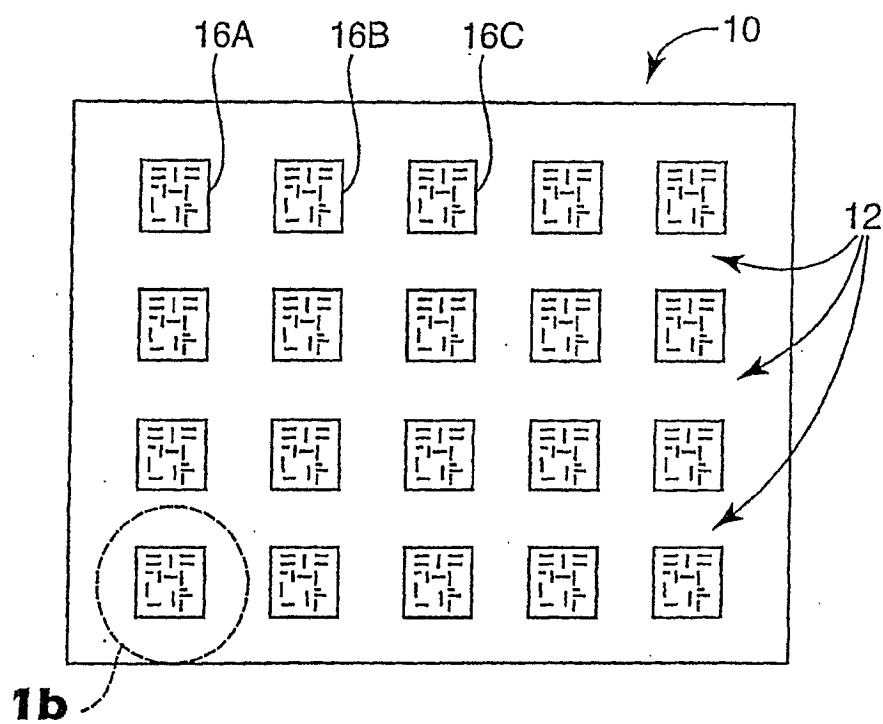


图 1a

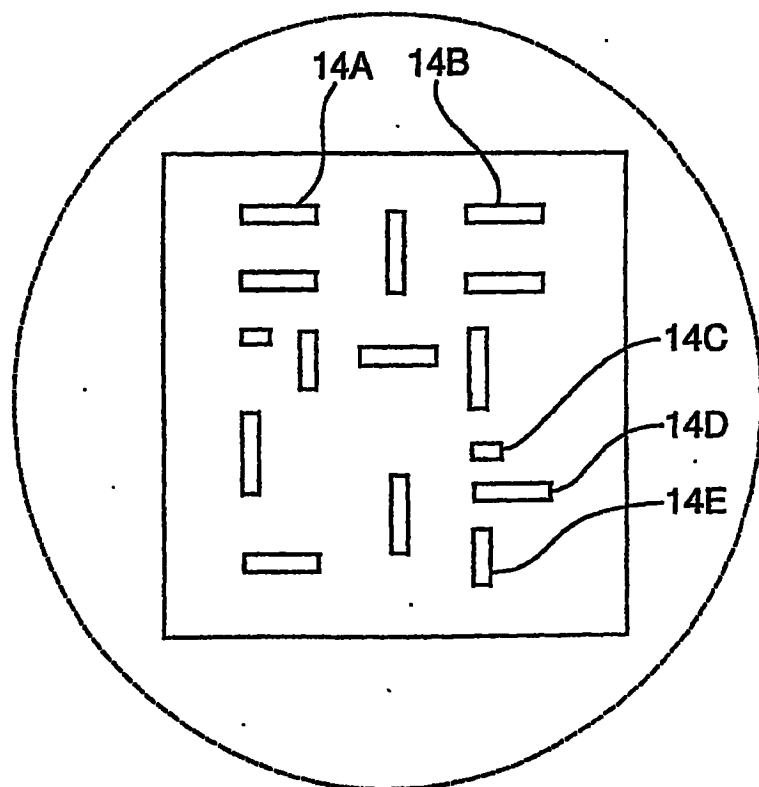


图 1b

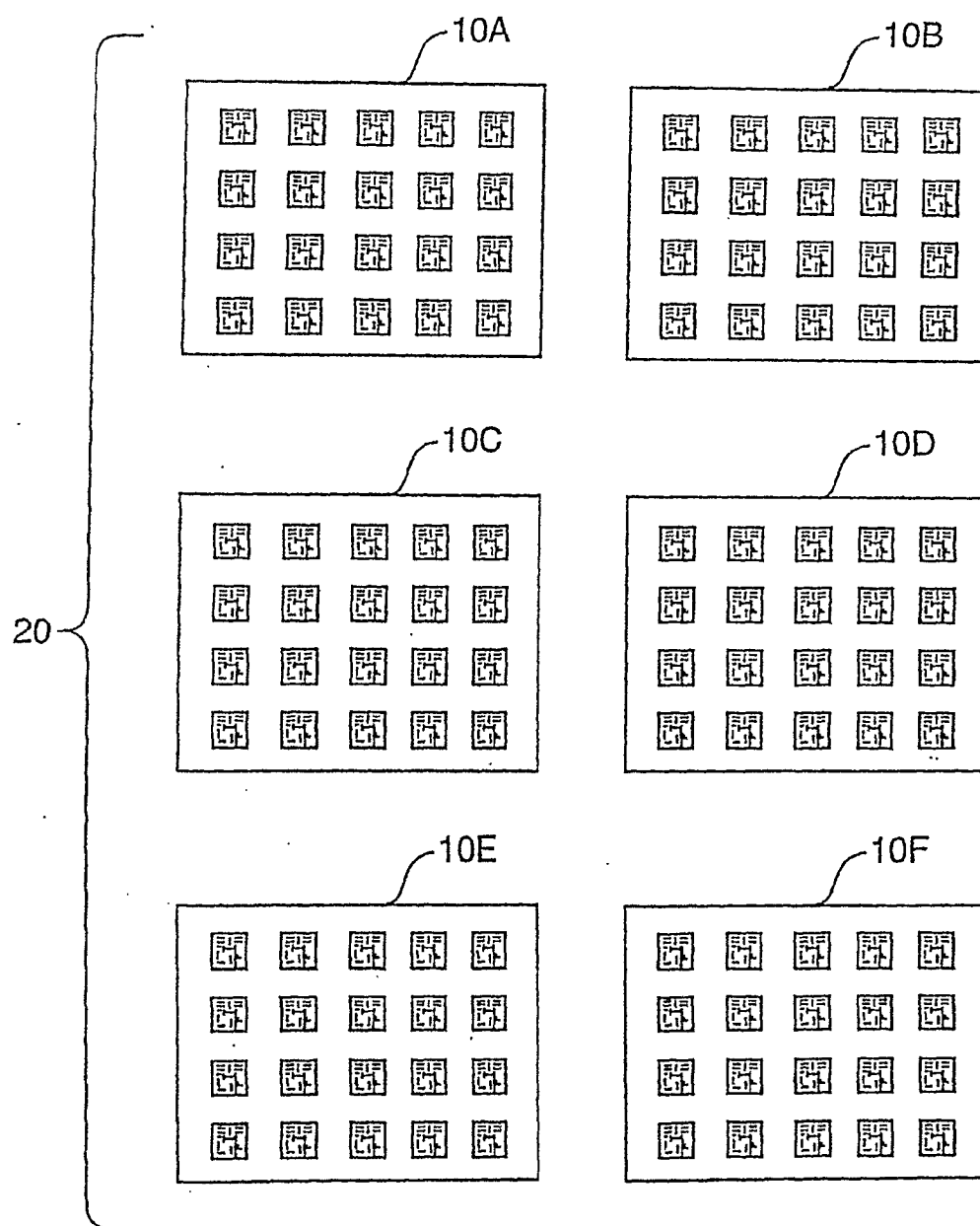


图 2

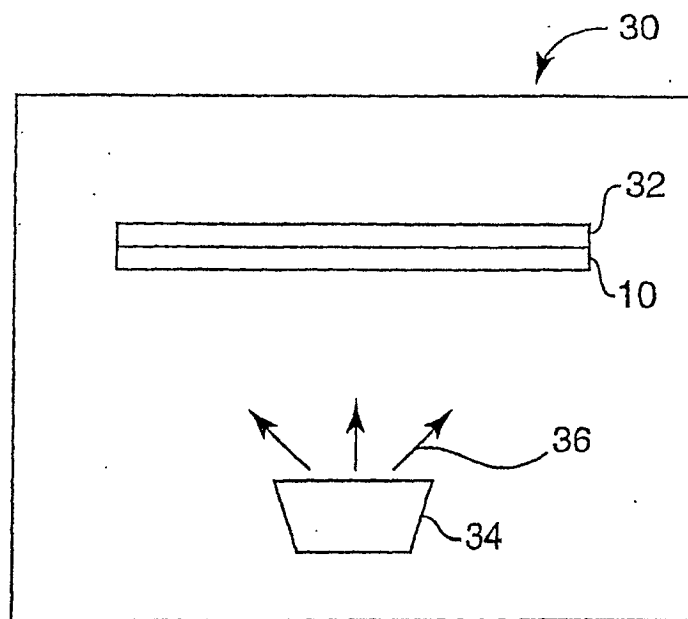


图 3

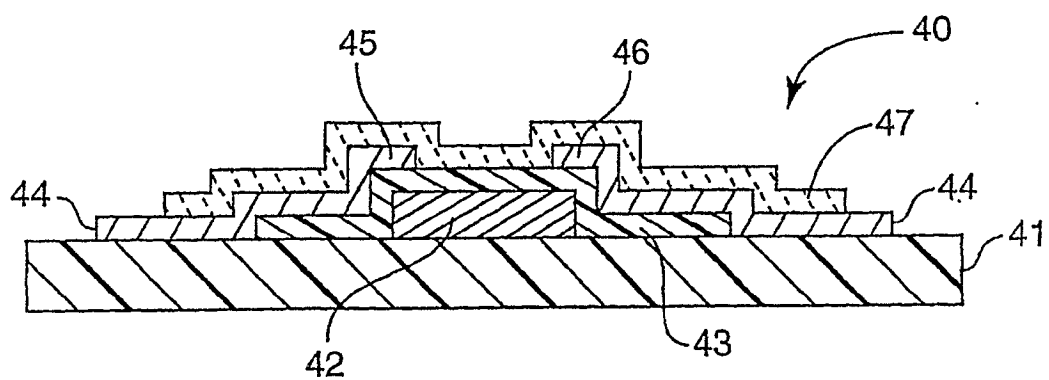


图 4

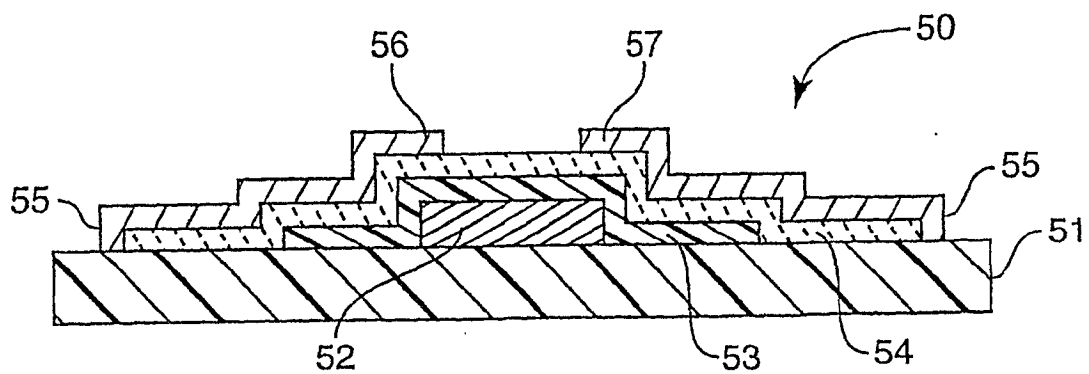


图 5

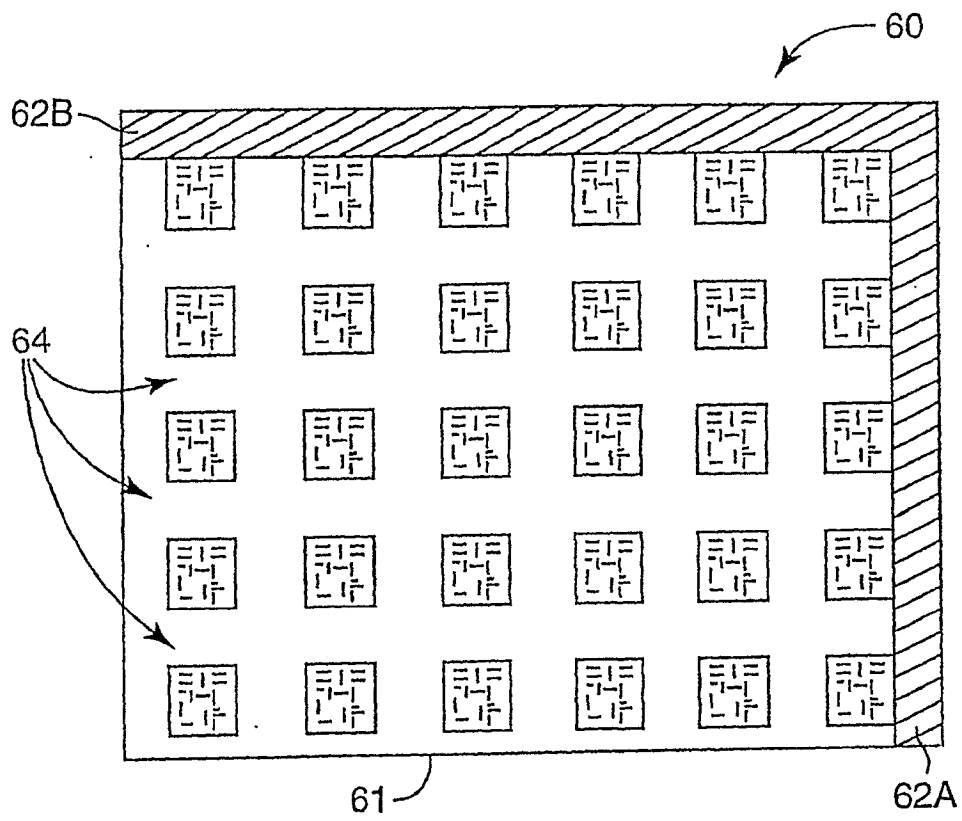


图 6

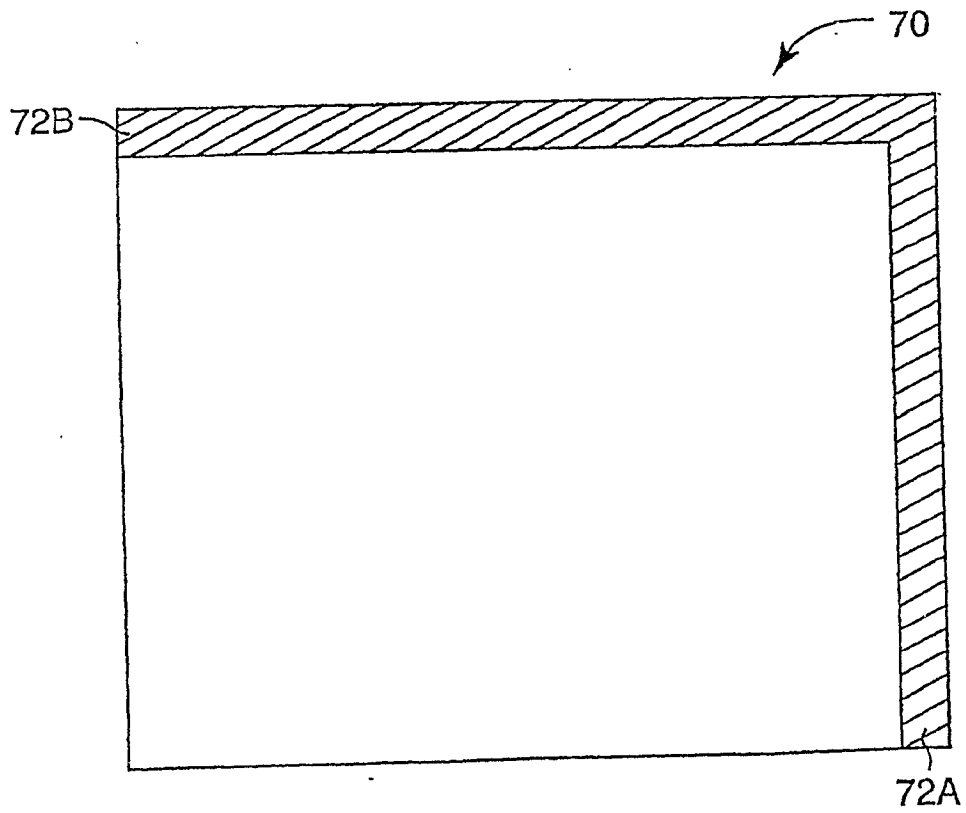


图 7

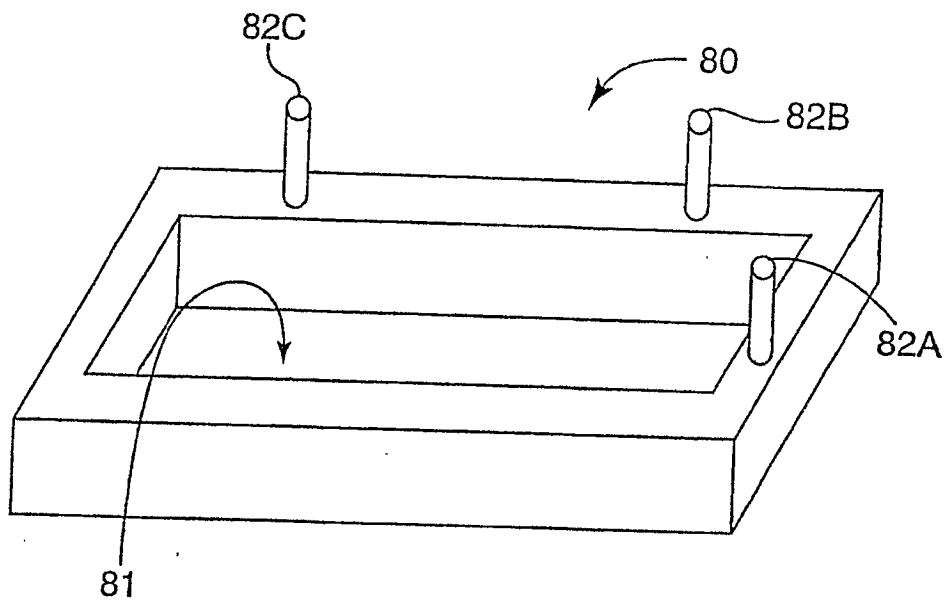


图 8

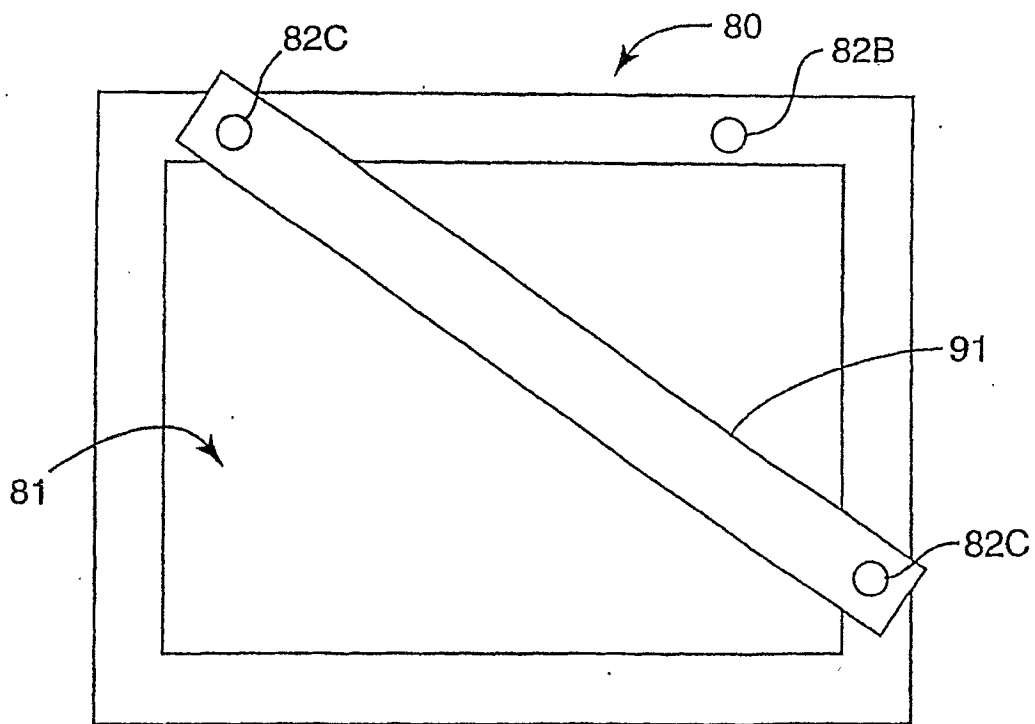


图 9

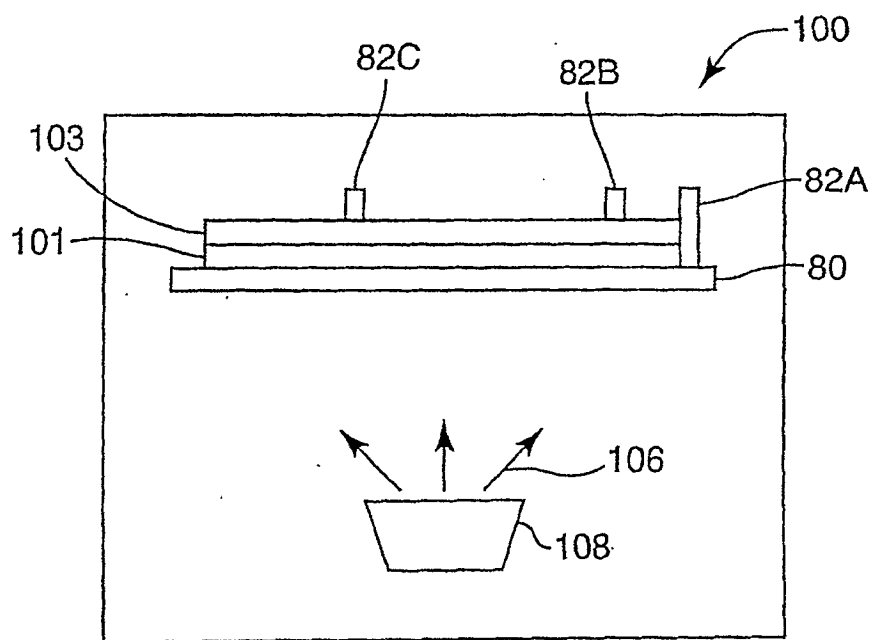


图 10

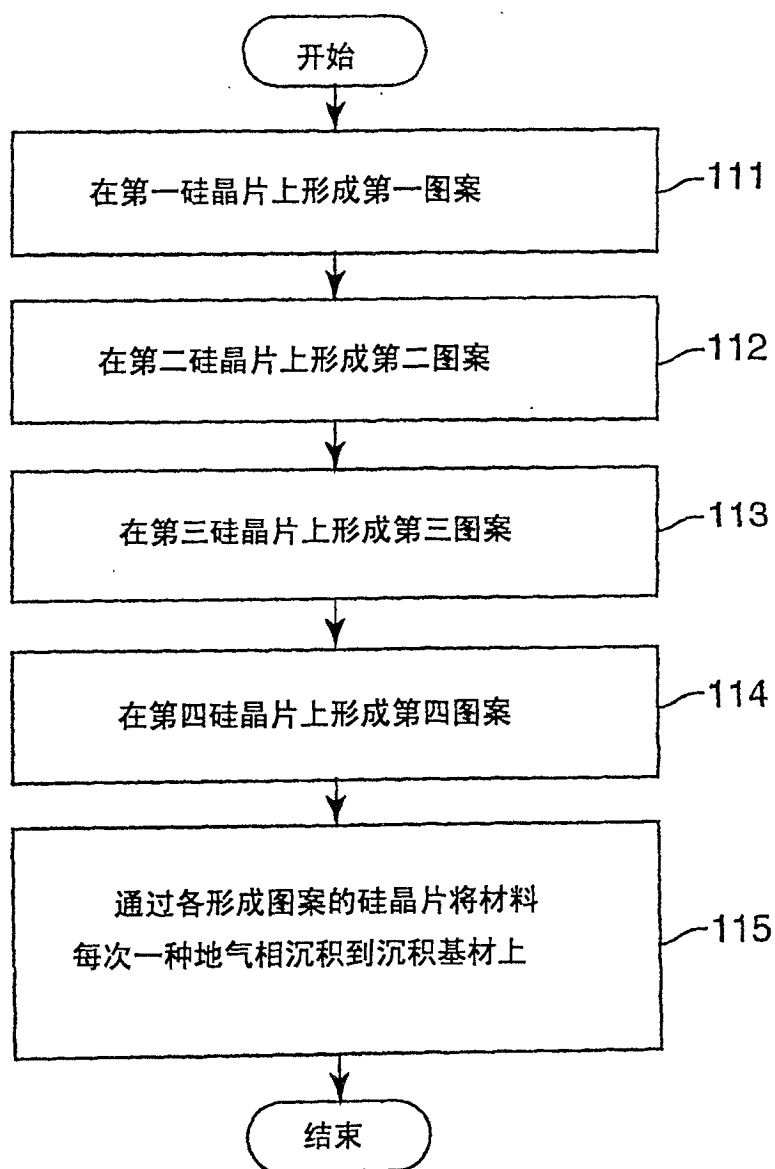


图 11

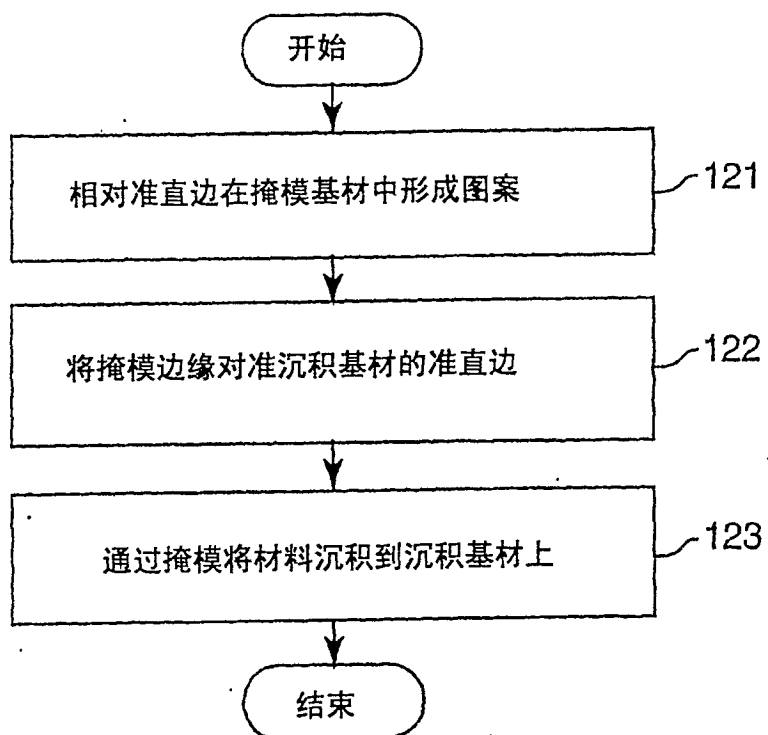


图 12

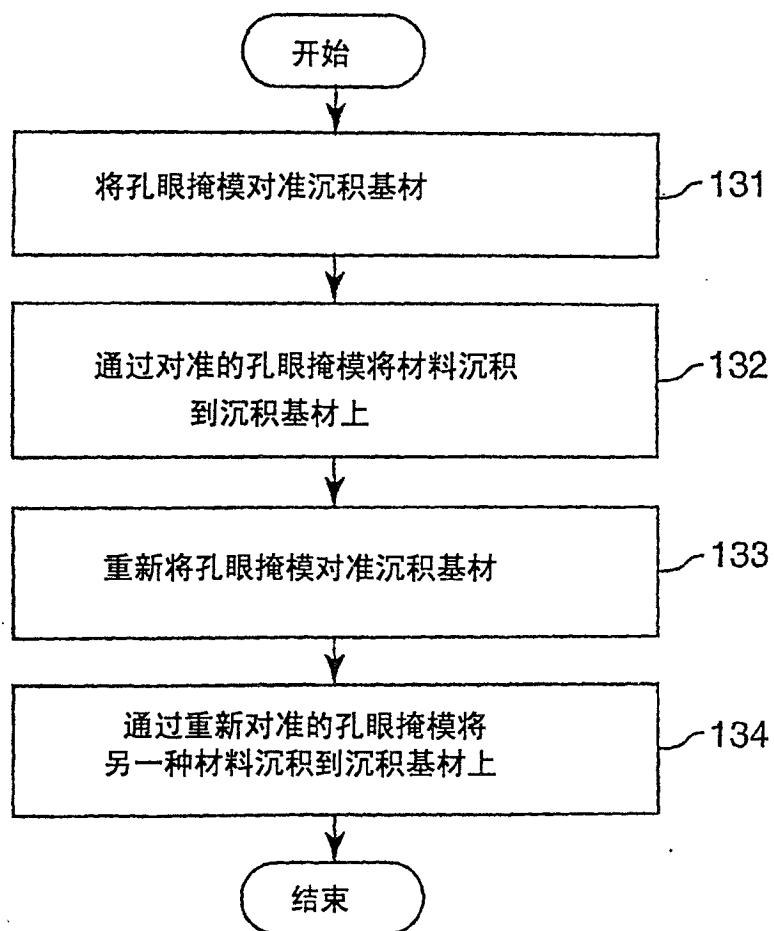


图 13