



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월03일
(11) 등록번호 10-2130184
(24) 등록일자 2020년06월29일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/78606 (2013.01)
- (21) 출원번호 10-2015-7008779
- (22) 출원일자(국제) 2013년10월15일
심사청구일자 2018년10월05일
- (85) 번역문제출일자 2015년04월06일
- (65) 공개번호 10-2015-0073966
- (43) 공개일자 2015년07월01일
- (86) 국제출원번호 PCT/JP2013/078634
- (87) 국제공개번호 WO 2014/065301
국제공개일자 2014년05월01일
- (30) 우선권주장
JP-P-2012-234427 2012년10월24일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
JP2009021565 A
JP2011124360 A

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시킴가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 13 항

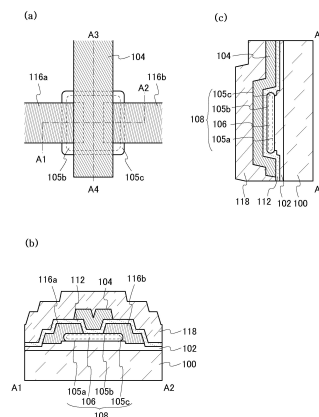
심사관 : 이양근

(54) 발명의 명칭 반도체 장치

(57) 요약

제조 공정동안 특히 산화물 반도체층의 측면에서 산소 이탈 또는 산소 결손은 발생하기 쉽다. 산화물 반도체층의 측면에서 산소 결손이 발생하면, 측면의 저항이 감소하고, 트랜지스터의 외관상 임계치 전압이 변하며, 임계치 전압의 변동이 증가한다고 하는 문제가 발생한다. 또한, 임계치 전압은 소스와 드레인간에 의도하지 않는 전류가 흐르게 하여, 트랜지스터의 오프 전류를 증가시키고 트랜지스터의 전기 특성을 열화시킨다. 채널 형성 영역에 산화물 반도체층과, 이 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막을 사용하는 반도체 장치가 제공된다.

대표도 - 도21



(30) 우선권주장

JP-P-2012-234510 2012년10월24일 일본(JP)

JP-P-2012-244909 2012년11월06일 일본(JP)

명세서

청구범위

청구항 1

반도체 장치로서,

산화물 반도체층과, 상기 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막과;

상기 다층막 위의 게이트 절연막과;

상기 게이트 절연막을 사이에 개재하여 상기 다층막 위에 있는 게이트 전극

을 포함하고,

상기 산화물층은 상기 산화물 반도체층의 하면과 접하는 제1 영역과, 상기 산화물 반도체층의 상면과 접하는 제2 영역과, 상기 산화물 반도체층의 측면과 접하는 제3 영역을 포함하고,

상기 산화물 반도체층 및 상기 산화물층은 각각 적어도 인듐을 포함하고,

상기 산화물 반도체층내의 인듐의 비율은 상기 산화물층내의 인듐의 비율보다 높은, 반도체 장치.

청구항 2

제1항에 있어서, 상기 다층막내의 상기 제3 영역의 단부는 곡률을 갖는, 반도체 장치.

청구항 3

반도체 장치로서,

게이트 전극과;

상기 게이트 전극 위의 게이트 절연막과;

상기 게이트 절연막을 사이에 개재하여 상기 게이트 전극 위에 있고, 산화물 반도체층과, 상기 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막

을 포함하고,

상기 산화물층은 상기 산화물 반도체층의 하면과 접하는 제1 영역과, 상기 산화물 반도체층의 상면과 접하는 제2 영역과, 상기 산화물 반도체층의 측면과 접하는 제3 영역을 포함하고,

상기 산화물 반도체층 및 상기 산화물층은 각각 적어도 인듐을 포함하고,

상기 산화물 반도체층내의 인듐의 비율은 상기 산화물층내의 인듐의 비율보다 높은, 반도체 장치.

청구항 4

제3항에 있어서, 상기 다층막의 단부는 곡률을 갖는, 반도체 장치.

청구항 5

반도체 장치로서,

산화물 반도체층과, 상기 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막과;

상기 다층막 위의 게이트 절연막과;

상기 게이트 절연막을 사이에 개재하여 상기 다층막 위에 있는 게이트 전극

을 포함하고,

상기 산화물층은 상기 산화물 반도체층의 하면과 접하는 제1 영역과, 상기 산화물 반도체층의 상면과 접하는 제

2 영역과, 상기 산화물 반도체층의 측면과 접하는 제3 영역을 포함하고,
상기 다층막의 단부는 곡률을 갖는, 반도체 장치.

청구항 6

제5항에 있어서,
상기 산화물 반도체층 및 상기 산화물층은 각각 적어도 인듐을 포함하고,
상기 산화물 반도체층내의 인듐의 비율은 상기 산화물층내의 인듐의 비율보다 높은, 반도체 장치.

청구항 7

제1항, 제3항 및 제5항 중 어느 한 항에 있어서,
상기 산화물 반도체층 및 상기 산화물층은 각각 알루미늄, 티타늄, 실리콘, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란타, 세륨 및 hafnium으로부터 선택된 금속 원소를 포함하고,
상기 산화물층내의 상기 금속 원소의 비율은 상기 산화물 반도체층내의 상기 금속 원소의 비율보다 높은, 반도체 장치.

청구항 8

제1항, 제3항 및 제5항 중 어느 한 항에 있어서,
일정 광 전류법에 의해 측정된 상기 다층막의 결합 준위의 흡수 계수는 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만인, 반도체 장치.

청구항 9

제1항, 제3항 및 제5항 중 어느 한 항에 있어서,
상기 제3 영역은 상기 제1 영역과 동일한 종류의 원소를 포함하는, 반도체 장치.

청구항 10

제1항, 제3항 및 제5항 중 어느 한 항에 있어서,
상기 다층막은 과잉 산소를 포함하는 절연막과 접하는, 반도체 장치.

청구항 11

반도체 장치로서,
산화물 반도체층과, 제1 산화물층, 제2 산화물층 및 제3 산화물층을 포함하는 다층막과;
상기 다층막에 인접한 게이트 절연막과;
상기 게이트 절연막에 인접한 게이트 전극
을 포함하고,
상기 제1 산화물층, 상기 제2 산화물층 및 상기 제3 산화물층은 상기 산화물 반도체층을 둘러싸고,
상기 제1 산화물층은 상기 산화물 반도체층의 하면과 접하고, 상기 제2 산화물층은 상기 산화물 반도체층의 상면과 접하고, 상기 제3 산화물층은 상기 산화물 반도체층의 측면과 접하고,
상기 제3 산화물층의 상단부 및 상기 제3 산화물층의 하단부는 곡면이고,
상기 산화물 반도체층, 상기 제1 산화물층, 상기 제2 산화물층 및 상기 제3 산화물층은 각각 적어도 인듐을 포함하고,

상기 산화물 반도체층내의 인듐의 비율은 상기 제1 산화물층, 상기 제2 산화물층 및 상기 제3 산화물층 각각에서의 인듐의 비율보다 높은, 반도체 장치.

청구항 12

제11항에 있어서,

상기 산화물 반도체층, 상기 제1 산화물층, 상기 제2 산화물층 및 상기 제3 산화물층은 각각 알루미늄, 티타늄, 실리콘, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨 및 하프늄으로부터 선택된 금속 원소를 더 포함하고,

상기 제1 산화물층, 상기 제2 산화물층 및 상기 제3 산화물층 각각에서의 상기 금속 원소의 비율은 상기 산화물 반도체층내의 상기 금속 원소의 비율보다 높은, 반도체 장치.

청구항 13

제11항에 있어서,

상기 제3 산화물층은 상기 제1 산화물층과 동일한 종류의 원소를 포함하는, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

발명의 설명

기술분야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

[0002] 본 명세서에서, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경기술

[0003] 반도체 박막을 사용하여 트랜지스터(또는 박막 트랜지스터(TFT)라고도 칭함)를 형성하는 기술이 주목받고 있다. 본 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치와 같은 전자 디바이스에 넓게 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막의 재료로서는 실리콘계 반도체 재료가 넓게 알려져 있다. 다른 예로서는, 산화물 반도체가 주목받고 있다.

[0004] 예를 들어, 트랜지스터의 채널 형성 영역에 대해, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 비정질 산화물을 사용하는 트랜지스터가 개시되어 있다(특허문헌 1 참조).

[0005] 또한, 산화물 반도체는 제조 프로세스동안 산소가 이탈하여, 산소 결손을 형성된다는 것이 알려져 있다(특허문헌 2 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2006-165528호 공보

(특허문헌 0002) 일본 특허 공개 제2011-222767호 공보

발명의 내용

해결하려는 과제

- [0007] 제조 프로세스동안, 산소는 특히 산화물 반도체층의 측면에서 이탈되거나 산소 결손이 발생하기 쉽다. 산화물 반도체층의 측면에 산소 결손이 발생하면, 측면의 저항이 감소하고, 트랜지스터의 외관상 임계치 전압이 변동하고, 임계치 전압의 변동이 증가한다고 하는 문제가 발생한다. 또한, 임계치 전압이 변동함으로써, 소스와 드레인간에 의도하지 않는 전류가 흘러, 트랜지스터의 오프 전류가 증가하고 트랜지스터의 전기 특성이 열화할 수도 있다.
- [0008] 이러한 문제를 감안하여, 본 발명의 일 실시 형태의 목적은 산화물 반도체층을 포함하며 전기 특성의 변동이 작은 반도체 장치를 제공하는 것이다. 다른 목적은 산화물 반도체층을 포함하며 안정된 전기 특성을 나타내는 신뢰성이 높은 반도체 장치를 제공하는 것이다. 다른 목적은 안정된 전기 특성을 갖는 반도체 장치를 제공하는 것이다. 다른 목적은 신뢰성이 높은 반도체 장치를 제공하는 것이다. 다른 목적은 소비 전력이 작은 반도체 장치를 제공하는 것이다. 다른 목적은 형상 불량이 적은 반도체 장치를 제공하는 것이다. 다른 목적은 임의의 반도체 장치를 제조하기 위한 방법을 제공하는 것이다. 다른 목적은 생산성이 높은 반도체 장치를 제조하기 위한 방법을 제공하는 것이다. 다른 목적은 수율이 높은 반도체 장치를 제조하기 위한 방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 실시 형태는 채널 형성 영역에 산화물 반도체층 및 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막을 사용하는 반도체 장치이다.
- [0010] 산화물 반도체를 사용하여 트랜지스터를 형성하는 경우, 산소 결손으로 인해 캐리어가 발생할 수 있다. 트랜지스터의 채널 형성 영역을 포함하는 산화물 반도체층의 많은 산소 결손은 채널 형성 영역내에 전자를 발생시켜, 트랜지스터의 전기 특성의 결함, 예를 들어, 노멀리-온(normally-on) 상태, 누설 전류의 증가, 스트레스 인가에 의한 임계치 전압의 시프트의 원인이 된다. 산화물 반도체층에서, 수소, 실리콘, 질소, 탄소 및 주성분이 아닌 금속 원소는 불순물이 된다. 예를 들어, 산화물 반도체층내에서 수소는 공여체 준위를 갖게 되어, 캐리어 밀도가 증가하게 된다. 또한, 산화물 반도체층내에서 실리콘은 불순물 준위를 가지고, 이 불순물 준위는 트랩으로서 기능하여, 트랜지스터의 전기 특성을 열화시킬 수 있다.
- [0011] 따라서, 산화물 반도체층을 포함하는 반도체 장치의 안정된 전기 특성을 취득하기 위하여는, 산화물 반도체층의 산소 결손을 저감하고 수소 및 실리콘과 같은 불순물 농도를 저감하는 조치를 강구할 필요가 있다.
- [0012] 따라서, 본 발명의 일 실시 형태의 반도체 장치에서, 채널이 형성되는 산화물 반도체층을 둘러싸도록, 산화물 반도체층을 구성하는 한 종류 이상의 원소를 포함하고 산화물 반도체층보다 산소 결손이 덜 빈번하게 발생하는 산화물층을 산화물 반도체층의 상면, 하면 및 측면과 접하여 제공한다. 따라서, 채널이 형성되는 산화물 반도체층내에 발생할 수 있는 산소 결손은 저감될 수 있다. 그 결과, 트랜지스터의 임계치 전압과 같은 전기 특성의 변동은 저감될 수 있다.
- [0013] 산화물 반도체층 및 산화물층은 적어도 인듐을 포함한다. 산화물층은 산화물 반도체층보다 에너지 갭이 더 넓고, 산화물 반도체층내에서의 인듐의 함유 비율은 산화물층내에서의 인듐의 함유 비율보다도 높다. 대표적인 예로서, 산화물 반도체층 및 산화물층으로서는, 인듐, 아연 및 원소 M을 포함하는 산화물을 사용할 수 있다. 또한, 원소 M의 함유 비율은 산화물 반도체층에서보다 산화물층에서 더 높은 것이 바람직하다.
- [0014] 산화물에 사용되는 산화물은 갈륨, 알루미늄, 실리콘, 티타늄, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨 또는 하프늄과 같은 원소 M의 함유 비율이 높은 것이 바람직하다. 이들 원소는 산소와 강하게 결합하고, 산소 결손을 형성하는 에너지가 커서, 산소 결손이 덜 발생한다. 그로 인해, 이들 원소 중 임의의 원소를 높은 비율로 포함하는 산화물층에서는 산소 결손이 덜 발생하고, 산화물층은 안정된 특성을 갖는다. 따라서, 산화물 반도체층의 표면이 산화물층에 의해 둘러싸인 경우, 산화물 반도체층의 단부에서 산소 결손이 덜 형성되고; 그 결과, 안정된 특성을 갖는 반도체 장치가 취득될 수 있다.
- [0015] 또한, 다층막의 단부가 단면의 곡률을 갖는 경우, 다층막 위에 형성되는 막의 피복성이 향상될 수 있다. 이러

한 구조를 가짐으로써, 다층막 위에 막을 균일하게 형성하여, 막 밀도가 낮은 영역 또는 막이 형성되어 있지 않은 영역으로부터 다층막 내에 불순물 원소가 도입되어, 반도체 장치의 특성을 열화시키는 것을 방지할 수 있다. 따라서, 안정된 특성을 갖는 반도체 장치를 취득할 수 있다. 특히, 다층막의 단부 전체, 하단부, 또는 하단부와 상단부가 곡면이 되도록 하는 것이 바람직하다는 것에 유의하라.

[0016] 대안적으로, 산화물층은 산화물 반도체층 아래의 제1 산화물층, 산화물 반도체층 위의 제2 산화물층, 및 산화물 반도체층의 측면을 피복하는 제3 산화물층을 포함할 수도 있다. 산화물 반도체층의 표면과 산화물층의 표면간의 간격은 다층막의 상부보다 측부에서 더 넓을 수 있다. 다층막의 막 두께는 측면 위의 곡면의 곡률 반경의 1/50 내지 50배일 수도 있다. 이러한 구조를 가짐으로써, 산화물 반도체층이 산화물층에 의해 둘러싸인 반도체 장치의 신뢰성 저하를 억제할 수 있다.

[0017] 추가적인 대안으로, 다층막 아래에 하지 절연막이 제공될 수도 있다. 다층막과 중첩하는 하지 절연막의 영역의 막 두께는 다른 영역의 막 두께보다 크다. 하지 절연막은 다층막과 중첩하는 제1 영역, 제1 영역을 둘러싸는 제2 영역, 및 제2 영역을 둘러싸는 제3 영역을 포함한다. 제2 영역의 막 두께는 제1 영역보다 작은 것이 바람직하고, 제3 영역의 막 두께는 제2 영역보다 작은 것이 바람직하다. 이와 같은 단차 형상(또는 계단 형상으로 칭함)을 갖는 하지 절연막은 하지 절연막 및 다층막 위에 형성되는 막의 단차 피복성을 향상시키고, 반도체 장치의 형상 불량을 저감시킬 수 있다.

[0018] 다층막 위에 막을 균일하게 형성하여, 반도체 장치의 특성 열화의 원인이 되는, 막 밀도가 낮은 영역 또는 막이 형성되어 있지 않은 영역으로부터 다층막으로의 불순물 원소의 도입을 방지할 수 있다. 따라서, 안정된 특성을 갖는 반도체 장치가 취득될 수 있다. 특히 다층막의 하단부 또는 하단부와 상단부 양쪽이 곡면이 되는 것이 바람직하다는 것에 유의하라.

[0019] 상술한 구조를 갖는 본 발명의 일 실시 형태의 반도체 장치에서, 채널로서 기능하는(캐리어의 주 경로로서 기능하는) 산화물 반도체층은 고순도화된 진성 산화물 반도체층일 수 있다. 본 명세서 등에서 고순도화된 진성 산화물 반도체층은 진성 페르미 준위와의 차이가 0.5eV 이하인 페르미 준위를 갖는 산화물 반도체층을 칭한다. 이 경우, 산화물 반도체층의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만이다. 고순도화된 진성 산화물 반도체층을 구비함으로써, 트랜지스터는 안정된 전기 특성을 가질 수 있다.

[0020] 구체적으로, 예를 들어 이하 구성을 이용할 수 있다.

[0021] 본 발명의 일 실시 형태는 산화물 반도체층 및 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막, 다층막 위의 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함하는 반도체 장치이다.

[0022] 본 발명의 일 실시 형태는 게이트 전극, 게이트 전극 위의 게이트 절연막, 및 게이트 절연막을 개재하여 게이트 전극과 중첩하는 다층막을 포함하는 반도체 장치이다. 다층막은 산화물 반도체층 및 상기 산화물 반도체층을 둘러싸는 산화물층을 포함한다.

[0023] 본 발명의 일 실시 형태는 게이트 전극, 게이트 전극 위의 게이트 절연막, 게이트 절연막을 개재하여 게이트 전극과 중첩하고, 산화물 반도체층 및 산화물 반도체층을 둘러싸는 산화물층을 포함하는 다층막, 및 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 반도체 장치이다. 산화물 반도체층과 산화물층은 각각 인듐, 아연, 인듐 및 아연과는 다른 금속 원소를 구성 원소로서 포함한다. 산화물층은 산화물 반도체층보다 인듐 및 아연과는 다른 금속 원소의 함유 비율이 높다.

[0024] 본 발명의 일 실시 형태는 게이트 전극; 게이트 전극위의 게이트 절연막; 게이트 절연막을 개재하여 게이트 전극과 중첩하고, 산화물 반도체층, 산화물 반도체층의 하면에 접하는 제1 산화물층, 산화물 반도체층의 상면에 접하는 제2 산화물층 및 산화물 반도체층의 측면에 접하는 제3 산화물층을 포함하는 다층막; 및 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는 반도체 장치이다. 산화물 반도체층, 제1 산화물층, 제2 산화물층 및 제3 산화물층은 각각 In-M-Zn 산화물이다. 제1 산화물층, 제2 산화물층 및 제3 산화물층은, 각각 산화물 반도체층보다 원소 M의 함유 비율이 높다.

[0025] 본 발명의 일 실시 형태는 게이트 전극; 게이트 전극위의 게이트 절연막; 게이트 절연막을 개재하여 게이트 전극과 중첩하고, 산화물 반도체층, 산화물 반도체층의 하면에 접하는 제1 산화물층, 산화물 반도체층의 상면에 접하는 제2 산화물층 및 산화물 반도체층의 측면에 접하는 제3 산화물층을 포함하는 다층막; 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극; 및 소스 전극 및 드레인 전극 위에 위치하며, 다층막과

접하는, 산소를 포함하는 보호 절연막을 포함하는 반도체 장치이다. 산화물 반도체층, 제1 산화물층, 제2 산화물층 및 제3 산화물층은 각각 In-M-Zn 산화물이다. 제1 산화물층, 제2 산화물층 및 제3 산화물층은, 각각 산화물 반도체층보다 원소 M의 함유 비율이 높다.

[0026] 일정 광 전류법(constant photocurrent method; CPM)에 의해 측정된 다층막에서의 결합 준위(상태 밀도(DOS))의 흡수 계수는 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만인 것이 바람직하다는 것에 유의하라.

[0027] 또한, 다층막은 과잉 산소를 포함하는 절연막에 의해 둘러싸이는 것이 바람직하다.

[0028] 또한, 산화물층은 산화물 반도체층의 하면과 접하는 제1 영역, 산화물 반도체층의 상면과 접하는 제2 영역, 및 산화물 반도체층의 측면과 접하는 제3 영역을 포함하는 것이 바람직하다. 제3 영역은 제1 영역과 동일한 종류의 원소를 포함하는 것이 바람직하다.

발명의 효과

[0029] 본 발명의 일 실시 형태에 의해, 산화물 반도체층을 포함하는 반도체 장치의 전기 특성의 변동이 저감될 수 있다. 또한, 신뢰성이 향상되고 안정된 전기 특성을 나타내는 반도체 장치를 제공할 수 있다. 또한, 상술한 반도체 장치를 제조할 수 있다.

도면의 간단한 설명

[0030] 도 1의 (a)는 산화물 반도체층을 포함하는 트랜지스터의 단면도이고 도 1의 (b)는 그 밴드 구조를 나타낸다.

도 2의 (a) 및 (b)는 각각 산화물 반도체층을 포함하는 트랜지스터의 밴드 구조를 나타낸다.

도 3의 (a) 및 (b)는 각각 산화물 반도체층을 포함하는 트랜지스터의 밴드 구조를 나타낸다.

도 4는 계산 모델의 단면 구조를 나타낸다.

도 5는 계산 모델의 밴드 구조를 나타낸다.

도 6의 (a) 및 (b)는 각각 산화물 반도체층을 포함하는 트랜지스터의 밴드 구조를 나타낸다.

도 7은 산화물 반도체층을 포함하는 트랜지스터의 V_g - I_d 특성을 나타낸다.

도 8은 산화물 반도체층을 포함하는 트랜지스터의 V_g - I_d 특성을 나타낸다.

도 9의 (a) 내지 (d)는 본 발명의 일 실시 형태에서의 다층막을 각각 도시한 단면도이다.

도 10의 (a) 내지 (c)는 곡률 반경을 나타내는 도면이다.

도 11의 (a) 내지 (c)는 본 발명의 일 실시 형태의 다층막의 형성 메커니즘을 도시한 단면도이다.

도 12의 (a) 내지 (c)는 본 발명의 일 실시 형태의 다층막의 형성 메커니즘을 도시한 단면도이다.

도 13의 (a) 및 (b)는 본 발명의 일 실시 형태의 다층막의 형성 메커니즘을 도시한 단면도이다.

도 14의 (a) 내지 (c)는 본 발명의 일 실시 형태의 다층막의 형성 메커니즘을 도시한 단면도이다.

도 15의 (a) 내지 (c)는 본 발명의 일 실시 형태의 다층막의 형성 메커니즘을 도시한 단면도이다.

도 16의 (a)는 산화물 반도체층이 단층인 경우의 단면도이고 도 16의 (b)는 그 밴드 구조를 나타낸다.

도 17의 (a)는 다층막을 사용한 경우의 단면도이고 도 17의 (b) 및 (c)는 그 밴드 구조를 나타낸다.

도 18의 (a) 내지 (c)는 각각 본 발명의 일 실시 형태의 다층막에서의 산소의 확산을 나타낸다.

도 19의 (a) 및 (b)는 본 발명의 일 실시 형태의 다층막의 CPM 측정 결과를 나타낸다.

도 20은 본 발명의 일 실시 형태의 다층막의 ToF-SIMS 결과를 나타낸다.

도 21의 (a) 내지 (c)는 본 발명의 일 실시 형태의 반도체 장치를 나타낸 상면도 및 단면도이다.

도 22의 (a) 내지 (c)는 본 발명의 일 실시 형태의 반도체 장치를 나타낸 상면도 및 단면도이다.

도 23의 (a) 내지 (c)는 소스 전극 및 드레인 전극의 형상을 각각 나타낸 단면도이다.

- 도 24의 (a) 내지 (c)는 본 발명의 일 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도이다.
- 도 25의 (a) 및 (b)는 본 발명의 일 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도이다.
- 도 26의 (a) 및 (b)는 성막 장치의 일례를 각각 나타낸 상면도이다.
- 도 27의 (a) 및 (b)는 성막실의 일례를 각각 나타낸 단면도이다.
- 도 28은 가열 처리실의 일례를 나타낸 도면이다.
- 도 29의 (a) 내지 (d)는 본 발명의 일 실시 형태의 반도체 장치를 나타낸 상면도 및 단면도이다.
- 도 30의 (a) 내지 (c)는 본 발명의 일 실시 형태의 반도체 장치를 나타낸 상면도 및 단면도이다.
- 도 31의 (a) 내지 (d)는 본 발명의 일 실시 형태의 반도체 장치의 제조 방법을 나타낸 단면도이다.
- 도 32의 (a) 내지 (d)는 다층막의 단면 관찰 화상 및 조성을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하에서는, 본 발명의 실시 형태 및 예에 대하여 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 본 분야의 숙련된 자라면 용이하게 이해된다. 또한, 본 발명은 이하의 실시 형태 및 예의 기재 내용에 한정하여 해석되지 않아야 한다. 도면을 참조하여 본 발명의 구조를 설명하는데 있어서, 동일한 부분에 대해서는 다른 도면에서도 동일한 참조 번호가 공통으로 사용된다. 유사한 부분에는 동일한 해치 패턴이 적용되고, 특히 유사한 부분에 참조 번호가 부여되지 않는 경우도 있다는 것에 유의하라.
- [0032] 또한, 실제의 제조 공정에서, 에칭과 같은 처리에 의해 레지스트 마스크 등이 의도하지 않게 사이즈가 축소될 수 있으며, 이해를 용이하게 하기 위해 도시하지 않는 경우가 있다는 것에 유의하라.
- [0033] 또한, 본 명세서에서 "제1" 및 "제2"와 같은 서수사는 편의상 사용하는 것이며, 수순의 순서 또는 적층 순서를 나타내는 것은 아니다. 또한, 본 명세서에서의 서수사는 발명을 특정하는 특정 명칭을 가리키는 것이 아니다.
- [0034] 전압은 어떤 전위와 기준 전위(예를 들어, 접지 전위(GND) 또는 소스 전위)간의 전위차를 나타내는 경우가 많다는 것에 유의하라. 따라서, 전압을 전위라고 칭할 수도 있다.
- [0035] "전기적으로 접속된다"라고 하는 표현이 사용될 경우에도, 실제 회로에서는, 물리적인 접속이 없고, 단지 배선이 연장되어 있는 경우가 있다.
- [0036] 또한, 소스 및 드레인의 기능은 예를 들어, 회로 동작에서 전류 흐름의 방향이 변할 때 교체될 수 있다. 따라서, 본 명세서에서는, 용어 "소스" 및 "드레인"은 교체될 수 있다.
- [0037] 본 실시 형태의 기재 내용은 적절하게 서로 조합될 수 있다.
- [0038] <1. 산화물 반도체층을 포함하는 트랜지스터의 열화 메카니즘>
- [0039] 첫번째로, 산화물 반도체층을 포함하는 트랜지스터의 신뢰성을 향상시키기 위해서는 DOS를 제거하거나 줄이는 것이 유효하다는 것을 나타내기 위해, 산화물 반도체층을 포함하는 트랜지스터의 열화 메카니즘 모델에 대하여 설명할 것이다.
- [0040] 산화물 반도체층을 포함하는 트랜지스터의 일례를 도 1의 (a)에 나타내었다. 도 1의 (a)에서, "OS"는 산화물 반도체층을 나타내고, "S"는 소스 전극을 나타내고, "D"는 드레인 전극을 나타내고, "GI"는 게이트 절연막을 나타내며, "GE"는 게이트 전극을 나타낸다. 산화물 반도체층과 소스 전극 및 드레인 전극 사이에는, 산화물 반도체층보다 캐리어 밀도가 높은 n층(도면에서는 "n"으로 표기됨)이 포함된다는 것에 유의하라.
- [0041] 도 1의 (b)는 도 1의 (a)에서의 일점 채선 E1-E2을 따라 취한 밴드 구조를 나타낸다. 도 1의 (b)에 따르면, DOS에는, 얇은 준위(shallow level) DOS와 깊은 준위(deep level) DOS의 2종류가 존재한다. 얇은 준위 및 깊은 준위의 원인이 되는 공통 요인은 산소 결손(Vo)이다. 특히 인듐을 포함하는 산화물 반도체층에서, 인듐 원자에 인접하는 산소 원자가 이탈하여, 산소 결손이 형성된다. "Ec"는 산화물 반도체층의 가장 낮은 전도대 에너지를 나타내고, "Ev"는 산화물 반도체층의 가장 높은 가전자대 에너지를 나타내고, "Ef"는 산화물 반도체층의 페르미 에너지를 나타내고, "중간 갭(mid gap)"은 산화물 반도체층의 에너지 갭의 중간(진성 준위)을 나타낸다는 것에 유의하라. 산화물 반도체층은 진성(i형) 또는 실질적으로 진성 산화물 반도체층이라고 상정된다. 이

경우, 페르미 에너지는 "중간 갭"과 일치하지만; 도면에서는 용이한 이해를 위해, 서로 약간 시프트되어 있다. DOS는 에너지 축 방향으로 분포되어 있고, 그 높이(전자 에너지가 축과 직교하는 방향)는 DOS의 밀도를 나타낸다는 것에 유의하라.

- [0042] 게이트 전극에 전압을 인가하지 않을 경우, DOS는 중성이며, 플러스에도 마이너스에도 대전하지 않는다.
- [0043] 게이트 전극에 플러스 전압을 인가한 경우, 도 2의 (a)에 도시한 바와 같이 산화물 반도체층의 밴드는 구부러진다. 또한, 게이트 전극으로부터의 전계에 의해 얇은 준위의 에너지가 페르미 에너지보다 낮아질 경우, 얇은 준위에는 마이너스 전하(예를 들어, 전자)가 포획된다.
- [0044] 유사하게, 게이트 전극에 마이너스 전압을 인가한 경우, 도 2의 (b)에 도시한 바와 같이 산화물 반도체층의 밴드는 구부러진다. 또한, 게이트 전극으로부터의 전계에 의해 깊은 준위의 에너지가 페르미 에너지보다도 높아질 경우, 깊은 준위에는 플러스 전하(예를 들어, 홀)가 포획된다.
- [0045] 산화물 반도체층의 DOS에 포획된 전하는 매우 긴 완화 시간(τ)을 갖기 때문에, 게이트 전극으로부터의 전계를 멈추어도 장시간동안 전하가 유지된다. 따라서, DOS에 포획된 전하는 마치 고정 전하와 같이 행동한다. 예를 들어, 얇은 준위에 마이너스 전하가 포획되었을 경우, 마이너스의 고정 전하에 의해 전계가 발생한 경우와 유사한 방식으로 전하가 작용하고, 그 결과 트랜지스터의 임계치 전압은 플러스 방향으로 시프트한다. 한편, 깊은 준위에 플러스 전하가 포획되었을 경우, 플러스의 고정 전하에 의해 전계가 발생한 경우와 유사한 방식으로 전하가 작용하고, 그 결과 트랜지스터의 임계치 전압은 마이너스 방향으로 시프트한다.
- [0046] 상술한 바와 같이, 산화물 반도체층을 포함하는 트랜지스터는 산화물 반도체층내의 DOS에 따라 임계치 전압이 플러스 방향 또는 마이너스 방향으로 시프트하는 열화 메커니즘을 갖는다. 이는 산화물 반도체층을 포함하는 트랜지스터의 신뢰성을 향상시키기 위해, DOS를 제거하거나 줄이는 것이 유효하다는 것을 나타낸다.
- [0047] 다음으로, 트랜지스터의 드레인 전극에 플러스 전압을 인가함으로써 유발되는 열화에 대하여 설명할 것이다.
- [0048] 도 3의 (a)는 도 1의 (a)에서의 일점 쇄선 E3-E4를 따라 취해진 밴드 구조를 나타낸다. 도 3의 (a)에서는, n층과 구별되도록, 산화물 반도체층(OS)을 i층("i"로 표기됨)으로 나타냈다는 것에 유의하라.
- [0049] 도 3의 (a)에 도시한 바와 같이, 산화물 반도체층의 페르미 에너지는 중간 갭보다 높다. 이것은 소스 전극과 드레인 전극간의 거리가 충분히 짧을 때, 소스 전극 및 드레인 전극의 영향에 의해 가장 낮은 전도대 에너지(E_c)가 낮아지고 따라서, 가장 낮은 전도대 에너지와 페르미 에너지가 서로 근접하게 되기 때문이다. 이 현상을 CBL(Conduction band lowering) 효과라고 칭한다. CBL 효과는 산화물 반도체층의 매우 큰 공핍층에 기인한 산화물 반도체 특유의 효과이다.
- [0050] 여기서, CBL 효과에 대하여 상세하게 설명할 것이다.
- [0051] 산화물 반도체층으로서 진성 또는 실질적으로 진성인 산화물 반도체층을 사용하는 경우, 직관적으로, 소스 전극 및 드레인 전극과 산화물 반도체층 사이에는, 산화물 반도체층의 에너지 갭의 절반 정도인 장벽이 형성되는 것으로 보여진다. 그러나, 실제로는, 산화물 반도체층을 포함하는 트랜지스터는 게이트 전압이 0V 부근일 때 드레인 전류가 흐르기 시작하는 V_g - I_d 특성을 갖는다.
- [0052] 상술한 관점에서, 도 4에 도시한 다음 구조는 산화물 반도체층(OS)이 제공되고; 산화물 반도체층 위에 소스 전극(S) 및 드레인 전극(D)이 제공되며; 산화물 반도체층, 소스 전극 및 드레인 전극 위에 게이트 절연막(GI)이 제공된다고 상정된다. 다음으로, 채널 길이(L)를 변경한 경우의 일점 쇄선 H1-H2를 따라 취한 밴드 구조가 계산된다. 도 4에서, 소스 전극 및 드레인 전극과 접하는 산화물 반도체층의 영역에는 n층이 제공된다.
- [0053] 푸아송 방정식을 푸는 것에 의해 취득된 밴드의 곡면 폭을 추정하면, 밴드의 곡면 폭은 하기 식에서의 디바이(Debye)의 차폐 길이 λ_D 에 의해 특정된다는 것을 알 수 있다. 하기 식에서, k_B 는 볼츠만 상수라는 것에 유의하라.

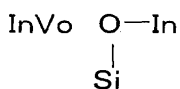
수학식 1

밴드의 곡면 폭 - $\sqrt{\frac{\epsilon\epsilon_0 k_B T}{e^2 n i}}$ - 디바이의 차폐 길이 λ_D

[0054]

- [0055] 상기 식에서 산화물 반도체층의 진성 캐리어 밀도 n_i 에 $6.6 \times 10^{-9} \text{ cm}^{-3}$ 를 대입하고, 산화물 반도체층의 비유전율 ϵ 에 15를 대입하며, 온도 T에 300K를 대입함으로써, 디바이의 차폐 길이 λ_D 는 $5.7 \times 10^{10} \mu\text{m}$ 만큼 길게 된다는 것을 알았다. 이것은 채널 길이가 디바이의 차폐 길이 λ_D 의 2배인 $1.14 \times 10^{11} \mu\text{m}$ 보다 크면, n층과 i층간의 장벽 높이는 산화물 반도체층의 에너지 갭의 절반이 된다는 것을 나타낸다.
- [0056] 도 5는 채널 길이가 $0.03 \mu\text{m}$, $0.3 \mu\text{m}$, $1 \mu\text{m}$, $10 \mu\text{m}$, $100 \mu\text{m}$ 및 $1 \times 10^{12} \mu\text{m}$ 인 밴드 구조의 계산 결과를 나타낸다. 도 5에서, "n"은 n층을 나타내고, "i"는 n층들간에 개재된 산화물 반도체층(i층)의 영역을 나타내고, 일점 쇄선은 산화물 반도체층의 페르미 에너지를 나타내며, 파선은 산화물 반도체층의 중간 갭을 나타낸다는 것에 유의하라.
- [0057] 도 5에 따르면, 채널 길이가 충분히 큰 $1 \times 10^{12} \mu\text{m}$ 인 경우, i층과 n층간의 전자 에너지의 차이는 산화물 반도체층의 에너지 갭의 절반이 된다. 그러나, i층과 n층간의 전자 에너지의 차이는 채널 길이가 작아질수록 점차적으로 작아지며, 채널 길이가 $1 \mu\text{m}$ 이하일 때 대부분 장벽이 없어지게 된다. n층의 전자에너지는 소스 전극 및 드레인 전극에 의해 고정된다는 것에 유의하라.
- [0058] 상술한 바와 같이, 채널 길이가 작을 때, n층과 i층간의 장벽은 충분히 작아진다.
- [0059] CBL 효과에 의해, 산화물 반도체층을 포함하는 트랜지스터의 서브스레숧드(subthreshold) 값은 소스 전극 및 드레인 전극과 산화물 반도체층 사이에 장벽이 있어도, 이론 한계 근처까지 감소되기 때문에, 우수한 스위칭 특성을 갖는다.
- [0060] 드레인 전극에 플러스 전압 Vdd을 인가하면, 도 3의 (a)에 나타난 밴드 구조는 도 3의 (b)에 나타난 밴드 구조로 된다. 이때 게이트 전극에 플러스 전압을 인가하면, 트랜지스터의 순방향으로 전류가 흐른다. 이 경우, 페르미 에너지보다 낮은 에너지를 갖는 얇은 준위에는 추가의 마이너스 전하가 축적된다. 이것은 드레인 전극에 플러스 전압을 인가할 때, 얇은 준위의 에너지는 페르미 에너지보다 훨씬 더 낮아지기 쉽다는 것을 나타낸다. 따라서, 게이트 전극에 플러스 전압 또는 마이너스 전압을 인가한 경우에도, 드레인 전극에 인가되는 전압에 따라 임계치 전압을 플러스 방향으로 시프트시킬 수 있다.
- [0061] 또한, 게이트 전극에 플러스 전압을 인가한 후, 게이트 전위를 소스 전위(접지 전위(GND))와 동일하게 되도록 설정함으로써, 도 6의 (a) 또는 (b)에 나타난 밴드 구조가 취득된다. 이때, 포획된 전하에 따라, 표면의 밴드가 역방향으로 구부러진다. 예를 들어, 도 6의 (a)에 도시한 바와 같이, 마이너스 전하가 포획되는 경우에, 밴드는 노멀리-오프 방향으로 구부러지고, 임계치 전압은 플러스 방향으로 시프트된다. 대안적으로, 도 6의 (b)에 도시한 바와 같이, 플러스 전하가 포획되는 경우에, 밴드는 노멀리-온 방향으로 구부러지고, 임계치 전압은 마이너스 방향으로 시프트된다.
- [0062] n형 도전성(n⁻형 도전성)을 갖는 채널에서, 전자는 소스로부터 드레인으로 쉽게 통과될 수 있으며, 소스와 드레인간에 경로가 형성된다. 그 결과, 스위칭 특성은 취득하기 어렵다. 이를 방지하기 위해, 채널이 n형 도전성을 갖는 것을 완벽하게 차단할 필요가 있으며, 반드시 진성(i형)으로 할 필요가 있다.
- [0063] 여기서, DOS의 원인과 대책에 대하여 설명할 것이다.
- [0064] DOS의 원인 중 하나는 실리콘에 의한 산소 결손의 형성이다. 구체적으로, 실리콘에 의해 인듐과 산소간의 결합이 절단되어, 하기 화학식 (1)에 나타난 바와 같이 산소 결손이 형성된다.

화학식 1

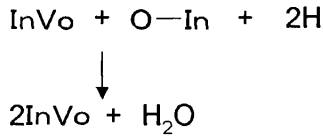


[0065]

[0066] 실리콘에 의한 산소 결손의 형성을 억제하기 위해, DOS 형성을 유도하는 물질인 실리콘을 산화물 반도체층과 접하지 않게 하거나, 산화물 반도체층에 도입되지 않도록 하는 것이 중요하다. 특히, 인듐을 포함하는 산화물 반도체층이 실리콘을 포함하는 층과 이격되게 하는 것이 중요하다.

[0067] DOS의 다른 원인은 플라즈마에 의한 손상이다. 산화물 반도체층 또는 산화물 반도체층 위에 형성되는 층을 형성하기 위해 플라즈마를 사용하는 경우, 플라즈마에 의해 산화물 반도체층이 손상되고 결합력이 가장 약한 In-O-In이 절단되어, 산소 결손이 발생할 수 있다(하기 화학식 (2) 참조). 또한, 이탈된 산소는 수소와 결합하여 물이 생성된다.

화학식 2



[0068]

[0069] DOS를 저감하기 위해, 플라즈마에 의한 산화물 반도체층의 손상을 줄이는 것과 가열 처리에 의해 산화물 반도체층에 산소를 공급하여 산소 결손을 보충하는 것이 중요하다.

[0070] 다음으로, 산화물 반도체층에 형성될 수 있는 2종류의 DOS에 대하여 이하에 설명할 것이다.

[0071] DOS의 한 종류인 깊은 준위에 대하여 상세하게 설명한다. 깊은 준위는 가장 높은 가전자대 에너지(Ev)와 중간 갭간의 밴드 갭(필드 밴드)에 있는 깊은 준위(가장 낮은 전도대 에너지(Ec)와 비교하여 에너지 측면에서 깊은 위치)의 DOS이다. 상술한 바와 같이, 산화물 반도체층의 In-O-In 결합이 절단될 때 산소 결손이 형성된다. 이 산소 결손은 중성의 깊은 준위가 된다. 깊은 준위는 홀 포획 중심이 되고, 플러스 전하는 페르미 에너지 위쪽에 포획된다.

[0072] 깊은 준위는 CPM에 의해 정량화될 수 있다는 것에 유의하라.

[0073] 다음으로, DOS의 다른 종류인 얇은 준위에 대하여 상세하게 설명한다. 얇은 준위는 가장 낮은 전도대 에너지 근처의 밴드 갭의 위치에 있다고 말할 수 있다.

[0074] 여기서, 얇은 준위는 In-VoH라고 상정된다. 즉, 중성은 전자 포획 중심이 되고, 마이너스 전하는 페르미 에너지 아래쪽에 포획된다. 이 중성은 다음과 같이 형성된다: 산화물 반도체층에 포함된 다량의 수소가 산소 결손에 근접하게 된다.

[0075] 산소 결손을 저감시키기 위해, 채널이 형성되는 산화물 반도체층을 작은 양의 In을 포함하는(또는 Ga과 같은 다량의 M을 포함하는) 산화물 반도체층에 의해 둘러싸으로써(감쌈으로써, 덮음으로써), 전류가 흐르는 채널을, 산화물 반도체층과 접하는 절연막에 포함될 수 있는 불순물로부터 이격시킬 수 있다. 산화물 반도체층과 접하는 절연막으로서, 예를 들어 산화 실리콘막이 제공될 수 있다. 실리콘은 Vo 형성을 유도하는 물질이 된다.

[0076] 작은 양의 In을 포함하는(또는 Ga과 같은 다량의 M을 포함하는) 산화물 반도체층에는 DOS가 형성되기 쉽지 않기 때문에, 채널을 둘러싸는 산화물 반도체층과 산화 실리콘막간의 계면에는 DOS가 형성되기 쉽지 않다. 채널을 둘러싸는 산화물 반도체층에서 M(예를 들어, Ga) 원자의 비율이 증가하고, 산화물 반도체층의 In-O면의 In에 대해 M(예를 들어, Ga)으로 대체시킴으로써, 결합력이 약한 In-O 결합의 수가 저감하여 Vo가 형성되기 쉽지 않다. 이것은 트랜지스터가 안정된 전기 특성(또는 높은 신뢰성)을 가질 수 있게 한다.

[0077] 도 7은 Vg-Id 특성과 DOS간의 관계를 나타낸다. 도 7에 도시한 바와 같이, 깊은 준위에 플러스 전하가 포획되면, Vg-Id 특성에서 임계치 전압이 마이너스 방향으로 시프트된다. 한편, 얇은 준위에 마이너스 전하가 포획되면, Vg-Id 특성에서 임계치 전압이 플러스 방향으로 시프트된다.

[0078] 드레인에 플러스 전압이 인가되고 얇은 준위 에너지가 페르미 에너지보다 낮다면, DOS는 마이너스로 대전되기 쉽다. 이것은 임계치 전압이 플러스 방향으로 시프트하기 쉽다는 것을 의미한다. 이러한 시프트를 방지하기 위해, 얇은 준위의 수를 저감시킬 필요가 있다.

[0079] 또한, 드레인에 일정한 플러스 전압을 인가하여 게이트 전압을 가변할 수 있도록 할 경우, 드레인 전압 및 게이트 전압에 따라 얇은 준위 에너지는 페르미 에너지보다도 낮게 되고 DOS는 마이너스로 대전된다. 이 마이너스 대전은 외관상, 게이트 전압에 마이너스 전압을 인가시켰을 경우와 동일한 효과를 나타낸다. 따라서, 게이트 전압이 낮은 위치에서, 드레인 전류(Id)가 감소하는, 즉, Vg-Id 특성의 그래프에서 숄더(shoulder)가 나타난다

(도 8 참조).

- [0080] 도 8에 나타난 솔더는 드레인에 플러스 전압이 인가되었을 때 나타난다. 더 높은 전계가 인가되는 게이트 전극층의 DOS(특히 얇은 준위)를 저감할 경우, 도 8에 나타난 솔더는 아마도 완화될 수 있다.
- [0081] 상술한 설명은 산화물 반도체층을 포함하는 트랜지스터의 신뢰성을 향상시키기 위해, DOS를 제거하거나 줄이는 것이 유효하다는 것을 나타낸다.
- [0082] <2. 산화물 반도체층을 포함하는 다층막>
- [0083] 이하에서는, 산화물 반도체층을 포함하고 안정된 전기 특성을 갖는 트랜지스터가 제조될 수 있는, 작은 개수의 DOS를 갖는 다층막에 대하여 설명할 것이다.
- [0084] <2-1. 다층막의 구조>
- [0085] 본 섹션에서는, 다층막의 구조에 대하여 설명한다.
- [0086] 낮은 DOS를 갖는 다층막은 채널이 형성되는 산화물 반도체층을 둘러싸도록 산화물층이 제공되는 구조를 갖는다. 이 산화물층에서, DOS는 산화물 반도체층에서보다 형성되기 쉽지 않다. 산화물 반도체층을 산화물층에 의해 둘러싸는 구조를 형성하는 다양한 가능성 있는 방법이 있으며, 이하에서는 그 일례를 설명할 것임에 유의하라.
- [0087] 도 9의 (a) 내지 (d)는 각각 다층막(108)의 단면 구조를 나타낸다. 다층막(108)은 산화물층(105a), 산화물층(105a) 위에 제공된 산화물 반도체층(106), 산화물 반도체층(106) 위에 제공된 산화물층(105b), 및 적어도 산화물 반도체층(106)의 측면과 접하는 산화물층(105c)을 포함한다. 산화물층(105c)은 곡면을 갖는다는 것에 유의하라.
- [0088] 도 9의 (a) 또는 (b)에 나타난 다층막(108)의 단면의 측면들 중 하나에서, 산화물층(105c)은 하나의 접촉원(또는 곡률원이라고 칭함)에 기초한 곡률(곡면)을 갖는다. 한편, 도 9의 (c) 또는 (d)에 나타난 다층막(108)의 단면의 측면들 중 하나에서, 산화물층(105c)은 상단부 및 하단부 각각에서 하나의 접촉원에 기초한 곡률을 갖는다.
- [0089] 도 9의 (a) 또는 (c)의 다층막(108)에서와 같이, 산화물층(105a), 산화물 반도체층(106) 및 산화물층(105b)의 측면은 산화물층(105a)의 하면에 실질적으로 수직할 수도 있다. 대안적으로, 다층막(108)은 도 9의 (b) 및 (d)에 도시한 바와 같이 경사(테이퍼 각)를 가질 수도 있다.
- [0090] 다층막(108)의 일부인 곡면의 측면을 갖는 상술한 산화물층(105c)을 가짐으로써, 다층막(108)을 포함하는 트랜지스터의 형상 불량 발생을 저감할 수 있다.
- [0091] <2-1-1. 다층막의 단부를 형성하는 산화물층>
- [0092] 산화물층(105c)에 포함된 곡면에 대하여 도 10의 (a) 내지 (c)를 참조하여 설명할 것이다.
- [0093] 도 10의 (a)는 도 9의 (a) 및 (b)에서의 다층막(108)의 단면의 측면들 각각에 대응하는 산화물층(105c)의 단면도이다. 도 10의 (a)에 나타난 산화물층(105c)은 곡률 반경이 r 인 접촉원에 기초한 곡률을 갖는다. 곡률 반경은 곡선의 접촉원 반경과 동일하다는 것에 유의하라.
- [0094] 도 10의 (b)는 도 9의 (c) 및 (d)에서의 다층막(108)의 단면의 측면들 각각에 대응하는 산화물층(105c)의 단면도이다. 도 10의 (b)에 나타난 산화물층(105c)은 상단부 및 하단부 각각에 곡률 반경이 r 인 접촉원에 기초한 곡률을 갖는다. 상단부의 곡률 및 하단부의 곡률은 상이한 곡률 반경을 가질 수도 있다는 것에 유의하라.
- [0095] 도 10의 (c)에 나타난 산화물층(105c)은 곡률 반경이 r 인 접촉원에 기초한 곡률을 갖는다. 산화물층(105c)은 다른 접촉원에 기초한 곡률을 2군데 또는 3군데 구비할 수도 있다.
- [0096] 이때, 곡률 반경 r 은 다층막(108)의 두께 t (산화물층(105a), 산화물 반도체층(106) 및 산화물층(105b)의 전체 두께)의 1/50 내지 50배 크고, 바람직하기로는 두께 t 의 1/20 내지 20배 크고, 더욱 바람직하기로는 두께 t 의 1/10 내지 10배 크며, 더더욱 바람직하기로는 두께 t 의 1/5 내지 5배 크다.
- [0097] <2-1-2. 다층막의 형성 메카니즘>
- [0098] 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)의 형성 메카니즘에 대하여 설명할 것이다.
- [0099] <2-1-3. 형성 메카니즘(1)>

- [0100] 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)의 형성 메카니즘의 일례는 도 11의 (a) 내지 (c), 도 12의 (a) 내지 (c), 및 도 13의 (a) 및 (b)를 참조하여 설명된다.
- [0101] 첫번째로, 하지 절연막(132) 위에 제공된 산화물층(135a), 산화물층(135a) 위에 제공된 산화물 반도체층(136), 및 산화물 반도체층(136) 위에 제공된 산화물층(135b)을 포함하는 다층막을 준비한다(도 11의 (a) 참조).
- [0102] 다음으로, 산화물층(135b)의 일부 위에는 레지스트 마스크(140)를 형성한다(도 11의 (b) 참조).
- [0103] 다음으로, 건식 에칭법에 의해, 레지스트 마스크(140)가 제공되어 있지 않은 영역의 산화물층(135b) 및 산화물 반도체층(136)을 에칭하여, 산화물층(135a)을 노출시킨다(도 11의 (c) 참조).
- [0104] 이후, 건식 에칭법에 의해 노출된 산화물층(135a)을 에칭한다(도 12의 (a) 참조). 이때, 산화물층(135a)의 반응 생성물이 다층막의 적어도 산화물 반도체층(106)의 측면에 부착되어 측벽 보호막(또는 래빗 이어(rabbit ear)라 칭함)으로서 기능하는 산화물층을 형성한다. 산화물층(135a)의 반응 생성물은 스퍼터링 현상에 의해 부착하거나, 건식 에칭시 플라즈마(150)를 통해 부착한다는 것에 유의하라. 건식 에칭은 예를 들어, 다음 조건하에서 수행될 수도 있다: 에칭가스로서 삼염화 붕소 가스 및 염소 가스를 사용하고, 유도 결합 플라즈마(ICP) 전력 및 기관 바이어스 전력을 인가한다.
- [0105] 이어서, 산화물층(135a)을 에칭하여 산화물층(105a) 및 산화물층(175c)을 형성한다. 이때, 하지 절연막(132)은 일부가 에칭되어, 하지 절연막(133)이 된다(도 12의 (b) 참조).
- [0106] 산화물층(175c)은 산화물층(135a)의 반응 생성물을 사용하여 생성되기 때문에, 에칭시에 사용된 에칭 가스의 성분(예를 들어, 염소 및 붕소)이 그 안에 잔존한다는 것에 유의하라. 예를 들어, 이 성분이 대기 중의 수분 등과 반응하면, 산화물층(175c)은 또한 에칭된다.
- [0107] 다음으로, 에칭된 산화물층(175c)에 잔존하는 에칭 가스의 성분을 애싱 처리에 의해 제거함으로써, 산화물층(105c)이 되는 산화물층이 형성된다.
- [0108] 이후, 레지스트 마스크(140)를 제거한다.
- [0109] 다음으로, 산화성 가스를 포함하는 분위기에서 가열 처리를 행하여, 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)이 되는 산화물층의 산소 결손을 저감한다. 특히, 산화물층(105c)이 되는 산화물층은, 에칭시의 반응 생성물을 사용하여 형성되기 때문에, 산소 결손이 발생하기 쉽다. 이러한 방식으로, 산화물층(105c)이 되는 산화물층은 상술한 애싱 처리 및 가열 처리에 의해 캐리어 밀도가 매우 낮은 산화물층(105c)이 된다(도 12의 (c) 참조). 산화성 가스는 산소, 아산화질소, 오존 등의 가스를 칭한다는 것에 유의하라. 가열 처리는 250℃ 이상 650℃ 이하의 온도에서 수행되고, 바람직하기로는 300℃ 이상 500℃ 이하에서 수행된다. 가열 처리는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 행한다. 대안적으로, 가열 처리는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 다른 가열 처리를 행하는 방식으로 가열 처리를 행할 수도 있다.
- [0110] 상술한 방식으로, 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)을 형성할 수 있다. 이는 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)을 형성하기 위해, 산화물층(105c)을 형성하기 위한 전용의 포토마스크 등은 필요치 않다는 것을 의미한다.
- [0111] 상술한 바와 같이 형성된 산화물층(105a), 산화물층(105b) 및 산화물층(105c)은 서로 명확하게 구별되지 않을 수 있는 경우가 있다. 따라서, 산화물층(105a), 산화물층(105b) 및 산화물층(105c)을 통합하여 산화물층(105)으로 칭할 수 있다. 도 13의 (a)에 도시한 바와 같이, 산화물 반도체층(106)과 이 산화물 반도체층(106)을 둘러싸는 산화물층(105)을 통합하여 다층막(108)으로 칭할 수 있다.
- [0112] 다음으로, 하지 절연막(133)을 에칭하여, 복수의 단차(여기서는 2단)를 갖는 하지 절연막(102)을 형성할 수도 있다(도 13의 (b) 참조). 하지 절연막(102)이 2단의 단차를 갖는 경우, 하지 절연막(102)은 두께가 상이한 3개의 영역을 갖는다.
- [0113] <2-1-4. 형성 메카니즘(2)>
- [0114] 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)의 형성 메카니즘의 일례는 도 14의 (a) 내지 (c) 및 도 15의 (a) 내지 (c)를 사용하여 설명한다.

- [0115] 첫번째로, 하지 절연막(132) 위에 제공된 산화물층(135a), 산화물층(135a) 위에 제공된 산화물 반도체층(136), 및 산화물 반도체층(136) 위에 제공된 산화물층(135b)을 포함하는 다층막을 준비한다(도 14의 (a) 참조).
- [0116] 다음으로, 산화물층(135b)의 일부 위에 레지스트 마스크(140)를 형성한다(도 14의 (b) 참조).
- [0117] 다음으로, 건식 에칭법에 의해, 레지스트 마스크(140)가 제공되어 있지 않은 영역의 산화물층(135b), 산화물 반도체층(136) 및 산화물층(135a)을 에칭함으로써, 각각 산화물층(155b), 산화물 반도체층(156) 및 산화물층(155a)이 된다. 이때, 하지 절연막(132)은 부분적으로 에칭되어 하지 절연막(152)이 된다(도 14의 (c) 참조). 산화물층(155b), 산화물 반도체층(156) 및 산화물층(155a)은 테이퍼 각을 갖는다는 것에 유의하라.
- [0118] 그 후, 건식 에칭법에 의해, 산화물층(155b), 산화물 반도체층(156) 및 산화물층(155a)을 에칭함으로써, 각각 산화물층(105b), 산화물 반도체층(106) 및 산화물층(105a)이 된다. 이때, 산화물층(155a)의 반응 생성물은 다층막의 측면에 부착되어, 측벽 보호막(또는 래빗 이어라고 칭함)으로서 기능하는 산화물층(105c)이 될 산화물층을 형성한다. 산화물층(155a)의 반응 생성물은 스퍼터링 현상에 의해 부착하거나, 건식 에칭시의 플라즈마를 통해 부착한다는 것에 유의하라. 이때, 하지 절연막(152)은 부분적으로 에칭되어, 하지 절연막(102)이 된다(도 15의 (a) 참조).
- [0119] 산화물층(105c)이 되는 산화물층은 산화물층(155a)의 반응 생성물을 사용하여 형성되기 때문에, 에칭시에 사용된 에칭 가스의 구성 성분(예를 들어, 염소, 붕소)이 내부에 남게 된다는 것에 유의하라.
- [0120] 다음으로, 산화물층(105c)이 되는 산화물층에 잔존하는 에칭 가스의 구성 성분을 애싱 처리에 의해 제거한다.
- [0121] 그 후, 레지스트 마스크(140)를 제거한다.
- [0122] 다음으로, 산화성 가스를 포함하는 분위기에서 가열 처리를 행하여, 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)이 되는 산화물층의 산소 결손을 저감하는 것이 바람직하다. 특히, 산화물층(105c)이 되는 산화물층에서는 산소 결손이 발생하기 쉬우며, 이는 산화물층이 에칭시 반응 생성물을 사용하여 형성되기 때문이다. 이러한 방식으로, 산화물층(105c)이 되는 산화물층은, 상술한 애싱 처리 및 가열 처리에 의해, 캐리어 밀도가 매우 낮은 산화물층(105c)이 된다(도 15의 (b) 참조). 산화성 가스는 산소, 아산화질소, 오존 등의 가스를 칭한다는 것에 유의하라.
- [0123] 상술한 방식으로, 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)을 형성할 수 있다. 이는 곡면을 갖는 산화물층(105c)을 포함하는 다층막(108)을 형성하기 위해, 산화물층(105c)을 형성하기 위한 전용의 포토마스크 등은 필요치 않다는 것을 의미한다.
- [0124] 상술한 바와 같이, 산화물층(105c)은 산화물층(105a)이 되는 산화물층(155a)의 반응 생성물을 사용하여 형성된다. 따라서, 산화물층(105c)은 그 형성 공정 때문에, 산화물층(105a)과는 다른 조성 및 물성을 가질 것이다. 산화물층(105a)과 산화물층(105c)은 분석 등에 의해 서로 구별이 되지 않을 경우도 있다는 것에 유의하라. 그 경우, 산화물층(105c)은 산화물층(105a)과 유사한 물성을 가지고, 산화물층(105c)의 물성에 대하여 어떠한 기재도 없는 경우, 산화물층(105a)에 관한 기재를 참조할 수 있다. 또한, 산화물층(105b)이 산화물층(105a)과 유사한 구조를 가질 경우에, 산화물층(105b)은 산화물층(105c)과 구별되지 않을 경우도 있다. 따라서, 산화물층(105a), 산화물층(105b) 및 산화물층(105c)을 통합하여 산화물층(105)이라고 칭할 수 있다. 도 15의 (c)에 도시한 바와 같이, 산화물 반도체층(106)과 이 산화물 반도체층(106)을 둘러싸는 산화물층(105)을 통합하여 다층막(108)이라고 칭할 수 있다.
- [0125] 다층막(108)은 산화물층(105a), 산화물층(105b) 및 산화물층(105c)에 의해, 산화물 반도체층(106)이 둘러싸여 있는(감싸져 있는 또는 덮혀져 있는) 구조를 갖는다. 따라서, 산화물 반도체층(106)으로의 불순물의 도입이 저감될 수 있다. 또한, 산화물 반도체층(106)과 다른 산화물층 사이에 준위를 갖지 않기 때문에, 산화물 반도체층(106)의 캐리어 이동도(전자 이동도)를 증가시킬 수 있다.
- [0126] <2-2. 다층막의 물성>
- [0127] 본 섹션에서는, 다층막의 물성에 대하여 설명할 것이다.
- [0128] <2-2-1. 다층막의 조성>
- [0129] 이하에서는, 다층막(108), 및 다층막(108)에 포함되는 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)의 조성에 대하여 설명할 것이다.

- [0130] 산화물 반도체층(106)은 적어도 인듐을 포함한다. 인듐 이외에, 원소 M(알루미늄, 티타늄, 실리콘, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨 또는 하프늄)을 포함하는 것이 바람직하다. 산화물 반도체층(106)은 적어도 인듐을 포함하는 것이 바람직하며, 이는 캐리어 이동도(전자 이동도)가 증가될 수 있기 때문이다.
- [0131] 산화물층(105a)은 산화물 반도체층(106)에 포함되며 산소 이외의 1개 이상의 원소를 포함한다. 그로 인해, 산화물 반도체층(106)과 산화물층(105a)간의 계면에서, 계면 산란이 발생하는 것은 쉽지 않다. 따라서, 계면에서 캐리어의 이동이 저해되지 않기 때문에, 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.
- [0132] 산화물층(105a)은 예를 들어, 알루미늄, 티타늄, 실리콘, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨 또는 하프늄을 인듐보다도 높은 원자수비로 포함할 수도 있다. 구체적으로, 산화물층(105a)내의 상술한 원소들 중 임의의 원소의 양은, 원자수비가 인듐보다 1.5배 이상, 바람직하기로는 2배 이상, 더욱 바람직하기로는 3배 이상 높다. 상술한 원소는 산소와 강하게 결합하기 때문에, 산소 결손이 산화물층에 발생하는 것을 억제하는 기능을 갖는다. 즉, 산화물층(105a)에서는 산소 결손이 발생하기 쉽지 않다. 또한, 산화물층(105a)은 상술한 원소를 산화물 반도체층(106)보다 높은 원자수비로 포함한다.
- [0133] 산화물층(105b)은 산화물 반도체층(106)에 포함되며 산소 이외의 1개 이상의 원소를 포함한다. 산화물층(105b)은 산화물 반도체층(106)에 포함되는 산소 이외의 1개 이상의 원소를 포함하기 때문에, 산화물 반도체층(106)과 산화물층(105b)간의 계면에 계면 준위가 형성되기 쉽지 않다. 계면이 계면 준위를 가질 경우, 계면이 채널로서 기능하며 임계치 전압이 상이한 제2 트랜지스터가 형성되기 때문에; 트랜지스터의 외관상 임계치 전압이 변하는 경우가 있다. 따라서, 산화물층(105b)을 구비함으로써, 임계치 전압과 같은, 트랜지스터의 전기 특성의 변동을 저감할 수 있다.
- [0134] 산화물층(105b)은 예를 들어, 알루미늄, 티타늄, 실리콘, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨 또는 하프늄을 인듐보다도 높은 원자수비로 포함할 수도 있다. 구체적으로, 산화물층(105b)내의 상술한 원소들 중 임의의 원소의 양은, 원자수비가 인듐보다 1.5배 이상, 바람직하기로는 2배 이상, 더욱 바람직하기로는 3배 이상 높다. 상술한 원소는 산소와 강하게 결합하기 때문에, 산소 결손이 산화물층에 발생하는 것을 억제하는 기능을 갖는다. 즉, 산화물층(105b)에서는 산소 결손이 발생하기 쉽지 않다. 또한, 산화물층(105b)은 상술한 원소를 산화물 반도체층(106)보다 높은 원자수비로 포함한다.
- [0135] 산화물층(105c)은 산화물층(105a)의 기재를 참조할 수 있다. 산화물층(105c)은 다층막(108)의 측면으로서 형성된다. 산화물층(105c)에 산소 결손이 발생하면, 산화물층(105c)과 산화물 반도체층(106)간의 계면에, 이 계면이 채널로서 기능하고 임계치 전압이 상이한 제2 트랜지스터가 형성되기 때문에; 트랜지스터의 외관상 임계치 전압이 변한다. 따라서, 산소 결손의 발생하기 쉽지 않은 산화물층(105c)을 제공함으로써, 임계치 전압과 같은 트랜지스터의 전기 특성의 변동을 저감할 수 있다. 제2 트랜지스터의 전기 특성의 변동은 트랜지스터의 채널 길이가 짧아짐에 따라 현저하게 된다. 이것은 더 작아진 트랜지스터가 산소 결손이 발생하기 쉽지 않은 산화물층(105c)을 구비함으로써 효과가 더 강해진다는 것을 가리킨다.
- [0136] 산화물층(105b)에 포함되는 인듐이 외측으로 확산하면, 트랜지스터의 전기 특성이 열화될 수 있기 때문에; 산화물층(105b)은 산화물 반도체층(106)보다 인듐의 원자수비가 작은 것이 바람직하다.
- [0137] 산화물층(105a) 및 산화물층(105c)은 산화물층(105b)보다 산소 결손이 발생하기 쉽지 않은 산화물층으로 하는 것이 바람직하다. 또한, 산화물층(105a) 및 산화물층(105c)은 산화물층(105b)보다 높은 절연성을 갖는 산화물층으로 하는 것이 바람직하다. 산화물층(105a) 및 산화물층(105c)이 산화물층(105b)보다 산소 결손이 덜 빈번하게 발생하고, 산화물층(105b)보다 높은 절연성을 갖기 위해서는, 산화물층(105a) 및 산화물층(105c)은 산소 결손이 산화물층에 발생하는 것을 감소시키는 원소 또는 산소와의 결합력이 강한 금속 원소를, 산화물층(105b)보다 높은 농도로 포함하는 것이 바람직하다.
- [0138] 산화물층(105a)으로 In-M-Zn 산화물이 사용될 때, In과 M간의 원자수 비율은 바람직하기로는 다음과 같다: In의 원자수 비율이 50atomic% 미만이고, M의 원자수 비율이 50atomic% 이상이고; 더욱 바람직하기로는 In의 원자수 비율이 25atomic% 미만이고, M의 원자수 비율이 75atomic% 이상이다. 산화물 반도체층(106)으로 In-M-Zn 산화물이 사용될 때, In과 M간의 원자수 비율은 바람직하기로는 다음과 같다: In의 원자수 비율이 25atomic% 이상이고, M의 원자수 비율이 75atomic% 미만이고; 더욱 바람직하기로는 In의 원자수 비율이 34atomic% 이상이고, M의 원자수 비율이 66atomic% 미만이다. 산화물층(105b)으로 In-M-Zn 산화물이 사용될 때, In과 M간의 원자수 비율은 바람직하기로는 다음과 같다: In의 원자수 비율이 50atomic% 미만이고, M의 원자수 비율이 50atomic% 이상이고; 더욱 바람직하기로는 In의 원자수 비율이 25atomic% 미만이고, M의 원자수 비율이

75atomic% 이상이다. 산화물층(105c)으로 In-M-Zn 산화물이 사용될 때, In과 M간의 원자수 비율은 바람직하기로는 다음과 같다: In의 원자수 비율이 50atomic% 미만이고, M의 원자수 비율이 50atomic% 이상이고; 더욱 바람직하기로는 In의 원자수 비율이 25atomic% 미만이고, M의 원자수 비율이 75atomic% 이상이다.

[0139] 산화물층(105a)의 두께는 3nm 이상 100nm 이하이고, 바람직하기로는 3nm 이상 50nm 이하이다. 산화물 반도체층(106)의 두께는 3nm 이상 200nm 이하이고, 바람직하기로는 3nm 이상 100nm 이하이고, 더욱 바람직하기로는 3nm 이상 50nm 이하이다. 산화물층(105b)의 두께는 3nm 이상 50nm 이하이고, 바람직하기로는 3nm 이상 20nm 이하이다. 산화물층(105a) 및 산화물층(105c)의 두께는 산화물층(105b)의 두께보다 큰 것이 바람직하다. 환언하면, 산화물층(105b)의 두께는 산화물층(105a) 및 산화물층(105c)의 두께보다 작은 것이 바람직하다.

[0140] 산화물층(105a) 및 산화물층(105b)을 스퍼터링법에 의해 성장하는 경우, 입자(particle)의 수를 증가시키지 않기 위하여, 인듐을 포함하는 타깃을 사용하는 것이 바람직하다. 또한, 갈륨의 비율이 비교적 작은 산화물 타깃을 사용하는 것이 바람직하다. 특히, 인듐을 포함하는 타깃을 사용하는 경우, 타깃의 도전율을 높일 수 있고, DC 방전 및 AC 방전이 용이하게 되기 때문에, 대면적의 기판에 대한 적층이 용이하게 수행될 수 있다. 따라서, 반도체 장치의 생산성을 높일 수 있다.

[0141] <2-2-2. 다층막의 밴드 구조>

[0142] 우선, 산화물 반도체층을 포함하는 다층막의 밴드 구조에 대하여 설명할 것이다.

[0143] 도 16의 (a)는 비교예로서 나타낸 산화물 반도체층(106)을 단층으로 사용한 경우의 단면도이다. 도 16의 (b)는 도 16의 (a)의 일점 쇄선 F1-F2를 따른 밴드 구조를 나타낸다. 산화물 반도체층(106)의 가장 낮은 전도대의 에너지는 "EcS"로 표기된다. 도 16의 (a) 및 (b)는 산화물 반도체층(106)의 위 및 아래에 산화물 반도체층(106)보다 충분히 에너지 갭이 크고, 가장 낮은 전도대의 에너지가 산화물 반도체층(106)보다 충분히 높은 절연막(예를 들어, 산화 실리콘막)을 제공한 경우를 나타내고 있다는 것에 유의하라.

[0144] 도 16의 (b)에 따르면, 산화물 반도체층(106)을 단층으로 사용한 경우, 산화물 반도체층(106)과 절연막 사이에서 가장 낮은 전도대의 에너지가 아마도 불연속적으로 변한다(불연속 접합). 이것은 절연막이 산화물 반도체층(106)보다도 충분히 에너지 갭이 크고, 가장 낮은 전도대의 에너지가 산화물 반도체층(106)보다 충분히 높기 때문이며, 즉, 절연막이 산화물 반도체층(106)과 완전히 상이한 물성을 가지고 있기 때문이다.

[0145] 이것은 산화물 반도체층(106)과 절연막간의 계면에 다수의 DOS가 존재한다는 것을 시사한다. 단층인 산화물 반도체층(106)을 포함하는 트랜지스터에서, 산화물 반도체층(106)과 절연막(게이트 절연막 또는 보호 절연막에 대응)간의 계면에 존재하는 DOS는 트랜지스터의 열화의 원인이 되는 경우가 있다.

[0146] 도 17의 (a)는 다층막(108)의 단면도이다. 도 17의 (b)는 도 17의 (a)의 일점 쇄선 G1-G2를 따른 밴드 구조를 나타내고 도 17의 (c)는 도 17의 (a)의 일점 쇄선 G3-G4를 따른 밴드 구조를 나타낸다. 산화물층(105a)의 가장 낮은 전도대의 에너지는 "Ec01"으로 표기되고, 산화물층(105b)의 가장 낮은 전도대의 에너지는 "Ec02"로 표기되고, 산화물층(105c)의 가장 낮은 전도대의 에너지는 "Ec03"이다. 도 17의 (a) 내지 (c)는 다층막(108)을 둘러싸고, 다층막(108)의 어느 층보다도 충분히 에너지 갭이 크며, 가장 낮은 전도대의 에너지가 다층막(108)의 어느 층보다도 충분히 높은 절연막(예를 들어, 산화 실리콘막)을 제공한 경우를 나타내고 있다는 것에 유의하라.

[0147] 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)의 가장 낮은 전도대의 에너지가, 각각 EcS1, EcS2, EcS3 및 EcS4일 때, 수학적 2로 표현되는 관계를 만족하도록 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)을 선택한다.

수학적 2

[0148] $EcS1 \approx EcS4 \geq EcS3 > EcS2$

[0149] 도 17의 (b)에 따르면, 다층막(108)에서, 산화물층(105a, 105b)과 산화물 반도체층(106) 사이에서 가장 낮은 전도대의 에너지가 아마도 연속적으로 변한다(연속 접합). 이것은 산화물층(105a) 및 산화물층(105b)이 산화물 반도체층(106)과 유사한 물성을 가지고 있기 때문이다.

[0150] 이것은 산화물 반도체층(106)과 산화물층(105a, 105b)간의 계면에 DOS가 거의 존재하지 않는다는 것을 시사된다. 산화물층(105a) 및 산화물층(105b)은 상술한 바와 같이 산소 결손이 발생하기 쉽지 않은 산화물층이

기 때문에, 산소 결손에 기인한 DOS는 거의 존재하지 않는다.

- [0151] 산화물층(105a), 산화물층(105b), 산화물층(105c) 및 산화물 반도체층(106) 각각의 경우, 진공 준위와 가장 낮은 전도대의 에너지간의 차이(또는 전자 친화력이라고 칭함)는 진공 준위와 가장 높은 가전자대의 에너지간의 차이(또는 이온화 포텐셜이라고 칭함)로부터 에너지 갭을 차감함으로써 구할 수 있다는 것에 유의하라.
- [0152] 에너지 갭은 분광 엘립소미터(HORIBA JOBIN YVON SAS에 의해 제조된 UT-300)를 사용하여 측정할 수 있다. 이온화 포텐셜은 자외선 광전자 분광 분석(UPS) 장치(Physical Electronics사에 의해 제조된 VersaProbe)를 사용하여 측정할 수 있다.
- [0153] 도 17의 (b) 및 (c)에 따르면, 다층막(108)의 산화물 반도체층(106)은 웰(well)로서 기능하고, 다층막(108)을 포함하는 트랜지스터의 채널은 산화물 반도체층(106)내에 형성된다. 다층막(108)의 가장 낮은 전도대의 에너지가 연속적으로 변하기 때문에, 산화물 반도체층(106)과 산화물층(105b)은 연속적으로 접합하고 있다고 간주할 수 있다는 것에 유의하라.
- [0154] 다음으로, 300℃ 또는 450℃에서 가열 처리를 통한 다층막(108)내의 산소의 확산에 대해 도 18의 (a) 내지 (c)를 참조하여 설명할 것이다.
- [0155] 도 18의 (a) 내지 (c)는 각각 다층막(108) 중 어느 한쪽의 층을 $^{18}\text{O}_2$ 가스를 사용하여 형성한 샘플에 대하여, 깊이 방향으로 ^{18}O 의 농도 분포의 SIMS 측정 결과를 나타낸다.
- [0156] 여기서, 산화물층(105a)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:1:1임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물층이다.
- [0157] 산화물 반도체층(106)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 3:1:2임) 타깃을 사용하여, 스퍼터링법에 의해 형성한 산화물 반도체층이다.
- [0158] 산화물층(105b)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:1:1임) 타깃을 사용하여, 스퍼터링법에 의해 형성한 산화물층이다.
- [0159] 여기서, 도 18의 (a)는 산화물층(105a)을 형성하기 위해 $^{18}\text{O}_2$ 가스를 사용하지만, 그 밖의 층에는 $^{18}\text{O}_2$ 가스를 사용하지 않은 샘플의 산화물층(105a), 산화물 반도체층(106) 및 이들간의 계면의 깊이 방향의 ^{18}O 농도 분포를 나타낸다. SIMS 측정 결과는 다음과 같이 나타난다: 가열 처리하지 않은 샘플("as-depo"로서 점선으로 나타나 있음)에서보다, 350℃ 가열 처리 후("350℃ 가열 후"로서, 일점 쇄선으로 나타나 있음)의 샘플 및 450℃ 가열 처리 후("450℃ 가열 후"로서, 실선으로 나타나 있음)의 샘플에서 ^{18}O 가 산화물층(105a)으로부터 산화물 반도체층(106)까지 보다 더 확산되어 있다.
- [0160] 도 18의 (b)는 산화물 반도체층(106)을 형성하기 위해 $^{18}\text{O}_2$ 가스를 사용하지만, 그 밖의 층에는 $^{18}\text{O}_2$ 가스를 사용하지 않은 샘플의 산화물 반도체층(106), 산화물층(105b) 및 이들간의 계면의 깊이 방향의 ^{18}O 의 농도 분포를 나타낸다. SIMS 측정 결과는 다음과 같이 나타난다: 가열 처리하지 않은 샘플("as-depo"로서 점선으로 나타나 있음)에서보다, 350℃ 가열 처리 후("350℃ 가열 후"로서, 일점 쇄선으로 나타나 있음)의 샘플 및 450℃ 가열 처리 후("450℃ 가열 후"로서, 실선으로 나타나 있음)의 샘플에서 ^{18}O 가 산화물 반도체층(106)으로부터 산화물층(105b)까지 보다 더 확산되어 있다.
- [0161] 도 18의 (c)는 산화물 반도체층(106)을 형성하기 위해 $^{18}\text{O}_2$ 가스를 사용하지만, 그 밖의 층에는 $^{18}\text{O}_2$ 가스를 사용하지 않은 샘플의 산화물층(105a), 산화물 반도체층(106) 및 이들간의 계면의 깊이 방향의 ^{18}O 의 농도 분포를 나타낸다. SIMS 측정 결과는 다음과 같이 나타난다: 가열 처리하지 않은 샘플("as-depo"로서 점선으로 나타나 있음)과 450℃ 가열 처리 후("450℃ 가열 후"로서, 실선으로 나타나 있음)의 샘플에서보다 350℃ 가열 처리 후("350℃ 가열 후"로서, 일점 쇄선으로 나타나 있음)의 샘플에서 ^{18}O 가 산화물 반도체층(106)으로부터 산화물층(105a)까지 보다 더 확산되어 있다.
- [0162] 도 18의 (a) 내지 (c)에 도시한 바와 같이, 다층막(108)에서, 산소는 한 층에서 다른 층으로 확산하고 있다. 이것은 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c) 중 임의의 2개의 층간의 계

면에서, 이들 2개의 층들의 구성 원소가 혼합된 층(또는 혼합층이라고 칭함)은 연속적으로 접합되어 있다는 것을 의미한다. 혼합층은 2개의 층간의 중간 특성을 갖는다는 것에 유의하라.

- [0163] 다음으로, 다층막(108)내의 DOS는 CPM에 의해 측정되었다.
- [0164] 트랜지스터가 높은 전계 효과 이동도와 안정된 전기 특성을 갖기 위해서, CPM에 의해 측정된 다층막(108)의 국재 준위(localized states)에 의한 흡수 계수는, $1 \times 10^{-3} \text{ cm}^{-1}$ 미만인 것이 바람직하며, 보다 바람직하기로는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만이다.
- [0165] CPM 측정을 행한 샘플에 대하여 이하에서 설명할 것이다.
- [0166] 산화물층(105a)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:3:2임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물층이다. 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고, 압력은 0.4Pa로 하였고, 기판의 온도는 200℃로 하였고, 0.5kW의 DC 전력이 인가되었다는 것에 유의하라.
- [0167] 산화물 반도체층(106)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:1:1임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물 반도체층이다. 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고, 압력은 0.4Pa로 하였고, 기판의 온도는 200℃로 하였고, 0.5kW의 DC 전력이 인가되었다는 것에 유의하라.
- [0168] 산화물층(105b)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:3:2임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물층이다. 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고, 압력은 0.4Pa로 하였고, 기판의 온도는 200℃로 하였고, 0.5kW의 DC 전력이 인가되었다는 것에 유의하라.
- [0169] 여기서, CPM 측정의 정밀도를 향상시키기 위해, 다층막(108)은 어느 정도의 두께를 가질 필요가 있다. 구체적으로, 다층막(108)에 포함되는 산화물층(105a), 산화물 반도체층(106) 및 산화물층(105b)의 두께는 각각 30nm, 100nm 및 30nm로 설정하였다.
- [0170] CPM 측정에서, 샘플인 다층막(108)에 접하여 제공된 제1 전극과 제2 전극간에 전압을 인가한 상태에서 광 전류 값이 일정하게 유지되도록 단자간의 샘플의 표면에 조사하는 광량을 조정하고나서, 각 파장에서 조사 광량으로부터 흡수 계수를 도출한다. CPM 측정에서, 샘플에 결함이 있을 때, 결함이 존재하는 준위에 대응하는 에너지(파장으로부터 환산)의 흡수 계수가 증가한다. 이 흡수 계수의 증가분에 상수를 승산함으로써, 샘플의 결함 밀도를 도출할 수 있다.
- [0171] 도 19의 (a)는 분광 광도계를 사용하여 측정한 흡수 계수(점선)와 CPM에 의해 측정된 흡수 계수(실선)를 다층막(108)의 각 층의 에너지 갭 이상의 에너지 범위에서, 피팅(fitting)한 결과를 나타낸다. CPM에 의해 측정된 흡수 계수에 기초하여 취득된 우르바흐 에너지(Urbach energy)는 78.7meV이었다는 것에 유의하라. 도 19의 (a)에서 파선 원으로 나타난 에너지 범위에서 CPM에 의해 측정된 흡수 계수로부터 백그라운드(얇은 점선)를 차감하고, 에너지 범위의 흡수 계수의 적분값을 도출했다(도 19의 (b) 참조). 그 결과, 본 샘플의 DOS에 의한 흡수 계수는 $2.02 \times 10^{-4} \text{ cm}^{-1}$ 라는 것을 발견하였다.
- [0172] 이것은 다층막(108)에 매우 작은 수의 DOS가 있다는 것을 가리킨다. 즉, 다층막(108)을 포함하는 트랜지스터는 높은 전계 효과 이동도와 안정된 전기 특성을 갖는다.
- [0173] <2-2-3. 다층막의 불순물>
- [0174] 이하에서는, 다층막(108)에 포함되는 층들에서의 실리콘의 농도에 대하여, 도 20을 사용하여 설명할 것이다.
- [0175] 산화물층(105a)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:3:2임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물층이다. 성막은 다음 조건하에서 수행되었다: 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고; 압력은 0.4Pa로 하였고; 기판 온도는 300℃로 하였고; 0.5kW의 DC 전력이 인가되었다는 것에 유의하라.
- [0176] 산화물 반도체층(106)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:1:1임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물 반도체층이다. 성막은 다음 조건하에서 수행되었다: 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고; 압력은 0.4Pa로 하였고; 기판 온도는 200℃로 하였고;

0.5kW의 DC 전력이 인가되었다는 것에 유의하라.

- [0177] 산화물층(105b)은 In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:3:2임) 타깃을 사용하여 스퍼터링법에 의해 형성한 산화물층이다. 성막은 다음 조건하에서 수행되었다: 성막 가스로서 유량이 30sccm인 아르곤 가스와 유량이 15sccm인 산소 가스를 사용하였고; 압력은 0.4Pa로 하였고; 기판 온도는 200℃로 하였고; 0.5kW의 DC 전력이 인가되었다는 것에 유의하라.
- [0178] 실리콘 웨이퍼 위에 다층막(108)을 제공하고, 가열 처리하지 않은 샘플과 450℃에서 2시간동안 가열 처리를 행한 샘플을 준비하였다. ToF-SIMS(Time-of-flight secondary ion mass spectrometry)에 의해 측정된 샘플의 깊이 방향의 In, Ga 및 Zn의 2차 이온 강도와 깊이 방향의 SiO₃ 농도(atoms/cm³)를 나타낸다. 다층막(108)은 두께가 10nm인 산화물층(105a), 산화물층(105a) 위에 제공된 두께가 10nm인 산화물 반도체층(106), 및 산화물 반도체층(106) 위에 제공된 두께가 10nm인 산화물층(105b)을 포함한다.
- [0179] 도 20은 다층막(108)에 포함되는 층들의 조성이 성막시에 사용되는 각 타깃의 조성에 따라 변한다는 것을 나타낸다. 층들의 조성은 도 20을 사용하여 단순하게 비교될 수 없다는 것에 유의하라.
- [0180] 도 20은 다층막(108)의 실리콘 웨이퍼와 산화물층(105a)간의 계면과 산화물층(105b)의 상면이 더 높은 SiO₃ 농도를 갖는다는 것을 나타낸다. 또한, 도 20은 산화물 반도체층(106)의 SiO₃ 농도가 ToF-SIMS에 의한 검출의 한한인 약 1×10^{18} atoms/cm³인 것을 나타낸다. 이것은 아마도 산화물층(105a, 105b)의 존재로 인해, 실리콘 웨이퍼 또는 표면 오염에 기인한 실리콘에 의해 산화물 반도체층(106)이 영향을 받지 않기 때문이다. 산화물층(105a, 105b)에 실리콘이 포함되어 있다고 할지라도, 실리콘의 도입에 의해 산화물층(105a) 및 산화물층(105b)에 산소 결손이 발생하기 쉽지 않기 때문에, 트랜지스터의 전기 특성의 열화에는 실리콘이 아마도 기여하지 않는다.
- [0181] 또한, 적층된 그대로의 샘플(가열 처리되지 않은 샘플로서, 도 20에는 "as-depo"로 표기되어 있음)과 가열 처리 후의 샘플의 비교는, 가열 처리에 의해 실리콘이 확산되는 것은 쉽지 않고, 성막시에 실리콘의 도입이 주로 발생한다는 것을 나타낸다.
- [0182] 다층막(108)을 포함하는 트랜지스터가 안정된 전기 특성을 갖도록 산화물 반도체층(106)이 고순도화된 진성 산화물 반도체층이 되도록 고순도화하는 것이 효과적이다. 구체적으로, 산화물 반도체층(106)의 캐리어 밀도는 1×10^{17} /cm³ 미만, 1×10^{15} /cm³ 미만 또는 1×10^{13} /cm³ 미만이 되도록 설정될 수 있다. 산화물 반도체층(106)에서, 수소, 질소, 탄소, 실리콘 및 주성분 이외의 금속 원소는 불순물이 된다. 산화물 반도체층(106)내의 불순물 농도를 저감하기 위하여는, 산화물 반도체층(106)에 근접하는 산화물층(105a, 105b)내의 불순물 농도를 산화물 반도체층(106)과 거의 동일한 값으로 저감하는 것이 또한 바람직하다.
- [0183] 특히, 산화물 반도체층(106)에 실리콘이 높은 농도로 포함될 경우, 산화물 반도체층(106)에 실리콘에 기인한 불순물 준위가 형성된다. 불순물 준위는 트랩이 되고, 트랜지스터의 전기 특성을 열화 시키는 경우가 있다. 트랜지스터의 전기 특성의 열화를 작게 하기 위해서는, 산화물 반도체층(106)의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하기로는 1×10^{18} atoms/cm³ 미만이 되도록 설정할 수 있다. 또한, 산화물층(105a)과 산화물 반도체층(106)간의 계면과 산화물 반도체층(106)과 산화물층(105b)간의 계면에서의 실리콘 농도는, 1×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하기로는 1×10^{18} atoms/cm³ 미만이 되도록 각각 설정된다.
- [0184] 산화물 반도체층(106)에서, 수소가 산소 결손부에 도입되어 DOS를 형성한다. 산화물 반도체층(106)이 진성 또는 실질적으로 진성이 되도록 하기 위해서는, SIMS에 의해 측정되는, 산화물 반도체층(106)내의 수소 농도는, 2×10^{20} atoms/cm³ 이하, 바람직하기로는 5×10^{19} atoms/cm³ 이하, 보다 바람직하기로는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하기로는 5×10^{18} atoms/cm³ 이하가 되도록 설정된다.
- [0185] 산화물 반도체층(106)에 실리콘 및 탄소가 고농도로 포함될 경우, 산화물 반도체층(106)의 결정성이 저하되는 경우가 있다는 것에 유의하라. 산화물 반도체층(106)의 결정성이 저하되지 않도록 하기 위해서는, 산화물 반도체층(106)의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하기로는 1×10^{18} atoms/cm³ 미만이 되도록 설정할 수 있다. 또한, 산화물 반도체층(106)의 결정성이 저하되지 않도록 하기

위해서는, 산화물 반도체층(106)의 탄소 농도를 1×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하기로는 1×10^{18} atoms/cm³ 미만이 되도록 설정할 수 있다. 다층막(108)의 결정성에 대하여는 후술할 것이다.

- [0186] <2-2-4. 다층막의 결정성>
- [0187] 이하에서는, 다층막(108)에 포함되는 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c) 각각의 결정성에 대하여 설명할 것이다.
- [0188] 다층막(108)에서, 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)은 각각 비정질 구조 또는 결정질 구조를 갖는다.
- [0189] 이하에서는, 산화물 반도체층(산화물층)의 구조에 대하여 설명할 것이다.
- [0190] 본 명세서에서, 용어 "평행"은 2개의 직선간에 형성된 각도가 -10° 이상 10° 이하인 것을 가리키기 때문에, 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, "수직"은 2개의 직선간에 형성된 각도가 80° 이상 100° 이하인 것을 가리키기 때문에, 각도가 85° 이상 95° 이하인 경우도 포함한다.
- [0191] 또한, 삼방정계 및 능면정계는 육방정계에 포함된다.
- [0192] 산화물 반도체층은 단결정 산화물 반도체층과 비단결정 산화물 반도체층으로 크게 분류된다. 비단결정 산화물 반도체층은 비정질 산화물 반도체층, 미결정 산화물 반도체층, 다결정 산화물 반도체층, CAAC-OS(c-axis aligned crystalline oxide semiconductor)막 등 중 임의의 것을 포함한다.
- [0193] 비정질 산화물 반도체층은 원자 배열이 불규칙하며, 결정 성분을 가지고 있지 않다. 그 전형적인 예는 미소 영역에서도 결정부를 가지고 있지 않고, 층 전체가 비정질인 산화물 반도체층이다.
- [0194] 미결정 산화물 반도체층은 예를 들어, 1nm 이상 10nm 미만의 크기를 갖는 미결정(또는 나노 결정이라고 칭함)을 포함한다. 따라서, 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체층의 결합 준위 밀도는 비정질 산화물 반도체층보다 낮다.
- [0195] CAAC-OS막은, 복수의 결정부를 포함하는 산화물 반도체층들 중 하나이며, 대부분의 결정부는 1변이 100nm 미만인 입방체내에 수용된다. 따라서, CAAC-OS막에 포함되는 결정부는 1변이 10nm 미만, 5nm 미만 또는 3nm 미만인 입방체내에 수용되는 경우가 있다. CAAC-OS막의 결합 준위 밀도는 미결정 산화물 반도체층보다 낮다. CAAC-OS막에 대해서는 이하 상세히 설명된다.
- [0196] CAAC-OS막의 투과형 전자 현미경(TEM) 화상에서, 결정부간의 경계, 즉 결정립계(grain boundary)가 명확하게 관찰되지 않는다. 따라서, CAAC-OS막에서, 결정립계로 인한 전자 이동도의 저하가 발생하기 쉽지 않다.
- [0197] 샘플면과 실질적으로 평행한 방향에서 관찰한 CAAC-OS막의 TEM 화상(단면 TEM 화상)에 따르면, 결정부에서 금속 원자가 적층 방식으로 배열되어 있다. 금속 원자층 각각은 CAAC-OS막이 형성되는 표면(이하, CAAC-OS막이 형성되는 표면은 피형성면이라고 칭함) 또는 CAAC-OS막의 상면에 의해 반영된 형상을 구비하며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.
- [0198] 한편, 샘플면과 실질적으로 수직인 방향에서 관찰된 CAAC-OS막의 TEM 화상(평면 TEM 화상)에 따르면, 결정부에서, 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있다. 그러나, 상이한 결정부들간에 금속 원자의 배열의 규칙성은 없다.
- [0199] 단면 TEM 화상 및 평면 TEM 화상의 결과로부터, CAAC-OS막의 결정부에서 배향성이 발견되었다.
- [0200] CAAC-OS막은 X선 회절(XRD) 장치를 사용하여 구조 해석된다. 예를 들어, InGaZnO₄ 결정을 포함하는 CAAC-OS막이 아웃 오브 플레인(out-of-plane)법에 의해 분석될 경우, 회절각(2θ)이 31° 근방일 때 피크가 빈번하게 나타난다. 이 피크는 InGaZnO₄ 결정의 (009)면으로부터 유도되고, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 CAAC-OS막의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되고 있다는 것을 가리킨다.
- [0201] 한편, CAAC-OS막이 c축과 실질적으로 수직인 방향으로 샘플에 X선을 입사시키는 인 플레인(in-plane)법에 의해 분석될 경우, 2θ 가 56° 근방에 있을 때 피크가 빈번하게 나타난다. 이 피크는, InGaZnO₄ 결정의 (110)면으로부터 유도된다. 여기서, 2θ 를 56° 근방에 고정하고, 샘플면의 법선 벡터를 축(ϕ 축)으로 하여 샘플을 회전시

키는 조건하에서 분석(ϕ 스캔)을 행한다. 샘플이 InGaZnO_4 의 단결정 산화물 반도체층인 경우, 6개의 피크가 나타난다. 이 6개의 피크는 (110)면과 등가인 결정면으로부터 유도된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하여 ϕ 스캔을 수행한 경우에도, 피크가 명확하게 관찰되지 않는다.

- [0202] 상술한 결과에 따르면, c축 배향을 갖는 CAAC-OS막에서, 결정부들간에 a축 및 b축의 방향이 상이하고, c축은 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 상술한 단면 TEM 화상에서 관찰된 적층 방식으로 배열된 금속 원자층 각각은 결정의 ab면에 평행한 면에 대응한다.
- [0203] 결정부는 CAAC-OS막의 성막과 동시에 형성되거나, 가열 처리와 같은 결정화 처리를 통해 형성된다. 상술한 바와 같이, 결정의 c축은 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어, CAAC-OS막의 형상을 예칭 등에 의해 변화시킨 경우, 결정의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 상면의 법선 벡터와 반드시 평행하게 되지 않을 수도 있다.
- [0204] 또한, CAAC-OS막의 결정화 정도가 반드시 균일하지 않다. 예를 들어, CAAC-OS막으로 이끄는 결정 성장이 막의 상면 근방으로부터 생성되는 경우, 상면 근방의 결정화 정도는 피형성면 근방에서보다 높은 경우도 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화는 변하고, CAAC-OS막의 결정화 정도는 영역에 따라 변한다.
- [0205] InGaZnO_4 의 결정을 갖는 CAAC-OS막이 아웃 오브 플레인법에 의해 분석되는 경우, 2θ 의 피크가 31° 근방에서 관찰되는 것 이외에, 2θ 의 피크는 36° 근방에도 관찰될 수도 있다는 것에 유의하라. 36° 근방에서의 2θ 의 피크는 CAAC-OS막의 일부에 c축 배향성을 가지고 있지 않은 결정이 포함되어 있다는 것을 나타낸다. CAAC-OS막에서, 2θ 의 피크는 31° 근방에서 나타나고, 2θ 의 피크는 36° 근방에서 나타나지 않는 것이 바람직하다.
- [0206] CAAC-OS막을 사용하는 트랜지스터에서, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 트랜지스터는 신뢰성이 높다.
- [0207] 산화물 반도체층은 예를 들어, 비정질 산화물 반도체층, 미결정 산화물 반도체층 및 CAAC-OS막 중 2개 이상을 포함하는 적층막일 수도 있다는 것에 유의하라.
- [0208] 다층막(108)에서 적어도 산화물 반도체층(106)은 결정질 구조를 갖는 것이 바람직하다. 특히, CAAC-OS층이 사용되는 것이 바람직하다.
- [0209] 산화물 반도체층(106)이 CAAC-OS층일 경우, 하지인 산화물층(105a)은 CAAC-OS층과 유사한 결정 구조 또는 비정질 구조를 갖는 것이 바람직하다. 또한, 산화물 반도체층(106)이 CAAC-OS층일 때, 산화물 반도체층(106)을 하지로 하는 산화물층(105b)은 CAAC-OS층과 유사한 결정 구조를 갖는 경향이 있다. 산화물층(105b)의 구조는 결정 구조에 한정되지 않고, 비정질 구조일 수 있다는 것에 유의하라.
- [0210] 산화물층(105c)은 비정질 구조 또는 결정 구조 중 어느 하나일 수도 있다.
- [0211] 다층막(108)을 포함하는 트랜지스터에서, 산화물 반도체층(106)은 채널이 형성되는 층이기 때문에; 산화물 반도체층(106)은 트랜지스터가 안정된 전기 특성을 가질 수 있도록 높은 결정성을 갖는 것이 바람직하다.
- [0212] <3. 다층막을 포함하는 트랜지스터>
- [0213] 이하에서는, 산화물 반도체층(106)에 채널이 형성되는 다층막(108)을 포함하는 트랜지스터에 대하여 설명할 것이다.
- [0214] <3-1. 트랜지스터 구조(1)>
- [0215] 여기에서, 톱 게이트형 트랜지스터의 일종인 톱 게이트 톱 콘택트(TGTC) 트랜지스터에 대하여 도 21의 (a) 내지 (c)를 참조하여 설명한다.
- [0216] 도 21의 (a) 내지 (c)는 TGTC 트랜지스터의 상면도 및 단면도이다. 도 21의 (a)는 트랜지스터의 상면도이다. 도 21의 (b)는 도 21의 (a)에서의 일점 쇄선 A1-A2을 따라 취한 단면도이다. 도 21의 (c)는 도 21의 (a)에서의 일점 쇄선 A3-A4을 따라 취한 단면도이다.
- [0217] 도 21의 (b)에 나타난 트랜지스터는 기판(100) 위에 제공된 하지 절연막(102); 하지 절연막(102) 위에 제공된 산화물 반도체층(106)과 산화물 반도체층(106)을 둘러싸는 산화물층(105)을 포함하는 다층막(108); 하지 절연막(102)과 다층막(108) 위에 제공된 소스 전극(116a) 및 드레인 전극(116b); 다층막(108), 소스 전극(116a) 및

드레인 전극(116b) 위에 제공된 게이트 절연막(112); 게이트 절연막(112) 위에 제공된 게이트 전극(104); 및 게이트 절연막(112)과 게이트 전극(104) 위에 제공된 보호 절연막(118)을 포함한다. 트랜지스터는 하지 절연막(102) 및/또는 보호 절연막(118)을 반드시 포함하지는 않는다.

- [0218] 도 22의 (a) 내지 (c)에 나타낸 트랜지스터와 같이, 다층막(108)은 소스 전극(116a) 및 드레인 전극(116b)의 폭 (채널 폭 방향의 길이)보다 내측에 제공될 수도 있다는 것에 유의하라. 도 22의 (a) 내지 (c)에 나타낸 트랜지스터의 다층막(108)은 게이트 전극(104), 소스 전극(116a) 및 드레인 전극(116b)에 의해 차광된다. 그 결과, 광에 의한 전기 특성의 변동이 일어나기 쉽지 않다.
- [0219] 도 21의 (a) 내지 (c)에 나타낸 트랜지스터의 채널 형성 영역은, 소스 전극(116a)과 드레인 전극(116b)간에 개재되며 게이트 전극(104)과 중첩하는 다층막(108)이다. 여기에서, 산화물 반도체층(106)에 흐르는 전류의 주 경로는 채널이라고 칭한다.
- [0220] 소스 전극(116a) 및 드레인 전극(116b)에 사용하는 도전막의 종류에 따라, 다층막(108)의 일부로부터 산소가 이탈되거나 혼합층(도전막의 주성분인 금속 원소가 다층막(108)내에 도입되는 것으로 인해 형성되는 층)이 형성됨으로써, 채널과 소스 전극(116a) 및 드레인 전극(116b) 사이에 있는 다층막(108)내에 소스 영역 및 드레인 영역이 형성되는 경우가 있다.
- [0221] 도 23의 (a) 내지 (c)는 트랜지스터의 소스 전극(116a) 및 드레인 전극(116b) 근방의 단면도이다. 소스 전극(116a) 및 드레인 전극(116b)은 도 23의 (a) 내지 (c)에 나타낸 임의의 구조를 가질 수 있다. 소스 전극(116a) 및 드레인 전극(116b)의 형성시 다층막(108)의 상면이 부분적으로 에칭된 에칭 영역이 형성되지만; 이 에칭 영역은 이해를 용이하게 하기 위하여 도 23의 (a) 내지 (c)에 도시되어 있지 않다.
- [0222] 도 23의 (a)에서의 구조는 도 21의 (b)에서의 소스 전극(116a) 및 드레인 전극(116b)의 구조와 유사하다. 이러한 구조에서, 다층막(108)과 소스 전극(116a) 및 드레인 전극(116b) 사이에 있으며 파선으로 나타낸 영역에는, 소스 영역(108a) 및 드레인 영역(108b)이 형성된다. 소스 영역(108a) 및 드레인 영역(108b)은 다층막(108) 위에 소스 전극(116a) 및 드레인 전극(116b)을 형성할 때의 대미지, 또는 소스 전극(116a) 및 드레인 전극(116b)을 형성하는 도전막의 작용에 의해 생성된 다층막(108)내의 산소 결손에 의해 형성된다. 소스 영역(108a) 및 드레인 영역(108b)이 다층막(108)의 산화물 반도체층(106)에 도달할지라도, 본 발명은 이것에 한정되지 않는다. 예를 들어, 소스 영역(108a) 및 드레인 영역(108b)은 다층막(108)의 산화물층(105)에만 형성될 수도 있다. 이러한 구조를 구비함으로써, 다층막(108)에 포함되는 산화물층(105b) 및 산화물 반도체층(106)은 소스 영역(108a) 및 드레인 영역(108b)과는 다른 물성을 갖는다. 구체적으로, 소스 영역(108a) 및 드레인 영역(108b)은 산화물층(105b) 및 산화물 반도체층(106)보다 캐리어 밀도가 높다(저항이 낮다).
- [0223] 도 23의 (b)에 나타낸 구조에서, 소스 전극(116a)으로서, 산화되기 쉽지 않은 도전층(116a2)과 도전층(116a2) 위에 제공된 도전층(116a1)이 사용되고, 드레인 전극(116b)으로서, 산화되기 쉽지 않은 도전층(116b2)과 도전층(116a2) 위에 제공된 도전층(116b1)이 사용된다. 산화되기 쉽지 않은 도전층은 다층막(108)을 줄이기 쉽지 않다는 것에 유의하라. 소스 전극(116a) 및 드레인 전극(116b)이 도 23의 (b)에 나타낸 구조를 가질 경우, 소스 영역(108a) 및 드레인 영역(108b)은 다층막(108)의 산화물층(105)에만 형성된다. 이 경우, 채널 길이 방향으로의 산소 결손의 확산이 작아져서, 채널 형성 영역이 n형 도전성을 가지기 쉽지 않게 된다. 또한, 도전층(116a1) 및 도전층(116b1)으로 인해, 도전층(116a2) 및 도전층(116b2)은 낮은 도전성을 가질 수 있다. 따라서, 도전층(116a2) 및 도전층(116b2)의 두께가 작아서, 미세 가공이 용이하다. 즉, 도 23의 (b)에 나타낸 구조는 채널 길이가 작은 미세화된 트랜지스터에 적합하다.
- [0224] 도 23의 (c)에 도시된 구조에서, 소스 전극(116a)으로서, 도전층(116a3)과, 도전층(116a3) 위에 제공되며 산화되기 쉽지 않은 도전층(116a4)이 사용되고, 드레인 전극(116b)으로서, 도전층(116b3)과, 도전층(116b3) 위에 제공되며 산화되기 쉽지 않은 도전층(116b4)이 사용된다. 소스 전극(116a) 및 드레인 전극(116b)이 도 23의 (c)에 나타낸 구조를 가질 경우, 다층막(108)에 형성되는 소스 영역(108a) 및 드레인 영역(108b)은 각각 다층막(108)의 산화물 반도체층 및 산화물층(105)에 형성되는 영역과 산화물층(105)에만 형성되는 영역을 포함한다. 이 경우, 채널 길이 방향으로의 산소 결손의 확산이 작아져서, 채널 형성 영역이 n형 도전성을 가지기 쉽지 않게 된다. 도전층(116a3) 및 도전층(116b3) 하부의 소스 영역(108a) 및 드레인 영역(108b)이 산화물 반도체층(106)에 도달하기 때문에, 소스 전극(116a)과 드레인 전극(116b)간의 저항이 작아지고; 그 결과, 트랜지스터의 전체 효과 이동도가 증가될 수 있다. 또한, 도전층(116a3) 및 도전층(116b3)으로 인해, 도전층(116a4) 및 도전층(116b4)은 낮은 도전성을 가질 수 있다. 따라서, 도전층(116a4) 및 도전층(116b4)의 두께는 작아서, 미세 가공이 용이하다. 즉, 도 23의 (c)에 나타낸 구조는 채널 길이가 작은 미세화된 트랜지스터에 적합하다.

- [0225] 도 21의 (c)에 도시한 바와 같이, 트랜지스터의 채널이 형성되는 산화물 반도체층(106)의 측면에 산화물층(105c)이 제공된다. 산화물 반도체층(106)의 측면은 보호막이 없을 경우, 산소 결손 등이 발생하기 쉽고 불순물 농도가 증가하기 쉬운 영역이다. 다수의 산소 결손 또는 불순물이 측면에 존재하는 경우, 측면에서 임계치 전압이 다른 제2 트랜지스터가 형성되는 것으로 보여지는 경우가 있으며, 트랜지스터의 전기 특성이 변동되게 된다. 도 21의 (a) 내지 (c)에 나타낸 트랜지스터에서, 산화물층(105c)에 의해 산화물 반도체층(106)의 측면이 보호되기 때문에; 측면에 산소 결손이 발생하지 않고 불순물 농도가 증가하지 않는다. 그 결과, 트랜지스터는 안정된 전기 특성을 갖는다.
- [0226] 도 21의 (c)에서, 하지 절연막(102)은 두께가 다른 3개의 영역을 갖는다. 구체적으로, 산화물층(105a)과 접하는 제1 영역의 두께가 가장 크고, 산화물층(105c)의 외주(도 21의 (a) 참조) 또는 산화물층의 외주보다도 외측에 있는 제2 영역의 두께가 다음으로 크고, 제2 영역의 외측에 있는 제3 영역의 두께가 가장 작다.
- [0227] 다층막(108)의 경우, 상술한 섹션에서의 다층막(108)에 관한 기재를 참조한다. 도 21의 (a) 내지 (c)에 나타낸 트랜지스터는 산화물층(105)에 둘러싸인 산화물 반도체층(106)에 채널이 형성되는 트랜지스터이다. 산화물층(105)으로 인해, 다층막(108)내의 DOS의 개수는 매우 작아질 수 있기에, 트랜지스터는 안정된 전기 특성을 갖게 된다. 또한, 산화물 반도체층(106)은 넓은 밴드 갭을 갖고 실질적으로 진성이기 때문에, 트랜지스터가 오프 상태일 때의 누설 전류(또는 오프 전류라고 칭함)는 매우 작다. 구체적으로, 채널 길이가 $3\mu\text{m}$ 이고, 채널 폭이 $10\mu\text{m}$ 인 트랜지스터에서, 오프 전류는 1×10^{-20} A 미만, 바람직하기로는 1×10^{-22} A 미만, 더욱 바람직하기로는 1×10^{-24} A 미만일 수 있다. 즉, 온/오프비는 15자리(digit) 내지 50자리, 바람직하기로는 20자리 내지 50자리, 더욱 바람직하기로는 20자리 내지 150자리일 수 있다.
- [0228] 도 21의 (a) 내지 (c)에 나타낸 트랜지스터에서, 다층막(108)의 일부로서 곡면화된 측면을 갖는 산화물층(105c)이 제공되고, 두께가 다른 3개의 영역을 갖는 하지 절연막(102)이 제공된다. 이것은 상층에 형성되는 막의 단차 피복성이 높아지게 하고, 막의 균열(crack) 또는 공동(cavity)의 발생을 저감시킨다. 그 결과, 막의 균열 또는 공동을 통해 외부로부터 산화물 반도체층에 불순물이 도입되지 않기 때문에; 트랜지스터는 안정된 전기 특성을 갖는다.
- [0229] 기판(100)에 특별한 제한은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판 또는 사파이어 기판이 기판(100)으로서 사용될 수도 있다. 대안적으로, 실리콘, 탄화 실리콘 등으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI(silicon on insulator) 기판 등은 기판(100)으로서 사용될 수도 있다. 다른 대안으로서, 반도체 소자가 제공된 임의의 이들 기판이 기판(100)으로서 사용될 수도 있다.
- [0230] 기판(100)으로서, 제5 세대(1000mm×1200mm 또는 1300mm×1500mm); 제6 세대(1500mm×1800mm); 제7 세대(1870mm×2200mm); 제8 세대(2200mm×2500mm); 제9 세대(2400mm×2800mm); 또는 제10 세대(2880mm×3130mm)와 같은 대형 유리 기판을 사용하는 경우, 반도체 장치의 제조 공정에서의 가열 처리 등에 의해 발생하는 기판(100)의 수축(shrinkage)에 의해, 미세한 가공이 곤란해지는 경우가 있다. 따라서, 상술한 대형 유리 기판을 기판(100)으로서 사용하는 경우, 가열 처리를 통해 수축하기 쉽지 않은 기판을 사용하는 것이 바람직하다. 예를 들어, 기판(100)으로서, 400℃, 바람직하기로는 450℃, 더욱 바람직하기로는 500℃에서 1시간 동안 가열 처리한 후의 수축량이 10ppm 이하, 바람직하기로는 5ppm 이하, 더욱 바람직하기로는 3ppm 이하인 대형 유리 기판을 사용할 수 있다.
- [0231] 다른 대안으로서, 기판(100)으로서 가요성 기판이 사용될 수도 있다. 가요성 기판 위에 트랜지스터를 제공하는 방법으로서, 비가요성 기판 위에 트랜지스터를 형성한 후, 트랜지스터를 비가요성 기판으로부터 박리하고, 가요성 기판인 기판(100)에 이동시키는(transfer) 방법도 있다. 이 경우, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하는 것이 바람직하다.
- [0232] 하지 절연막(102)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈 중 1가지 이상을 포함하는 절연막을 단층 또는 적층으로 사용하여 형성될 수 있다.
- [0233] 하지 절연막(102)은 예를 들어, 첫번째 층으로서의 질화 실리콘층과 두번째 층으로서의 산화 실리콘층을 포함하는 다층막이다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은 질화 산화 실리콘층일 수도 있다. 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이

바람직하다. 구체적으로, ESR에서 g 인수가 2.001인 신호에 대응하는 스핀의 밀도가 3×10^{17} spins/cm³ 이하, 바람직하기로는 5×10^{16} spins/cm³ 이하인 산화 실리콘층이 사용된다. 산화 실리콘층으로서, 과잉 산소를 갖는 산화 실리콘층을 사용한다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 수소 또는 암모니아의 방출량은 TDS(thermal desorption spectroscopy)에 의해 측정될 수도 있다. 또한, 질화 실리콘층으로서, 산소를 투과하지 않는 또는 거의 투과하지 않는 질화 실리콘층을 사용한다.

[0234] 또한, 과잉 산소는 가열 처리에 의해 산화물층, 산화물 반도체층, 산화 실리콘층, 산화 질화 실리콘층 등내에서 이동할 수 있는 산소, 화학양론적 조성을 초과하는 산소, 또는 산소 결손에 진입하여 산소 결손을 저감하는 기능을 갖는 산소를 칭한다는 것에 유의하라.

[0235] 과잉 산소를 갖는 산화 실리콘층은 가열 처리 등에 의해 산소를 방출할 수 있는 산화 실리콘층을 의미한다. 과잉 산소를 갖는 절연막은 가열 처리에 의해 산소를 방출하는 절연막을 의미한다.

[0236] 여기서, 가열 처리에 의해 산소를 방출하는 막은, TDS 분석에서, 예를 들어, 50℃ 이상 650℃ 이하인 기판 온도에서 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상인 산소(산소 원자수로 환산)를 방출할 수도 있다.

[0237] 여기서, TDS 분석을 사용한 산소의 방출량의 측정 방법에 대하여 이하에서 설명한다.

[0238] 측정 샘플을 TDS 분석했을 때의 기체의 전체 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 다음으로, 기준 샘플과의 비교를 행함으로써, 기체의 전체 방출량을 계산할 수 있다.

[0239] 예를 들어, 기준 샘플인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 결과 및 측정 샘플의 TDS 결과를 사용하여 측정 샘플로부터의 산소 분자의 방출량(N_{O_2})은 수식 (3)에 따라 구할 수 있다. 여기서, TDS 분석에서 취득된 32의 질량수를 갖는 모든 가스는 산소 분자로부터 유래한다고 상정한다. 32의 질량수를 갖는 가스인 CH₃OH는 존재할 가능성이 낮기 때문에 고려되지 않는다는 것에 유의하라. 또한, 산소 원자의 동위 원소인 17 또는 18의 질량수를 갖는 산소 원자를 포함하는 산소 분자에 대하여도, 자연계에서의 그러한 분자의 비율이 극소량이기 때문에 고려하지 않는다.

수학식 3

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0240]

[0241] 여기서, N_{H_2} 는 기준 샘플로부터 이탈한 수소 분자의 수를 밀도로 환산한 값이다. S_{H_2} 는 기준 샘플을 TDS 분석했을 때의 이온 강도의 적분값이다. 여기서, 기준 샘플의 기준값은 N_{H_2}/S_{H_2} 이다. 또한, S_{O_2} 는 측정 샘플을 TDS 분석했을 때의 이온 강도의 적분값이고, α 는 TDS 분석에의 이온 강도에 영향을 미치는 계수이다. 수식 (3)의 상세에 대하여는, 일본 특허 출원 공개 평6-275697호 공보를 참조하라. 산소의 방출량은 ESCO사 제조의 승은 이 탈 분석 장치, EMD-WA 1000S/W를 사용하고, 기준 샘플로서 1×10^{16} atoms/cm³의 농도에서 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정하였다.

[0242] 또한, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자간의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가하는 것을 통해 산소 원자의 방출량에 대하여도 추정할 수 있다.

[0243] 여기서, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산한 산소의 방출량은 산소 분자의 방출량의 2배이다.

[0244] 또한, 가열 처리에 의해 산소를 방출하는 막은, 과산화 라디칼을 포함할 수도 있다. 구체적으로, 과산화 라디칼에 기인하는 스핀 밀도는 5×10^{17} spins/cm³ 이상이다. 과산화 라디칼을 포함하는 막은 ESR에서 g 인수가 대략 2.01인 비대칭 신호를 가질 수도 있다는 것에 유의하라.

- [0245] 과잉 산소를 포함하는 절연막은 산소가 과잉인 산화 실리콘($\text{SiO}_x(X>2)$)일 수도 있다. 산소가 과잉인 산화 실리콘($\text{SiO}_x(X>2)$)에서, 단위 체적당 산소 원자수는 단위 체적당 실리콘 원자수의 2배보다 많다. 단위 체적당의 실리콘 원자수 및 산소 원자수는 RBS에 의해 측정된 값이다.
- [0246] 소스 전극(116a) 및 드레인 전극(116b)은 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈륨 및 텅스텐 중 한가지 이상을 포함하는 도전막을, 단층 또는 적층으로 사용하여 형성할 수 있다. 소스 전극(116a) 및 드레인 전극(116b)은 동일한 조성 또는 다른 조성을 가질 수도 있다는 것에 유의하라.
- [0247] 여기서, 소스 전극(116a) 및 드레인 전극(116b)에 사용할 수 있으며 산화되기 쉽지 않은 도전층(116a2), 도전층(116a4), 도전층(116b2) 및 도전층(116b4)에는 질화 티타늄, 질화 탄탈륨, 질화 몰리브덴 등이 제공될 수 있으며, 바람직하기로는 질화 티타늄이 사용된다.
- [0248] 소스 전극(116a) 및 드레인 전극(116b)에 사용할 수 있는 도전층(116a1), 도전층(116a3), 도전층(116b1) 및 도전층(116b3)에는 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈륨 및 텅스텐이 사용된다.
- [0249] 게이트 절연막(112)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈 중 1가지 이상을 포함하는 절연막을 단층 또는 적층으로 사용하여 형성될 수도 있다.
- [0250] 게이트 절연막(112)은 예를 들어, 첫번째 층으로서의 질화 실리콘층과 2번째 층으로서의 산화 실리콘층을 포함하는 다층막일 수도 있다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은 질화 산화 실리콘층일 수도 있다. 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로, 전자 스핀 공명(ESR)에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도가 3×10^{17} spins/cm² 이하, 바람직하기로는 5×10^{16} spins/cm² 이하인 산화 실리콘층을 사용한다. 산화 실리콘층으로서, 과잉 산소를 갖는 산화 실리콘층을 사용하는 것이 바람직하다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 수소 또는 암모니아의 방출량은 TDS에 의해 측정될 수도 있다.
- [0251] 게이트 절연막(112)의 두께는 산화물층(105a) 및 하지 절연막(102)의 형상에 따라 적절하게 설정된다. 여기서, 산화물층(105a)의 두께는 H_{S1} 로 표기하고, 하지 절연막(102)의 제2 영역의 두께와 제3 영역의 두께간의 차이는 H_{01} 로 표기하고, 제1 영역의 두께와 제2 영역의 두께간의 차이를 H_{02} 로 표기한다. 이 경우, 게이트 절연막(112)의 두께는 $(H_{S1}+H_{02}+H_{01})$ 이하, 바람직하기로는 $(H_{S1}+H_{02})$ 이하, 더욱 바람직하기로는 H_{S1} 이하이다. 구체적으로, 게이트 절연막(112)의 두께는 100nm 이하, 바람직하기로는 50nm 이하, 더욱 바람직하기로는 30nm 이하, 더더욱 바람직하기로는 20nm 이하이다. 게이트 절연막(112)의 두께를 상술한 범위로 함으로써, 산화물층(105c)을 통해 산화물 반도체층(106)에 게이트 전극(104)으로부터의 전계를 인가 할 수 있으며, 트랜지스터의 온/오프 전환이 빠르게 행하여 지고, 트랜지스터를 고속으로 동작시킬 수 있다.
- [0252] 게이트 전극(104)은 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈륨 및 텅스텐 중 1가지 이상을 포함하는 도전막을 단층 또는 적층으로 사용하여 형성될 수 있다.
- [0253] 본 발명은 도 21의 (a)에 도시한 바와 같이, 다층막(108)이 게이트 전극(104)으로 완벽하게 도포되지 않은 구조에 한정되지 않고, 다층막(108)은 게이트 전극(104)으로 완벽하게 도포될 수도 있다. 이러한 구조를 구비함으로써, 기판(100)측으로부터 광이 입사하는 경우, 다층막(108)내의 광에 의한 캐리어의 생성이 억제될 수 있다.
- [0254] 도 21의 (a)에서는, 다층막(108)의 에지가 게이트 전극(104)의 에지보다 외측에 위치하고 있지만, 다층막(108)의 에지는, 다층막(108)내의 광에 의한 캐리어의 생성을 억제하기 위해, 게이트 전극(104)의 에지보다 내측에 위치할 수도 있다.
- [0255] 보호 절연막(118)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈 중 1가지 이상을 포함하는 절연막을 단층 또는 적층으로 사용하여 형성될 수도 있다.
- [0256] 보호 절연막(118)은 예를 들어, 첫번째 층으로서의 산화 실리콘층과 2번째 층으로서의 질화 실리콘층을 포함하는 다층막일 수도 있다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은

질화 산화 실리콘층일 수도 있다. 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로, ESR에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하기로는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 수소 또는 암모니아의 방출량은 TDS에 의해 측정될 수도 있다. 또한, 질화 실리콘층으로서, 산소를 투과하지 않는 또는 거의 투과하지 않는 질화 실리콘층을 사용한다.

[0257] 대안적으로, 보호 절연막(118)은 예를 들어, 첫번째 층으로서의 제1 산화 실리콘층, 2번째 층으로서의 제2 산화 실리콘층, 3번째 층으로서의 질화 실리콘층을 포함하는 다층막일 수도 있다. 이 경우, 제1 산화 실리콘층 및/또는 제2 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은 질화 산화 실리콘층일 수도 있다. 제1 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로, ESR에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도가 3×10^{17} spins/cm³ 이하, 바람직하기로는 5×10^{16} spins/cm³ 이하인 산화 실리콘층을 사용한다. 제2 산화 실리콘층으로서, 과잉 산소를 갖는 산화 실리콘층을 사용한다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 또한, 질화 실리콘층으로서, 산소를 투과하지 않는 또는 거의 투과하지 않는 질화 실리콘층을 사용한다.

[0258] 하지 절연막(102) 및 게이트 절연막(112), 또는 하지 절연막(102) 및 보호 절연막(118)이 과잉 산소를 포함하는 절연막을 포함하는 경우, 다층막(108)은 과잉 산소를 포함하는 절연막에 의해 둘러싸일 수 있다. 다층막(108)이 과잉 산소를 포함하는 절연막에 의해 둘러싸인 구조를 구비함으로써, 산화물 반도체층(106)의 산소 결손을 효과적으로 저감할 수 있다.

[0259] 상술한 구조를 갖는 트랜지스터는 산화물 반도체층(106)이 산화물층(105)에 의해 둘러싸인 다층막(108)을 포함하기 때문에 안정된 전기 특성과 높은 전계 효과 이동도를 갖는다. 또한, 다층막(108)의 일부로서 곡면화된 측면을 갖는 산화물층(105)이 제공되고, 두께가 다른 3개의 영역을 갖는 하지 절연막(102)이 제공됨으로써, 트랜지스터 위에 형성되는 막의 단차 피복성은 높고 트랜지스터는 보다 안정된 전기 특성을 갖는다.

[0260] <3-2. 트랜지스터 구조(1)의 제조 방법>

[0261] 다음으로, 도 21의 (a) 내지 (c)에 나타난 트랜지스터의 제조 방법에 대하여 도 24의 (a) 내지 (c)와 도 25의 (a) 및 (b)를 참조하여 설명할 것이다.

[0262] 첫번째로, 기판(100)을 준비한다.

[0263] 다음으로, 하지 절연막(102)이 되는 절연막을 형성한다.

[0264] 여기서, 하지 절연막(102)이 되는 절연막이 3층 구조를 갖는 경우에 대하여 설명한다. 첫번째로, 질화 실리콘층을 형성한다. 다음으로, 제1 산화 실리콘층을 형성한다. 다음으로, 산화 실리콘층에 산소 이온을 첨가하는 처리를 행할 수도 있다. 산소 이온을 첨가하는 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하여 행할 수도 있다. 이온 도핑 장치로서, 질량 분리 기능을 갖는 이온 도핑 장치를 사용할 수도 있다. 산소 이온의 원료로서, ¹⁶O₂ 또는 ¹⁸O₂와 같은 산소 가스, 아산화질소 가스 또는 오존 가스 등을 사용할 수도 있다. 다음으로, 제2 산화 실리콘층을 형성하여, 하지 절연막(102)이 되는 절연막을 형성한다.

[0265] 질화 실리콘층은 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로, 고주파 전력은 다음 조건하에서 공급된다: 기판 온도는 180℃ 이상 400℃ 이하, 바람직하기로는 200℃ 이상 370℃ 이하가 되도록 설정하고; 실리콘을 포함하는 퇴적성 가스, 질소 가스 및 암모니아 가스를 사용하고; 압력은 20Pa 이상 250Pa 이하, 바람직하기로는 40Pa 이상 200Pa 이하가 되도록 설정한다.

[0266] 질소 가스의 유량은 암모니아 가스의 유량보다 5배 내지 50배, 바람직하기로는 10배 내지 50배 높다. 암모니아 가스를 사용함으로써 실리콘을 포함하는 퇴적성 가스 및 질소 가스의 분해를 촉진할 수 있다. 이것은 암모니아 가스가 플라즈마 에너지 또는 열에너지에 의해 해리되고(dissociate), 이러한 해리에 의해 발생하는 에너지가 실리콘을 포함하는 퇴적성 가스의 분자 결합 및 질소 가스의 분자 결합의 분해에 기여하기 때문이다.

[0267] 따라서, 수소 가스 및 암모니아 가스가 덜 방출되는 질화 실리콘층을 형성할 수 있다. 또한, 수소의 함유량이 적기 때문에, 수소, 물 및 산소가 투과되지 않거나 거의 투과되지 않는 치밀한 질화 실리콘층을 형성할 수 있다.

[0268] 제1 산화 실리콘층은 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로, 전극에 0.17W/cm² 이상

0.5W/cm² 이하, 바람직하기로는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 다음 조건하에서 공급한다: 기판 온도는 160℃ 이상 350℃ 이하, 바람직하기로는 180℃ 이상 260℃ 이하가 되도록 설정하고; 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 사용하고; 압력은 100Pa 이상 250Pa 이하, 바람직하기로는 100Pa 이상 200Pa 이하가 되도록 설정한다.

- [0269] 상술한 방식으로, 플라즈마 내의 가스 분해 효율이 향상되고, 산소 라디칼이 증가하고, 가스의 산화가 촉진되며; 그 결과, 제1 산화 실리콘층은 과잉 산소를 포함할 수 있다.
- [0270] 제2 산화 실리콘층은 CVD법의 일종인 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로, 전극에 고주파 전력을 다음 조건하에서 공급한다: 기판 온도는 180℃ 이상 400℃ 이하, 바람직하기로는 200℃ 이상 370℃ 이하가 되도록 설정하고; 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 사용하고; 압력은 20Pa 이상 250Pa 이하, 바람직하기로는 40Pa 이상 200Pa 이하가 되도록 설정한다. 실리콘을 포함하는 퇴적성 가스의 대표적인 예는 실란, 디실란, 트리실란 및 불화 실란을 포함한다는 것에 유의하라. 산화성 가스의 예는 산소, 오존, 아산화질소 및 이산화질소를 포함한다.
- [0271] 산화성 가스의 유량은 실리콘을 포함하는 퇴적성 가스보다 100배만큼 높게 되도록 설정함으로써, 제2 산화 실리콘층내의 수소 함유량 및 탭글링 결함을 저감할 수 있다.
- [0272] 이러한 방식으로, 결함 밀도가 낮은 제2 산화 실리콘층을 형성한다. 즉, 제2 산화 실리콘층은 ESR에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도를 3×10^{17} spins/cm² 이하 또는 5×10^{16} spins/cm² 이하로 할 수 있다.
- [0273] 다음으로, 산화물 반도체층(106)과, 산화물 반도체층(106)을 둘러싸는 산화물층(105)을 포함하는 다층막(108)을 형성한다. 이때, 하지 절연막(102)이 되는 절연막은 부분적으로 에칭되어 하지 절연막(133)이 된다(도 24의 (a) 참조). 하지 절연막(133) 및 다층막(108)의 형성 방법에 대해서는, 도 11의 (a) 내지 (c), 도 12의 (a) 내지 (c), 도 13의 (a) 및 (b), 도 14의 (a) 내지 (c), 및 도 15의 (a) 내지 (c)의 기재를 참조할 수 있다.
- [0274] 다음으로, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 형성한다. 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막은 소스 전극(116a) 및 드레인 전극(116b)의 일례로서 제공된 임의의 도전막을 스퍼터링법, 화학 기상 성장(CVD)법, 분자선 에피택시(MBE)법, 원자층 퇴적(ALD)법, 또는 펄스 레이저 퇴적(PLD)법에 의해 형성할 수도 있다.
- [0275] 다음으로, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 부분적으로 에칭하여, 소스 전극(116a) 및 드레인 전극(116b)을 형성한다. 이와 동시에, 하지 절연막(133)이 부분적으로 에칭되어, 하지 절연막(102)이 된다(도 24의 (b) 참조). 하지 절연막(102)은 2번 부분적으로 에칭되어, 두께가 다른 3개의 영역을 갖는다.
- [0276] 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 스퍼터링법에 의해 형성하는 경우, 성막시에 다층막(108)의 표면에 플라즈마에 의한 대미지가 발생할 수 있으며, 산소 결손이 형성될 수 있다. 또한, 형성된 산소 결손에는 수소가 도입될 수 있다.
- [0277] 다층막(108)에 In-M-Zn 산화물을 사용할 경우, 플라즈마 대미지에 의해 In, M, Zn과 결합하는 산소가 이탈한다. 산소가 이탈함으로써 생성된 In, M 또는 Zn의 탭글링 결함이 수소에 의해 종단(terminate)할 경우, In-H 결합, M-H 결합 또는 Zn-H 결합이 형성될 수 있다. 특히, 이온 반경이 가장 크고, 산소와의 결합력이 가장 약한 In과 결합하고 있는 산소가 이탈하기 쉽기 때문에; In-O-In 결합이 절단되고 In-Vo가 형성되며, H가 In-Vo에 도입될 경우, In-VoH가 쉽게 형성된다.
- [0278] 따라서, 소스 전극(116a) 및 드레인 전극(116b)이 되는 도전막을 형성한 후, 도전막과 접하는 다층막(108)의 표면은 n형 도전성을 가질 수 있다.
- [0279] 플라즈마 대미지가 유발되고 소스 전극(116a) 및 드레인 전극(116b)을 형성하기 위한 에칭시 다층막(108)이 또한 에칭되는 경우에도, Ga-O-Ga(Zn-O-Zn) 결합은 강한 결합력으로 인해 절단되지 않고 결정성을 유지할 수 있는 것에 유의하라.
- [0280] 여기서, 다층막(108)의 n형 부분과 접하여 과잉 산소를 포함하는 게이트 절연막(112)을 형성하고, 게이트 절연막(112)과 접하는 다층막(108)의 영역에 산소를 공급하는 가열 처리를 행하는 것이 효과적이다.
- [0281] 가열 처리를 행함으로써, 다층막(108)의 채널 형성 영역의 n형 영역에 포함되는 In-VoH에 산소가 공급되어, 다시 In-O-In 결합을 형성할 수 있다. 이것은 Ga-O-Ga(Zn-O-Zn) 결합이 절단되지 않기 때문에, 결합 상태가 변형 에너지에 의해 초기 상태로 복귀하기 때문이다. 또한, 가열 처리에 의해, 산소 결손부에 도입된 수소는 물로서

외부에 방출할 수 있다. 즉, 가열 처리에 의해 다층막(108)에 산소를 공급할 경우, n형 채널 영역은 i형 채널 영역으로 복귀할 수 있다.

- [0282] 또한, 가열 처리의 온도 및 가열 시간을 적절히 조정함으로써, 소스 전극(116a) 및 드레인 전극(116b)과 접하는 영역에 In-VoH를 잔존시키고, 이와 동시에 채널 영역은 i형 채널 영역이 될 수 있다. 이 경우, 소스 영역(108a) 또는 드레인 영역(108b)으로서 기능하는 n층을 포함하고 진성 또는 실질적으로 진성인 채널 형성 영역인 다층막(108)을 형성할 수 있다.
- [0283] n형 채널 형성 영역에 가열 처리 대신에(또는 가열 처리에 추가하여), 영역에 수행되는 N₂O 플라즈마 처리 또는 레지스트를 애싱하기 위한 플라즈마 처리에 의해 산소를 공급할 수도 있다는 것에 유의하라.
- [0284] 상술한 방식으로, 소스 전극(116a) 및 드레인 전극(116b)과 접하는 다층막(108)의 영역에 소스 영역(108a) 및 드레인 영역(108b)을 형성할 수 있고, 다층막(108)의 채널 형성 영역은 진성 또는 실질적으로 진성으로 할 수 있다.
- [0285] 다음으로, 게이트 절연막(112)을 형성한다(도 24의 (c) 참조). 게이트 절연막(112)은 게이트 절연막(112)으로서 제공된 상술한 절연막들 중 임의의 것을 사용하여 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성할 수도 있다. 다층막(108)의 일부로서 곡면화된 측면을 갖는 산화물층(105c)이 제공되고, 하지 절연막(102)이 두께가 다른 3개의 영역을 가짐으로써, 게이트 절연막(112)의 단차 피복성이 높고 형상 불량이 쉽게 발생하지 않는다.
- [0286] 다음으로, 게이트 전극(104)이 되는 도전막을 형성한다. 게이트 전극(104)이 되는 도전막은 게이트 전극(104)으로서 제공된 상술한 도전막들 중 임의의 것을 사용하여 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성할 수도 있다.
- [0287] 다음으로, 게이트 전극(104)이 되는 도전막을 부분적으로 에칭하여 게이트 전극(104)을 형성한다(도 25의 (a) 참조).
- [0288] 다음으로, 보호 절연막(118)을 형성한다(도 25의 (b) 참조). 보호 절연막(118)은 보호 절연막(118)으로서 제공된 상술한 절연막들 중 임의의 것을 사용하여 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성할 수도 있다. 다층막(108)의 일부로서 곡면화된 측면을 갖는 산화물층(105c)이 제공되고, 하지 절연막(102)이 두께가 다른 3개의 영역을 가짐으로써, 보호 절연막(118)의 단차 피복성이 높고 형상 불량이 쉽게 발생하지 않는다.
- [0289] 여기서, 보호 절연막(118)을 3층 구조로 하는 경우에 대하여 설명한다. 첫째로, 제1 산화 실리콘층을 형성한다. 다음으로, 제2 산화 실리콘층을 형성한다. 다음으로, 제2 산화 실리콘층에 산소 이온을 첨가하는 처리를 행하는 것이 바람직하다. 산소 이온을 첨가하는 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하여 행할 수도 있다. 이온 도핑 장치로서, 질량 분리 기능을 갖는 이온 도핑 장치를 사용할 수도 있다. 산소 이온의 원료로서, ¹⁶O₂ 또는 ¹⁸O₂와 같은 산소 가스, 아산화질소 가스 또는 오존 가스 등을 사용할 수도 있다. 다음으로, 질화 실리콘층을 형성하여, 보호 절연막(118)을 형성한다.
- [0290] 제1 산화 실리콘층은 CVD법의 일종인 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로, 고주파 전력은 다음 조건하에서 전극에 공급된다: 기관 온도는 180℃ 이상 400℃ 이하, 바람직하기로는 200℃ 이상 370℃ 이하가 되도록 설정하고; 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 사용하고; 압력은 20Pa 이상 250Pa 이하, 바람직하기로는 40Pa 이상 200Pa 이하가 되도록 설정한다. 실리콘을 포함하는 퇴적성 가스의 대표적인 예는 실란, 디실란, 트리실란 및 불화 실란을 포함한다는 것에 유의하라. 산화성 가스의 예는 산소, 오존, 아산화질소 및 이산화질소를 포함한다.
- [0291] 산화성 가스의 유량을 실리콘을 포함하는 퇴적성 가스에 비해 100배 이상 높게 설정함으로써, 제1 산화 실리콘층내의 수소 함유량을 및 탱글링 결함을 저감할 수 있다는 것에 유의하라.
- [0292] 이러한 방식으로, 결함 밀도가 낮은 제1 산화 실리콘층을 형성한다. 즉, 제1 산화 실리콘층은 ESR에서 g 인수가 2.001인 신호에 대응하는 스핀의 밀도가 3×10¹⁷ spins/cm² 이하 또는 5×10¹⁶ spins/cm² 이하를 가질 수 있다.
- [0293] 제2 산화 실리콘층은 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로는, 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하기로는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 다음 조건하에서 공급한다: 기관 온도는 160℃ 이상 350℃ 이하, 바람직하기로는 180℃ 이상 260℃ 이하가 되도록 설정하고; 실리콘을 포함하는

퇴적성 가스 및 산화성 가스를 사용하고; 압력은 100Pa 이상 250Pa 이하, 바람직하기로는 100Pa 이상 200Pa 이하가 되도록 설정한다.

- [0294] 상술한 방식으로, 플라즈마내에서의 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하고, 가스의 산화가 촉진되며; 그 결과, 제2 산화 실리콘층은 과잉 산소를 포함할 수 있다.
- [0295] 질화 실리콘층은 플라즈마 CVD법에 의해 형성하는 것이 바람직하다. 구체적으로, 고주파 전력은 다음 조건하에서 공급된다: 기관 온도는 180℃ 이상 400℃ 이하, 바람직하기로는 200℃ 이상 370℃ 이하가 되도록 설정하고, 실리콘을 포함하는 퇴적성 가스, 질소 가스 및 암모니아 가스를 사용하고; 압력은 20Pa 이상 250Pa 이하, 바람직하기로는 40Pa 이상 200Pa 이하가 되도록 설정한다.
- [0296] 질소 가스의 유량은 암모니아 가스에 비해 5배 내지 50배, 바람직하기로는 10배 내지 50배 높다는 것에 유의하라. 암모니아 가스를 사용함으로써 실리콘을 포함하는 퇴적성 가스 및 질소 가스의 분해가 촉진된다. 이것은 암모니아 가스가 플라즈마 에너지 및 열 에너지에 의해 해리되고, 이러한 해리에 의해 발생하는 에너지가 실리콘을 포함하는 퇴적성 가스의 분자 결합 및 질소 가스의 분자 결합의 분해에 기여하기 때문이다.
- [0297] 따라서, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘층을 형성할 수 있다. 또한, 수소의 함유량이 낮기 때문에, 수소, 물 및 산소가 투과되지 않거나 거의 투과되지 않는 치밀한 질화 실리콘층을 형성할 수 있다.
- [0298] 다음으로, 가열 처리를 행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하기로는 300℃ 이상 500℃ 이하에서 수행된다. 가열 처리는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기, 또는 감압 상태에서 수행된다. 대안적으로, 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 방식으로 가열 처리를 행할 수도 있다. 가열 처리에 의해, 하지 절연막(102), 게이트 절연막(112), 보호 절연막(118) 중 적어도 어느 하나로부터 과잉 산소가 방출되기 때문에; 다층막(108)의 산소 결손을 저감할 수 있다. 다층막(108)에서, 산소 결손이 인접하는 산소 원자를 포획하여, 산소 결손이 이동하는 것처럼 보인다는 것에 유의하라. 따라서, 과잉 산소는 산화물층(105a), 산화물층(105b), 산화물층(105c) 등을 통하여 산화물 반도체층(106)에 도달할 수 있다.
- [0299] 상술한 방식으로, 트랜지스터를 제조할 수 있다.
- [0300] 이 트랜지스터는 다층막(108)의 산소 결손이 저감되기 때문에, 안정된 전기 특성을 가지고 적은 수의 DOS가 존재하게 된다. 또한, 다층막(108)의 일부로서 곡면화된 측면을 갖는 산화물층(105)이 제공되고, 하지 절연막(102)이 두께가 다른 3개의 영역을 가짐으로써; 게이트 절연막(112), 보호 절연막(118) 등의 단차 피복성이 높고, 형상 불량이 발생하기 쉽지 않다. 이것은 생산성을 향상시킬 수 있게 한다.
- [0301] <3-2-1. 제조 장치>
- [0302] 산화물 반도체층(106)이 낮은 불순물 농도를 가짐으로써, 트랜지스터의 전기 특성은 안정하게 된다. 또한, 산화물 반도체층(106)이 높은 결정성을 가짐으로써, 산화물 반도체층(106)이 비정질 구조인 경우에 비하여, 트랜지스터의 전기 특성은 안정하게 된다. 이하에서는, 불순물 농도가 낮고, 결정성이 높은 산화물 반도체층(106)이 되는 산화물 반도체층(136)을 형성하기 위한 성막 장치에 대하여 설명할 것이다.
- [0303] 첫번째로, 성막동안 불순물이 도입이 적은 성막 장치의 구조에 대하여 도 26의 (a) 및 (b)를 참조하여 설명한다.
- [0304] 도 26의 (a)는 멀티 챔버 성막 장치의 상면도이다. 이 성막 장치는 기관을 수용하는 3개의 카세트 포트(74)가 제공된 대기측 기관 공급실(71), 로드 로크실(72a), 언로드 로크실(72b), 반송실(73), 반송실(73a), 반송실(73b), 기관 가열실(75), 성막실(70a) 및 성막실(70b)을 포함한다. 대기측 기관 공급실(71)은 로드 로크실(72a) 및 언로드 로크실(72b)에 접속된다. 로드 로크실(72a) 및 언로드 로크실(72b)은 각각 반송실(73a) 및 반송실(73b)을 통해 반송실(73)에 접속된다. 기관 가열실(75), 성막실(70a) 및 성막실(70b)은 반송실(73)에만 접속된다. 각 실들간의 접속부에는 게이트 밸브(GV)가 제공되어, 대기측 기관 공급실(71)을 제외한 각 실은 독립적으로 진공 상태를 유지할 수 있다. 또한, 대기측 기관 공급실(71) 및 반송실(73)은 각각 기관을 반송할 수 있는, 1개 이상의 반송 로봇(76)을 포함한다. 여기서, 기관 가열실(75)은 플라즈마 처리실로서도 기능하는 것이 바람직하다. 멀티 챔버 성막 장치를 사용함으로써, 처리간에 기관을 대기에 노출시키지 않고 반송 가능하며, 기관에 불순물이 흡착하는 것을 억제할 수 있다. 또한, 성막, 열처리 등의 순서는 자유롭게 결정할

수 있다. 반송실, 성막실, 로드 로크실, 언로드 로크실 및 기관 가열실의 개수는 상술한 개수에 한정되지 않으며, 배치 공간 또는 공정에 따라 적절하게 결정할 수 있다는 것에 유의하라.

- [0305] 도 26의 (b)는 도 26의 (a)에 도시된 구조와 상이한 멀티 챔버 성막 장치의 상면도이다. 이 성막 장치는 카세트 포트(84)를 갖는 대기측 기관 공급실(81), 로드/언로드 로크실(82), 반송실(83), 기관 가열실(85), 성막실(80a), 성막실(80b), 성막실(80c) 및 성막실(80d)을 포함한다. 대기측 기관 공급실(81), 기관 가열실(85), 성막실(80a), 성막실(80b), 성막실(80c) 및 성막실(80d)은 반송실(83)을 통해 서로 접속된다.
- [0306] 각 실들간의 접속부에는 게이트 밸브(GV)가 제공되어, 대기측 기관 공급 실(81)을 제외한 각 실은 독립적으로 진공 상태를 유지할 수 있다는 것에 유의하라. 또한, 대기측 기관 공급 실(81) 및 반송실(83)은 각각 유리 기관을 반송할 수 있는, 1개 이상의 기관 반송 로봇(86)을 포함한다.
- [0307] 여기서, 도 27의 (a)를 참조하여 도 26의 (b)에 도시된 성막실(스퍼터링실)의 상세에 대하여 설명한다. 성막실(80b)은 타깃(87), 부착 방지판(88) 및 기관 스테이지(90)를 포함한다. 여기에서, 기관 스테이지(90)에는, 유리 기관(89)이 배치되어 있다는 것에 유의하라. 도시되지 않았지만, 기관 스테이지(90)는 유리 기관(89)을 유지하는 기관 유지 메카니즘, 유리 기관(89)을 배면으로부터 가열하는 후방 히터 등을 포함할 수도 있다. 부착 방지판(88)은 타깃(87)로부터 스퍼터되는 입자가 불필요한 영역에 퇴적하는 것을 억제할 수 있다.
- [0308] 도 27의 (a)에 나타난 성막실(80b)은 게이트 밸브를 통해 반송실(83)에 접속되고, 반송실(83)은 게이트 밸브를 통해 로드/언로드 로크실(82)에 접속된다. 반송실(83)에는 기관 반송 로봇(86)이 제공되고, 성막실(80b)과 로드/언로드 로크실(82)간에는 유리 기관을 전달할 수 있다. 로드/언로드 로크실(82)은 수평으로 2개로 나뉘어져 있다: 이들 중 하나는 로드실로서 사용될 수 있고, 다른 하나는 언로드실로서 사용될 수 있다. 이러한 구조는 스퍼터링 장치의 설치 공간을 줄일 수 있기 때문에 바람직하다.
- [0309] 도 27의 (a)에 나타난 성막실(80b)은 매스 플로우 컨트롤러(97)를 통해 정제기(94)에 접속된다. 또한, 정제기(94) 및 매스 플로우 컨트롤러(97)는 가스 종류의 개수에 따라 제공되지만, 간략화를 위하여 하나의 정제기(94)와 하나의 매스 플로우 컨트롤러(97)만이 도시되어 있다는 것에 유의하라. 성막실(80b) 등에 도입되는 가스로서는, 이슬점이 -80°C 이하, 바람직하기로는 -100°C 이하인 가스가 사용된다. 이슬점이 낮은 산소 가스, 희가스(예를 들어, 아르곤 가스) 등을 사용함으로써, 성막시에 도입되는 수분을 저감할 수 있다.
- [0310] 도 27의 (a)에 나타난 성막실(80b)은 밸브를 통해 크라이오 펌프(95a)에 접속된다. 반송실(83)은 게이트 밸브를 통해 크라이오 펌프(95b)에 접속된다. 로드/언로드 로크실(82)은 게이트 밸브를 통해 진공 펌프(96)에 접속된다. 로드/언로드 로크실(82)에서, 로드 로크실 및 언로드 로크실은 각각의 진공 펌프에 접속될 수도 있다는 것에 유의하라. 또한, 성막실(80b) 및 반송실(83)은 각각 게이트 밸브를 통해 진공 펌프(96)에 접속된다.
- [0311] 진공 펌프(96)는 예를 들어, 드라이 펌프 및 메커니컬 부스터 펌프가 직렬로 접속된 것일 수도 있다는 것에 유의하라. 이러한 구조를 구비함으로써, 성막실(80b) 및 반송실(83)은 대기압으로부터 저진공(약 0.1Pa 내지 10Pa)까지는 진공 펌프(96)에 의해 배기하고나서, 밸브를 전환한 후, 저진공으로부터 고진공($1 \times 10^{-4}\text{Pa}$ 내지 $1 \times 10^{-7}\text{Pa}$)까지는 크라이오 펌프(95a 또는 95b)에 의해 배기한다.
- [0312] 다음으로, 도 27의 (b)를 참조하여 도 26의 (b)에 나타난 성막실의 다른 일례에 대하여 설명할 것이다.
- [0313] 도 27의 (b)에 나타난 성막실(80b)은 게이트 밸브를 통해 반송실(83)에 접속되고, 반송실(83)은 게이트 밸브를 통해 로드/언로드 로크실(82)에 접속된다.
- [0314] 도 27의 (b)에서의 성막실(80b)은 가스 가열 시스템(98)을 통해 매스 플로우 컨트롤러(97)에 접속되고, 가스 가열 시스템(98)은 매스 플로우 컨트롤러(97)를 통해 정제기(94)에 접속된다. 가스 가열 시스템(98)을 구비함으로써, 성막실(80b)에 사용하는 가스를 40°C 이상 400°C 이하, 바람직하기로는 50°C 이상 200°C 이하로 가열할 수 있다. 가스 가열 시스템(98), 정제기(94) 및 매스 플로우 컨트롤러(97)는 가스 종류의 개수에 따라 제공될 수 있지만, 하나의 가스 가열 시스템(98), 하나의 정제기(94) 및 하나의 매스 플로우 컨트롤러(97)만이 간략화를 위해 제공되어 있다는 것에 유의하라.
- [0315] 도 27의 (b)에 나타난 성막실(80b)은 밸브를 통해 각각 터보 분자 펌프(95c) 및 진공 펌프(96b)에 접속된다. 터보 분자 펌프(95c)에는 보조 펌프로서, 밸브를 통해 진공 펌프(96a)가 제공된다는 것에 유의하라. 진공 펌프(96a) 및 진공 펌프(96b)는 진공 펌프(96)의 구조와 유사한 구조를 가질 수 있다.
- [0316] 또한, 도 27의 (b)에 나타난 성막실(80b)에는 크라이오 트랩(99)이 제공된다.

- [0317] 터보 분자 펌프(95c)는 큰 사이즈의 분자(원자)를 안정되게 배기하고, 유지 보수의 빈도가 낮기 때문에, 생산성이 높은 반면, 수소 및 물의 배기 능력이 낮다고 알려져 있다. 따라서, 물과 같은 비교적 응점이 높은 분자(원자)에 대한 배기 능력이 높은 크라이오 트랩(99)은 성막실(80b)에 접속된다. 크라이오 트랩(99)의 냉동기 온도는 100K 이하, 바람직하기로는 80K 이하가 되도록 설정된다. 크라이오 트랩(99)이 복수의 냉동기를 포함하는 경우, 냉동기는 서로 다른 온도를 갖는 것이 바람직하며, 이 경우 효율적인 배기를 수행할 수 있다. 예를 들어, 1단계 냉동기와 2단계 냉동기의 온도를 각각 100K 이하와 20K 이하가 되도록 설정할 수도 있다.
- [0318] 도 27의 (b)에 나타낸 반송실(83)은 진공 펌프(96b), 크라이오 펌프(95d) 및 크라이오 펌프(95e)에 각각 밸브를 통해 접속된다. 크라이오 펌프가 1개인 경우, 크라이오 펌프를 재생(regeneration)하고 있는 동안에는 배기할 수 없지만; 크라이오 펌프를 2개 이상 병렬로 접속하고 있는 경우, 1개의 크라이오 펌프가 재생중에 있다고 하더라도, 나머지 크라이오 펌프들 중 임의의 것을 사용하여 배기할 수 있다. 크라이오 펌프의 재생은 크라이오 펌프내에 포획된 분자(원자)를 방출하는 처리를 의미한다는 것에 유의하라. 크라이오 펌프내에 분자(원자)가 너무 많이 포획되면, 크라이오 펌프의 배기 능력이 저하되기 때문에; 정기적으로 재생이 행해진다.
- [0319] 도 27의 (b)에 나타낸 로드/언로드 로크실(82)은 크라이오 펌프(95f) 및 진공 펌프(96c)에 각각 밸브를 통해 접속된다. 진공 펌프(96c)는 진공 펌프(96)의 구조와 유사한 구조를 가질 수도 있다는 것에 유의하라.
- [0320] 성막실(80b)에서, 타겟 대향식 스퍼터링 장치를 사용할 수도 있다.
- [0321] 성막실(80b)에 평행 평판형 스퍼터링 장치 또는 이온빔 스퍼터링 장치가 제공될 수도 있다는 것에 유의하라.
- [0322] 다음으로, 도 28을 참조하여 도 26의 (b)에 나타낸 기관 가열실의 배기 예에 대하여 설명한다.
- [0323] 도 28에 나타낸 기관 가열실(85)은 게이트 밸브를 통해 반송실(83)에 접속된다. 반송실(83)은 게이트 밸브를 통해 로드/언로드 로크실(82)에 접속된다는 것에 유의하라. 로드/언로드 로크실(82)의 구조는 도 27의 (a) 또는 도 27의 (b)에 나타낸 구조와 유사하다는 것에 유의하라.
- [0324] 도 28에 나타낸 기관 가열실(85)은 매스 플로우 컨트롤러(97)를 통해 정제기(94)에 접속된다. 정제기(94)와 매스 플로우 컨트롤러(97)는 가스 종류의 개수에 따라 제공되지만, 간단화를 위하여 하나의 정제기(94)와 하나의 매스 플로우 컨트롤러(97)만이 도시되어 있다는 것에 유의하라. 또한, 기관 가열실(85)은 밸브를 통해 진공 펌프(96b)에 접속된다.
- [0325] 또한, 기관 가열실(85)은 기관 스테이지(92)를 포함한다. 기관 스테이지(92)위에는 적어도 1개의 기관이 설치되고, 복수의 기관을 설치할 수 있는 기관 스테이지가 기관 스테이지(92)로서 사용될 수도 있다. 기관 가열실(85)은 또한 가열 메카니즘(93)을 포함한다. 가열 메카니즘(93)은 예를 들어, 저항 발열체를 사용하여 가열하는 것일 수도 있다. 대안적으로, 가열된 가스와 같은 매체로부터의 열전도 또는 열복사는 가열 메카니즘으로서 사용될 수도 있다. 예를 들어, GRTA(gas rapid thermal annealing) 장치, LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal annealing) 장치를 사용할 수 있다. LRTA 장치는 할로젠 램프, 메탈 할라이드 램프, 크논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프와 같은 램프로부터 발산되는 광(전자기파)의 복사에 의해, 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온의 가스를 사용하여 열처리를 행한다. 가스로서는 불활성 가스가 사용된다.
- [0326] 성막실(80b) 및 기관 가열실(85)의 배압(back pressure)은 1×10^{-4} Pa 이하, 바람직하기로는 3×10^{-5} Pa 이하, 더욱 바람직하기로는 1×10^{-5} Pa 이하임에 유의하라.
- [0327] 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 18인 기체 분자(원자)의 분압(partial pressure)은 3×10^{-5} Pa 이하, 바람직하기로는 1×10^{-5} Pa 이하, 더욱 바람직하기로는 3×10^{-6} Pa 이하이다.
- [0328] 또한, 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 28인 기체 분자(원자)의 분압은 3×10^{-5} Pa 이하, 바람직하기로는 1×10^{-5} Pa 이하, 더욱 바람직하기로는 3×10^{-6} Pa 이하이다.
- [0329] 또한, 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 44인 기체 분자(원자)의 분압은 3×10^{-5} Pa 이하, 바람직하기로는 1×10^{-5} Pa 이하, 더욱 바람직하기로는 3×10^{-6} Pa 이하이다.
- [0330] 또한, 각각의 성막실(80b) 및 기관 가열실(85)에서, 누설 레이트(leakage rate)는 3×10^{-6} Pa · m³/s 이하, 바람직

하기로는 $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하이다.

- [0331] 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 18인 기체 분자(원자)의 누설 레이트는 $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하, 바람직하기로는 $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하이다.
- [0332] 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 28인 기체 분자(원자)의 누설 레이트는 $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하, 바람직하기로는 $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하이다.
- [0333] 또한, 각각의 성막실(80b) 및 기관 가열실(85)에서, 질량 대 전하 비(m/z)가 44인 기체 분자(원자)의 누설 레이트는 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하, 바람직하기로는 $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하이다.
- [0334] 성막실, 기관 가열실 및 반송실과 같은 진공실내의 전체 압력 및 분압은 질량분석계를 사용하여 측정할 수 있다는 것에 유의하라. 예를 들어, ULVAC 주식회사에 의해 제조된 QuLee CGM-051, 사중극형 질량 분석계(또는 Q-mass라고 칭함)를 사용할 수 있다. 누설 레이트는 질량 분석계를 사용하여 측정된 전체 압력 및 분압으로부터 도출할 수 있다는 것에 유의하라.
- [0335] 누설 레이트는 외부 누설 및 내부 누설에 따라 좌우된다. 외부 누설은 미소한 구멍, 시일링 불량 등을 통해 진공 시스템의 외부로부터의 가스의 유입을 말한다. 내부 누설은 진공 시스템내에서, 밸브와 같은 구획(partition)을 통한 누설, 또는 내부 부재로부터 방출된 가스에 기인한다. 누설 레이트가 상술한 수치 이하가 되도록 하기 위하여, 외부 누설 및 내부 누설의 양측으로부터 대책을 취할 필요가 있다.
- [0336] 예를 들어, 성막실의 개폐 부분은 메탈 가스킷으로 밀봉하는 것이 바람직하다. 메탈 가스킷으로서는 불화철, 산화 알루미늄 또는 산화 크롬으로 피복된 금속을 사용하는 것이 바람직하다. 메탈 가스킷은 O-링보다 밀착성이 높고, 외부 누설을 저감할 수 있다. 또한, 부동태(passive state)인 불화철, 산화 알루미늄, 산화 크롬 등으로 피복된 금속을 사용함으로써, 메탈 가스킷으로부터 방출되는 불순물을 포함하는 가스의 방출을 억제하여, 내부 누설을 저감할 수 있다.
- [0337] 성막 장치의 부재로서는 불순물을 포함하는 방출 가스가 적은 알루미늄, 크롬, 티타늄, 지르코늄, 니켈 또는 바나듐을 사용한다. 대안적으로, 상술한 부재로 피복된 철, 크롬 및 니켈 등을 포함하는 합금을 사용할 수도 있다. 철, 크롬 및 니켈 등을 포함하는 합금은 강성이고, 열에 강하며, 가공에 적합하다. 여기서, 표면적을 작게 하기 위하여 부재의 표면 요철을 연마 등에 의해 줄이면, 방출 가스를 저감할 수 있다.
- [0338] 대안적으로, 상술한 성막 장치의 부재를 불화철, 산화 알루미늄, 산화 크롬 등으로 피복할 수도 있다.
- [0339] 성막 장치의 부재는 최대한 금속만으로 형성하는 것이 바람직하다. 예를 들어, 석영 등으로 형성되는 뷰잉 윈도우(viewing window)가 제공될 경우에, 가스의 방출을 억제하기 위하여 뷰잉 윈도우의 표면을 불화철, 산화 알루미늄, 산화 크롬 등으로 얇게 피복하는 것이 바람직하다.
- [0340] 성막 가스가 도입되기 직전에 정제기가 제공된 경우, 정제기와 성막실간의 파이프의 길이는 10m 이하, 바람직하기로는 5m 이하, 더욱 바람직하기로는 1m 이하이다. 파이프의 길이를 10m 이하, 5m 이하, 또는 1m 이하로 할 경우, 파이프로부터의 가스 방출의 영향을 길이에 따라서 저감할 수 있다.
- [0341] 또한, 성막 가스의 파이프로서는, 불화철, 산화 알루미늄, 산화 크롬 등으로 내부가 피복된 금속 파이프를 사용하는 것이 바람직하다. 상술한 파이프를 구비함으로써, 예를 들어, SUS316L-EP 파이프에 비해, 불순물을 포함하는 가스의 방출량이 적고, 성막 가스와의 불순물의 도입을 저감할 수 있다. 또한, 파이프의 조인트(joint)에는, 고성능 초소형 메탈 가스킷 조인트(UPG 조인트)를 사용하는 것이 바람직하다. 파이프를 모두 금속으로 하는 구조를 사용하는 것이 바람직하며, 이 경우, 수지 등을 사용한 구조에 비해, 발생하는 방출 가스 또는 외부 누설의 영향을 저감할 수 있다.
- [0342] 성막실에 흡착물이 존재할 경우, 내벽 등에 흡착되기 때문에 흡착물이 성막실의 압력에 영향을 미치지 않지만; 성막실의 내부를 배기했을 때, 흡착물은 가스 방출의 원인이 된다. 따라서, 누설 레이트와 배기 속도간의 상관은 없지만, 배기 능력이 높은 펌프를 사용하여, 성막실에 존재하는 흡착물을 가능한한 많이 제거하고, 미리 배기하는 것이 중요하다. 흡착물의 제거를 촉진하기 위하여, 성막실을 베이킹(baking)할 수도 있다는 것에 유의하라. 베이킹함으로써, 흡착물의 제거 속도를 약 10배 증가시킬 수 있다. 베이킹은 100℃ 이상 450℃ 이하의 온도에서 행해야 한다. 이때, 불활성 가스를 성막실에 도입하면서 흡착물을 제거할 경우, 배기만으로는 제거하기 어려운 물 등의 제거 속도를 더욱 크게 증가시킬 수 있다. 불활성 가스를 베이킹의 온도와 실질적으로 동일

한 온도에서 가열함으로써, 흡착물의 제거 속도를 더 증가시킬 수 있다는 것에 유의하라. 여기서, 불활성 가스로서 회가스를 사용하는 것이 바람직하다. 성막하는 막의 종류에 따라, 불활성 가스 대신에 산소 등을 사용할 수도 있다. 예를 들어, 산화물 반도체층을 형성하는 경우에는, 주성분인 산소를 사용하는 것이 바람직할 경우도 있다.

[0343] 대안적으로, 가열된 회가스와 같은 가열된 불활성 가스, 가열된 산소 등을 도입하여 성막실 내의 압력을 높이고 나서, 일정시간 경과 후에 성막실의 내부를 배기하는 처리를 행하는 것이 바람직하다. 가열된 가스를 도입함으로써 성막실 내의 흡착물을 제거시킬 수 있고, 성막실 내에 존재하는 불순물을 저감할 수 있다. 이러한 처리는 2회 내지 30회, 바람직하기로는 5회 내지 15회 반복할 때 효과적임에 유의하라. 구체적으로는, 온도가 40℃ 이상 400℃ 이하, 바람직하기로는 50℃ 이상 200℃ 이하인 불활성 가스 또는 산소 등을 성막실에 도입하여, 1분 내지 300분, 바람직하기로는 5분 내지 120분의 시간 범위에서, 성막실 내의 압력을 0.1Pa 이상 10kPa 이하, 바람직하기로는 1Pa 이상 1kPa 이하, 더욱 바람직하기로는 5Pa 이상 100Pa 이하가 되도록 유지할 수 있다. 그 후, 성막실의 내부를 5분 이상 300분 이하, 바람직하기로는 10분 이상 120분 이하 동안 배기한다.

[0344] 더미 성막에 의해서도 흡착물의 제거 속도를 더 증가시킬 수 있다. 여기서, 더미 성막은 더미 기관에 스퍼터링 법 등에 의한 성막을 행하고, 더미 기관 및 성막실의 내벽에 막을 형성하여, 성막실 내의 불순물 및 성막실의 내벽의 흡착물을 막 내에 가두는 것을 말한다. 더미 기관으로서는, 방출 가스가 적은 기관을 사용하는 것이 바람직하고, 예를 들어, 후술하는 기관(100)과 유사한 기관을 사용할 수도 있다. 더미 성막을 행함으로써, 나중에 형성되는 막 내의 불순물 농도를 저감할 수 있다. 더미 성막은 성막실의 베이킹과 동시에 행할 수도 있다는 것에 유의하라.

[0345] 상술한 성막 장치를 사용하여 산화물 반도체층을 성막함으로써, 산화물 반도체층에의 불순물의 도입을 억제할 수 있다. 또한, 상술한 성막 장치를 사용하여 산화물 반도체층과 접하는 막을 형성함으로써, 산화물 반도체층과 접하는 막으로부터 산화물 반도체층에의 불순물의 도입을 억제할 수 있다.

[0346] 다음으로, 상술한 성막 장치를 사용하여, 산화물층(105a)이 되는 산화물층(135a), 산화물 반도체층(106)이 되는 산화물 반도체층(136), 및 산화물층(105b)이 되는 산화물층(135b)을 형성하기 위한 방법에 대하여 설명할 것이다.

[0347] 첫번째로, 산화물층(135a)을 형성한다. 산화물층(135a)은 실온(25℃) 이상 600℃ 이하, 바람직하기로는 70℃ 이상 550℃ 이하, 더욱 바람직하기로는 100℃ 이상 500℃ 이하인 기관 가열 온도에서 산소 가스 분위기에서 형성한다. 성막시의 가열 온도가 증가할수록, 산화물층(135a)의 불순물 농도는 감소한다. 또한, 피성막면에서 스퍼터 입자의 마이그레이션(migration)이 일어나기 쉽기 때문에; 원자 배열이 정돈되고 산화물층(135a)의 밀도가 증가하여, 산화물층(135a)의 결정성이 높아진다. 또한, 산소 가스 분위기에서 성막할 경우, 플라즈마 대미지가 경감되고 회가스 원자와 같은 여분의 원자가 산화물층(135a)내에 포함되지 않기 때문에, 결정성이 높은 산화물층(135a)이 형성된다. 산소 가스와 회가스를 포함하는 혼합 분위기에서 성막을 행할 수도 있다는 것에 유의하라. 이 경우, 산소 가스의 비율은 30vol% 이상, 바람직하기로는 50vol% 이상, 보다 바람직하기로는 80vol% 이상이 되도록 설정한다. 산화물층(135a)은 다음 스텝들 이후에 형성된다: 기관을 성막실로 반송하고; 성막 가스를 흘리고; 성막 압력을 0.8Pa 이하, 바람직하기로는 0.4Pa 이하로 설정하고; 성막 압력을 안정시키기 위하여 10초 이상 1000초 이하, 바람직하기로는 15초 이상 720초 이하 동안 유지한다. 성막 압력을 안정시키기 위하여 상술한 시간동안 유지하기 때문에, 성막하는 동안 산화물층(135a)에 도입되는 불순물의 양을 저감할 수 있다. 산화물층(135a)은 비정질 구조를 가질 수도 있기 때문에, 의도적으로 70℃ 미만의 저온에서, 산소 가스의 비율을 30vol% 미만으로 하여 산화물층(135a)을 형성할 수 있다는 것에 유의하라.

[0348] 다음으로, 산화물 반도체층(136)을 형성한다. 타깃의 표면 온도는 100℃ 이하, 바람직하기로는 50℃ 이하, 더욱 바람직하기로는 대략 실온(통상적으로, 20℃ 또는 25℃)이 되도록 설정한다. 대면적의 기관용 스퍼터링 장치에서는, 대면적의 타깃이 종종 사용된다. 그러나, 대면적의 기관용 타깃을 접합(juncture)없이 형성하는 것은 곤란하다. 실제로, 복수의 타깃을 가능한 작은 공간에 배열하여 큰 형상을 구하고 있지만; 매우 작은 공간이 불가피하게 발생하게 된다. 타깃의 표면 온도가 증가할 경우, 그러한 매우 작은 공간으로부터, Zn 등이 휘발하고, 서서히 공간이 확장되는 경우가 있다. 공간이 넓어지면, 백킹 플레이트 또는 접착에 사용된 금속이 스퍼터링될 수 있고, 불순물 농도를 증가시키게 된다. 따라서, 타깃은 충분히 냉각되는 것이 바람직하다.

[0349] 구체적으로, 백킹 플레이트로서, 높은 도전성 및 높은 방열성을 갖는 금속(구체적으로는 Cu)을 사용한다. 백킹 플레이트내에 형성된 수로를 통해 충분한 양의 냉각수를 흘림으로써, 효율적으로 타깃을 냉각할 수 있다. 여기서, 충분한 양의 냉각수는, 타깃의 크기에 따라 다르며, 예를 들어, 직경이 300mm인 원형 타깃인 경우, 3L/min

이상, 5L/min 이상, 또는 10L/min 이상으로 설정하는 것이 바람직하다.

- [0350] 산화물 반도체층(136)은 100℃ 이상 600℃ 이하, 바람직하기로는 150℃ 이상 550℃ 이하, 더욱 바람직하기로는 200℃ 이상 500℃ 이하인 기관 가열 온도에서 산소 가스 분위기에서 형성한다. 성막시의 가열 온도가 증가할수록, 산화물 반도체층(136)의 불순물 농도는 감소한다. 또한, 피성막면에서 스퍼터 입자의 마이그레이션이 일어나기 쉽기 때문에; 원자 배열이 정돈되고 산화물 반도체층(136)의 밀도가 증가하여, 산화물 반도체층(136)의 결정성이 높아진다. 또한, 산소 가스 분위기에서 성막할 경우, 플라즈마 대미지가 경감되고 회가스 원자와 같은 여분의 원자가 산화물 반도체층(136)내에 포함되지 않기 때문에, 결정성이 높은 산화물 반도체층(136)이 형성된다. 산소 가스와 회가스를 포함하는 혼합 분위기에서 성막을 행할 수도 있다는 것에 유의하라. 이 경우, 산소 가스의 비율은 30vol% 이상, 바람직하기로는 50vol% 이상, 보다 바람직하기로는 80vol% 이상이 되도록 설정한다.
- [0351] 타깃이 Zn을 포함하는 경우, 산소 가스 분위기에서 성막함으로써, 플라즈마 대미지가 경감되기 때문에; Zn이 휘발되기 쉽지 않은 산화물 반도체층(136)을 취득할 수 있다는 것에 유의하라.
- [0352] 산화물 반도체층(136)은 다음 스텝들 이후에 형성된다: 기관을 성막실로 반송하고; 성막 가스를 흘리고; 성막 압력을 0.8Pa 이하, 바람직하기로는 0.4Pa 이하로 설정하고; 성막 압력을 안정시키기 위하여 10초 이상 1000초 이하, 바람직하기로는 15초 이상 720초 이하동안 유지한다. 성막 압력을 안정시키기 위하여 상술한 시간동안 유지하기 때문에, 성막하는 동안 산화물 반도체층(136)에 도입되는 불순물의 양을 저감할 수 있다. 이때, 타깃과 기관간의 거리는 40mm 이하, 바람직하기로는 25mm 이하가 되도록 설정한다. 이러한 조건하에서 산화물 반도체층(136)을 형성할 경우, 스퍼터 입자와 다른 스퍼터 입자, 가스 분자 또는 이온간의 충돌 빈도를 낮출 수 있다. 즉, 성막 압력에 따라, 타깃과 기관간의 거리가 스퍼터 입자, 가스 분자 또는 이온의 평균 자유 행정보다 짧아서, 막에 도입되는 불순물 농도를 저감할 수 있다.
- [0353] 예를 들어, 압력이 0.4Pa이고, 온도가 25℃(절대 온도는 298K임)일 경우, 수소 분자(H₂)는 48.7mm의 평균 자유 행정을 갖고, 헬륨 원자(He)는 57.9mm, 물분자(H₂O)는 31.3mm의 평균 자유 행정을 갖고, 메탄 분자(CH₄)는 13.2mm의 평균 자유 행정을 갖고, 네온 원자(Ne)는 42.3mm의 평균 자유 행정을 갖고, 질소 분자(N₂)는 23.2mm의 평균 자유 행정을 갖고, 일산화탄소 분자(CO)는 16.0mm의 평균 자유 행정을 갖고, 산소 분자(O₂)는 26.4mm의 평균 자유 행정을 갖고, 아르곤 원자(Ar)는 28.3mm의 평균 자유 행정을 갖고, 이산화탄소 분자(CO₂)는 10.9mm의 평균 자유 행정을 갖고, 크립톤 원자(Kr)는 13.4mm의 평균 자유 행정을 갖고, 크세논 원자(Xe)는 9.6mm의 평균 자유 행정을 갖는다. 압력이 2배가 되면 평균 자유 행정은 2분의 1이 되고, 절대 온도가 2배가 되면 평균 자유 행정은 2배가 된다는 것에 유의하라.
- [0354] 평균 자유 행정은 압력, 온도 및 분자(원자)의 직경에 따라 좌우된다. 압력 및 온도를 일정하게 한 경우에는, 분자(원자)의 직경이 클수록 평균 자유 행정은 짧아진다. 분자(원자)의 직경은 다음과 같다: H₂:0.218nm; He:0.200nm; H₂O:0.272nm; CH₄:0.419nm; Ne:0.234nm; N₂:0.316nm; CO:0.380nm; O₂:0.296nm; Ar:0.286nm; CO₂:0.460nm; Kr:0.415nm; 및 Xe:0.491nm.
- [0355] 따라서, 분자(원자)의 직경이 클수록, 평균 자유 행정이 짧아지고, 막에 분자(원자)가 도입될 때에는, 분자(원자)의 직경이 크기 때문에 결정성이 저하된다. 그 때문에, 예를 들어, Ar보다 직경이 큰 분자(원자)는 결정성을 저하되게 하는 불순물이 되기 쉽다고 말할 수 있다.
- [0356] 다음으로, 산화물층(135b)을 형성한다. 산화물층(135b)은 실온(25℃) 이상 600℃ 이하, 바람직하기로는 70℃ 이상 550℃ 이하, 더욱 바람직하기로는 100℃ 이상 500℃ 이하인 기관 가열 온도에서 산소 가스 분위기에서 형성한다. 성막시의 가열 온도가 증가할수록, 산화물층(135b)의 불순물 농도는 감소한다. 또한, 피성막면에서 스퍼터 입자의 마이그레이션이 일어나기 쉽기 때문에; 원자 배열이 정돈되고 산화물층(135b)의 밀도가 증가하여, 산화물층(135b)의 결정성이 높아진다. 또한, 산소 가스 분위기에서 성막할 경우, 플라즈마 대미지가 경감되고 회가스 원자와 같은 여분의 원자가 산화물층(135b)내에 포함되지 않기 때문에, 결정성이 높은 산화물층(135b)이 형성된다. 산소 가스와 회가스를 포함하는 혼합 분위기에서 성막을 행할 수도 있다는 것에 유의하라. 이 경우, 산소 가스의 비율은 30vol% 이상, 바람직하기로는 50vol% 이상, 보다 바람직하기로는 80vol% 이상이 되도록 설정한다. 산화물층(135b)은 다음 스텝들 이후에 형성된다: 기관을 성막실로 반송하고; 성막 가스를 흘리고; 성막 압력을 0.8Pa 이하, 바람직하기로는 0.4Pa 이하로 설정하고; 성막 압력을 안정시키기 위하여 10초 이상 1000초 이하, 바람직하기로는 15초 이상 720초 이하 동안 유지한다. 성막 압력을 안정시키기 위하여

상술한 시간동안 유지하기 때문에, 성막하는 동안 산화물층(135b)에 도입되는 불순물의 양을 저감할 수 있다.

- [0357] 다음으로, 가열 처리를 행한다. 가열 처리는 감압 하에서, 불활성 분위기 또는 산화성 분위기에서 행한다. 가열 처리에 의해, 산화물 반도체층(136)내의 불순물 농도를 저감할 수 있다.
- [0358] 가열 처리는 감압 하에서 또는 불활성 분위기에서 가열 처리를 행한 후, 온도를 유지하면서 분위기를 산화성 분위기로 전환하고 가열 처리를 추가로 행하는 것이 바람직하다. 감압 하에서 또는 불활성 분위기에서 가열 처리를 행하면, 산화물 반도체층(136)내의 불순물 농도를 저감할 수 있지만; 동시에 산소 결손도 발생한다. 산화성 분위기에서의 가열 처리에 의해, 상술한 바와 같이 발생된 산소 결손을 저감할 수 있다.
- [0359] 산화물 반도체층(136)에 대해 가열 처리를 행할 경우, 성막시의 기판 가열 이외에, 층 내의 불순물 농도를 저감할 수 있다.
- [0360] 구체적으로, SIMS에 의해 측정된, 산화물 반도체층(136)내의 수소 농도는 2×10^{20} atoms/cm³ 이하, 바람직하기로는 5×10^{19} atoms/cm³ 이하, 보다 바람직하기로는 1×10^{19} atoms/cm³ 이하, 더더욱 바람직하기로는 5×10^{18} atoms/cm³ 이하일 수 있다.
- [0361] SIMS에 의해 측정된, 산화물 반도체층(136)내의 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 이하, 보다 바람직하기로는 1×10^{18} atoms/cm³ 이하, 더더욱 바람직하기로는 5×10^{17} atoms/cm³ 이하일 수 있다.
- [0362] SIMS에 의해 측정된, 산화물 반도체층(136)내의 탄소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하기로는 5×10^{18} atoms/cm³ 이하, 보다 바람직하기로는 2×10^{18} atoms/cm³ 이하, 더더욱 바람직하기로는 5×10^{17} atoms/cm³ 이하일 수 있다.
- [0363] 산화물 반도체층(136)으로부터 방출된 다음의 가스 분자(원자) 각각의 양은 TDS 분석에 의해 측정된, 1×10^{19} /cm² 이하, 바람직하기로는 1×10^{18} /cm² 이하일 수 있다: 질량 대 전하 비(m/z)가 2(예를 들어, 수소 분자)인 가스 분자(원자), 질량 대 전하 비(m/z)가 18인 가스 분자(원자), 질량 대 전하 비(m/z)가 28인 가스 분자(원자), 및 질량 대 전하 비(m/z)가 44인 가스 분자(원자).
- [0364] TDS 분석을 사용하여 방출량을 측정하는 방법에 대하여는, 후술하는 산소 원자의 방출량의 측정 방법에 관한 기재를 참조한다.
- [0365] 상술한 방식으로 산화물 반도체층(136) 및 산화물층(135b)을 형성함으로써, 산화물 반도체층(136)의 결정성을 높일 수 있고, 산화물 반도체층(136) 및 산화물층(135b)의 불순물 농도와 산화물 반도체층(136)과 산화물층(135b)간의 계면에서의 불순물 농도를 저감할 수 있다.
- [0366] <3-3. 트랜지스터 구조(2)>
- [0367] 여기에서, 보텀 게이트형 트랜지스터의 일종인 보텀 게이트 톱 콘택트(BGTC) 트랜지스터에 대하여 도 29의 (a) 내지 (d)를 참조하여 설명한다.
- [0368] 도 29의 (a) 내지 (d)는 트랜지스터(310)의 구조예를 나타낸다. 도 29의 (a)는 트랜지스터(310)의 평면도이다. 도 29의 (b)는 도 29의 (a)에서의 라인 X1-Y1을 따라 취해진 단면도이다. 도 29의 (c)는 도 29의 (a)에서의 라인 V1-W1을 따라 취해진 단면도이다. 도 29의 (d)는 도 29의 (b)의 부분 확대도이다. 도 29의 (a)에는, 복잡한 것을 피하기 위하여, 트랜지스터(310)의 일부 구성 요소(예를 들어, 게이트 절연막(404) 등)이 도시되어 있지 않다는 것에 유의하라.
- [0369] 도 29의 (a) 내지 (d)에 나타난 트랜지스터(310)는 기판(400) 위에 형성된 게이트 전극(402); 게이트 전극(402) 위의 게이트 절연막(404); 게이트 절연막(404)을 사이에 개재하여 게이트 전극(402)과 중첩하고, 산화물 반도체층(406b), 산화물 반도체층(406b)의 하면과 접하는 제1 산화물층(406a), 산화물 반도체층(406b)의 상면과 접하는 제2 산화물층(406c) 및 산화물 반도체층(406b)의 측면과 접하는 제3 산화물층(406d)을 포함하는 다층막(406); 산화물 반도체층(406b)에 전기적으로 접속되는 소스 전극(408a) 및 드레인 전극(408b)을 포함한다. 소스 전극(408a) 및 드레인 전극(408b) 위에 제공된 산소를 포함하는 보호 절연막(410)을 트랜지스터(310)의 구성

요소로 간주할 수도 있다는 것에 유의하라.

- [0370] 트랜지스터(310)에서, 채널 형성 영역은 소스 전극(408a)과 드레인 전극(408b)간에 위치하며, 게이트 전극(402)과 중첩하는 다층막(406)의 영역이다. 여기에서, 산화물 반도체층(406b)에 흐르는 전류의 주경로를 채널이라고 부른다.
- [0371] 트랜지스터(310)는 상술한 다층막(406)을 포함한다. 즉, 트랜지스터(310)에서, 채널이 형성되는 산화물 반도체층(406b)은 산화물 반도체층(406b)을 구성하는 1가지 이상의 원소를 사용하여 형성되고, 산화물 반도체층(406b)보다 산소 결손이 덜 빈번하게 발생하는 산화물층(제1 산화물층(406a), 제2 산화물층(406c) 및 제3 산화물층(406d))에 의해 둘러싸여 있다. 따라서, 채널이 형성되는 산화물 반도체층(406b)내에서 발생할 수 있는 산소 결손을 저감시킬 수 있다. 또한, 실리콘을 포함하는 절연막인 게이트 절연막(404) 및 보호 절연막(410)은 산화물 반도체층(406b)으로부터 이격될 수 있다.
- [0372] 다층막(406)과 접하는 절연막(게이트 절연막(404) 및 보호 절연막(410))은 과잉 산소를 포함하는 것이 바람직하다는 것에 유의하라. 과잉 산소를 포함하는 절연막에 의해 다층막(406)을 둘러싸는 구조를 구비함으로써, 제1 산화물층(406a), 제2 산화물층(406c) 또는 제3 산화물층(406d)에 발생할 수 있는 산소 결손을 보충할 수 있다. 따라서, 다층막(406)내의 산소 결손을 절저하게 저감하고, 산화물 반도체층(406b)에서의 DOS의 형성을 억제할 수 있다.
- [0373] 트랜지스터(310)의 구성 요소들에 대하여 이하에 상세하게 설명할 것이다.
- [0374] 기관(400)은 단순한 지지 기관에 한정되지 않고, 트랜지스터와 같은 디바이스가 형성된 기관일 수도 있다. 이 경우, 트랜지스터(310)의 게이트 전극(402), 소스 전극(408a) 및 드레인 전극(408b) 중 적어도 하나는 상술한 디바이스에 전기적으로 접속될 수도 있다.
- [0375] 게이트 전극(402)은 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴 및 텅스텐으로부터 선택된 금속 원소; 이들 금속 원소들 중 임의의 것을 성분으로 포함하는 합금; 이들 금속 원소들 중 임의의 것을 조합한 합금; 등을 사용하여 형성할 수 있다. 또한, 망간 또는 지르코늄으로부터 선택된 하나 이상의 금속 원소를 사용할 수도 있다. 대안적으로, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성을 갖는 도전성 재료를 사용하여 게이트 전극(402)을 형성할 수 있다. 또한, 상술한 투광성을 갖는 도전성 재료와 상술한 금속 원소를 사용하여 형성된 적층 구조를 구비할 수 있다. 게이트 전극(402)은 단층 구조, 또는 2층 이상의 적층 구조를 구비할 수도 있다.
- [0376] 게이트 전극(402)과 게이트 절연막(404) 사이에는, In-Ga-Zn 산질화물 반도체층, In-Sn 산질화물 반도체층, In-Ga 산질화물 반도체층, In-Zn 산질화물 반도체층, Sn 산질화물 반도체층, In 산질화물 반도체층, 금속 질화막(예를 들어, InN 또는 ZnN) 등이 제공될 수도 있다는 것에 유의하라. 이들 막은 각각 5eV 이상, 바람직하기로는 5.5eV 이상인 일함수를 갖고, 산화물 반도체의 전자 친화력보다도 크다. 따라서, 산화물 반도체를 포함하는 트랜지스터의 임계치 전압을 플러스 방향으로 시프트할 수 있고, 노멀리-오프 스위칭 소자라고 불리는 것을 실현할 수 있다. 예를 들어, In-Ga-Zn 산질화물 반도체층을 사용하는 경우, 적어도 산화물 반도체층(406b)보다 높은 질소 농도를 갖는 In-Ga-Zn 산질화물 반도체층, 구체적으로는 질소 농도가 7atomic% 이상인 In-Ga-Zn 산질화물 반도체층을 사용한다.
- [0377] 게이트 절연막(404)으로서, 예를 들어, 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 1가지 이상 포함하는 절연막을 사용할 수 있다. 게이트 절연막(404)은 상술한 재료 중 임의의 것을 포함하는 적층일 수도 있다.
- [0378] 게이트 절연막(404)으로서, 과잉 산소를 포함하는 산화 절연체를 사용하는 것이 바람직하다. 게이트 절연막(404)과 접하는 제1 산화물층(406a) 또는 제3 산화물층(406d)이 산소 결손을 포함할 수 있다고 하더라도, 과잉 산소를 포함하는 게이트 절연막(404)으로부터 산소를 공급할 수 있다. 이러한 방식으로, 산화물 반도체층(406b)과 접하는 산화물층의 산소 결손을 보충할 수 있다.
- [0379] 게이트 절연막(404)의 두께는 5nm 이상 400nm 이하, 보다 바람직하기로는 10nm 이상 300nm 이하, 더더욱 바람직하기로는 50nm 이상 250nm 이하이다.
- [0380] 다층막(406)은 적어도 채널이 형성되는 산화물 반도체층(406b), 산화물 반도체층(406b)과 게이트 절연막(404)

사이에 제공된 제1 산화물층(406a), 산화물 반도체층(406b)과 보호 절연막(410) 사이에 제공된 제2 산화물층(406c), 및 제1 산화물층(406a), 산화물 반도체층(406b) 및 제2 산화물층(406c)의 측면과 접하여 제공된 제3 산화물층(406d)을 포함한다. 제3 산화물층(406d)은 곡면을 갖는다.

- [0381] 상술한 바와 같이, 제3 산화물층(406d)은 제1 산화물층(406a)이 되는 산화물층의 반응 생성물을 사용하여 형성된다. 따라서, 제1 산화물층(406a)과 제3 산화물층(406d)간의 경계는 불명확할 수 있다. 또한, 제2 산화물층(406c)이 제1 산화물층(406a)의 구조와 유사한 구조를 가질 경우, 제2 산화물층(406c)은 제3 산화물층(406d)과 구별이 되지 않을 수 있는 경우도 있다.
- [0382] 여기서, 곡면을 갖는 제3 산화물층(406d)을 포함함으로써, 다층막(406)은 단면에서 곡면을 갖는다. 따라서, 다층막(406) 위에 형성되는 막(예를 들어, 소스 전극 및 드레인 전극을 형성하는 도전막 또는 보호 절연막)의 피복성을 향상시킬 수 있다. 그 결과, 막 밀도가 낮은 영역 또는 막이 형성되어 있지 않은 영역으로부터 다층막(406)내에 불순물 원소가 도입하여, 반도체 장치의 특성을 열화시키는 것을 방지하기 위해, 다층막(406) 위에 막을 균일하게 형성할 수 있다.
- [0383] 또한, 도 29의 (c)에 나타난 바와 같이, 산화물 반도체층(406b)의 단부(측면)은 제3 산화물층(406d)으로 피복되어 있다. 이것은 섬 형상의 다층막(406)의 채널 폭 방향으로 기생 채널이 발생할 가능성을 저감시킬 수 있다.
- [0384] 각각의 제1 산화물층(406a) 및 제2 산화물층(406c)은 산화물 반도체층(406b)을 구성하는 금속 원소들 중 1가지 이상 포함하는 산화물층이다. 또한, 제3 산화물층(406d)은 제1 산화물층(406a)과 동일한 구성 원소를 포함한다. 원소 M의 함유 비율이 제1 산화물층(406a)보다 제3 산화물층(406d)에서 더 높은 것이 바람직하다는 것에 유의하라. 다층막(406)의 상세에 관련해서는 다층막(108)에 관한 기재를 참조할 수 있다.
- [0385] 다층막(406)에서, 채널이 형성되는 산화물 반도체층(406b)를 둘러싸도록, 산화물 반도체층(406b)과 주성분이 동일하고 산화물 반도체층(406b)보다도 산소 결손이 덜 빈번하게 발생하는 산화물층(제1 산화물층(406a), 제2 산화물층(406c) 및 제3 산화물층(406d))을 제공함으로써, 트랜지스터의 채널에서의 산소 결손의 형성을 억제할 수 있다.
- [0386] 산화물 반도체층(406b)내의 산소 결손의 증가를 억제하고, 불순물 농도를 저감함으로써, 산화물 반도체층(406b)을 고순도화된 진성 산화물 반도체층으로 할 수 있다. 구체적으로, 산화물 반도체층(406b)의 캐리어 밀도는 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만 또는 $1 \times 10^{13}/\text{cm}^3$ 미만이 되도록 설정하는 것이 바람직하다. 산화물 반도체층(406b)에서, 수소, 질소, 탄소, 실리콘 및 주성분 이외의 금속 원소는 불순물이 된다. 산화물 반도체층(406b)내의 불순물 농도를 저감하기 위해서는, 산화물 반도체층(406b)에 근접하는 산화물층의 불순물 농도를 산화물 반도체층(406b)과 거의 동일한 값까지 저감하는 것이 또한 바람직하다. 고순도화된 진성 산화물 반도체층(406b)을 구비함으로써, 트랜지스터는 안정된 전기 특성을 가질 수 있다.
- [0387] 소스 전극(408a) 및 드레인 전극(408b)은 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨 및 텅스텐과 같은 금속들 중 임의의 것, 또는 이들 금속 중 임의의 것을 주성분으로 포함하는 합금을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조; 알루미늄막 위에 티타늄막을 적층하는 2층 구조; 텅스텐막 위에 티타늄막을 적층하는 2층 구조; 구리-마그네슘-알루미늄 합금 막 위에 구리막을 적층하는 2층 구조; 티타늄막 또는 질화 티타늄막, 알루미늄막 또는 구리막, 및 티타늄막 또는 질화 티타늄막을 이 순서대로 적층하는 3층 구조; 및 몰리브덴막 또는 질화 몰리브덴막, 알루미늄막 또는 구리막, 및 몰리브덴막 또는 질화 몰리브덴막을 이 순서대로 적층하는 3층 구조가 제공될 수 있다. 산화 인듐, 산화 주석 또는 산화 아연을 포함하는 투명 도전성 재료를 사용할 수도 있다는 것에 유의하라.
- [0388] 도 29의 (d)는 트랜지스터(310)의 소스 전극(408a) 또는 드레인 전극(408b)과 다층막(406)이 접하는 영역 근방을 도시한 단면도이다. 도 29의 (d)에 나타난 바와 같이, 다층막(406)에서, 소스 전극(408a) 또는 드레인 전극(408b)과 접하는 계면 근방에는, n형 영역(405)이 형성된다.
- [0389] n형 영역(405)은 채널과 소스 전극(408a) 또는 드레인 전극(408b) 사이에 형성되고, 채널에 비해 더 많은 산소 결손을 갖는다. n형 영역(405)은 다음 방식으로 형성된다: 소스 전극(408a) 및 드레인 전극(408b)이 되는 도전막을 형성할 때 사용되는 플라즈마에 의해 다층막(406)이 손상되어, 다층막(406)에 산소 결손이 발생하거나; 대안적으로, 소스 전극(408a) 및 드레인 전극(408b)에 사용하는 도전막의 종류에 따라, 다층막(406)의 일부로부터 산소를 빼앗긴다. 다층막(406)으로부터 산소를 빼앗는 도전막으로서, 예를 들어, 텅스텐막을 들 수 있다. n형 영역(405)은 트랜지스터(310)의 소스 또는 드레인으로서 작용시킬 수 있다. n형 영역(405)은 제1 산화물층

(406a), 제2 산화물층(406c), 제3 산화물층(406d) 및 산화물 반도체층(406b)보다도 캐리어 밀도가 높다(저항이 낮다).

- [0390] 도 29의 (b) 및 (d)에서는, n형 영역(405)의 경계를 모식적으로 점선으로 도시하고 있다는 것에 유의하라. 그러나, n형 영역(405)의 구조는 트랜지스터의 제조 조건에 따라 막 두께 방향에서의 n형 영역(405)의 깊이 및/또는 다층막(406)의 면 방향에서의 n형 영역(405)의 면적이 좌우되기 때문에, 도 29의 (d)에 나타난 것에 한정되지 않는다.
- [0391] 보호 절연막(410)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄 및 산화 탄탈을 1가지 이상 포함하는 절연막의 단층 또는 적층을 사용하여 형성될 수도 있다.
- [0392] 보호 절연막(410)으로서, 과잉 산소를 포함하는 산화 절연체를 사용하는 것이 바람직하다. 보호 절연막(410)과 접하는 제2 산화물층(406c) 또는 제3 산화물층(406d)이 산소 결손을 포함할 수 있다고 할지라도, 과잉 산소를 포함하는 보호 절연막(410)으로부터 산소를 공급할 수 있다. 이러한 방식으로, 산화물 반도체층(406b)과 접하는 산화물층의 산소 결손을 보충할 수 있다.
- [0393] 보호 절연막(410)은 과잉 산소를 포함하는 산화 절연체 위에 산소에 대한 투과성이 낮은(산소에 대한 배리어 특성을 갖는다) 절연막을 제공하는 다층막이 되는 것이 바람직하다. 과잉 산소를 포함하는 산화 절연체 위에 산소에 대한 배리어 특성을 갖는 절연막을 제공함으로써, 과잉 산소를 포함하는 산화 절연체로부터 방출된 산소를 효과적으로 다층막에 공급할 수 있다. 산소에 대한 배리어 특성을 갖는 절연막으로서, 예를 들어, 질화 실리콘막 또는 질화 산화 실리콘막을 제공할 수 있다.
- [0394] 보호 절연막(410)은 예를 들어, 제1층으로서의 산화 실리콘층과 제2층으로서의 질화 실리콘층을 포함하는 다층막이다. 이 경우, 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은 질화 산화 실리콘층일 수도 있다. 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로, ESR에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도가 3×10^{17} spins/cm² 이하, 바람직하기로는 5×10^{16} spins/cm² 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 수소 또는 암모니아의 방출량은 TDS에 의해 측정될 수도 있다. 또한, 질화 실리콘층으로서, 산소를 투과하지 않거나 거의 투과하지 않는 질화 실리콘층을 사용한다.
- [0395] 대안적으로, 보호 절연막(410)은 예를 들어, 제1층으로서의 제1 산화 실리콘층, 제2층으로서의 제2 산화 실리콘층, 제3층으로서의 질화 실리콘층을 포함하는 다층막이다. 이 경우, 제1 산화 실리콘층 및/또는 제2 산화 실리콘층은 산화 질화 실리콘층일 수도 있다. 또한, 질화 실리콘층은 질화 산화 실리콘층일 수도 있다. 제1 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층을 사용하는 것이 바람직하다. 구체적으로, ESR에서 g 인수가 2.001인 신호에 대응하는 스핀 밀도가 3×10^{17} spins/cm² 이하, 바람직하기로는 5×10^{16} spins/cm² 이하인 산화 실리콘층을 사용한다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 쉽지 않은 질화 실리콘층을 사용한다. 제2 산화 실리콘층으로서, 과잉 산소를 포함하는 산화 실리콘층을 사용한다. 또한, 질화 실리콘층으로서, 산소를 투과하지 않거나 거의 투과하지 않는 질화 실리콘층을 사용한다.
- [0396] 본 발명의 일 실시 형태에서의 트랜지스터의 구조를 구비함으로써, 채널로서 기능하는 산화물 반도체층의 산소 결손을 저감할 수 있다. 따라서, 양호한 전기 특성을 구비하며 장기 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0397] <3-4. 트랜지스터 구조(2)의 변형예>
- [0398] 도 30의 (a) 내지 (c)는 트랜지스터(320)의 구조적인 예를 나타낸다. 트랜지스터(320)는 도 29의 (a) 내지 (d)에서의 트랜지스터(310)의 변형예이다. 도 30의 (a)은 트랜지스터(320)의 평면도이다. 도 30의 (b)는 도 30의 (a)에서의 라인 X2-Y2를 따라 취해진 단면도이다. 도 30의 (c)는 도 30의 (a)에서의 라인 V2-W2를 따라 취해진 단면도이다. 도 30의 (a)에는, 복잡한 것을 피하기 위하여, 트랜지스터(320)의 일부 구성 요소(예를 들어, 게이트 절연막(404) 등)이 도시되어 있지 않다는 것에 유의하라.
- [0399] 트랜지스터(310)와 트랜지스터(320)간의 차이점은 다층막(407), 소스 전극(408a) 및 드레인 전극(408b)의 적층 순서이다. 즉, 트랜지스터(320)에서, 섬 형상의 산화물 반도체층(407b)의 상면의 일부와 접하도록, 소스 전극(408a) 및 드레인 전극(408b)이 제공되어 있고, 소스 전극(408a) 및 드레인 전극(408b)을 피복하도록 제2 산화물층(407c)이 제공되어 있다. 또한, 섬 형상의 제1 산화물층(407a), 섬 형상의 산화물 반도체층(407b) 및 섬

형상의 제2 산화물층(407c)의 측면을 피복하도록, 제3 산화물층(407d)이 제공되어 있다. 게다가, 산화물 반도체층(407b)의 상면에서, 소스 전극(408a) 또는 드레인 전극(408b)과 접하지 않는 영역은 제2 산화물층(407c)으로 피복되어 있다.

- [0400] 트랜지스터(320)에서, 게이트 절연막(404)과 보호 절연막(410) 사이에는, 제1 산화물층(407a), 산화물 반도체층(407b) 및 제2 산화물층(407c)을 포함하는 다층막(407)이 형성된다.
- [0401] 트랜지스터(320)의 제조 방법에서, 제1 산화물층(407a) 및 산화물 반도체층(407b)을 섬 형상으로 가공하기 전에, 산화물 반도체층(407b) 위에 소스 전극(408a) 및 드레인 전극(408b)이 되는 도전막을 형성한다. 그 후, 도전막을 가공하여 소스 전극(408a) 및 드레인 전극(408b)을 형성한다. 다음으로, 소스 전극(408a) 및 드레인 전극(408b)을 피복하는 제2 산화물층(407c)을 형성한다. 다음으로, 제1 산화물층(407a), 산화물 반도체층(407b) 및 제2 산화물층(407c)을 섬 형상으로 가공하여, 다층막(407)을 형성한다. 이러한 제조 공정에 의해, 트랜지스터(320)의 구조는 트랜지스터(310)에 비해 포토마스크의 개수를 증가시키지 않고 취득할 수 있다. 이때, 다층막(407)에 포함되는 산화물 반도체층(407b)내에 있으며, 소스 전극(408a) 또는 드레인 전극(408b)과 중첩하지 않는 영역은, 도전막을 소스 전극(408a) 및 드레인 전극(408b)으로 가공할 때 부분적으로 에칭되어 막 두께가 작아질 수 있다.
- [0402] 트랜지스터(320)에 포함되는 산화물 반도체층(407b)에서, 계면에 근접하며 소스 전극(408a) 또는 드레인 전극(408b)과 접하는 영역에 산소 결손이 발생하기 때문에; n형 영역이 형성된다. n형 영역은 트랜지스터(320)의 소스 또는 드레인으로서 작용할 수 있다.
- [0403] 도 30의 (b)에 나타낸 바와 같이, 채널 길이 방향의 트랜지스터(320)의 단면에서, 다층막(407)의 단부(예를 들어, 제3 산화물층(407d))는 또한 보호 절연막(410)과 접할 수 있다. 이러한 구조를 구비함으로써, 채널 길이 방향의 다층막(407)의 단부에서 발생할 수 있는 산소 결손을 보호 절연막(410)에 포함되는 산소에 의해 보충할 수 있다. 따라서, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0404] <3-5. 트랜지스터 구조(2)의 제조 방법>
- [0405] 트랜지스터의 제조 방법의 일례를 설명한다. 이하에서는, 도 31의 (a) 내지 (d)를 참조하여 도 29의 (a) 내지 (d)에 나타낸 트랜지스터(310)를 제조하는 경우를 예로 들어 설명한다.
- [0406] 첫번째로, 게이트 전극(402)이 되는 도전막을 형성한다. 게이트 전극(402)이 되는 도전막은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성될 수 있다.
- [0407] 다음으로, 게이트 전극(402)이 되는 도전막을 부분적으로 에칭하여 게이트 전극(402)을 형성한다.
- [0408] 다음으로, 게이트 절연막(404)을 형성한다(도 31의 (a) 참조). 게이트 절연막(404)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성될 수 있다.
- [0409] 다음으로, 다층막(406)을 형성한다(도 31의 (b) 참조). 다층막(406)의 상재는 다층막(108)의 형성 방법의 기재를 참조할 수 있다.
- [0410] 각 계면에 불순물이 도입되기 쉽지 않도록 제1 산화물층(406a)이 되는 산화물층, 산화물 반도체층(406b) 및 제2 산화물층(406c)이 되는 산화물층을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다.
- [0411] 다층막(406)을 형성한 후, 제1 가열 처리를 행하는 것이 바람직하다. 제1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하기로는 300℃ 이상 500℃ 이하의 온도에서 행한다. 제1 가열 처리는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기 또는 감압하에서 행한다. 대안적으로, 제1 가열 처리는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 다른 가열 처리를 행하는 방식으로 행할 수도 있다. 제1 가열 처리에 의해, 산화물 반도체층(406b)의 결정성을 향상시키고, 또한 게이트 절연막(404) 및/또는 다층막(406)으로부터 수소 및 물과 같은 불순물을 제거할 수 있다.
- [0412] 다음으로, 소스 전극(408a) 및 드레인 전극(408b)이 되는 도전막을 형성하고, 이 도전막을 가공하여 소스 전극(408a) 및 드레인 전극(408b)을 형성한다(도 31의 (c) 참조). 도전막은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 성막될 수 있다.
- [0413] 다음으로, 제2 가열 처리를 행하는 것이 바람직하다. 제2 가열 처리에 대해서는 제1 가열 처리의 기재를 참조할 수 있다. 제2 가열 처리에 의해, 다층막(406)으로부터 수소 및 물과 같은 불순물을 제거할 수 있다.

- [0414] 다음으로, 보호 절연막(410)을 형성한다(도 31의 (d) 참조). 보호 절연막(410)은 스퍼터링법, CVD법, MBE법, ALD법 또는 PLD법에 의해 형성될 수도 있다.
- [0415] 여기서, 보호 절연막(410)을 3층 구조로 하는 경우에 대하여 설명한다. 첫번째로, 제1 산화 실리콘층을 형성하고 나서, 제2 산화 실리콘층을 형성한다. 다음으로, 제2 산화 실리콘층에 산소 이온을 첨가하는 처리를 행하는 것이 바람직하다. 산소 이온을 첨가하는 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하여 수행될 수도 있다. 이온 도핑 장치로서, 질량 분리 기능을 갖는 이온 도핑 장치를 사용할 수도 있다. 산소 이온의 원료로서, $^{16}\text{O}_2$ 또는 $^{18}\text{O}_2$ 와 같은 산소 가스, 아산화질소 가스 또는 오존 가스 등을 사용할 수도 있다. 다음으로, 질화 실리콘층을 형성한다. 보호 절연막(410)은 상술한 방식으로 형성할 수도 있다.
- [0416] 보호 절연막(410)을 형성 후, 제3 가열 처리를 행하는 것이 바람직하다. 제3 가열 처리에 대해서는 제1 가열 처리의 기재를 참조할 수 있다. 제3 가열 처리에 의해, 게이트 절연막(404) 및/또는 보호 절연막(410)으로부터 과잉 산소가 방출되기 때문에; 다층막(406)의 산소 결손을 저감할 수 있다.
- [0417] 소스 전극(408a) 및 드레인 전극(408b)이 되는 도전막을 스퍼터링법에 의해 형성하는 경우, 성막시에 다층막(406)의 표면이 플라즈마에 의해 손상되어, 산소 결손(Vo)이 형성될 수 있다. 또한, 이와 같이 형성된 산소 결손에 수소(H)가 도입될 수 있다.
- [0418] 다층막(406)으로서, In-M-Zn 산화물을 사용할 경우, 플라즈마 대미지에 의한 산소 결손의 형성 및 산소 결손에 의한 수소의 이동으로 인해, In-H 결합, M-H 결합 또는 Zn-H 결합이 형성될 수 있다. 특히, 이온 반경이 가장 크고, 산소와의 결합력이 가장 약한 인듐(In)과 결합된 산소가 이탈되기 쉽기 때문에; In-O-In 결합이 절단되어, In-Vo가 형성되고, H가 In-Vo에 도입될 경우, In-VoH가 형성되기 쉽다.
- [0419] 따라서, 소스 전극(408a) 및 드레인 전극(408b)이 되는 도전막을 형성한 후에, 도전막과 접하는 다층막(406)의 전체면은 n형 도전성을 가질 수 있다.
- [0420] 여기서, 다층막(406)의 n형화된 일부와 접하여 과잉 산소를 포함하는 보호 절연막(410)을 형성하고, 보호 절연막(410)과 접하는 다층막(406)의 영역에 산소를 공급하는 제3 가열 처리를 행하는 것은 유효하다.
- [0421] 도전막의 형성에 의한 플라즈마 대미지가 유발될 때에도, 다층막(406)의 Ga-O-Ga(Zn-O-Zn) 결합은 강력한 결합력으로 인해 절단되지 않는다는 것에 유의하라. 소스 전극(408a) 및 드레인 전극(408b)이 형성될 경우, 다층막(406)은 부분적으로 에칭되고 막 두께가 작은 영역이 형성되는 경우가 있다. 에칭되는 다층막(406)이 CAAC-OS막인 경우, 에칭후에도 결정부는 비정질화되지 않고 CAAC-OS막의 구조는 유지된다. 즉, 플라즈마 대미지가 유발되어도 CAAC-OS막의 구조는 유지된다.
- [0422] 제3 가열 처리에 의해, 다층막(406)의 백 채널층의 채널 형성 영역의 n형 영역에 포함되는 In-VoH에 산소가 공급되어, 다시 In-O-In 결합을 형성할 수 있다. 이것은 Ga-O-Ga(Zn-O-Zn) 결합이 절단되지 않기 때문에, 결합 상태가 변형 에너지에 의해 초기 상태로 복귀되기 때문이다. 또한, 가열 처리에 의해, 산소 결손부에 도입된 수소(H)는 물(H_2O)로서 외부에 방출할 수 있다. 즉, 제3 가열 처리에 의해 다층막(406)에 산소를 공급할 경우, n형 채널 영역을 i형 채널 영역으로 되돌릴 수 있다.
- [0423] 또한, 제3 가열 처리의 온도 및 가열 시간을 적절하게 조정함으로써, 소스 전극(408a) 및 드레인 전극(408b)과 접하는 영역에서는 In-VoH가 유지되고, 동시에 채널 영역은 i형 채널 영역이 될 수 있다. 이 경우, 소스 영역 또는 드레인 영역으로서 기능하는 n형 영역(405)을 포함하고 진성화 또는 실질적으로 진성화된 채널 영역을 갖는 다층막(406)을 형성할 수 있다.
- [0424] 제3 가열 처리 대신에(또는 제3 가열 처리 이외에), 영역에 수행되는 N_2O 플라즈마 처리 또는 레지스트를 애싱 하기 위한 플라즈마 처리에 의해 n형 채널 영역에 산소를 공급할 수도 있다는 것에 유의하라.
- [0425] 상술한 방식으로, 트랜지스터(310)를 제조할 수 있다.
- [0426] 여기서 설명한 트랜지스터는 다음 구조를 갖는다: 채널이 형성되는 산화물 반도체층은 산화물 반도체층과 주성분이 동일하고, 산소 결손이 발생하기 쉽지 않은 산화물층에 의해 둘러싸여 있다. 이 트랜지스터의 구조를 구비하여, 산화물 반도체층내의 산소 결손의 증가를 억제하고, 불순물 농도를 저감함으로써, 산화물 반도체층은 고순도화된 진성 산화물 반도체층이 될 수 있다.
- [0427] 따라서, 채널 형성 영역의 산소 결손에 기인하여 일어날 수 있는 임계치 전압과 같은 전기 특성의 변동을 억제

할 수 있다. 구체적으로, 예를 들어 안정된 노멀리-오프 특성을 갖는 트랜지스터를 취득할 수 있다. 따라서, 양호한 전기 특성과 높은 장기 신뢰성을 갖는 반도체 장치를 제공할 수 있다.

- [0428] 상술한 실시 형태에서 기술한 산화물 반도체층은 스퍼터링법에 의해 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD법에 의해 형성할 수도 있다. 열 CVD법의 예로서 MOCVD(metal organic chemical vapor deposition)법 또는 ALD법을 사용할 수도 있다.
- [0429] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 대미지에 의한 결함이 발생되지 않는다는 이점을 갖는다.
- [0430] 열 CVD법에 의한 성막은 원료 가스와 산화제를 한번에 챔버에 공급하고, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 기판 근방 또는 기판 위에서 원료 가스와 산화제를 서로 반응시키는 방식으로 수행될 수도 있다.
- [0431] ALD법에 의한 성막은 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스를 순차적으로 챔버에 도입하고나서, 그 가스 도입의 순서를 반복하는 방식으로 수행될 수도 있다. 예를 들어, 각각의 스위칭 밸브(또는 고속 밸브라고 칭함)를 전환하여 2가지 이상의 원료 가스를 순서대로 챔버에 공급한다. 예를 들어, 제1 원료 가스가 도입되고, 원료 가스들이 혼합되지 않도록 제1 원료 가스와 동시에 또는 그 후에 불활성 가스(예를 들어, 아르곤 또는 질소) 등을 도입하고나서, 제2 원료 가스를 도입한다. 한번에 제1 원료 가스와 불활성 가스를 도입할 경우에, 불활성 가스는 캐리어 가스의 역할을 하고, 제2 원료 가스의 도입과 동시에 불활성 가스를 도입할 수도 있다는 것에 유의하라. 대안적으로, 불활성 가스의 도입 대신에 진공 배기에 의해 제1 원료 가스를 배출한 후, 제2 원료 가스를 도입할 수도 있다. 제1 원료 가스가 기판의 표면에 흡착되어 제1 단일 원자층을 성막하고나서; 제2 원료 가스가 도입되어 제1 단일 원자층과 반응하고; 그 결과, 제2 단일 원자층이 제1 단일 원자층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 원하는 두께를 구할 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입의 순서를 반복하는 횟수에 의해 조절할 수 있기 때문에; ALD법은 막 두께를 정밀하게 조절할 수 있게 하며, 미세한 트랜지스터를 제조하는 경우에 적합하다.
- [0432] 상술한 실시 형태에서 기술한 산화물 반도체층은 MOCVD법 또는 ALD법과 같은 열 CVD법에 의해 형성할 수 있다. 예를 들어, MOCVD법에 의해 In-Ga-Zn 산화물층을 형성하는 경우에, 트리메틸 인듐, 트리메틸 갈륨 및 디에틸 아연을 사용한다. 트리메틸 인듐의 화학식은 $(\text{CH}_3)_3\text{In}$ 이라는 것에 유의하라. 트리메틸 갈륨의 화학식은 $(\text{CH}_3)_3\text{Ga}$ 이다. 디에틸 아연의 화학식은 $(\text{CH}_3)_2\text{Zn}$ 이다. 상술한 조합에 한정되지 않고, 트리메틸 갈륨 대신에 트리에틸 갈륨(화학식: $(\text{C}_2\text{H}_5)_3\text{Ga}$)을 사용할 수 있고, 디에틸 아연 대신에 디메틸 아연(화학식: $(\text{C}_2\text{H}_5)_2\text{Zn}$)을 사용할 수 있다.
- [0433] 예를 들어, ALD를 이용하는 성막 장치를 사용하여 산화물 반도체층, 예를 들어, In-Ga-Zn 산화물층을 형성하는 경우에, $\text{In}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차적으로 복수회 도입하여 In-O층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스와 O_3 가스를 한번에 도입하여 Ga-O층을 형성하고나서, $\text{Zn}(\text{CH}_3)_2$ 가스와 O_3 가스를 한번에 도입하여 Zn-O층을 형성한다. 이들 층의 순서는 이 예에 한정되지 않는다는 것에 유의하라. 이들 가스를 혼합하여 In-Ga-O층, In-Zn-O층, Ga-In-O층, Zn-In-O층, 또는 Ga-Zn-O층과 같은 혼합 화합물층을 형성할 수도 있다. O_3 가스 대신에 Ar과 같은 불활성 가스로 버블링(bubbling)함으로써 얻어진 H_2O 가스를 사용할 수도 있지만, H를 포함하지 않는 산화성 가스를 사용하는 것이 바람직하다는 것에 유의하라. 또한, $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용할 수도 있다. $\text{Ga}(\text{CH}_3)_3$ 가스 대신에, $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 사용할 수도 있다. $\text{In}(\text{CH}_3)_3$ 가스 대신에, $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용할 수도 있다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스를 사용할 수도 있다.
- [0434] [제1 실시예]
- [0435] 본 실시예에서, 산화물 반도체층을 포함하는 다층막을 사용한 트랜지스터를 제조하였다. 다음으로, 전자 현미경을 사용하여 단면을 관찰하였고 전기 특성을 측정하였다.
- [0436] 실시예 샘플은 이하와 같이 준비하였다. 실시예 샘플은 도 21의 (a) 내지 (c)에 나타난 TGTC 구조를 갖는 트랜지스터라는 것에 유의하라.
- [0437] 기판(100)로서는 유리 기판을 사용하였다.

- [0438] 하지 절연막(102)으로서 산화 질화 실리콘막을 사용하였다.
- [0439] 이하에, 산화물층(105a), 산화물 반도체층(106), 산화물층(105b) 및 산화물층(105c)의 형성 방법에 대하여 설명할 것이다.
- [0440] 첫번째로, 산화물층(135a)으로서, 다음 조건하에서 스퍼터링법에 의해 두께가 5nm인 산화물층을 형성하였다: In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:3:2임) 타깃을 사용하였고; 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고; 압력은 0.4Pa이었고; 기판 온도는 200℃이었으며; 0.5kW의 DC 전력을 인가하였다.
- [0441] 또한, 산화물 반도체층(136)으로서, 다음 조건하에서 스퍼터링법에 의해 두께가 5nm인 산화물 반도체층을 형성하였다: In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 3:1:2임) 타깃을 사용하였고; 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고; 압력은 0.4Pa이었고; 기판 온도는 200℃이었으며; 0.5kW의 DC 전력을 인가하였다.
- [0442] 또한, 산화물층(135b)으로서, 다음 조건하에서 스퍼터링법에 의해 두께가 5nm인 산화물층을 형성하였다: In-Ga-Zn 산화물(Ga 및 Zn에 대한 In의 원자수비는 1:1:1임) 타깃을 사용하였고; 성막 가스로서 유량이 30sccm인 아르곤 gas와 유량이 15sccm인 산소 gas를 사용하였고; 압력은 0.4Pa이었고; 기판 온도는 300℃이었으며; 0.5kW의 DC 전력을 인가하였다.
- [0443] 다음으로, 산화물층(135b)위에 레지스트 마스크(140)를 형성하였고, 건식 에칭법에 의해 산화물층(135b), 산화물 반도체층(136) 및 산화물층(135a)을 가공하여, 각각 산화물층(105b), 산화물 반도체층(106) 및 산화물층(105a)을 형성하였다. 이와 동시에, 적어도 산화물 반도체층(106)의 측면과 접하여 측벽 보호막인 산화물층(105c)을 형성하였다.
- [0444] 건식 에칭은 다음 조건하에서 수행되었다: 에칭 가스로서 유량이 60sccm인 삼염화 붕소 gas와 유량이 20sccm인 염소 gas를 사용하였고; 압력은 1.9Pa이었고; ICP 전력은 450W이었고; 기판 바이어스 전력은 100W이었으며; 기판 온도는 70℃이었다. 또한, 애싱 처리는 다음 조건하에서 3분동안 수행하였다: 유량이 300sccm인 산소 gas를 사용하였고; 압력은 66.5Pa이었고, ICP 전력은 1800W이었다. 다음으로, 레지스트 마스크(140)를 제거하기 위하여, 나가세 켈텍스 주식회사에 의해 제조된 "나가세 레지스트 스트리퍼 N-300"을 사용한 3분 처리가 80℃에서 2회 수행하였다.
- [0445] 소스 전극(116a) 및 드레인 전극(116b)으로서, 텅스텐막을 사용하였다.
- [0446] 게이트 절연막(112)으로서, 산화 질화 실리콘막을 사용하였다.
- [0447] 게이트 전극(104)으로서, 질화 탄탈륨층과 이 질화 탄탈륨층 위의 텅스텐층의 다층막을 사용하였다.
- [0448] 보호 절연막(118)으로서, 산화 알루미늄층과 이 산화 알루미늄층 위의 산화질화 실리콘막의 적층을 사용하였다.
- [0449] 상술한 방식으로, 실시예 샘플을 준비하였다.
- [0450] 도 32의 (a) 및 (b)는 주사 투과 전자 현미경(STEM)으로 취득된, 실시예 샘플의 단면 관찰 화상을 나타낸다. 도 32의 (a) 및 (b)는 실시예 샘플인 트랜지스터의 채널 폭 방향(도 21의 (a)에서의 일점 섹션 A3-A4의 방향)의 위상 콘트라스트 화상(또는 투과 전자(TE) 화상이라고 칭함)이라는 것에 유의하라.
- [0451] 도 32의 (a)에 나타난 부분에서, 다층막(108)의 단부의 조성의 라인 분석은 EDX에 의해 수행되었다. 라인 분석은 2군데 행하였으며, 그 결과를 도 32의 (c) 및 (d)에 나타내었다. 도 32의 (c) 및 (d)에서, 흰색 동그라미(○), 흑색 마름모꼴(◆), 엑스표(×), 검정색 동그라미(●) 및 백색 삼각형(△)은 각각 산소(O), 실리콘(Si), 인듐(In), 갈륨(Ga) 및 아연(Zn)을 나타낸다는 것에 유의하라.
- [0452] 도 32의 (c) 및 (d)에 나타난 바와 같이, 다층막(108)의 단부에서, 산화물층(105c)내의 갈륨의 원자수비가 높다.

부호의 설명

- [0453] 70: 대기측 기판 공급실, 70a: 성막실, 70b: 성막실, 71: 대기측 기판 공급 실, 72a: 로드 로크실, 72b: 언로드 로크실, 73: 반송실, 73a: 반송실, 73b: 반송실, 74: 카세트 포트, 75: 기판 가열실, 76: 기판 반송 로봇, 80: 성막실, 80a: 성막실, 80b: 성막실, 80c: 성막실, 80d: 성막실, 81: 대기측 기판 공급실, 82: 로드/언로드 로크실, 83: 반송실, 84: 카세트 포트, 85: 기판 가열실, 86: 기판 반송 로봇, 87: 타깃, 88: 부착 방지판, 89: 유

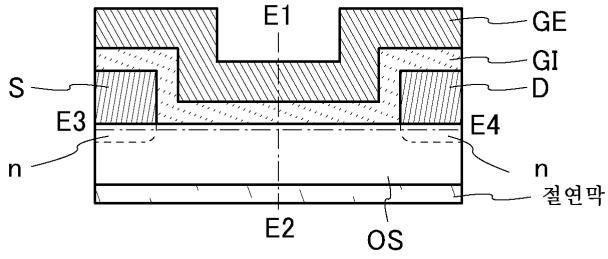
리 기관, 90: 기관 스테이지, 92: 기관 스테이지, 93: 가열 메카니즘, 94: 정제기, 95a: 크라이오 펌프, 95b: 크라이오 펌프, 95c: 터보 분자 펌프, 95d: 크라이오 펌프, 95e: 크라이오 펌프, 95f: 크라이오 펌프, 96: 진공 펌프, 96a: 진공 펌프, 96b: 진공 펌프, 96c: 진공 펌프, 97: 매스 플로우 컨트롤러, 98: 가스 가열 메카니즘, 99: 크라이오 트랩, 100: 기관, 102: 하지 절연막, 104: 게이트 전극, 105: 산화물층, 105a: 산화물층, 105b: 산화물층, 105c: 산화물층, 106: 산화물 반도체층, 106b: 산화물층, 108: 다층막, 108a: 소스 영역, 108b: 드레인 영역, 112: 게이트 절연막, 116a: 소스 전극, 116a1: 도전층, 116a2: 도전층, 116a3: 도전층, 116a4: 도전층, 116b: 드레인 전극, 116b1: 도전층, 116b2: 도전층, 116b3: 도전층, 116b4: 도전층, 118: 보호 절연막, 132: 하지 절연막, 133: 하지 절연막, 135a: 산화물층, 135b: 산화물층, 136: 산화물 반도체층, 140: 레지스트 마스크, 150: 플라즈마, 152: 하지 절연막, 155a: 산화물층, 155b: 산화물층, 156: 산화물 반도체층, 175c: 산화물층, 310: 트랜지스터, 320: 트랜지스터, 400: 기관, 402: 게이트 전극, 404: 게이트 절연막, 405: 영역, 406: 다층막, 406a: 산화물층, 406b: 산화물 반도체층, 406c: 산화물층, 406d: 산화물층, 407: 다층막, 407a: 산화물층, 407b: 산화물 반도체층, 407c: 산화물층, 407d: 산화물층, 408a: 소스 전극, 408b: 드레인 전극, 410: 보호 절연막

본 출원은 2012년 10월 24일자로 일본 특허청에 출원된 일본 특허 출원 제2012-234427호, 2012년 10월 24일자로 일본 특허청에 출원된 일본 특허 출원 제2012-234510호, 및 2012년 11월 6일자로 일본 특허청에 출원된 일본 특허 출원 제2012-244909호에 기초하며, 그 전체 내용은 참조로서 결합된다.

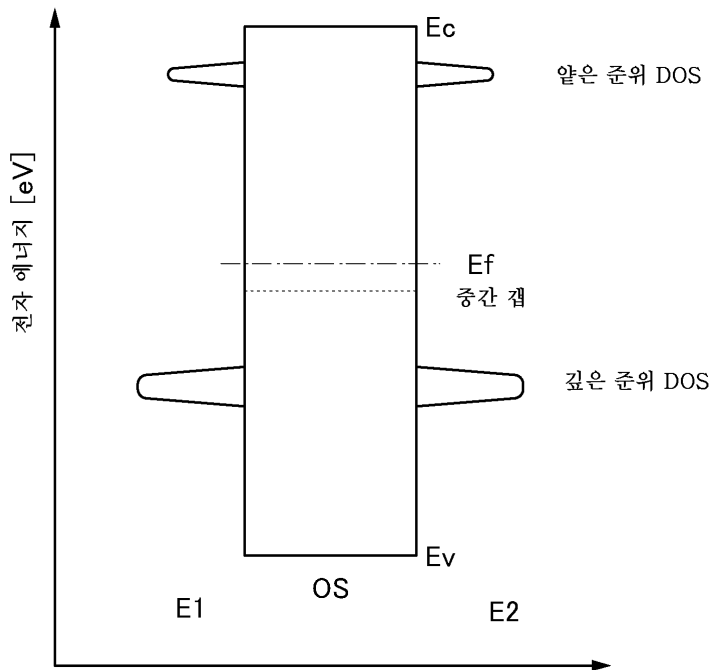
도면

도면1

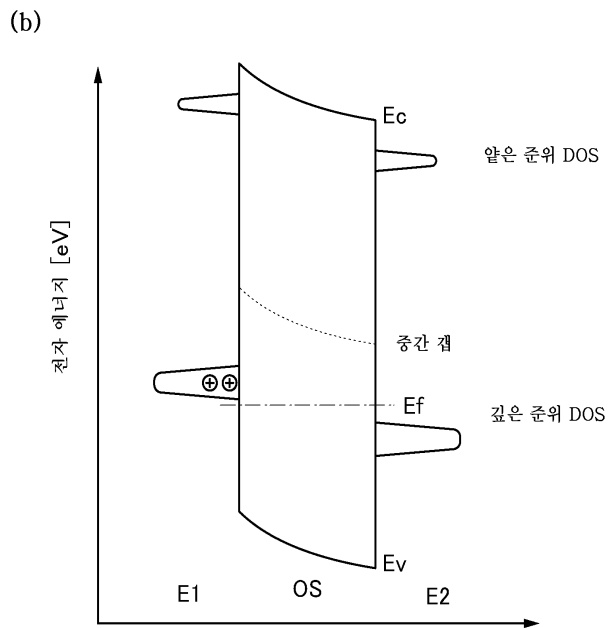
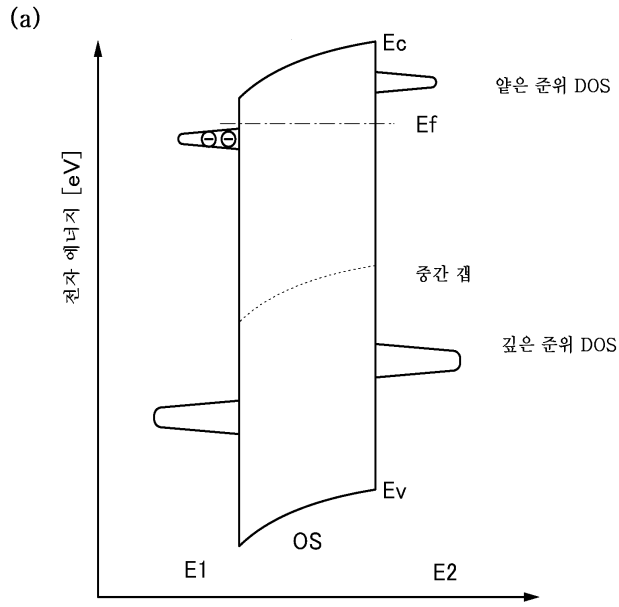
(a)



(b)

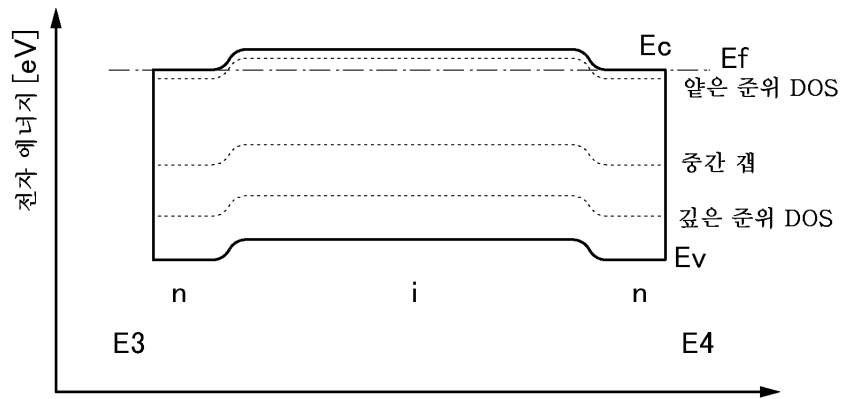


도면2

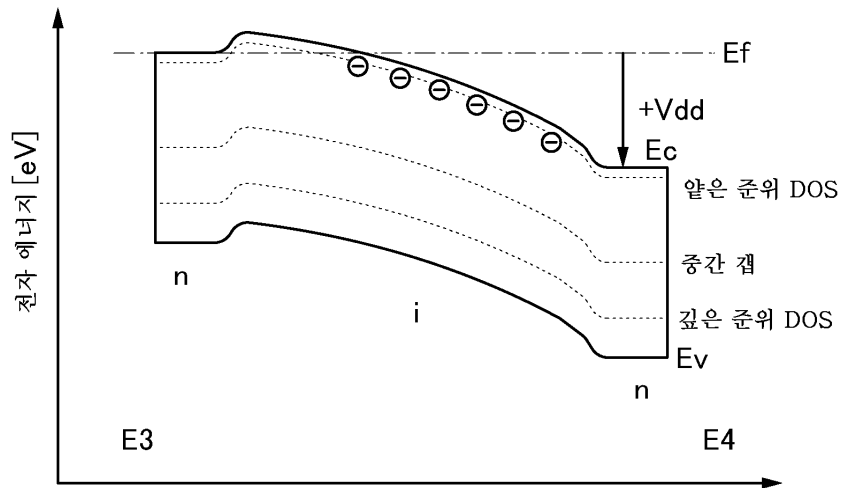


도면3

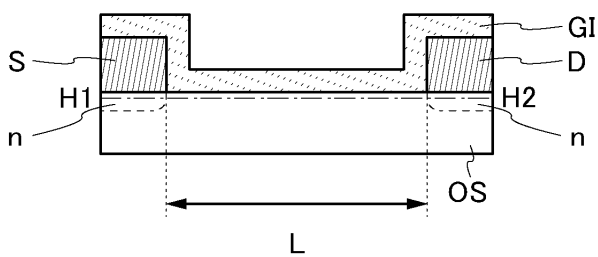
(a)



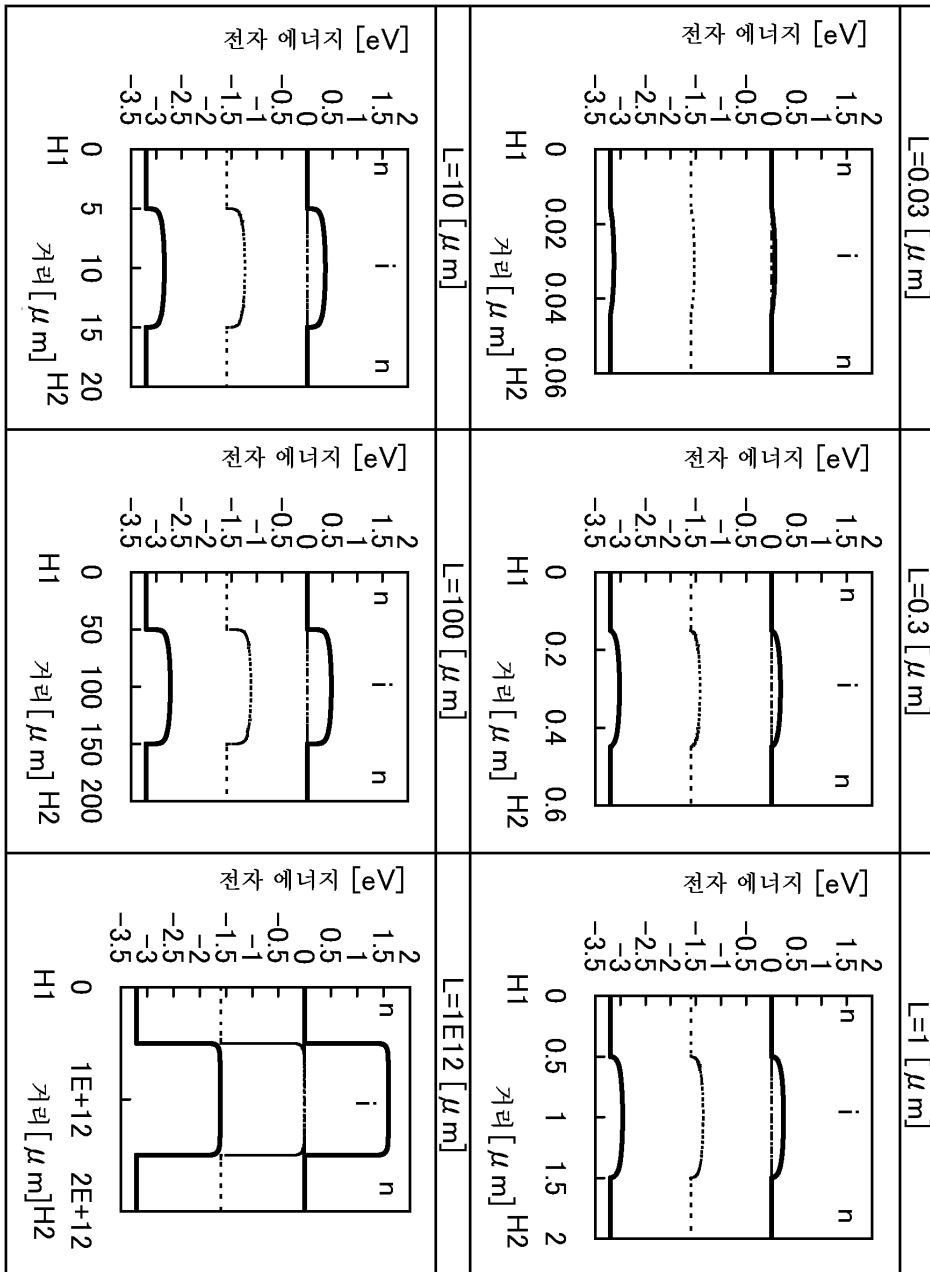
(b)



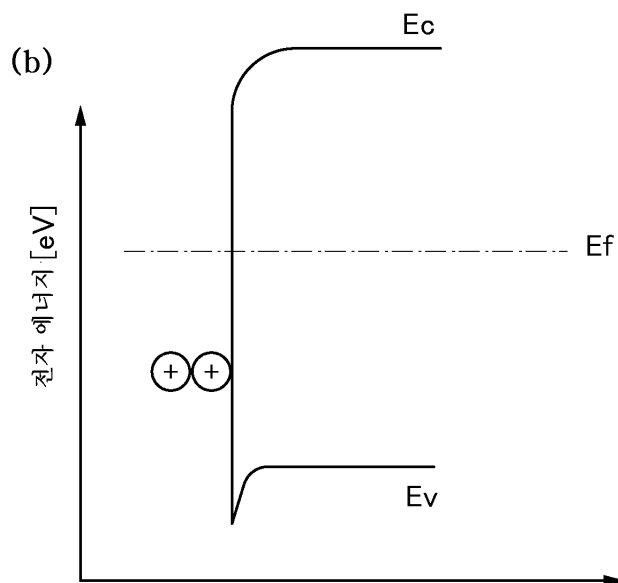
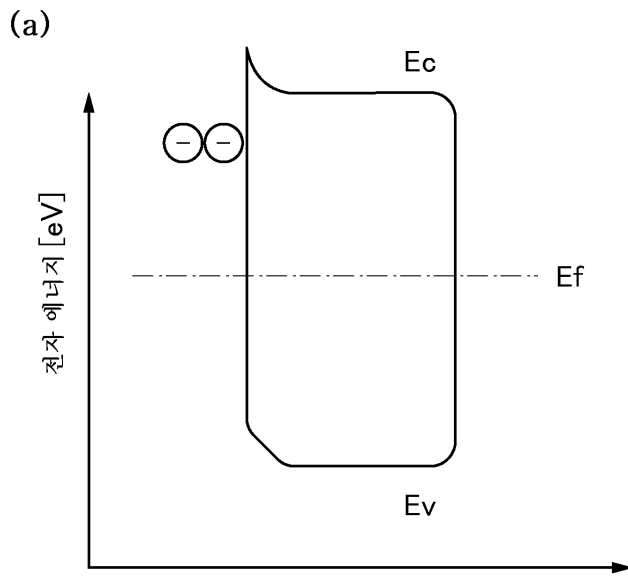
도면4



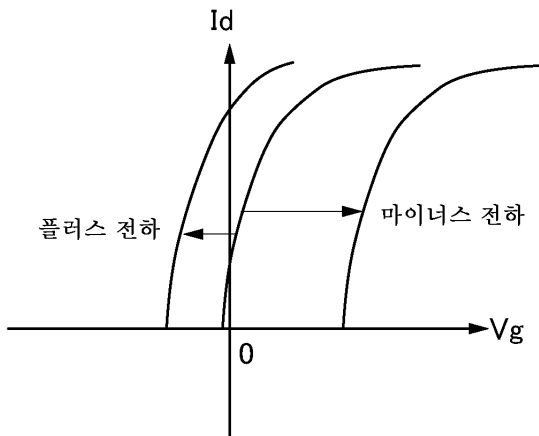
도면5



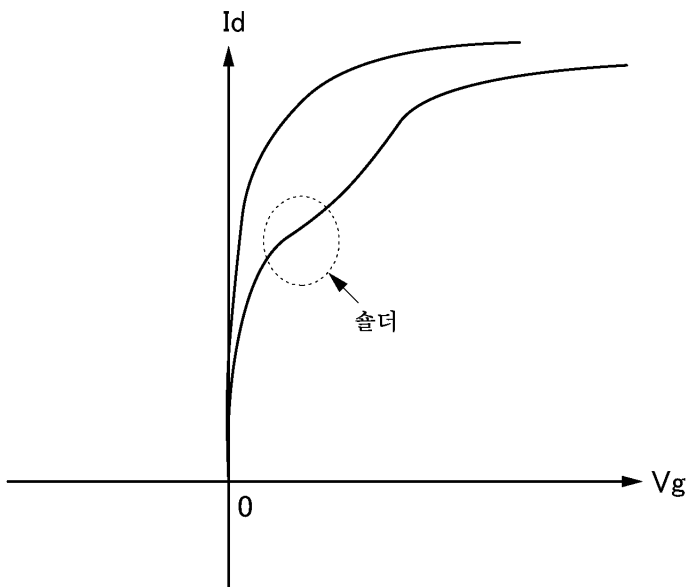
도면6



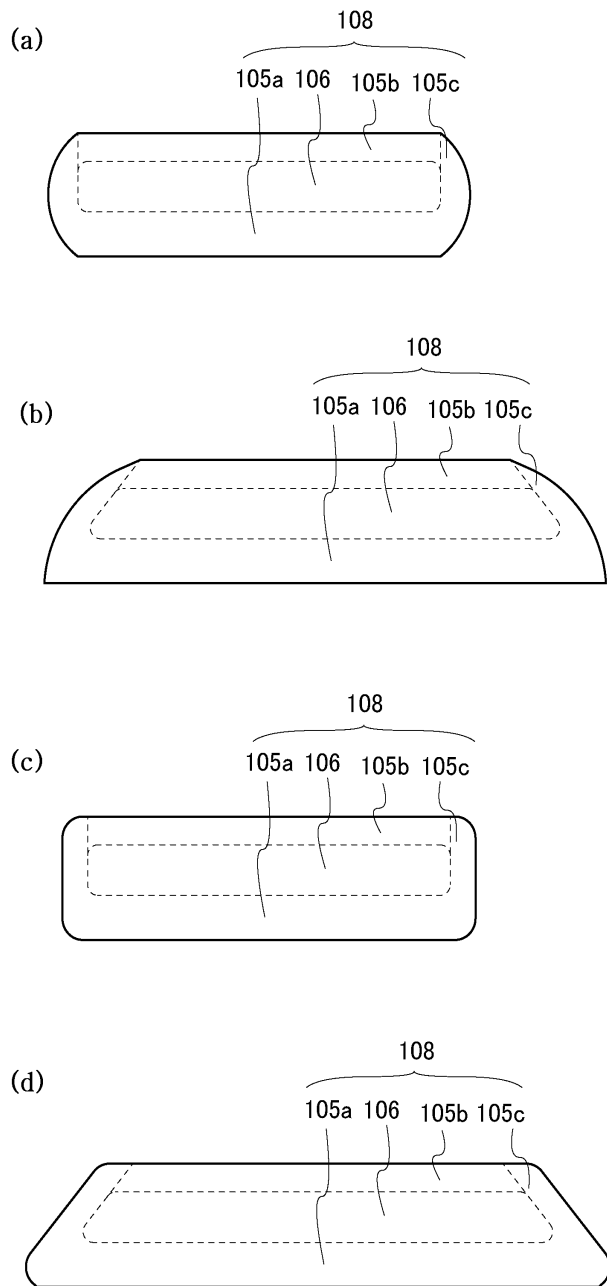
도면7



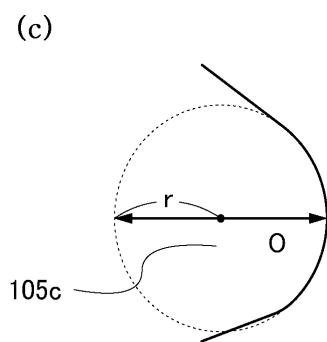
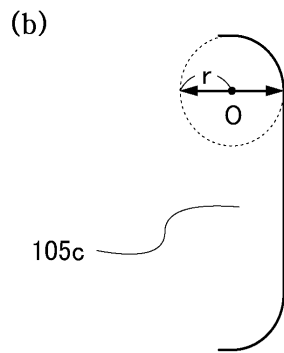
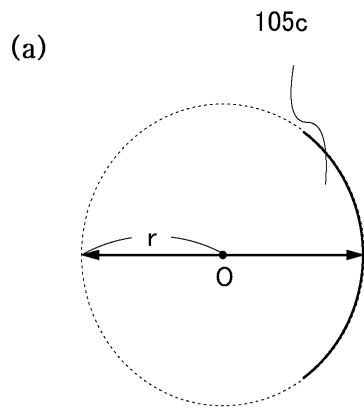
도면8



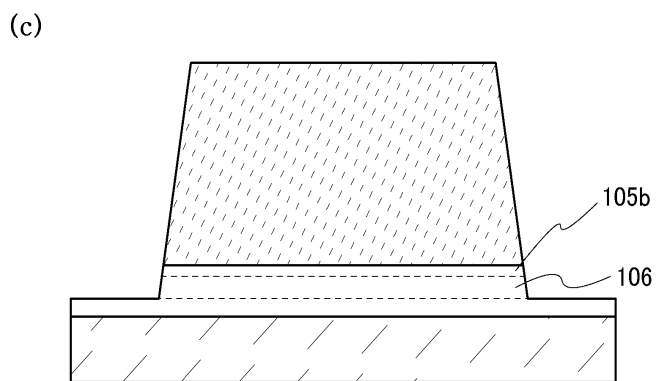
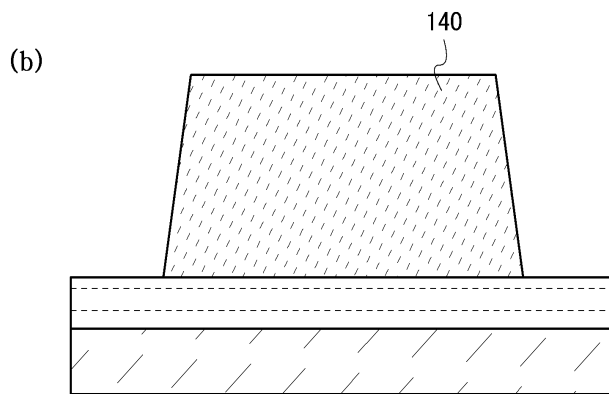
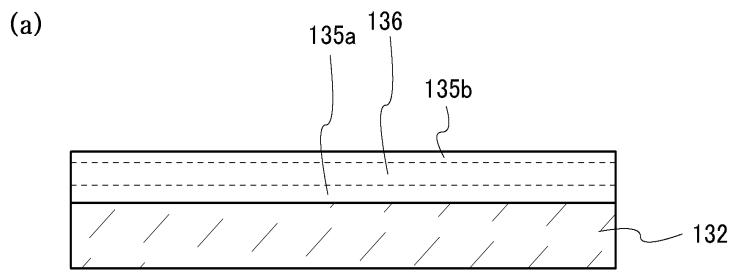
도면9



도면10

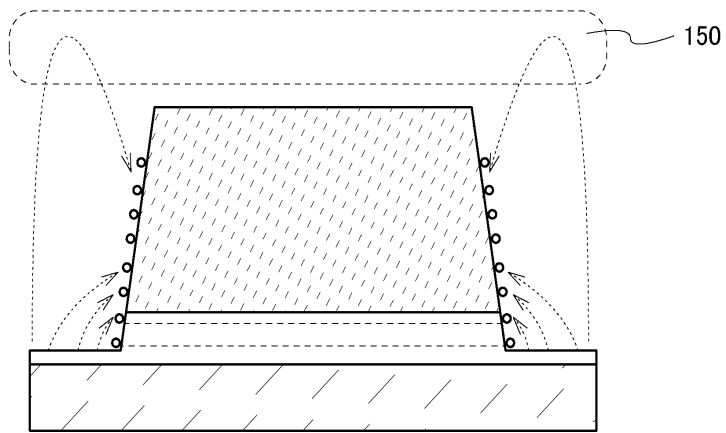


도면11

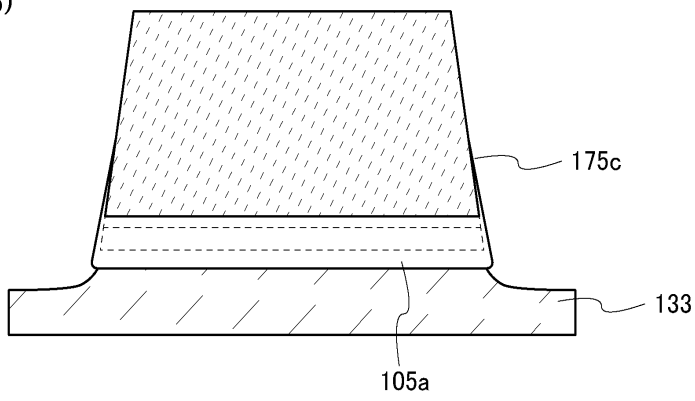


도면12

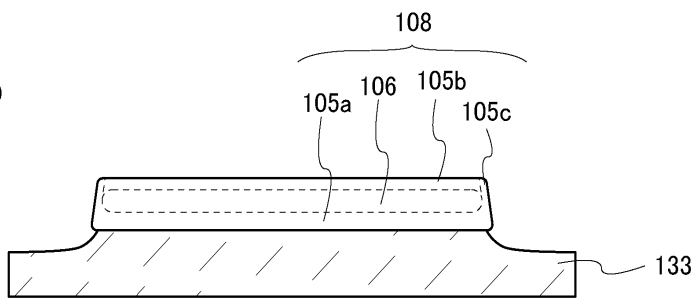
(a)



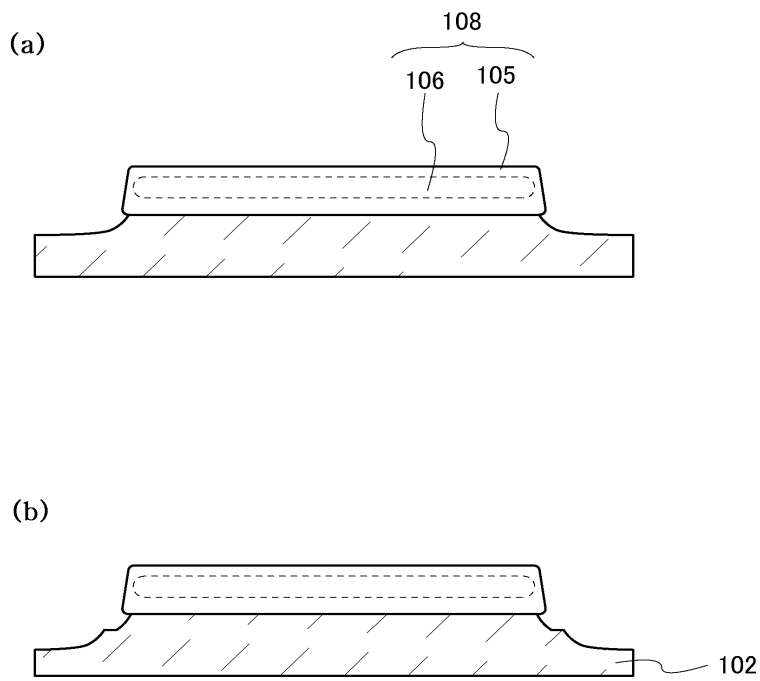
(b)



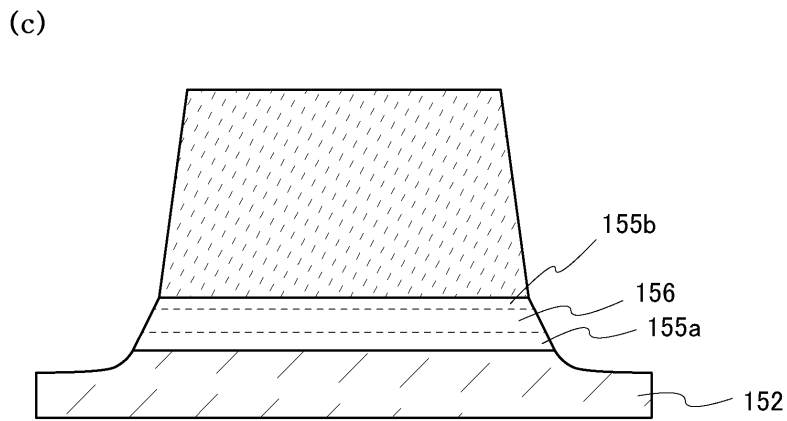
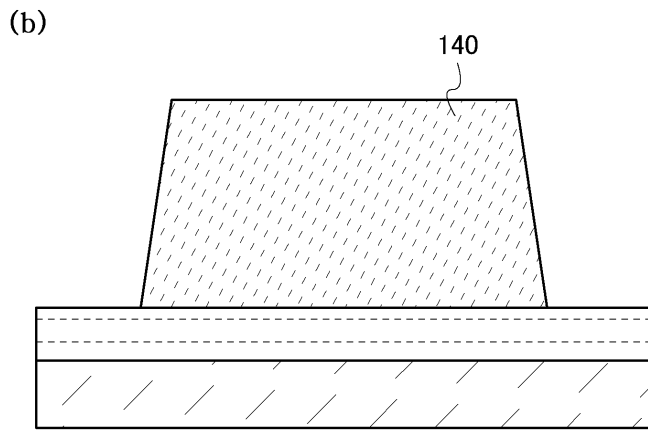
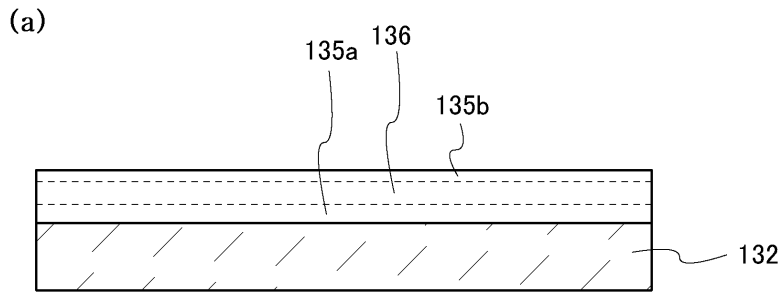
(c)



도면13

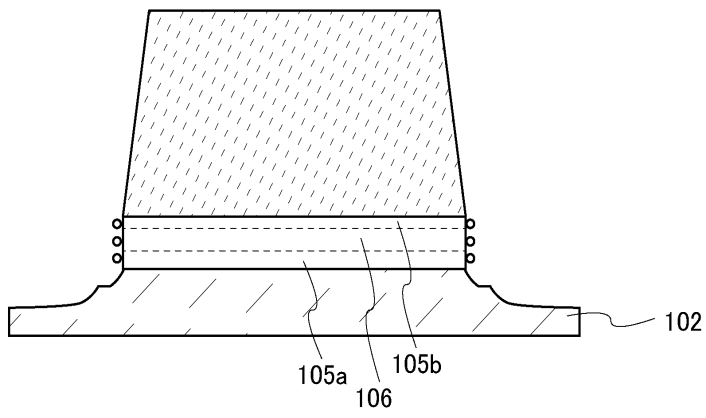


도면14

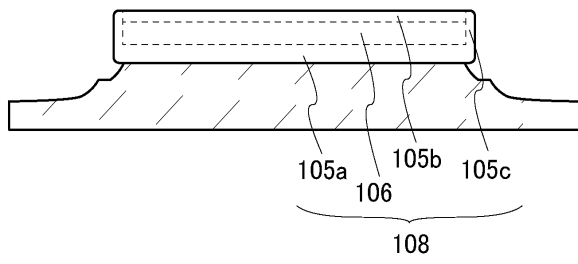


도면15

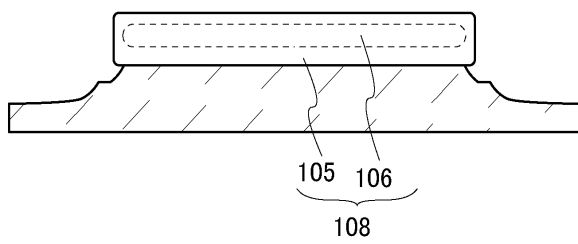
(a)



(b)

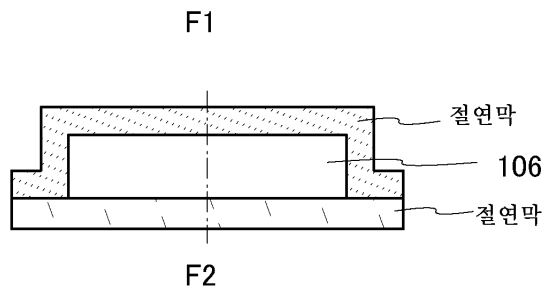


(c)

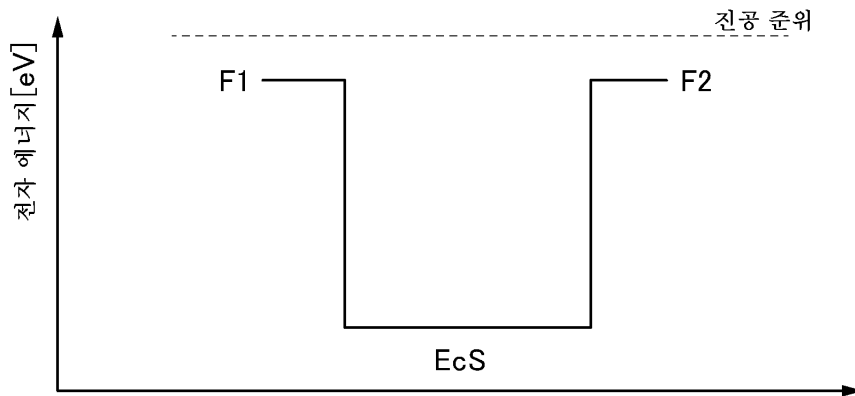


도면16

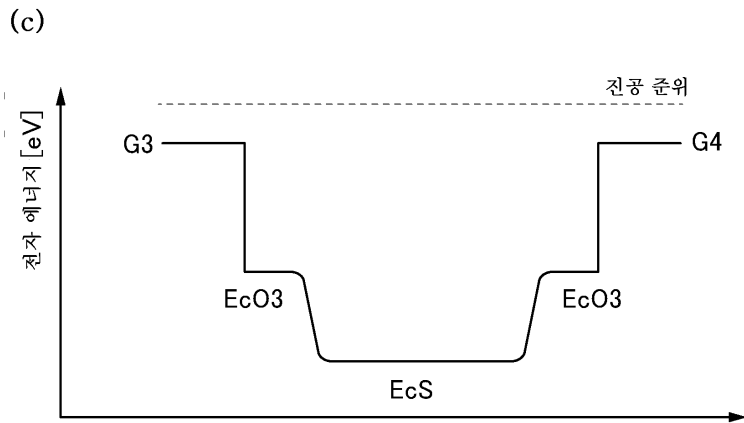
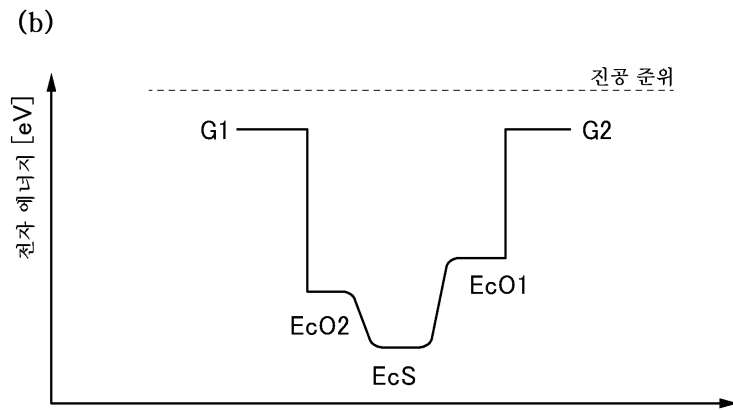
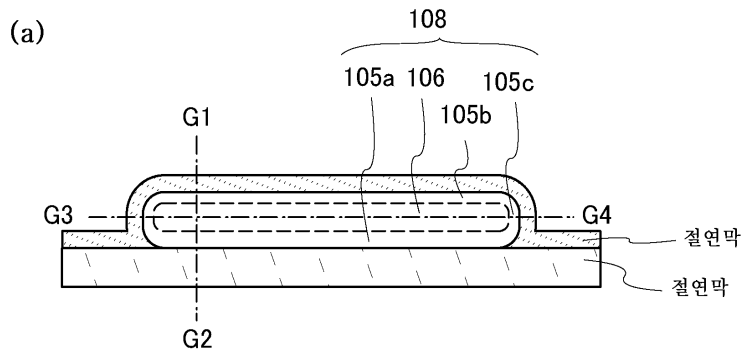
(a)



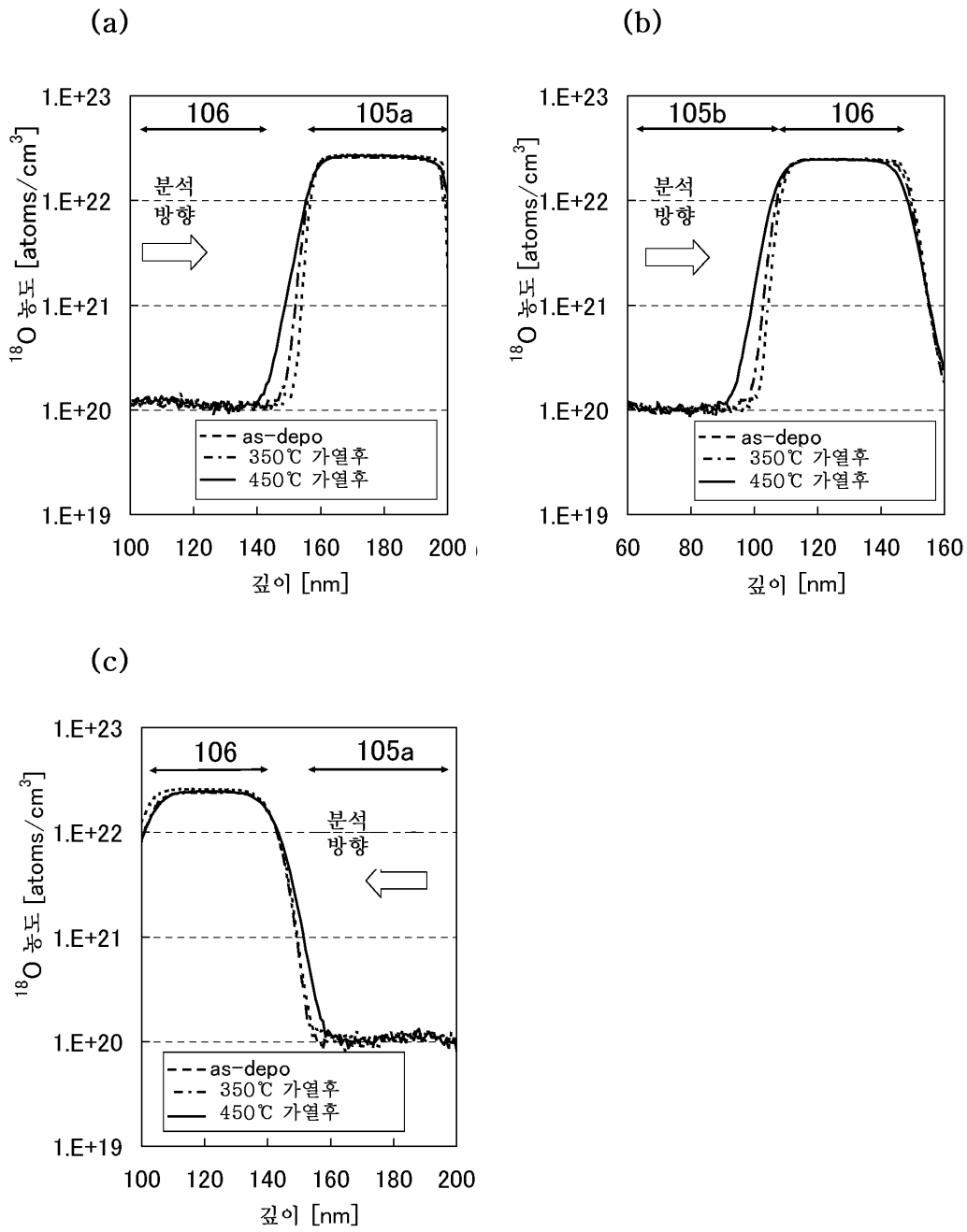
(b)



도면17

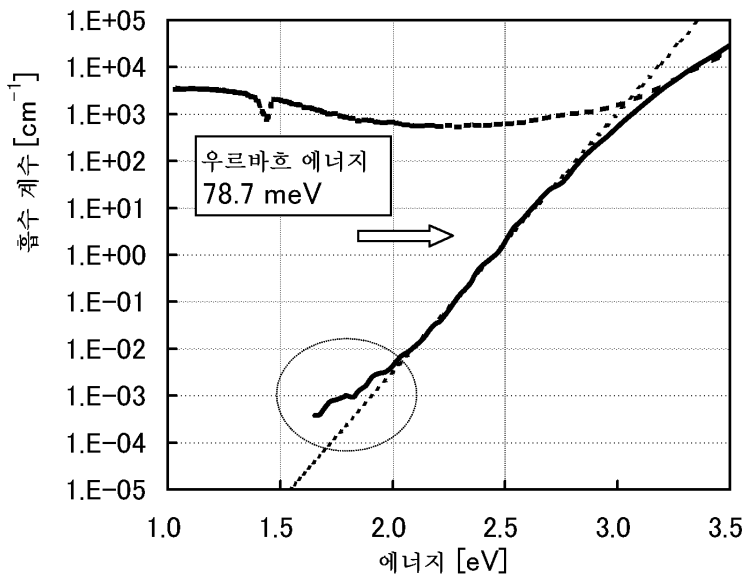


도면18

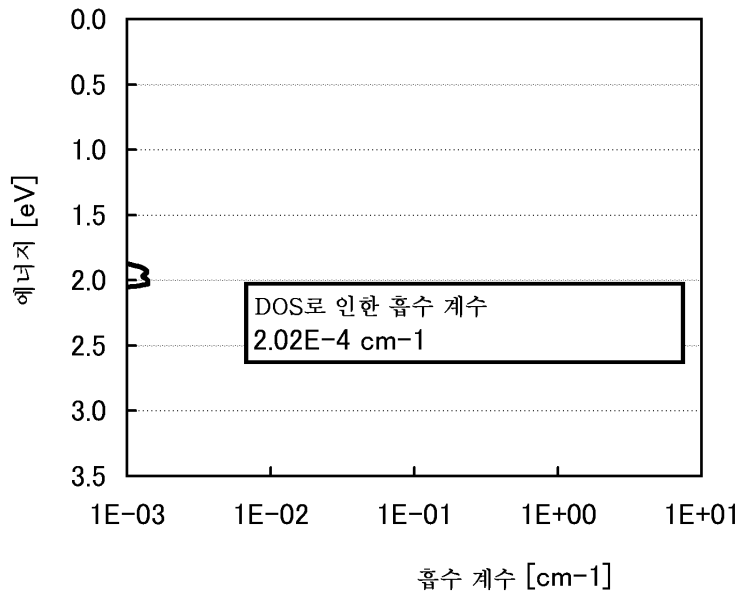


도면19

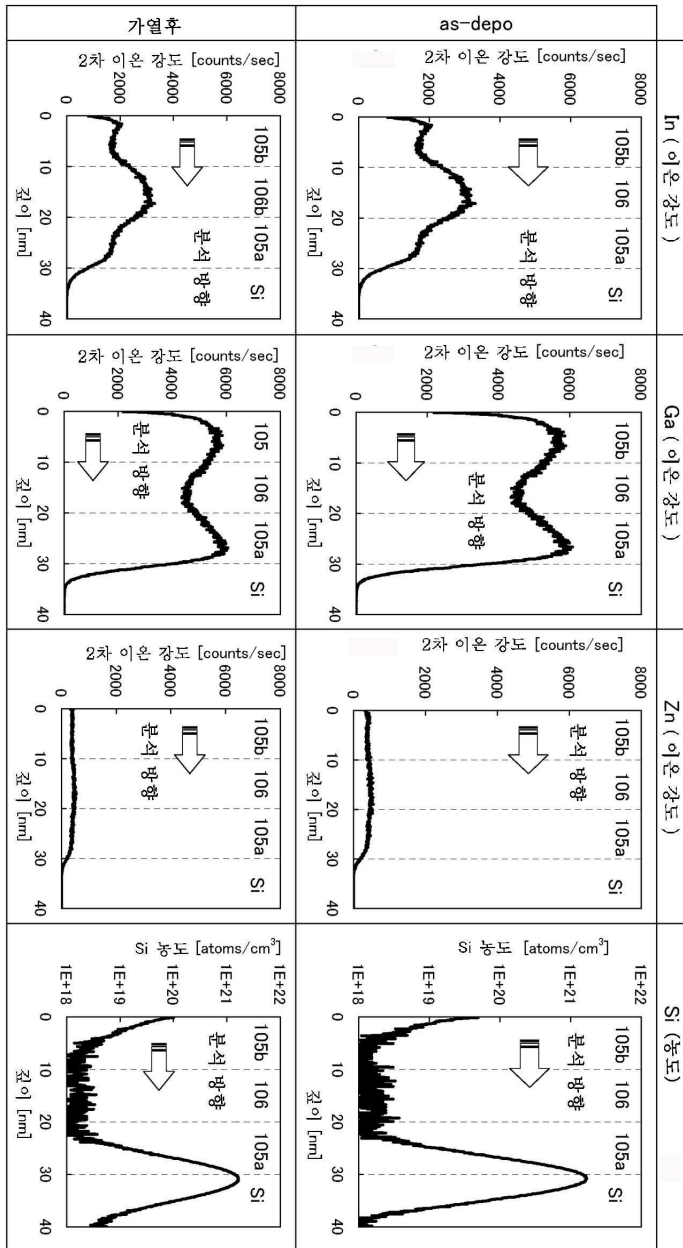
(a)



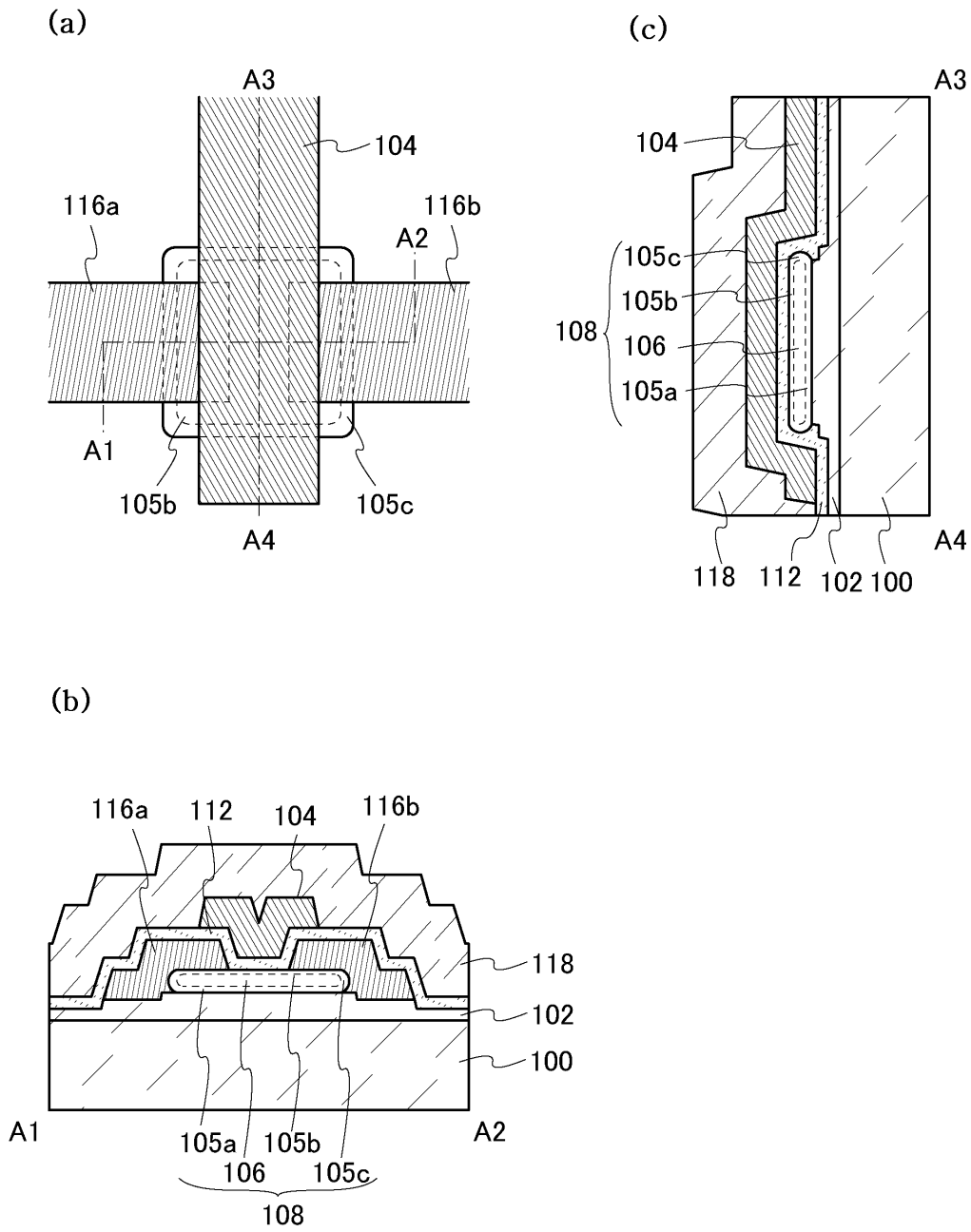
(b)



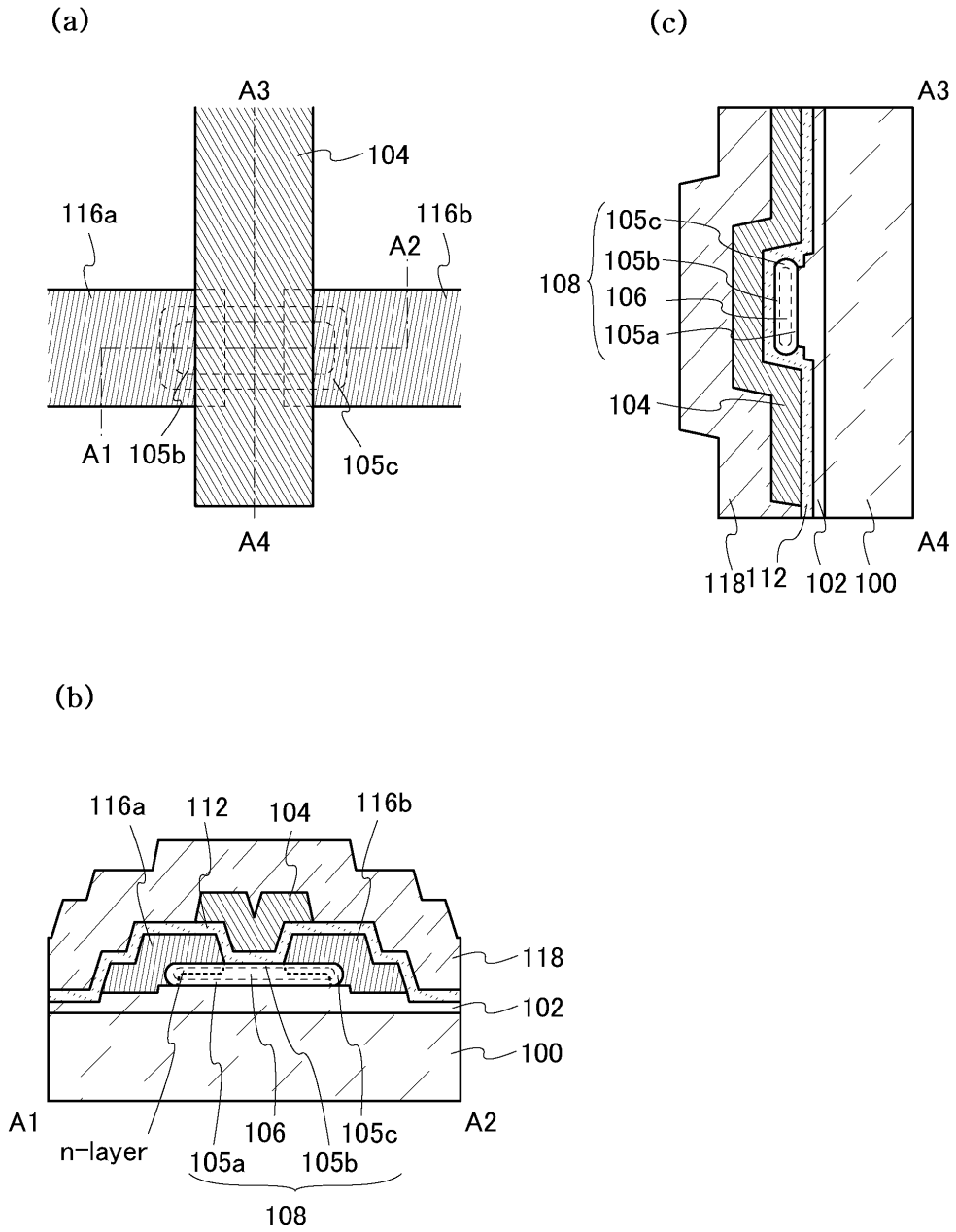
도면20



도면21

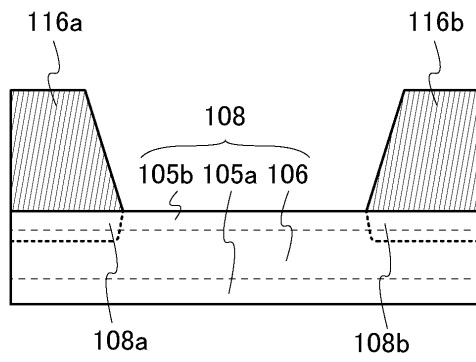


도면22

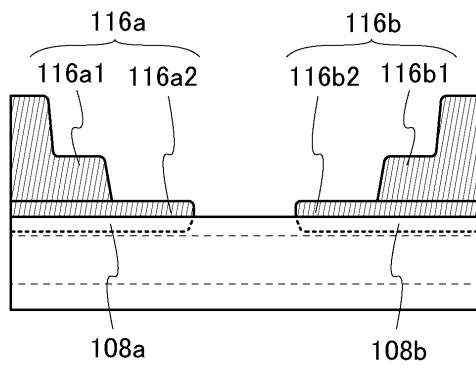


도면23

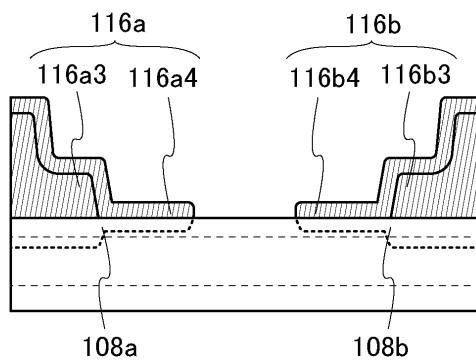
(a)



(b)

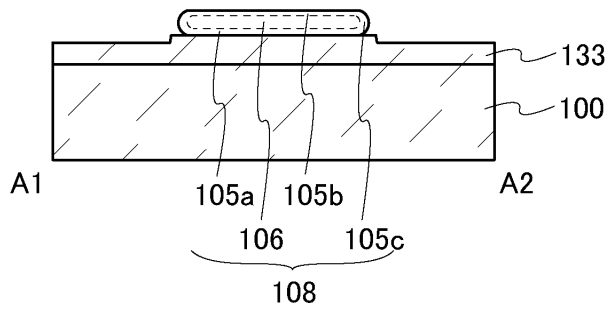


(c)

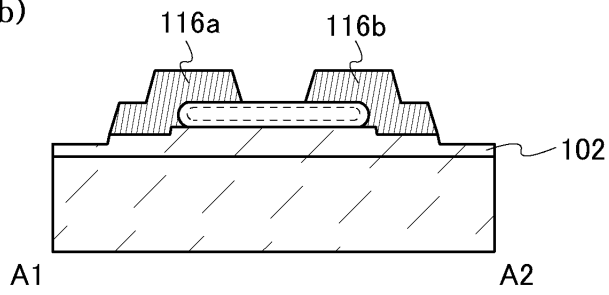


도면24

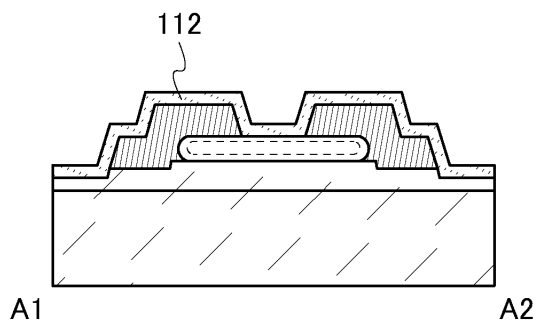
(a)



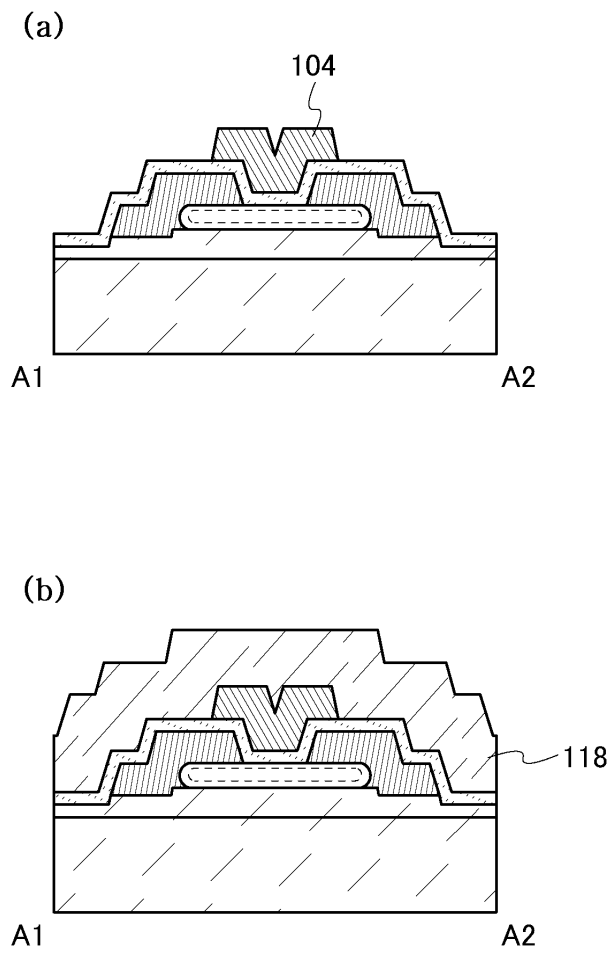
(b)



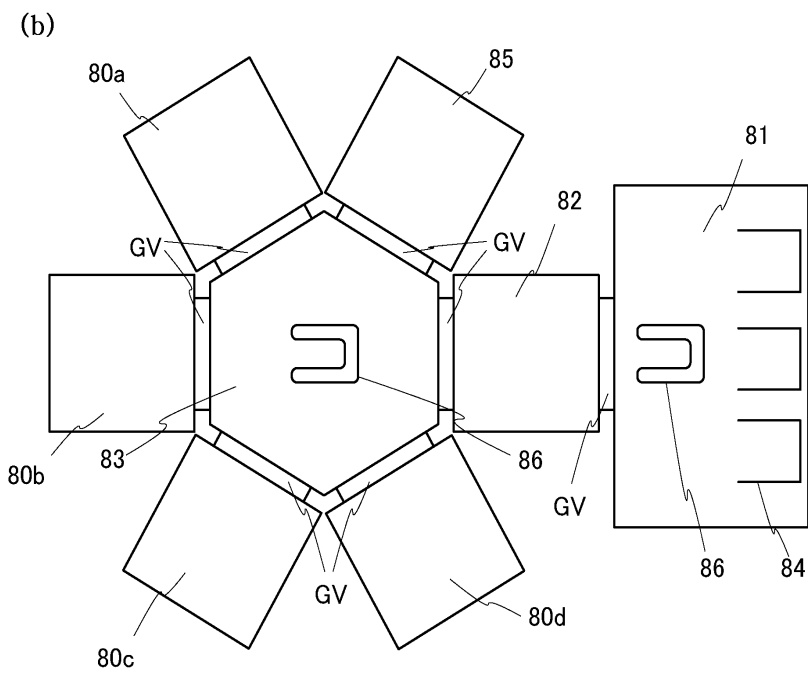
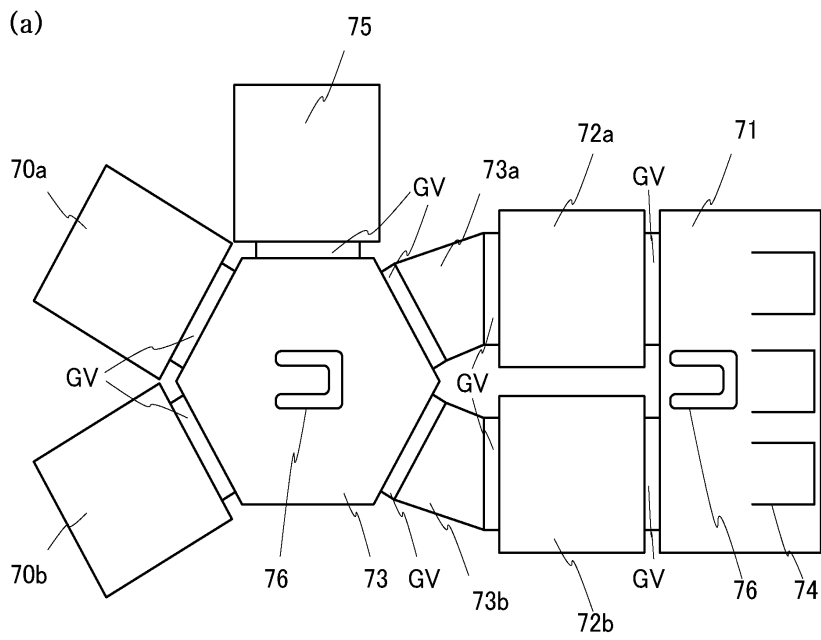
(c)



도면25

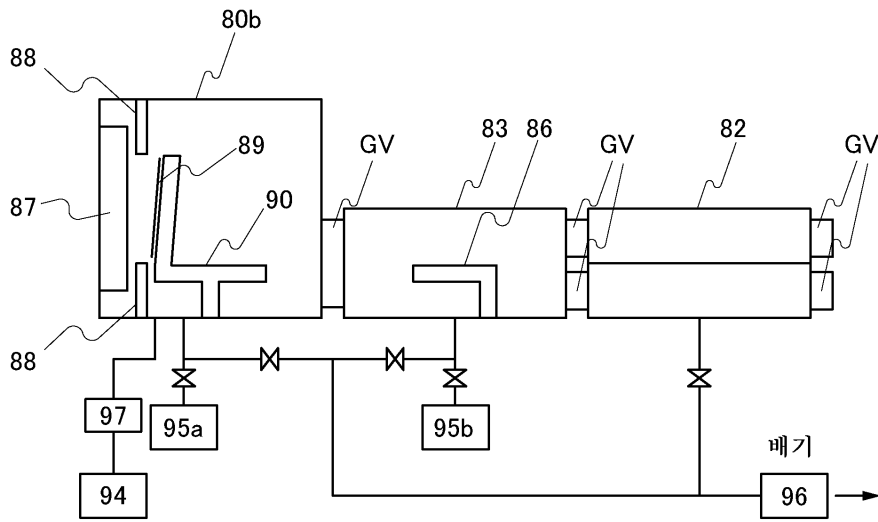


도면26

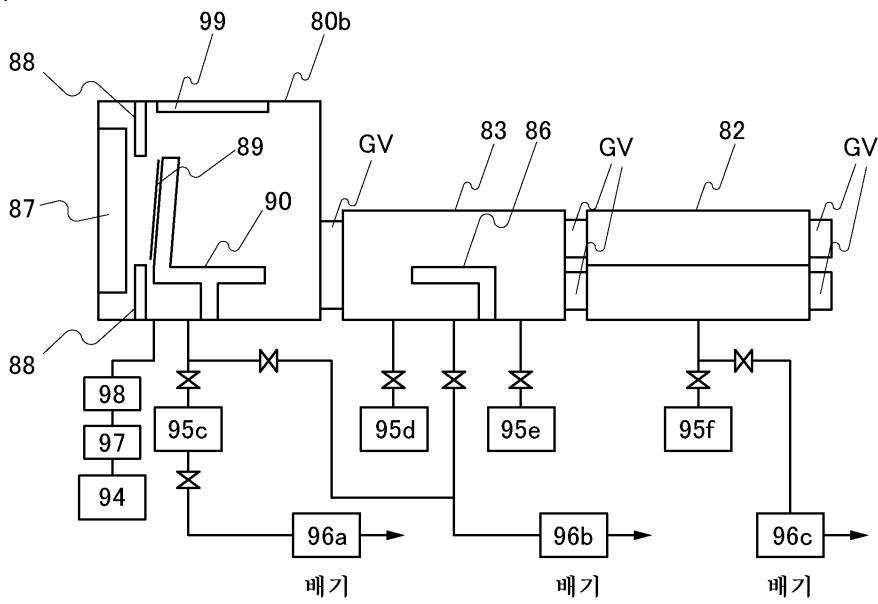


도면27

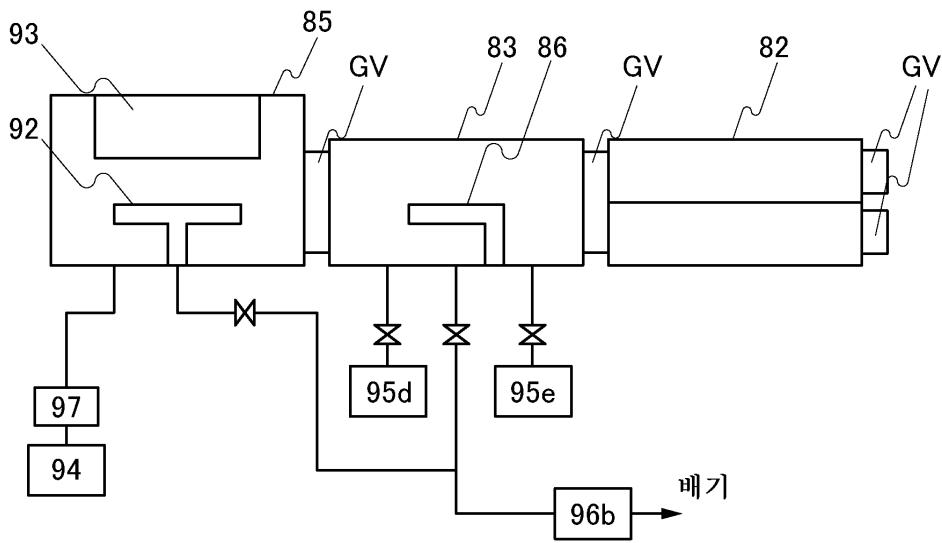
(a)



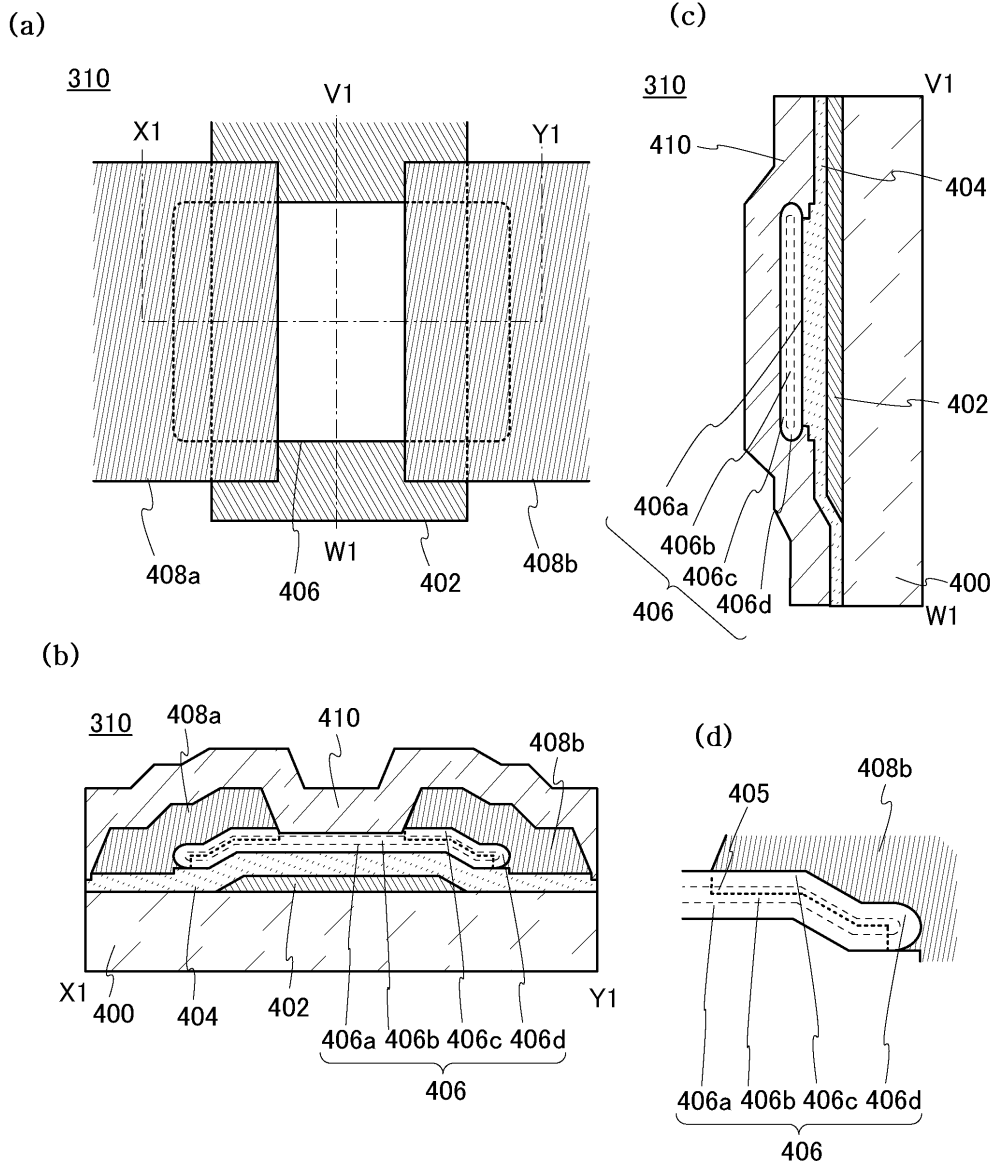
(b)



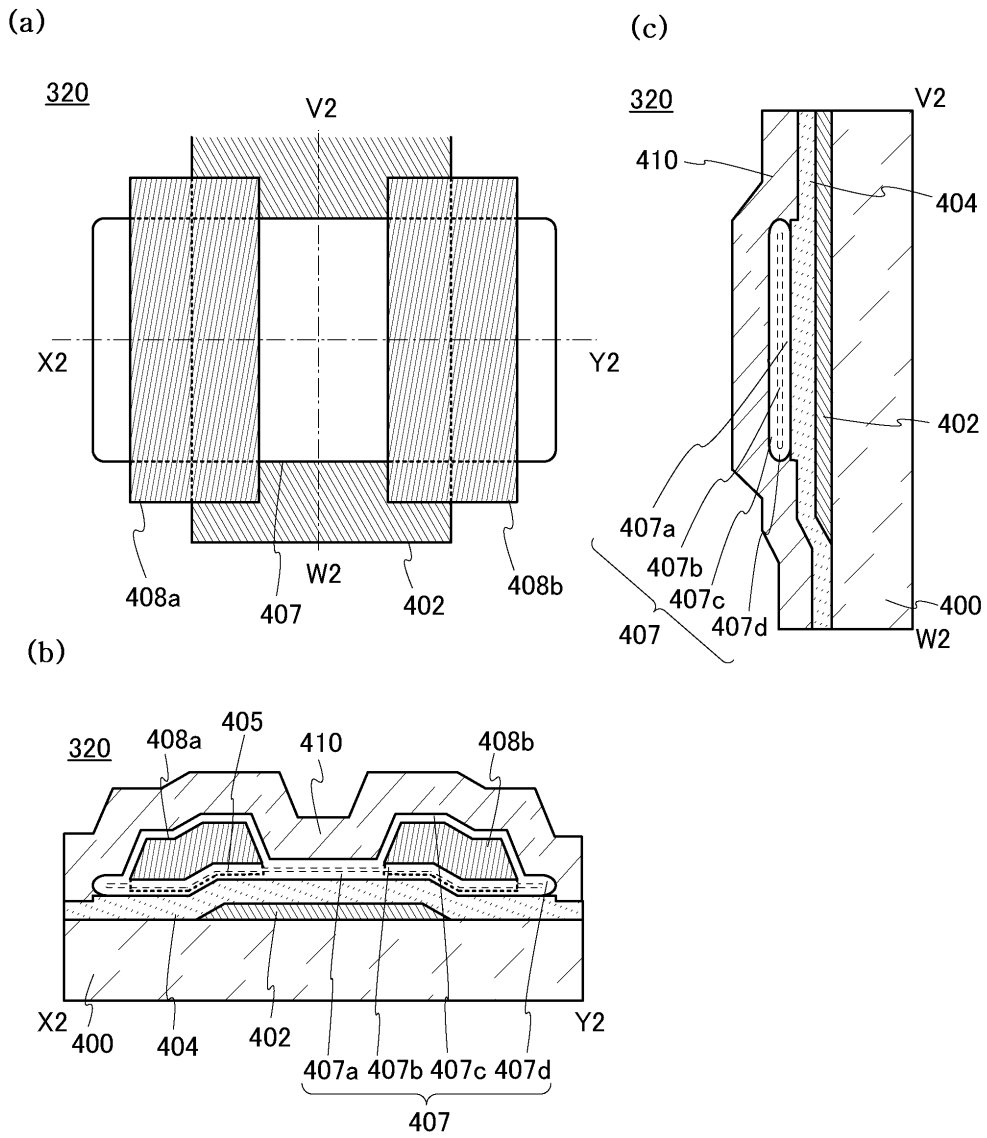
도면28



도면29

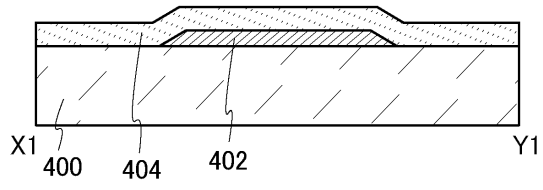


도면30

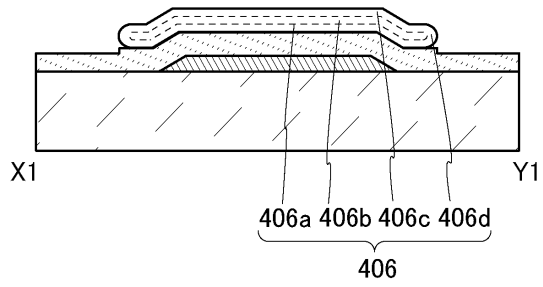


도면31

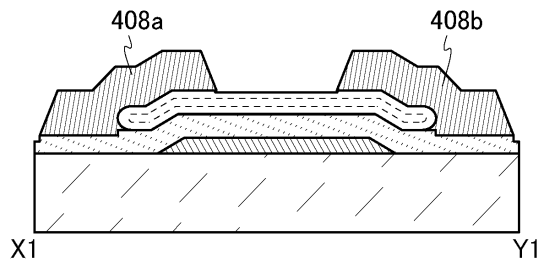
(a)



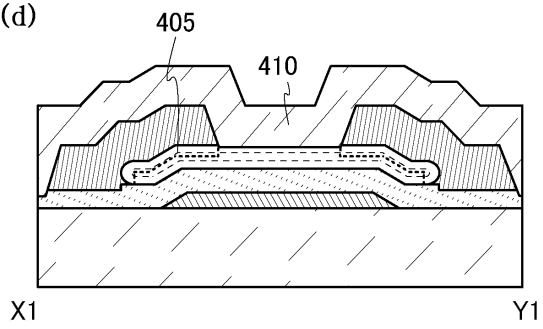
(b)



(c)



(d)



도면32

