

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成27年1月29日(2015.1.29)

【公表番号】特表2013-546088(P2013-546088A)

【公表日】平成25年12月26日(2013.12.26)

【年通号数】公開・登録公報2013-069

【出願番号】特願2013-543316(P2013-543316)

【国際特許分類】

G 06 F 12/08 (2006.01)

G 06 F 9/30 (2006.01)

G 06 F 9/52 (2006.01)

【F I】

G 06 F 12/08 5 1 9 E

G 06 F 9/30 3 5 0 A

G 06 F 9/46 4 7 2 Z

G 06 F 12/08 5 1 3

【手続補正書】

【提出日】平成26年12月5日(2014.12.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

マルチプロセッシングコアシステム内のプロセッシングコアを備える装置であって、前記プロセッシングコアは、

指定された命令シーケンスが1つ以上のアトミック性基準の組を満たすことを検証して、1つ以上のキャッシュラインから1つ以上のターゲットレジスタを介してデータにアクセスするように構成された、検証された命令シーケンスを生成することであって、前記1つ以上のアトミック性基準は、前記指定された命令シーケンスにおけるどの命令も、共有メモリから前記1つ以上のターゲットレジスタ以外を介してデータにアクセスするように前記プロセッシングコアに命令しないという基準を含む、ことと、

前記検証された命令シーケンスが、再度検証する必要なくアトミックメモリトランザクションとして実行可能となるように、前記検証された命令シーケンスを記憶することと、
アトミックメモリトランザクションとして前記マルチプロセッシングコアシステムによって実行されるための、記憶された前記検証された命令シーケンスを呼び出すことであって、前記検証された命令シーケンスをアトミックメモリトランザクションとして実行することは、データを、前記1つ以上のキャッシュラインから前記1つ以上のターゲットレジスタに記憶することを含む、ことと、

を行うように構成されている、装置。

【請求項2】

前記プロセッシングコアは、前記検証されたシーケンスをアトミックメモリトランザクションとして実行するために、

前記命令シーケンスを実行して、前記1つ以上のターゲットレジスタに記憶された前記データを変更することと、

1つ以上の値を、前記1つ以上のターゲットレジスタから前記1つ以上のキャッシュラインに記憶することと、を行うように構成されている、請求項1に記載の装置。

【請求項 3】

前記プロセッシングコアは、前記アトミックメモリトランザクションを実行するためには、
メモリデータを前記1つ以上のキャッシュラインから前記1つ以上のターゲットレジスタに記憶する前に、前記1つ以上のキャッシュラインをロックすることと、
前記値を前記1つ以上のターゲットレジスタから前記1つ以上のキャッシュラインに記憶した後に、前記1つ以上のキャッシュラインのロックを解除することと、を行いうように構成されており、
前記プロセッシングコアは、前記1つ以上のキャッシュラインをロックすることによって前記1つ以上のキャッシュラインがロックされている間、前記1つ以上のキャッシュラインに記憶された共有データを、1つ以上の他のプロセッシングコアに読み取りまたは変更させないようにする、請求項2に記載の装置。

【請求項 4】

前記シーケンスがアトミックメモリトランザクションとして実行されることを示す特殊用途開始命令が、前記検証された命令シーケンスに先立ってなされ、前記特殊用途開始命令は前記1つ以上のキャッシュラインを示す、請求項2に記載の装置。

【請求項 5】

前記プロセッシングコアは、マイクロコード検証エージェントを使用して、前記検証することを行うように構成されている、請求項1に記載の装置。

【請求項 6】

前記マイクロコード検証エージェントは、
前記シーケンスの指標をユーザプログラムから受信し、
前記シーケンスの前記指標の受信に応じて、前記検証することと前記記憶することを行いうように構成されている、請求項5に記載の装置。

【請求項 7】

前記検証エージェントは、前記記憶された前記検証されたシーケンスの識別子を、前記ユーザプログラムに戻すようにさらに構成されており、

前記アトミックメモリトランザクションを実行することは、前記ユーザプログラムが、前記識別子を使用して前記検証されたシーケンスを呼び出すことに応じて行われる、請求項6に記載の装置。

【請求項 8】

前記検証エージェントは、前記シーケンスにおけるどの命令も、メモリ階層にアクセスするように前記プロセッシングコアに命令しないことを検証するようにさらに構成されている、請求項6に記載の装置。

【請求項 9】

前記プロセッシングコアは、順方向の進行を保証した前記アトミックメモリトランザクションを実行するように構成されている、請求項1に記載の装置。

【請求項 10】

前記1つ以上のアトミック性基準の組は、
前記シーケンス内のどの命令も、前記シーケンス外の命令において実行を継続するように前記プロセッシングコアに命令しないという基準と、
前記シーケンス内のどの命令も、汎用レジスタ以外の前記プロセッシングコアのレジスタにアクセスするように前記プロセッシングコアに命令しないという基準と、
前記シーケンスの各命令が事前に指定された制限長形式で表現されているという基準と、
前記命令シーケンスの命令の数が、所与の最大制限値を超えないという基準と、
のうち1つ以上の基準を含む、請求項1に記載の装置。

【請求項 11】

マルチプロセッシングコアシステム内のプロセッシングコアが、1つ以上のアトミック性基準の組を命令シーケンスが満たすことを検証して、1つ以上のキャッシュラインから

1つ以上のターゲットレジスタを介してデータにアクセスするように構成された、検証された命令シーケンスを生成するステップであって、前記1つ以上のアトミック性基準は、前記命令シーケンスにおけるどの命令も、共有メモリから前記1つ以上のターゲットレジスタ以外を介してデータにアクセスするように前記プロセッシングコアに命令しないという基準を含む、ステップと、

前記プロセッシングコアが、前記検証された命令シーケンスが、アトミック性について再度検証する必要なくアトミックメモリトランザクションとして実行可能となるように、前記検証された命令シーケンスを記憶するステップと、

前記記憶するステップの後に、前記検証された命令シーケンスをアトミックメモリトランザクションとして実行するステップであって、前記検証された命令シーケンスをアトミックメモリトランザクションとして実行するステップは、データを、前記1つ以上のキャッシュラインから前記1つ以上のターゲットレジスタに記憶することを含む、ステップと、を含む、方法。

【請求項12】

前記アトミックメモリトランザクションを実行するステップは、

前記命令シーケンスを実行して、前記1つ以上のターゲットレジスタに記憶された前記データを変更するステップと、

1つ以上の値を、前記1つ以上のターゲットレジスタから前記1つ以上のキャッシュラインに記憶するステップと、を含む、請求項11に記載の方法。

【請求項13】

前記アトミックメモリトランザクションを実行するステップは、

メモリデータを前記1つ以上のキャッシュラインから前記1つ以上のターゲットレジスタに記憶する前に、前記1つ以上のキャッシュラインをロックするステップと、

前記値を前記1つ以上のターゲットレジスタから前記1つ以上のキャッシュラインに記憶した後に、前記1つ以上のキャッシュラインのロックを解除するステップと、をさらに含み、

前記プロセッシングコアは、前記1つ以上のキャッシュラインをロックすることによって前記1つ以上のキャッシュラインがロックされている間、前記1つ以上のキャッシュラインに記憶された共有データを、1つ以上の他のプロセッシングコアに読み取りまたは変更させないようにする、請求項12に記載の方法。

【請求項14】

前記プロセッシングコアは、

前記シーケンスの指標をユーザプログラムから受信し、

前記シーケンスの前記指標の受信に応じて、前記検証するステップと前記記憶するステップとを行う、

よう構成されたマイクロコード検証エージェントを使用して、前記検証するステップを行うように構成されている、請求項11に記載の方法。

【請求項15】

前記1つ以上のアトミック性基準の組は、

前記シーケンス内のどの命令も、前記シーケンス外の命令において実行を継続するように前記プロセッシングコアに命令しないという基準と、

前記シーケンス内のどの命令も、汎用レジスタ以外の前記プロセッシングコアのレジスタにアクセスするように前記プロセッシングコアに命令しないという基準と、

前記シーケンスの各命令が事前に指定された制限長形式で表現されているという基準と、

前記命令シーケンスの命令の数が、所与の最大制限値を超えないという基準と、のうち1つ以上の基準を含む、請求項11に記載の方法。