



(12)发明专利申请

(10)申请公布号 CN 107104085 A

(43)申请公布日 2017.08.29

(21)申请号 201710089221.4

G06F 1/20(2006.01)

(22)申请日 2017.02.20

(30)优先权数据

15/048,140 2016.02.19 US

(71)申请人 谷歌公司

地址 美国加利福尼亚州

(72)发明人 M.K.艾杨格 T-G.康 C.G.马龙
N.P.约皮

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51)Int.Cl.

H01L 23/367(2006.01)

H01L 23/373(2006.01)

H01L 23/46(2006.01)

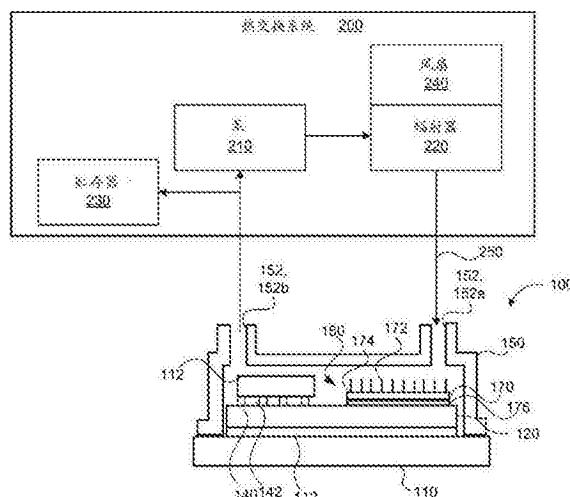
权利要求书2页 说明书6页 附图5页

(54)发明名称

功率图优化的热感知3D芯片封装

(57)摘要

一种半导体封装(100)，包括：衬底(110)、集成电路(120)、存储器支撑件(140)、堆栈式存储器(130)以及盖(150)。集成电路具有低功率区域(124)和高功率区域(122)。存储器支撑件布置在集成电路的低功率区域上并且配置为允许流体(250)的流从其通过以将热从集成电路的低功率区域传导出去。所述盖限定第一端口(152、152a)、第二端口(152、152b)和流体地连接第一端口和第二端口的盖体积。盖体积(160)配置为容纳集成电路、存储器支撑件和堆栈式存储器，同时引导流体的流在集成电路、存储器支撑件和堆栈式存储器上方流动。



1. 一种半导体封装(100),包括:

衬底(110);

布置在所述衬底(110)上的集成电路(120),所述集成电路(120)具有低功率区域(124)和高功率区域(122);

布置在所述集成电路(120)的所述低功率区域(124)上的存储器支撑件(140),所述存储器支撑件(140)配置为允许流体(250)的流从其通过以将热从所述集成电路(120)的所述低功率区域(124)传导出去;

布置在所述存储器支撑件(140)上并且与所述集成电路(120)通信的堆栈式存储器(130);以及

连接到所述衬底(110)并且限定第一端口(152,152a)、第二端口(152,152b)和流体地连接所述第一端口(152,152a)和所述第二端口(152,152b)的盖体积(160)的盖(150),所述盖体积(160)配置为容纳所述集成电路(120)、所述存储器支撑件(140)和所述堆栈式存储器(130),同时引导所述流体(250)的流在所述集成电路(120)、所述存储器支撑件(140)和所述堆栈式存储器(130)上方流动。

2. 根据权利要求1所述的半导体封装(100),进一步包括布置在所述集成电路(120)的所述高功率区域(122)上的散热器(170),所述盖体积(160)配置为容纳所述散热器(170)同时引导所述流体(250)的流在所述散热器(170)上方流动,所述散热器(170)具有多个鳍(172)。

3. 根据权利要求1所述的半导体封装(100),进一步包括布置在所述集成电路(120)的所述高功率区域(122)上的导热材料(176),所述盖体积(160)配置为容纳所述导热材料(176)同时引导所述流体(250)的流在所述导热材料(176)上方流动。

4. 根据权利要求3所述的半导体封装(100),其中所述导热材料(176)包括金刚石和/或铜和下列的复合物:

碳纳米管;或

钢。

5. 根据权利要求1所述的半导体封装(100),进一步包括布置在导热材料(176)上的散热器(170),所述导热材料(176)布置在所述集成电路(120)的所述高功率区域(122)上,所述盖体积(160)配置为容纳所述散热器(170)同时引导所述流体(250)的流在所述散热器(170)上方流动,所述散热器(170)具有多个鳍(172)。

6. 根据权利要求1所述的半导体封装(100),其中所述低功率区域(124)和所述高功率区域(122)不重叠。

7. 根据权利要求1所述的半导体封装(100),其中所述存储器支撑件(140)包括多孔材料。

8. 根据权利要求7所述的半导体封装(100),其中所述多孔材料限定规则间隔的孔(142)。

9. 根据权利要求1所述的半导体封装(100),进一步包括布置在所述集成电路(120)上的内插件(112)。

10. 根据权利要求1所述的半导体封装(100),其中所述存储器支撑件(140)配置为电连接所述堆栈式存储器(130)和所述集成电路(120)。

11.一种操作半导体封装的方法(500),包括:

接收流体(250)的流;以及

在包括堆栈式存储器(130)和集成电路(120)的半导体封装(100)的表面上方引导所述流体(250)的流;

其中所述集成电路(120)具有低功率区域(124)和高功率区域(122),所述堆栈式存储器(130)由在所述集成电路(120)的所述低功率区域(124)上的存储器支撑件(140)支撑,所述存储器支撑件(140)引导所述流体(250)的流以将热从所述集成电路(120)的所述低功率区域(124)和所述高功率区域(122)传导出去。

12.根据权利要求11所述的方法(500),进一步包括通过限定第一端口(152,152a)、第二端口(152,152b)和流体地连接所述第一端口(152,152a)和所述第二端口(152,152b)的盖体积(160)引导所述流体(250)的流,所述盖体积(160)配置为容纳所述集成电路(120)、所述存储器支撑件(140)和所述堆栈式存储器(130),同时引导所述流体(250)的流在所述集成电路(120)、所述存储器支撑件(140)和所述堆栈式存储器(130)上方流动。

13.根据权利要求12所述的方法(500),其中所述半导体封装(100)进一步包括布置在所述集成电路(120)的所述高功率区域(122)上的散热器(170),所述盖体积(160)配置为容纳所述散热器(170)同时引导所述流体(250)的流在所述散热器(170)上方流动,所述散热器(170)具有多个鳍(172)。

14.根据权利要求12所述的方法(500),其中所述半导体封装(100)进一步包括布置在所述集成电路(120)的所述高功率区域(122)上的导热材料(176),所述盖体积(160)配置为容纳所述导热材料(176)同时引导所述流体(250)的流在所述导热材料(176)上方流动。

15.根据权利要求14所述的方法(500),其中所述导热材料(176)包括金刚石和/或铜和下列的复合物:

碳纳米管;或

钢。

16.根据权利要求12所述的方法(500),其中所述半导体封装(100)进一步包括布置在导热材料(176)上的散热器(170),所述导热材料(176)布置在所述集成电路(120)的所述高功率区域(122)上,所述盖体积(160)配置为容纳所述散热器(170)同时引导所述流体(250)的流在所述散热器(170)上方流动,所述散热器(170)具有多个鳍(172)。

17.根据权利要求11所述的方法(500),其中所述低功率区域(124)和所述高功率区域(122)不重叠。

18.根据权利要求11所述的方法(500),其中所述存储器支撑件(140)包括多孔材料。

19.根据权利要求18所述的方法(500),其中所述多孔材料限定规则间隔的孔(142)。

20.根据权利要求11所述的方法(500),其中所述半导体封装(100)进一步包括布置在所述集成电路(120)上的内插件(112)。

21.根据权利要求11所述的方法(500),其中所述存储器支撑件(140)配置为电连接所述堆栈式存储器(130)和所述集成电路(120)。

功率图优化的热感知3D芯片封装

技术领域

[0001] 本公开涉及功率图优化的热感知三维(3D)芯片封装。

背景技术

[0002] 基于互补金属氧化物半导体(CMOS)的微处理器是技术架构的核心技术之一。性能缩放上的趋势表明当随着时间推移CMOS微处理器计算功率增加时，功率需求增加，会导致更大的热产生。除了工业标准的芯片封装或基于CMOS的微处理器之外，对特殊用途的硅的利用(例如，图形处理单元(GPU)和定制专用集成电路(ASIC))增加，导致更高的热产生。当芯片性能增加时，高带宽存储器的性能也需要增加，从而导致附加的热产生。可能需要大量计算机资源和大量高密度芯片封装(紧密邻近的许多服务器)的服务(例如成像和人工智能)会进一步增加功率问题。

发明内容

[0003] 本公开的一方面提供一种半导体封装。所述半导体封装包括衬底、布置在衬底上的集成电路、布置在集成电路的低功率区域上的存储器支撑件、布置在存储器支撑件上并且与集成电路通信的堆栈式存储器以及连接到衬底的盖。所述盖限定第一端口、第二端口和流体地连接第一端口和第二端口的盖体积。所述集成电路具有低功率区域和高功率区域。所述存储器支撑件配置为允许流体的流从其通过以将热从集成电路的低功率区域传导出去。所述盖体积配置为容纳集成电路、存储器支撑件和堆栈式存储器，同时引导流体的流在集成电路、存储器支撑件和堆栈式存储器上方流动。

[0004] 本公开的实现方式可以包括下列可选特征中的一个或多个。在一些实现方式中，所述半导体封装包括布置在集成电路的高功率区域上的散热器。所述盖体积可配置为容纳散热器同时引导流体的流在散热器上方流动。在该示例中，所述散热器具有多个鳍。所述半导体封装还可包括布置在集成电路的高功率区域的导热材料。所述盖体积配置为容纳导热材料同时引导流体的流在导热材料上方流动。所述导热材料可包括金刚石和/或铜和碳纳米管或铟的复合物。

[0005] 在一些示例中，所述半导体封装包括布置在导热材料上的散热器。所述导热材料可布置在集成电路的高功率区域上，并且所述盖体积配置为容纳散热器同时引导流体的流在散热器上方流动。在该示例中，所述散热器具有多个鳍。所述低功率区域和所述高功率区域可不重叠。存储器支撑件可包括多孔材料。所述多孔材料可具有规则间隔的孔。所述半导体封装可进一步包括布置在集成电路上的内插件(interposer)。所述存储器支撑件可配置为电连接存储器和集成电路。

[0006] 本公开的另一方面提供一种用于操作半导体封装的方法。所述方法包括接收流体的流并在包括堆栈式存储器和集成电路的半导体封装的表面上方引导流体的流。所述集成电路具有低功率区域和高功率区域。所述堆栈式存储器由在集成电路的低功率区域上的存储器支撑件支撑。所述存储器支撑件引导流体的流以将热从集成电路的低功率区域和高功

率区域传导出去。

[0007] 该方面可包括下列可选特征中的一个或多个。所述方法可包括通过限定第一端口、第二端口和流体地连接第一端口和第二端口的盖体积的盖来引导流体的流。所述盖体积可配置为容纳集成电路、存储器支撑件和堆栈式存储器，同时引导流体的流在集成电路、存储器支撑件和堆栈式存储器上方流动。所述方法可进一步包括布置在集成电路的高功率区域上的散热器。所述盖体积配置为容纳散热器同时引导流体的流在散热器上方流动。在该示例中，所述散热器具有多个鳍。所述方法可进一步包括布置在集成电路的高功率区域上的导热材料。所述盖体积配置为容纳导热材料同时引导流体的流在导热材料上方流动。所述导热材料可包括金刚石和/或铜和碳纳米管或钢的复合物。

[0008] 在一些示例中，所述方法包括布置在导热材料上的散热器，所述导热材料布置在集成电路的高功率区域上。所述盖体积配置为容纳散热器同时引导流体的流在散热器上方流动。在该示例中，所述散热器具有多个鳍。所述低功率区域和所述高功率区域可不重叠。所述存储器支撑件可包括多孔材料，并且所述多孔材料可具有规则间隔的孔。所述方法可进一步包括布置在集成电路上的内插件。所述存储器支撑件可配置为电连接存储器和集成电路。

[0009] 本公开的一个或多个实现方式的细节在附图和下面的描述中阐述。根据说明书、附图并且根据权利要求书，其他方面、特征和优点将是显而易见的。

附图说明

- [0010] 图1是示例半导体封装的示意图。
- [0011] 图2A是具有安装到衬底的功率区域的示例集成电路的顶部示意图。
- [0012] 图2B是堆叠在集成电路上的一个或多个高带宽存储器(HBM)组件的顶部示意图。
- [0013] 图3A是衬底、集成电路、HBM和盖的示例性布置的侧面示意图。
- [0014] 图3B示出示例半导体封装和热交换系统的示意图。
- [0015] 图4是示例计算设备的示意图。
- [0016] 图5示出了用于操作半导体封装的方法。
- [0017] 各个附图中同样的附图标记指示同样的元件。

具体实施方式

[0018] 图1示出了半导体封装100。所述半导体封装包括衬底110。衬底110可为不导电材料或半导电材料以允许安装、布线和穿过连接。在一些实现方式中，衬底110充当安装表面和热分布表面。通常的衬底110的材料包括但不限于纤维玻璃、FR4、聚酰亚胺、硅、二氧化硅、氧化铝、蓝宝石、锗、砷化镓(GaAs)、铝和锗的合金或磷化铟(InP)。内插件112安装在衬底110上。集成电路120和高带宽存储器(HBM)130安装在内插件112上。内插件112提供一个或多个HBM130和集成电路120之间的电连接。内插件112还提供多个连接点之间的电接口布线。在一些实现方式中，内插件112将连接延伸到较宽的间距或者布线连接。内插件112还可用于提供半导体封装的外部和终端引脚之间的电通路以进行电通信和数据通信。HBM 130可以以可访问的形式存储信息或数字数据。HBM 130可以是临时性类型，例如随机存取存储器，或是较长期存储类型，例如长期存储器或可擦除的可编程只读存储器(EPROM)。HBM 130

可包括用于读取和写入访问的较宽的通信通道和较快的时钟速度。集成电路120可在为在半导体材料(通常来说是硅)的一个小板上的一组电子电路。集成电路120可为通用处理单元、特定类型的处理单元(例如图形处理单元)、工业标准电路和/或专用集成电路。专用集成电路可为针对特定使用而不是用于通用使用的定制的集成电路(IC)。为了执行给定功能和计算,集成电路120可能需要与HBM 130通信以存储临时数据或稍后要使用的数据。HBM 130距离集成电路120越远,集成电路120和HBM 130之间的通信时间可能越长。为了访问数据,集成电路120可能必须与HBM 130进行多次通信。例如,集成电路120可请求包含在HBM 130中的数据片,HBM 130可向集成电路120回复该数据,集成电路120可向HBM 130回复校验和,并且当检验和正确时HBM 130可以向集成电路120回复确认。每当通信时,数据或电力穿过HBM 130和集成电路120之间的距离所耗费的时间增加了延迟并且减缓了集成电路120和HBM 130二者最大操作速度。靠近集成电路120来安置HBM 130会减少数据行进到HBM 130或集成电路120需要的时间。

[0019] 图2A示出了具有安装到衬底110的功率区域的集成电路120的顶部示意图。当集成电路120操作或执行计算时会产生热。在集成电路120上对半导体的数量和类型的安置可确定产生的热的量。彼此紧密接近安置的高功率半导体或逻辑半导体比稀疏安置的功率半导体或逻辑半导体会产生更多的热。集成电路120包括高功率区域122和低功率区域124。在集成电路120上,高功率区域122可为具有较多的热的区域而低功率区域124可为具有较低的热(相对于高功率区域122)的区域。低功率区域124和高功率区域122可通过仿真或实际实验来确定。

[0020] 图2B示出了堆叠在集成电路120上的一个或多个HBM 130的顶部示意图。通过将HBM 130安置在集成电路120上,与挨着集成电路120安置时相比,连接长度会缩短。HBM 130可在彼此顶部上堆叠的多个HBM 130。HBM 130安置在集成电路120的低功率区域124的顶部上以防止过多的热累积,允许冷却均匀分布,缩短通信时间并且缩短电连接。

[0021] 图3A示出了衬底110、集成电路120、HBM 130和盖150的侧面示意图。内插件112连接到衬底110的顶部111。集成电路120连接到内插件112并且提供衬底110和内插件112之间的电连接。HBM支撑件140在低功率区域124上连接到集成电路120。HBM 130连接到HBM支撑件140。HBM支撑件140提供集成电路120和HBM 130之间的电连接,该电连接允许通信、电力和数据通过HBM支撑件140。HBM支撑件140可为包括HBM支撑孔142的多孔材料。HBM支撑孔142为材料的空隙,该空隙允许冷却流体通过HBM支撑件140并增加附加的冷却。HBM支撑孔142可为足以允许冷却流体250通过HBM支撑孔142的任何形状。HBM支撑孔142可为规则或不规则形状,只要在HBM 130和集成电路120之间能形成足够的连接并且冷却流体250可流过HBM支撑件140。在一些示例中,HBM支撑件140为金刚石、硅和/或铜。HBM支撑件140还可为复合金刚石、硅和/或具有碳纳米管和/或钢的复合铜。

[0022] 散热器170连接到集成电路120的高功率区域122。散热器170可包括基座174以增加从集成电路120吸收的热。散热器170还可包括一个或多个鳍172以增加散热器的表面积和/或增加散热器170的散热能力。鳍172可为适于将热从基座174或集成电路120传导出去的任何形状,包括但不限于圆形、针形、平面形和/或锥形等。散热器170可由用于导热的任何合适材料制造出,所述材料包括但不限于铝、铜和/或合金等。导热材料176可安置在散热器170和集成电路120之间以促进热传递。在一些示例中,导热材料176是金刚石和/或铜。导

热材料176还可为复合金刚石和/或具有碳纳米管和/或钢的复合铜。

[0023] 盖150连接到衬底110并限定容纳内插件112、集成电路120、HBM支撑件140、HBM130、散热器170、鳍172、基座174和导热材料176的盖体积160。盖150限定包括第一端口152a和第二端口152b的一个或多个端口152。端口152可为多个端口152，而且对可使用的端口152的数量没有限制。

[0024] 图3B示出了包括半导体封装100和热交换系统200的示意图。热交换系统200包括连接到辐射器220和盖150的端口152、152b中的一个的泵210。辐射器220连接到端口152、152a中的一个和泵210。辐射器220可为能够交换热的任何装置，包括但不限于管、珀尔帖冷却(peltier cooling)、鳍系统和/或热块等。在一些实现方式中，辐射器220包括风扇240以增加辐射器220到环境的散热。在另外的实现方式中，热交换系统200按需要包括贮存器230以存储流体250。贮存器230还可用作消散来自热交换系统200的热。作为示例，泵210从第二端口152b吸取热的流体250并且将其引导到辐射器220。辐射器220冷却流体250并且泵210将流体250引导到第一端口152a。经冷却的流体进入第一端口152a并且流过盖体积160，从集成电路120、散热器170、HBM 130和HBM支撑件140吸热。吸收了热的流体250离开第二端口152b并且返回到泵210，完成热交换器系统200。

[0025] 半导体封装100的总功率容量可通过仿真或实验来确定。确定总功率容量的一种方法可为将HBM 130的Q_m HBM功率、集成电路120的高功率区域122的Q_{high}功率和集成电路120的低功率区域122的Q_{low}功率设置为低基线值。所述方法还包括将盖150上的冷却保持固定以确定或记录HBM130、高功率区域122和低功率区域124的最大结温并将记录的结温值与集成电路120和HBM 130的规格进行比较。接下来，调节盖150的冷却并确定或记录HBM 130、高功率区域122和低功率区域124的最大结温。所述方法还包括将记录的结温值与集成电路120和HBM 130的规格和先前测试进行比较。所述方法进一步包括调节高功率区域122和低功率区域124的位置和大小同时在盖150上的冷却保持固定并且确定或记录HBM 130、高功率区域122和低功率区域124的最大结温。所述方法进一步包括将记录的结温值与集成电路120和HBM 130的规格和先前测试进行比较并且连续调节直到结温被最小化或已经取得最大化的冷却。

[0026] 图4是可用来实现在本文中描述的设备和方法的示例计算设备400的示意图。计算设备400旨在代表各种形式的数字计算机，例如膝上型计算机、台式计算机、工作站、个人数字助理、服务器、刀锋服务器、大型主机和其他适当的计算机。在本文示出的组件、它们的连接和关系以及它们的功能应当仅是示例性的，而不应当限制本公开描述和/或在本文中请求保护的实现方式。

[0027] 计算设备400包括半导体封装100或处理器、存储器420、存储设备430、连接到存储器420和高速扩展端口450的高速接口/控制器440以及连接到低速总线470和存储设备430的低速接口/控制器460。组件100、420、430、440、450和460中的每一个均利用各种总线互连，并且可安装在共同的母板上或者适当地以其他方式安装。半导体封装100或处理器能够处理用于在计算设备400内执行的指令，包括存储在存储器420中或在存储设备430上的指令以向在外部输入/输出设备(例如耦合到高速接口440的显示器480)上的图形用户界面(GUI)显示图形信息。在其他实现方式中，多个处理器和/或多个总线可适当地与多个存储器或多种类型的存储器一起使用。另外，可以连接多个计算设备400，其中每个设备提供所

需操作的一些部分(例如,作为服务器组、刀锋服务器的群组或多处理器系统)。

[0028] 存储器420在计算设备400内非暂态地存储信息。存储器420可为计算机可读介质、(一个或多个)易失性存储器单元或(一个或多个)非易失性存储器单元。非暂态存储器420可为用于在临时性或永久性的基础上存储程序(例如,指令序列)或数据(例如,程序状态信息)以供计算设备400使用的物理设备。非易失性存储器的示例包括但不限于闪存式存储器和只读存储器(ROM)/可编程只读存储器(PROM)/可擦除可编程只读存储器(EPROM)/电可擦除可编程只读存储器(EEPROM)(例如,一般用于固件,例如引导程序)。易失性存储器的示例包括但不限于随机存取存储器(RAM)、动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)、相变存储器(PCM)以及盘或带。

[0029] 存储设备430能够为计算设备400提供大容量存储。在一些实现方式中,存储设备430是计算机可读介质。在各种不同实现方式中,存储设备430可为软盘设备、硬盘设备、光盘设备或带设备、闪存式存储器或其他类似固态存储器设备或设备阵列,包括在存储区域网络或其他配置中的设备。在另外的实现方式中,计算机程序产品被具体化为信息载体。计算机程序产品包含指令,所述指令在被执行时执行诸如以上描述的一个或多个方法。信息载体是计算机可读介质或机器可读介质,例如存储器420、存储设备430或在半导体封装100或处理器上的存储器。

[0030] 高速控制器440管理用于计算设备400的带宽密集(bandwidth-intensive)的操作,而低速控制器460管理较低的带宽密集的操作。这样的职能分配仅是示例性的。在一些实现方式中,高速控制器440耦合到存储器420、显示器480(例如,通过图形处理器或加速器)并且耦合到高速扩展端口450,高速扩展端口450可接受各种扩展卡(未示出)。在一些实现方式中,低速控制器460耦合到存储设备430和低速扩展端口470。可包括各种通信端口(例如,USB、蓝牙、以太网、无线以太网)的低速扩展端口470可耦合到一个或多个输入/输出设备,例如键盘、指示设备、扫描仪或(例如,通过网络适配器)联网设备,例如交换机或路由器。

[0031] 如图中所示,计算设备400可以以许多不同形式来实现。例如,其可以实现为标准服务器400a或在这样的服务器400a的群组中实现多次、实现为膝上型计算机400b或实现为机架式服务器系统400c的一部分。

[0032] 图5示出了用于操作半导体封装100的方法500。在框502处,方法500包括接收流体250的流。流体250可为适于吸收并传导热的任何流体250。流体250可通过盖150中的端口152、152a到达盖体积160。在框504处,方法500包括在堆栈式存储器或高带宽存储器130和集成电路120的表面上方引导流体250的流。集成电路120具有低功率区域124和高功率区域122。所述堆栈式存储器或HBM 130由在集成电路120的低功率区域124上的存储器支撑件140支撑。存储器支撑件140引导流体250的流以从集成电路120的低功率区域124和高功率区域122将热传导出去。流体250可以被盖150引导到内插件112、集成电路120、HBM 130、HBM支撑件140和散热器170上方的盖体积160中。流体250吸收由内插件112、集成电路120、HBM 130、HBM支撑件140和散热器170产生的热。可引导所述流体以被热交换系统200驱散。

[0033] 方法500可包括通过限定第一端口152a、第二端口152b和流体地连接第一端口152a和第二端口152b的盖体积160来引导流体250的流。盖体积160可配置为容纳集成电路120、存储器支撑件140和堆栈式存储器130,同时引导流体250的流在集成电路120、

存储器支撑件140和堆栈式存储器130上方流动。方法500可进一步包括布置在集成电路120的高功率区域122上的散热器170。盖体积160配置为容纳散热器170同时引导流体250的流在散热器170上方流动。在该示例中，散热器170可具有多个鳍172。方法500可进一步包括布置在集成电路120的高功率区域122上的导热材料176。盖体积160配置为容纳导热材料176同时引导流体250的流在导热材料176上方流动。导热材料176可包括金刚石和/或铜和碳纳米管或钢的复合物。

[0034] 在一些示例中，方法500包括布置在导热材料176上的散热器170，导热材料176布置在集成电路120的高功率区域122上。盖体积160配置为容纳散热器170同时引导流体250的流在散热器170上方流动。此外，散热器170可具有多个鳍172。低功率区域124和高功率区域122可不重叠。存储器支撑件140可包括多孔材料，并且所述多孔材料可具有规则间隔的孔142。方法500可进一步包括布置在集成电路120上的内插件112。存储器支撑件140可配置为电连接存储器130和集成电路120。

[0035] 尽管本说明书包含许多细节，但是这些细节不应当被解释为对本公开或请求保护的范围进行限制，而应该被解释为特定于本公开的具体实现方式的特征的描述。在本说明书中在不同实现方式的背景中描述的某些特征也可以以组合方式实现在单个实现方式中。相反，在单个实现方式的背景中描述的各种特征也可以单独地实现在多个实现方式中或以任何合适的子组合的方式来实现。此外，尽管特征可以如上所述描述为在某些组合中起作用甚至最初也这样要求，但在一些情况下，来自所要求的组合的一个或多个特征可以从组合中排除，并且所要求的组合可以是子组合或子组合的变体。

[0036] 类似地，尽管在附图中以特定次序描绘了操作，但是这不应当被理解为需要以示出的特定次序或以相继的次序来执行这样的操作或者需要执行所有示意的操作来取得满意的结果。在某些情况下，多任务和并行处理可能是有利的。另外，在上述实施例中对各种系统组件的分离不应当被理解为在所有实施例中要求这样的分离，而是应当理解，所描述的程序组件和系统可通常地在单个软件产品中被集成在一起或者被封装成多个软件产品。

[0037] 已经描述了多个实现方式。尽管如此，将会理解，在不背离本公开的精神和范围的情况下可以进行各种修改。因此，其他实现方式落入下述权利要求的范围内。例如，记载在权利要求中的动作可以以不同的次序执行而仍然取得满意的结果。

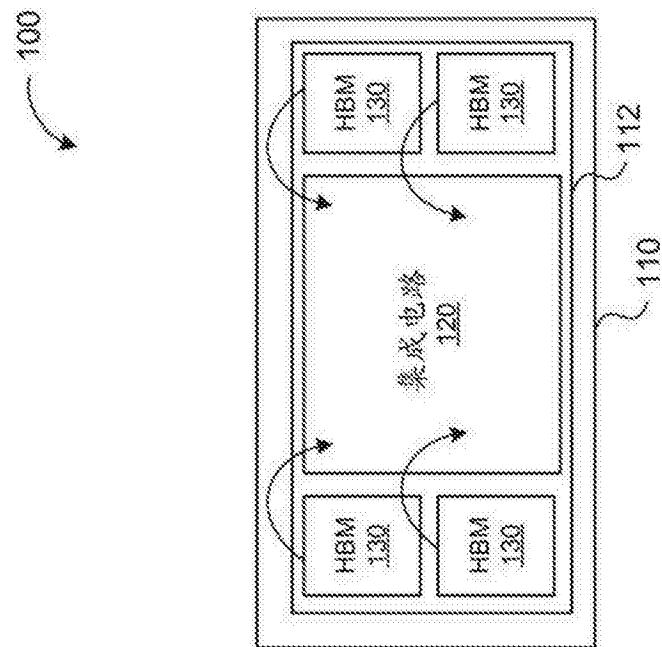


图1

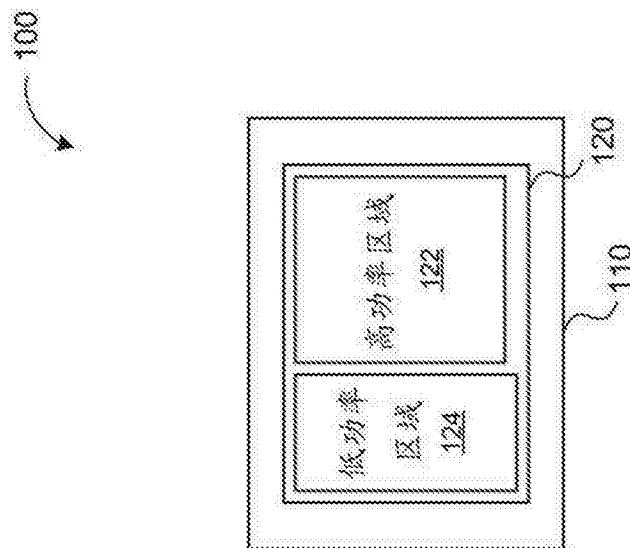


图2A

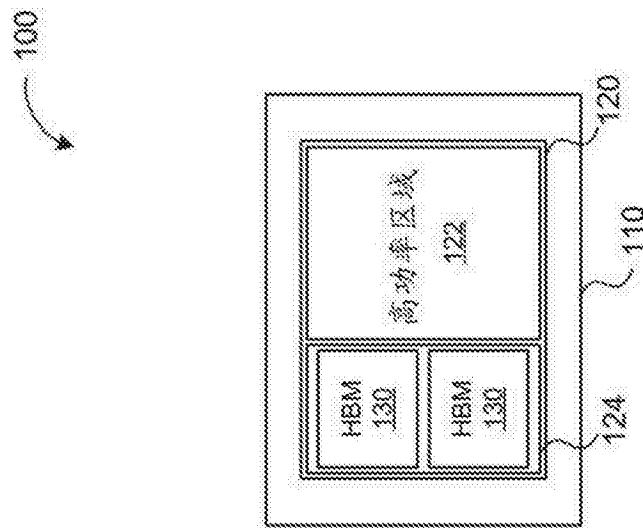
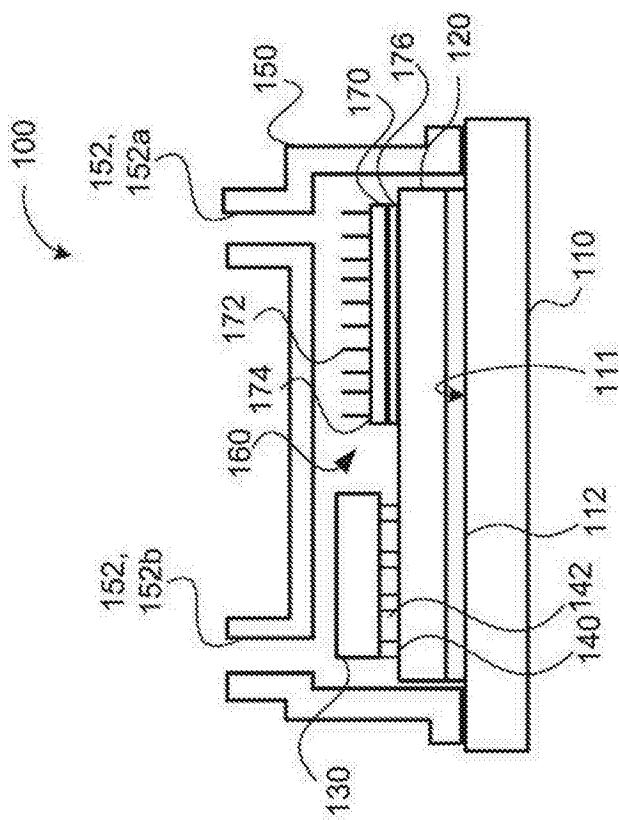


图2B



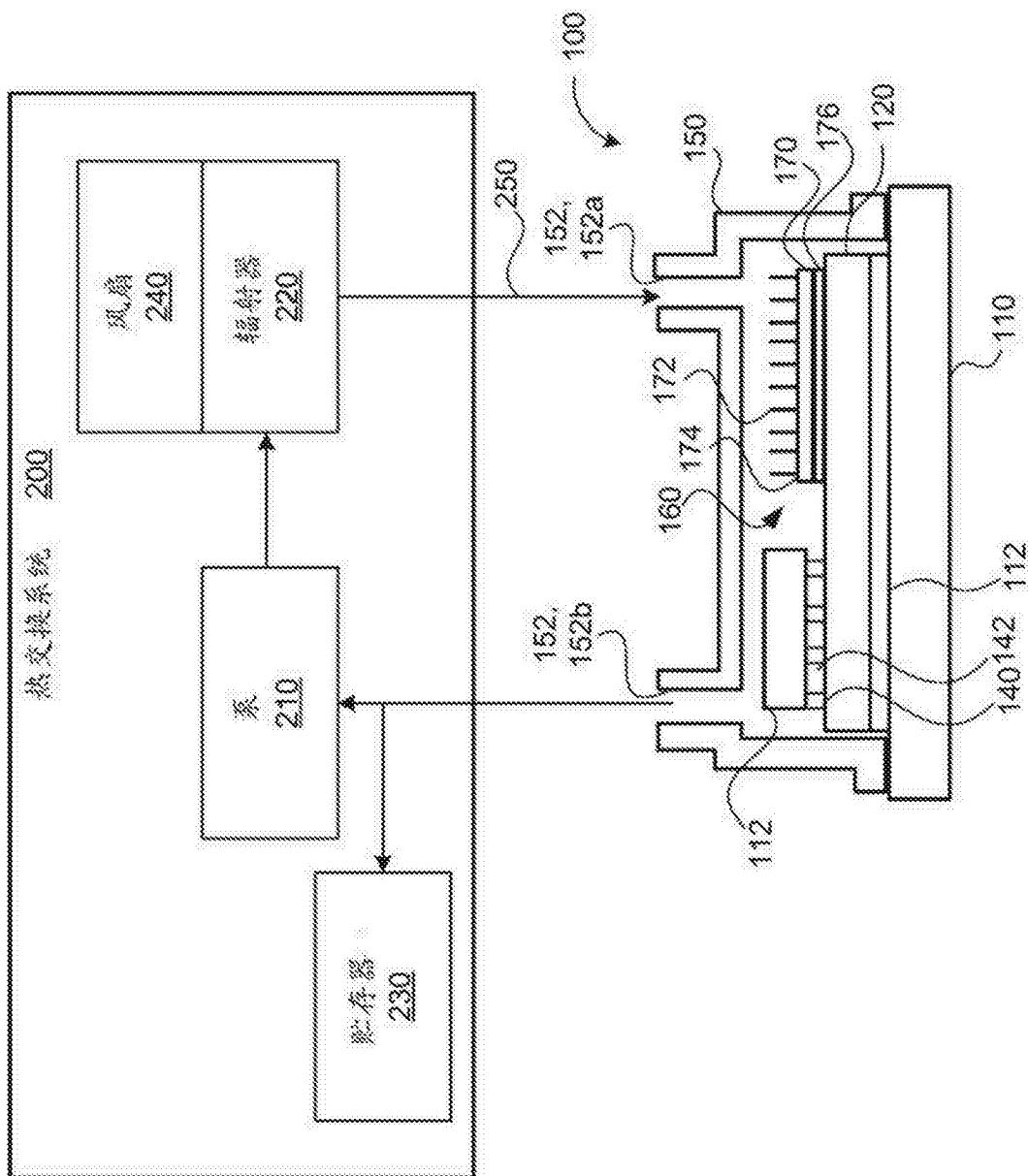


图3B

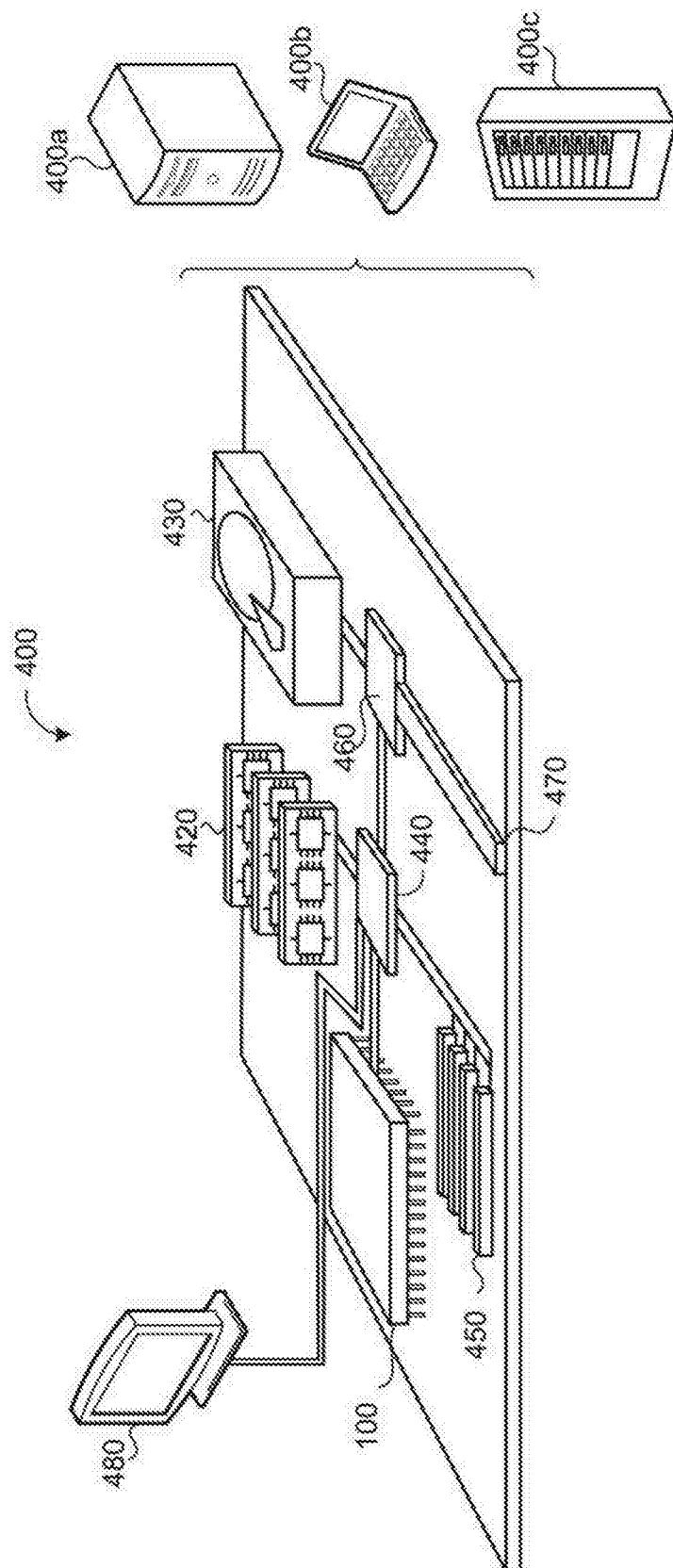


图4

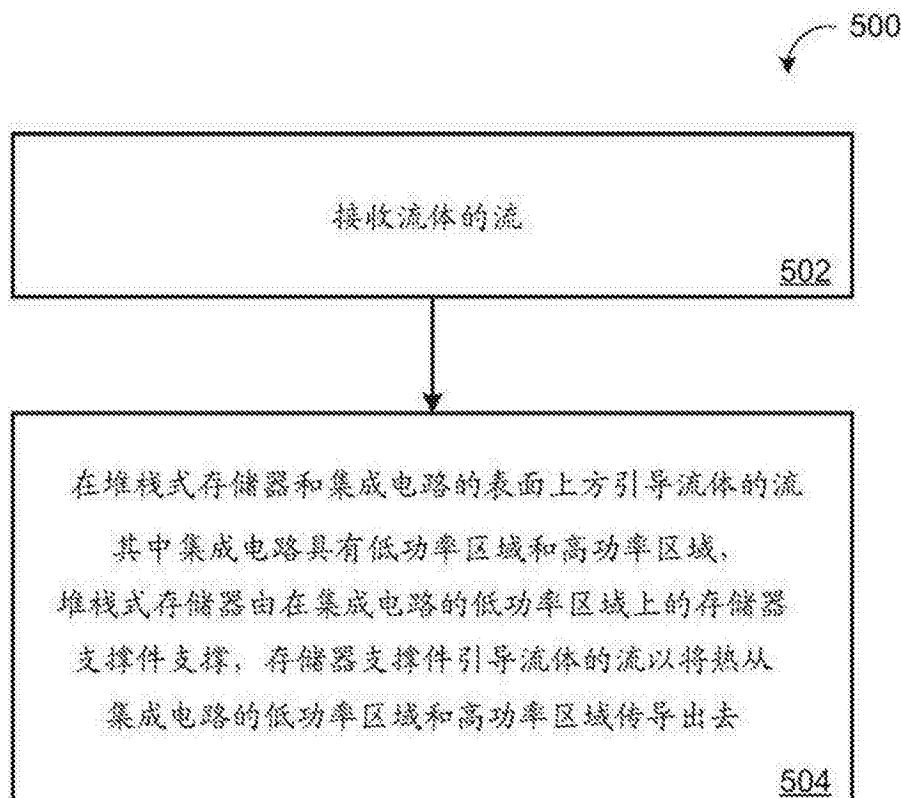


图5