

[51] Int. Cl.

H01L 23/525 (2006.01)

H01L 21/768 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610090871.2

[43] 公开日 2007 年 3 月 7 日

[11] 公开号 CN 1925151A

[22] 申请日 2006.6.26

[21] 申请号 200610090871.2

[30] 优先权

[32] 2005. 8.19 [33] US [31] 11/207,218

[71] 申请人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 杨启超 劳伦斯·A·克莱文杰
许履尘 尼古拉斯·C·富勒
蒂莫西·J·多尔顿

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

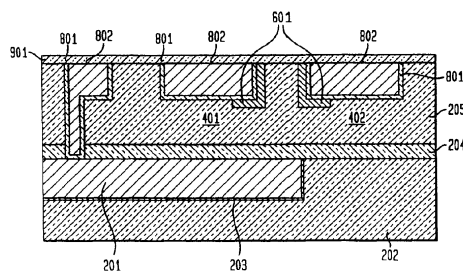
权利要求书 3 页 说明书 8 页 附图 7 页

[54] 发明名称

半导体结构及其制造方法

[57] 摘要

本发明提供一种反熔丝结构以及形成这样的反熔丝结构的方法，该反熔丝结构包括作为反熔丝材料的埋设导电例如金属层。根据本发明，发明的反熔丝结构包括互连之间漏电电介质的区域。当两个相邻互连被偏置时这些初始互连之间的电阻开始降低且导致时间相关的电介质击穿、TDDDB 现象发生。相邻互连之间电阻的降低还能通过增大局部温度而被加速。



1. 一种半导体结构, 包括:

绝缘体, 包括至少一对相邻互连, 所述对中每个互连包括嵌入在所述绝缘体的表面中且围绕每个单独互连的一部分的埋设导电层, 所述埋设导电层通过电介质区域被分隔开, 当偏压施加到所述对的所述互连之间时所述电介质区域允许电流。

2. 如权利要求 1 所述的半导体结构, 其中所述绝缘体是有机或无机电介质材料。

3. 如权利要求 2 所述的半导体结构, 其中所述绝缘体具有约 4.0 或更小的介电常数。

4. 如权利要求 1 所述的半导体结构, 其中所述绝缘体包括 SiO_2 , 芳香族热固性聚亚芳香醚, 包括 Si、C、O 和 H 原子的碳掺杂氧化物, 倍半硅氧烷, 四乙基原硅酸盐 (TEOS), 或者有机硅烷。

5. 如权利要求 1 所述的半导体结构, 其中所述相邻互连对嵌入在所述绝缘体中且包括可选的扩散阻挡材料和导电互连材料。

6. 如权利要求 5 所述的半导体结构, 其中所述可选的扩散阻挡材料包括 Ta、TaN、Ti、TiN、TiSiN、W、WN 或 Ru 之一。

7. 如权利要求 5 所述的半导体结构, 其中所述导电互连材料包括 Cu、Al、W 或 Al (Cu)。

8. 如权利要求 1 所述的半导体结构, 其中所述埋设导电层的每个包括 Ta、TaN、W、Cu、Al、Pt、Pd、Ru、Rh、Au 或 Ag。

9. 如权利要求 1 所述的半导体结构, 还包括在包括所述相邻互连对的所述绝缘体的表面之上的电介质盖帽层。

10. 如权利要求 1 所述的半导体结构, 还包括所述绝缘体中导电填充的通孔, 其与嵌入在下面的绝缘体中的下面的互连接触。

11. 如权利要求 10 所述的半导体结构, 其中所述下面的绝缘体与所述绝缘体通过电介质膜部分分隔开, 所述电介质膜具有开口, 所述开口中所述导电填充的通孔接触所述下面的互连。

12. 一种半导体结构, 包括:

第一绝缘体, 包括至少一个嵌入第一互连区域; 以及

第二绝缘体, 在所述第一绝缘体上面, 所述第二绝缘体包括至少一对相邻第二互连区域, 所述对的每个互连区域包括嵌入在所述第二绝缘体的表面中且围绕每个单独互连的一部分的埋设导电层, 所述埋设导电层通过电介质区域分隔开, 当偏压施加到所述对的所述互连之间时所述电介质区域允许电流。

13. 如权利要求 12 所述的半导体结构, 其中所述第一和第二绝缘体是选自有机和无机电介质材料的相同或不同电介质材料。

14. 如权利要求 13 所述的半导体结构, 其中所述第一和第二绝缘体具有约 4.0 或更小的介电常数。

15. 如权利要求 12 所述的半导体结构, 其中所述第一和第二绝缘体包括 SiO_2 , 芳香族热固性聚亚芳香醚, 包括 Si、C、O 和 H 原子的碳掺杂氧化物, 倍半硅氧烷, 四乙基原硅酸盐 (TEOS), 或有机硅烷中的一种。

16. 如权利要求 12 所述的半导体结构, 其中所述第一和第二互连区域每个包括可选的扩散阻挡材料和导电互连材料, 其材料可以相同或者不同。

17. 如权利要求 16 所述的半导体结构, 其中所述可选的扩散阻挡材料包括 Ta、TaN、Ti、TiN、TiSiN、W、WN 或 Ru 之一。

18. 如权利要求 16 所述的半导体结构, 其中所述导电互连材料包括 Cu、Al、W 或 Al (Cu)。

19. 如权利要求 12 所述的半导体结构, 其中所述埋设导电层的每个包括 Ta、TaN、W、Cu、Al、Pt、Pd、Ru、Rh、Au 或 Ag。

20. 如权利要求 12 所述的半导体结构, 还包括在包括所述相邻互连区域对的所述第二绝缘体的表面之上的电介质盖帽层。

21. 如权利要求 12 所述的半导体结构, 还包括所述第二绝缘体中的导电填充的通孔, 其与所述第一绝缘体的所述第一互连区域接触。

22. 如权利要求 21 所述的半导体结构, 其中所述第一绝缘体通过电介质膜与所述第二绝缘体部分分隔开, 所述电介质膜具有开口, 在所述开口中所述导电填充的通孔与所述第一互连区域接触。

23. 一种制造半导体结构的方法, 包括:

提供包括具有通孔和线开口的绝缘体的结构;

在所述结构上形成有机平坦化材料以用所述有机平坦化材料填充所述通孔和线开口;

形成具有用于形成反熔丝结构的至少一个开口区域的氧化物层，所述至少一个开口区域位于一对相邻的线开口之上；

去除所述至少一个开口区域内的所述有机平坦化材料的至少一部分从而暴露所述相邻线开口的每对的一部分；

将导电层嵌入在所述相邻线开口对之间所述绝缘体中；

去除所述氧化物层且保留有机平坦化材料；

至少用导电互连材料填充所述通孔和线开口；以及

平坦化所述导电互连材料至所述绝缘体的上表面，

其中所述平坦化从所述绝缘体的上水平表面去除所述嵌入的导电层，形成包括埋设导电层的至少一对相邻互连，所述埋设导电层围绕每个单独互连的一部分，每个埋设第一导电层通过电介质区域分隔开，当偏压施加到所述对的所述互连之一时所述电介质区域允许电流。

24. 如权利要求 23 所述的方法，其中所述结构还包括下面的绝缘体，其包括下面的互连，所述绝缘体与所述下面的绝缘体通过电介质膜分隔开，所述电介质膜具有开口，其暴露部分所述下面的互连。

25. 如权利要求 23 所述的方法，其中所述通孔和线开口通过光刻和蚀刻形成。

26. 如权利要求 23 所述的方法，其中形成所述有机平坦化材料包括沉积和平坦化。

27. 如权利要求 23 所述的方法，其中通过光刻和蚀刻穿所述氧化物层停止在所述有机平坦化材料上来形成所述至少一个开口区域。

28. 如权利要求 23 所述的方法，其中所述去除所述有机平坦化材料包括部分剥离工艺或完全剥离工艺。

29. 如权利要求 23 所述的方法，其中所述嵌入所述导电层包括原子层沉积。

30. 如权利要求 29 所述的方法，其中所述导电层包括 Ta、TaN、W、Cu、Al、Pt、Pd、Ru、Rh、Au 或 Ag 中的一种。

31. 如权利要求 23 所述的方法，其中所述去除所述氧化物层且保留有机平坦化材料包括化学蚀刻和剥离的结合。

32. 如权利要求 23 所述的方法，还包括在包括所述相邻互连对的所述绝缘体之上的电介质盖帽层。

半导体结构及其制造方法

技术领域

本发明涉及半导体结构，更特别地，涉及反熔丝结构。具体地，本发明提供一种用于反熔丝应用的反熔丝结构，其包括电介质中的埋设导电层，例如埋设金属层。本发明还提供一种制造这样的反熔丝结构的方法。

背景技术

反熔丝（anti-fuse）结构已经在半导体工业中用于存储器相关的应用，诸如，例如，场可编程栅阵列和可编程只读存储器。现有技术的反熔丝结构通常包括这样的材料，其初始具有高电阻，但是在应用某些处理时能转变成较低电阻材料。例如，不可编程反熔丝型栅阵列可通过使选择的反熔丝变得导电而被编程。

图1是现有技术反熔丝结构的剖视图，其包括第一金属层14、反熔丝层16、以及嵌入在电介质层18中的第二金属层（例如互连层）22。在编程期间，在第一金属层14和第二金属层22之间施加适当的电压且所施加的电压产生导电路径。即，所施加的电压减小了反熔丝结构的电阻。

用于集成上述现有技术反熔丝结构的工艺需要许多额外的掩模化和蚀刻步骤，这增大了总体制造成本。此外，因为用于产生电路路径的可编程电压是反熔丝层16的厚度的函数，所以电介质过蚀刻（over-etch）产生的反熔丝材料损坏会引起去编程状态（deprogrammed state）并导致产品故障，即，当施加适当的电压时未正确地形成电路路径。此外，电压编程方法需要三明治结构，反熔丝材料层在两“断开的”导电材料之间。图1所示的现有技术结构的此要求限制了设计灵活性并扩大了形成元件所需的面积。

在下面的文献中可发现上面定义的基本反熔丝结构的一些变型。

Sanchez等人的标题为“Method and apparatus for fabricating anti-fuse devices”的美国专利 No. 5789795 公开了设置在反熔丝材料之上的蚀刻层、以及设置在蚀刻层之上的金属间氧化物层。该金属间氧化物具有形成在其中的通孔（via）。

Fuller 等人的标题为“Method for making an anti-fuse”的美国专利 No. 6335228 提供一种制造具有冗余组元的动态随机存取存储器 (DRAM) 的工艺, 包括用于同时形成普通接触和反熔丝接触的步骤。

Radens 等人的标题为“Method of making a dual damascene anti-fuse with via before wire”的美国专利 No. 6251710 公开了一种反熔丝结构, 其包括衬底, 该衬底具有导电特征的第一层面 (level)、图案化的反熔丝材料、图案化的层间电介质材料、以及导电特征的第二层面。

Sanchez 等人的标题为“Methods of fabrication of anti-fuse integrated with dual damascene”的美国专利 No. 6124194 提供一种反熔丝工艺, 其使用 SiN 层构图至少开口。第一开口暴露金属通孔, 第二开口暴露第二金属线之上的部分第一电介质。

发明内容

本发明提供一种反熔丝结构以及形成这样的反熔丝结构的方法, 该反熔丝结构包括电介质中作为反熔丝的埋设导电层。根据本发明, 发明的反熔丝结构包括互连之间漏电电介质 (leaky dielectric) 的区域。术语“漏电电介质”用在本申请中以描述相邻互连之间电介质材料的区域, 且该电介质区域嵌入有导电材料。所述相邻互连的每个不彼此电连接, 由此当偏压施加在互连之间时产生电流。即, 当两个相邻互连被偏置时这些初始互连之间的电阻开始下降, 并导致时间相关的电介质击穿、TDDB 现象出现。相邻互连之间的电阻的降低还能通过增加局部温度被加速。

本发明相对现有技术的一个优点是不需要反熔丝材料的额外层并且本发明的方法与现有处理相容, 不需要严格的掩模化。因此本发明的方法的制造成本较低。此外, 与现有技术的结构不同, 本发明的结构不需要在“断开的”导电材料之间被夹住的反熔丝材料层。因此, 本发明的结构和方法与这里所述的现有技术反熔丝结构相比为电路设计提供更多灵活性。

一般而言, 本发明提供一种半导体结构, 包括: 绝缘体, 包括至少一对相邻互连, 所述对的每个互连包括嵌入在所述绝缘体的表面中且围绕每个单独互连的部分的埋设导电例如金属层, 所述埋设导电层通过电介质区域被分隔开, 当偏压施加在所述对的所述互连之间时该电介质区域允许电流。

除了上述半导体结构之外，本发明还提供一种制造这样的半导体结构的方法。具体地，且一般而言，本发明的方法包括步骤：

提供包括具有通孔和线开口的绝缘体的结构；

在所述结构上形成有机平坦化材料以用所述有机平坦化材料填充所述通孔和线开口；

形成具有用于形成反熔丝结构的至少一个开口区域的氧化物层，所述至少一个开口区域位于一对相邻的线开口之上；

去除所述至少一个开口区域内的所述有机平坦化材料的至少一部分从而暴露所述相邻线开口的每对的一部分；

将导电层嵌入在所述相邻线开口对之间所述绝缘体中；

去除所述氧化物层且保留有机平坦化材料；

至少用导电互连材料填充所述通孔和线开口；以及

平坦化所述导电互连材料至所述绝缘体的上表面，

其中所述平坦化从所述绝缘体的上水平表面去除所述嵌入的导电层，形成至少一对包括埋设导电层的相邻互连，所述埋设导电层围绕每个单独互连的一部分，每个埋设第一导电层通过电介质区域分隔开，当偏压施加在所述对的所述互连之间时所述电介质区域允许电流。

附图说明

图 1 是描述现有技术反熔丝结构的图示（通过剖视图）；

图 2-9 是示出制造本发明的可编程反熔丝结构的基本处理步骤的图示（通过剖视图）；

图 10A-10C 是示出本发明的供选的反熔丝结构的图示（通过剖视图）。

具体实施方式

本发明提供一种反熔丝结构以及制造该反熔丝结构的方法，该反熔丝结构包括特别修改了的反熔丝材料层（或者埋设导电层）。现在将参照下面的论述以及附图更详细地描述本发明。注意，为了示例目的而提供附图，因此，附图未按比例绘制。

如上所述，本发明提供一种反熔丝结构以及形成这样的反熔丝结构的方法，该反熔丝结构包括作为反熔丝的埋设导电层。根据本发明，发明的

反熔丝结构包括互连之间漏电流介质的区域。本申请中术语“漏电流介质”用来描述相邻互连之间电介质材料的区域，该电介质区域嵌入有导电材料。所述相邻互连的每个未彼此电连接，由此当偏压施加到互连时产生电流。即，当两个相邻互连被偏置时这些初始互连之间的电阻开始降低并导致时间相关的电介质击穿、TDDDB 现象发生。相邻互连之间电阻的降低还能通过增加局部温度而被加速。

首先参照图 2，其是描述通过本发明的初始处理步骤的结构剖视图。具体地，图 2 示出结构 200，其包括具有嵌入其中的至少一个互连 201 的第一绝缘体 202。所述至少一个互连 201 通过可选的，也是优选的，第一扩散阻挡材料 203 与第一绝缘体 202 隔离开。结构 200 还包括位于第一绝缘体 202 的表面以及部分互连 201 上的电介质膜 204。具有线开口 210 和至少一个通孔开口 212 的第二绝缘体 205 位于电介质膜 204 的表面部分上。注意，所述至少一个通孔开口 212 暴露互连 201 的上表面。

利用本领域公知的互连技术制造图 2 所示的结构。首先，利用例如常规半导体器件处理步骤，诸如互补金属氧化物半导体（CMOS）器件制造，形成包括各种半导体器件（未示出）的晶片（未示出）。

然后利用例如常规沉积工艺诸如化学气相沉积（CVD）、等离子体增强化学气相沉积（PECVD）、蒸镀、旋涂、以及其它类似沉积工艺在所述晶片上沉积第一绝缘体 202。

第一绝缘体 202 包括有机电介质材料、无机电介质材料或者其多层堆叠。第一绝缘体 202 可以是非多孔的（non-porous）、多孔的或者非多孔和多孔的组合。通常，第一绝缘体 202 具有约 4.0 或更小的介电常数。除非另外说明，所有介电常数在真空中测量。能用作第一绝缘体 202 的电介质材料的例子包括但不限于： SiO_2 ，芳香族热固性聚亚芳香醚（polyarylene ether）例如 Dow Chemical Company 出售的 SiLK®或 Honeywell 出售的 Flare®，包括 Si、C、O 和 H 原子的碳掺杂氧化物（即硅酸盐玻璃），倍半硅氧烷（silsesquioxane）诸如甲基倍半硅氧烷或氢化倍半硅氧烷（hydrido silsesquioxane），四乙基原硅酸盐（TEOS），以及有机硅烷诸如甲基硅烷或乙基硅烷。第一绝缘体 202 的厚度可以根据所采用的电介质的类型以及用于沉积该电介质的技术而变化。通常，且为了示例，第一绝缘体 202 具有从约 500 至约 10000Å 的厚度，从约 2000 至约 6000Å 的厚度是更一般的。

沉积第一绝缘体 202 之后, 包括可选的扩散阻挡材料 203 的至少一个互连 201 形成到第一绝缘体 202 中。通过首先在第一绝缘体 202 的上表面上提供光致抗蚀剂层(未示出)形成所述至少一个互连 201 和可选的扩散阻挡材料 203。该光致抗蚀剂层通过光刻被构图, 所述光刻包括将所述光致抗蚀剂层曝光到一幅照图案且然后利用常规抗蚀剂显影液显影该被曝光的光致抗蚀剂。图案化的光致抗蚀剂保护部分第一绝缘体 202, 同时留下其它部分被暴露。

不包括图案化的光致抗蚀剂, 第一绝缘体 202 的暴露部分然后利用干法蚀刻工艺或者湿法蚀刻工艺被部分去除。能用于从图案化的光致抗蚀剂转移图案到下面的第一绝缘体 202 的干法蚀刻工艺的例子包括反应离子蚀刻、等离子体蚀刻、离子束蚀刻、或激光烧蚀, 通常使用反应离子蚀刻(RIE)。本发明在此点能使用的湿法化学蚀刻工艺的例子是稀释的 HF。

不管所使用的蚀刻工艺的类型, 此蚀刻步骤停止在第一绝缘体 202 内, 在其中产生槽(或开口)。该槽(或开口)然后可选择地用第一扩散阻挡材料 203 诸如 Ta、Ta_N、Ti、Ti_N、TiSi_N、W、W_N、或 Ru 装衬。可选的扩散阻挡材料 203 利用常规沉积工艺诸如 CVD、PECVD、蒸镀、溅镀和其它类似沉积工艺形成。形成在槽(或开口)内暴露的壁表面上的可选的第一扩散阻挡材料 203 的厚度可以根据所沉积的扩散阻挡材料的类型和形成它所使用的沉积技术而改变。通常, 可选的第一扩散阻挡材料 203 的厚度为从约 1 到约 100nm, 从约 3 到约 80nm 的厚度是更一般的。

接着, 带有或不带有第一扩散阻挡材料 203 的所述槽(或开口)被填充以导电互连材料。所述槽(或开口)的填充包括沉积步骤, 接着为可选的平坦化工艺。沉积步骤包括常规沉积工艺诸如 CVD、PECVD、蒸镀、溅镀、电镀、化学溶液沉积和其它类似沉积工艺。在本发明的某些实施例中, 可在沉积之前形成导电互连材料的薄籽层。

所述可选的平坦化工艺包括化学机械抛光(CMP)、研磨或其结合。可发现, 本发明的此步骤在第一绝缘体 202 内形成嵌入的互连 201。

填充所述至少一个槽(或开口)所使用的导电互连材料包括诸如多晶硅、多晶 SiGe 的导电材料, 或者导电金属。本发明中用作导电互连材料的优选导电金属的一些例子包括 Cu、Al、Al(Cu)以及 W。注意, 元件 202、201 和 203 能被看作下互连层面, 上互连层面将随后形成在其上; 本发明中,

上互连层面包括第二绝缘体 205、互连 401 和 402、埋设导电层 601 以及包括与第一互连 201 接触的通孔的互连。

然后利用常规沉积工艺诸如 CVD、PECVD、蒸镀、化学溶液沉积和其它类似沉积工艺在包括所述至少一个嵌入的互连 201 的第一绝缘体 202 上沉积电介质膜 204。电介质膜 204 包括能充当第一绝缘体 202 和第二绝缘体 205（将随后形成）之间的蚀刻停止层的任何材料。通常，电介质膜 204 包括 Si_3N_4 、 SiC 或 SiO_2 之一。本发明中还预期了这些材料的多层。电介质膜 204 具有通常从约 3 到约 100nm 的厚度，从约 10 到约 80nm 的厚度对于电介质膜 204 是更一般的。

沉积电介质膜 204 之后，第二绝缘体 205 利用上述用于第一绝缘体 202 的沉积技术之一沉积在电介质膜 204 上。第二绝缘体 205 包括多孔的或非多孔的电介质材料，其可以是与第一绝缘体 202 相同或不同的电介质材料。第二绝缘体 205 的厚度可以根据所使用的沉积技术以及所沉积的电介质材料的类型而变化。通常，第二绝缘体 205 的厚度为从约 500 到约 10000Å，从约 2000 到约 6000 Å 的厚度是更一般的。

然后线开口 210 和至少一个通孔开口 212 利用常规光刻和蚀刻形成到第二绝缘体中。注意，包括上面的线开口 210 的所述至少一个通孔开口 212 暴露互连 201 的上表面。

提供图 2 所示的结构之后，首先沉积有机平坦化材料 301，所沉积的有机材料经历平坦化工艺。如图 3 所示，有机平坦化材料 301 的沉积填充在所述至少一个通孔开口 212 和线开口 210 中并覆盖第二电介质 205 的上表面。向该结构提供有机平坦化材料 301 所使用的合适的沉积工艺包括旋涂、CVD、PECVD、蒸镀、化学溶液沉积以及其它类似沉积技术。CMP 或研磨可用来平坦化所沉积的有机平坦化材料 301。

本发明中使用的有机材料 301 包括任何有机平坦化材料，包括例如抗反射涂层、来自 JSR 的 NFC®和 TDP®、来自 Promerus 的 PN®、来自 ShinEtsu 的 ODL®、以及来自 Brewer 的 NCA®和 GF®。

向该结构提供有机平坦化材料 301 之后，沉积氧化物层 302 例如低温氧化物（LTO）。氧化物层 302 的厚度通常为从约 100 到约 2000Å，从约 400 到约 800 Å 的厚度是更一般的。图 3 所示的结构还包括形成在有机平坦化材料 301 之上的氧化物层 302。

图 4 示出用于构建反熔丝结构的至少一个区域 400 形成之后的结构。具体地,用于构建反熔丝结构的该至少一个区域 400 通过光刻和蚀刻形成。特别地,形成图案掩模(未示出),其暴露部分氧化物层 302,且诸如 RIE 的蚀刻被用来开口氧化物层 302,暴露下面的有机平坦化材料 301 的部分。注意,所述至少一个区域 400 通常位于相邻线开口 210 的部分之上,其也可以包括通孔开口 212。这些区域被标作 401 和 402,且它们将成为上互连层面的互连。

然后使用选择性去除有机平坦化材料 301 的化学剥离工艺以从该结构去除被暴露的有机平坦化材料 301。该工艺或者从该结构完全剥离暴露的有机平坦化材料 301,如图 5A 所示,或者部分地剥离有机平坦化材料 301 并留下一些有机平坦化材料 301 在线开口 210 的底表面上,如图 5B 所示。为了清晰起见,将利用图 5A 所示的结构描述本发明的剩余处理步骤。

例如埋设金属层的埋设导电层 601 利用原子层沉积(ALD)形成在图 5A 所示的结构中。注意,沉积和随后的平坦化(下文描述)之后的埋设导电层形成发明的结构的反熔丝材料。ALD 允许导电材料沉积和渗透到第二绝缘体 205 的未被覆盖以有机平坦化材料 301 的暴露部分中。埋设导电材料层 601 用作发明的结构中的反熔丝,当两个相邻互连即互连 401 和 402 之间的电阻下降时该反熔丝能被电激活。埋设导电层 601 包括导电材料诸如 Ta、TaN、W、Cu、Al、Pt、Pd、Ru、Rh、Au 和 Ag。还预期了多层。

埋设导电层 601 具有从约 2 到约 200Å 的沉积和渗透后厚度,从约 10 到约 30 Å 的厚度是更一般的。通过利用本领域公知的常规条件进行 ALD。例如,利用包括上述导电材料的至少一种的金属前体(precursor),在从约 25°C 到约 400°C 的温度进行 ALD。例如在图 6 中示出了包括埋设导电层 601 的结构。

图 7 示出在氧化物层 302 和残余的有机平坦化材料 301 被从所述结构去除之后形成的结构。利用化学蚀刻和剥离的结合去除这些材料。

接着,可选的第二扩散阻挡层 801 和导电第二互连材料 802 顺序沉积在图 7 所示的结构上从而至少填充通孔开口 212 和线开口 210。这些沉积步骤之后形成的所得结构示于图 8 中。可选的第二扩散阻挡 801 利用结合第一扩散阻挡材料 203 提到的上述沉积工艺之一形成。可选的第二扩散阻挡 801 可包括结合第一可选扩散阻挡材料 203 提及的材料之一。可选的第二扩散阻挡层 801 的厚度也在用于第一可选扩散阻挡 203 材料的上述范围内。

导电第二互连材料 802 包括对于互连 201 提及的导电材料之一,形成

第一互连 201 所使用的那些沉积工艺之一可用于形成导电第二互连材料 802。在本发明的一些实施例中，可在沉积之前形成导电材料的薄籽层。所形成的导电第二互连材料 802 的厚度可根据所使用的材料和沉积工艺而变化。通常，导电第二互连材料 802 具有从约 500 到约 15000Å 的厚度，从约 5000 到约 8000Å 的厚度是更一般的。

图 9 示出图 8 的结构经历平坦化工艺例如 CMP 且电介质盖帽层 901 在平坦化的表面上沉积之后的结构。注意，平坦化工艺提供这样的结构，其中导电第二互连材料 802 和可选的第二扩散阻挡 801 每个具有与第二绝缘体 205 的上表面基本共面的上表面；该平坦化工艺还去除存在于第二绝缘体 205 的上水平表面部分中的埋设导电层 601。因此，第二绝缘体 205 中相邻互连之间的埋设导电层 601 没有直接彼此连接。

上述电介质盖帽层 901 包括氧化物、氮化物、氧氮化物或其多层。电介质盖帽层 901 通过 CVD、PECVD、蒸镀或其它类似沉积工艺形成。通常，电介质盖帽层 901 具有从约 3 到约 100nm 的沉积后厚度，从约 10 到约 80nm 的厚度是更一般的。

所需（或允许的）的另外的互连层面，带有或不带有埋设导电层 601，可形成在上述上互连层面之上。

图 10A-10C 示出能利用上述本发明的方法形成的一些附加结构。该结构利用与上述图 2-9 中相同的基本工艺步骤形成，除了操控区域 400 的位置。

注意，当偏压施加在包括埋设导电层 601 的互连 401 和 402 之间时，第二绝缘体 205 的位于相邻互连 401 和 402 之间的区域变得漏电，即电流在该区域产生并流动。

本发明相对于现有技术的一个优点是不需要反熔丝材料的额外层，且本发明的方法与现有处理相容，不需要额外的严格掩模化。因此本发明方法的工艺成本较低。此外，与现有技术结构不同，本发明的结构不需要在两“断开的”导电材料之间被夹住的反熔丝材料层。因此，本发明的结构和方法与这里描述的现有技术反熔丝结构相比为电路设计提供更多的灵活性。

尽管已经相关于其优选实施例特别显示和描述了本发明，但是本领域技术人员将明白，可以进行前述和其它形式和细节上的改变而不偏离本发明的思想和范围。因此，本发明不限于所描述和示出的确切形式和细节，而应落在所附权利要求的范围内。

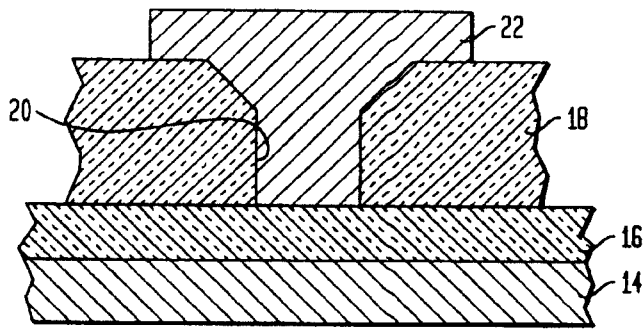


图 1

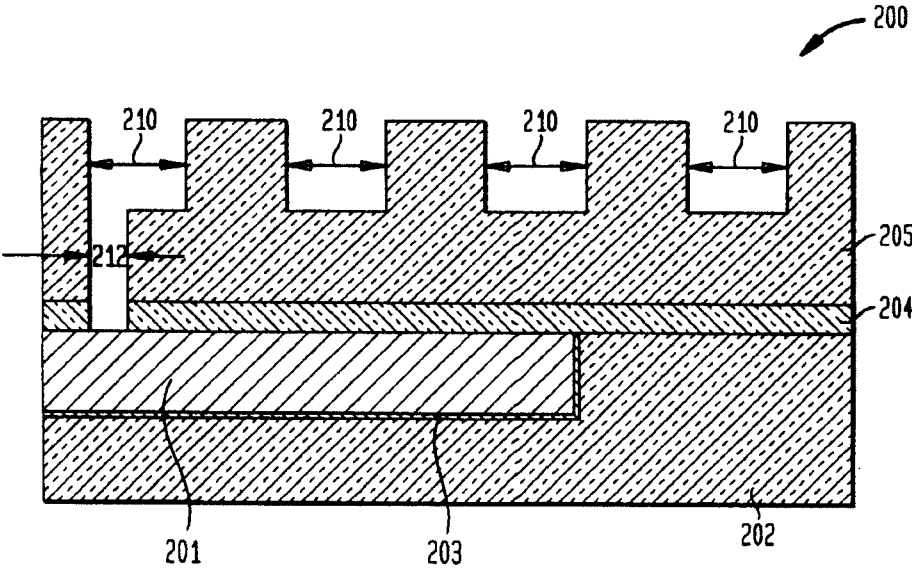


图 2

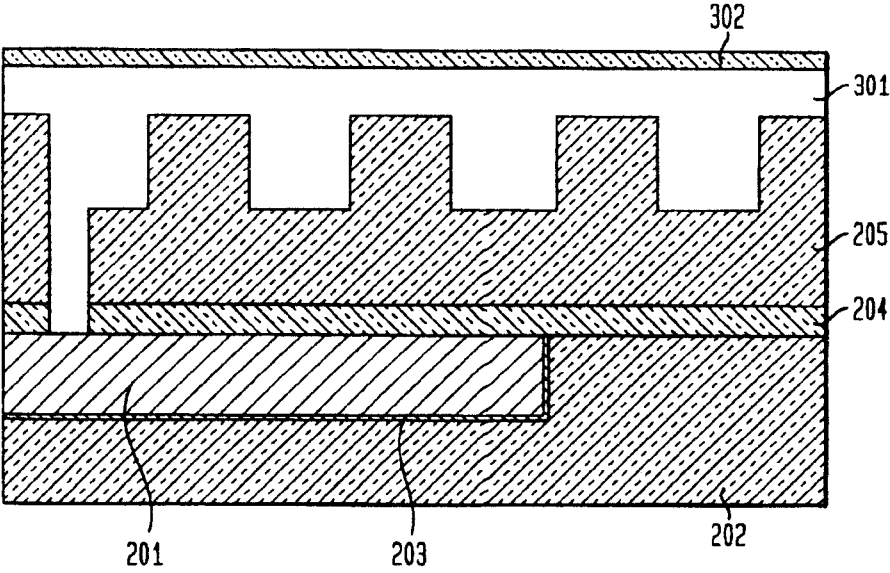


图 3

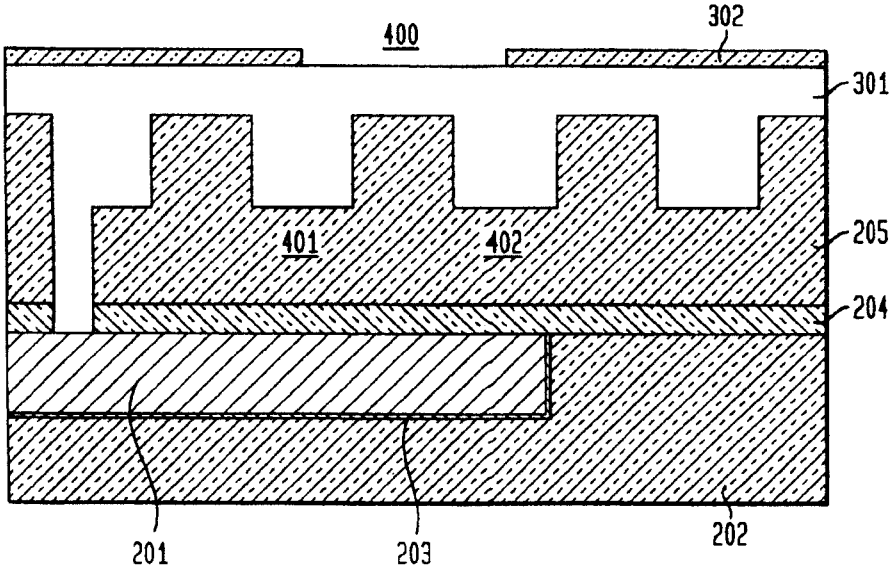


图 4

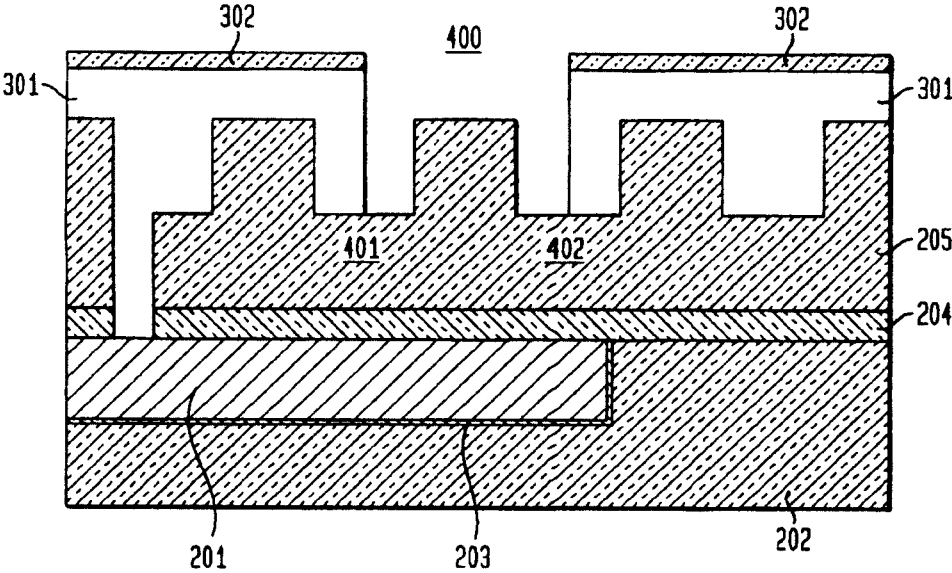


图 5A

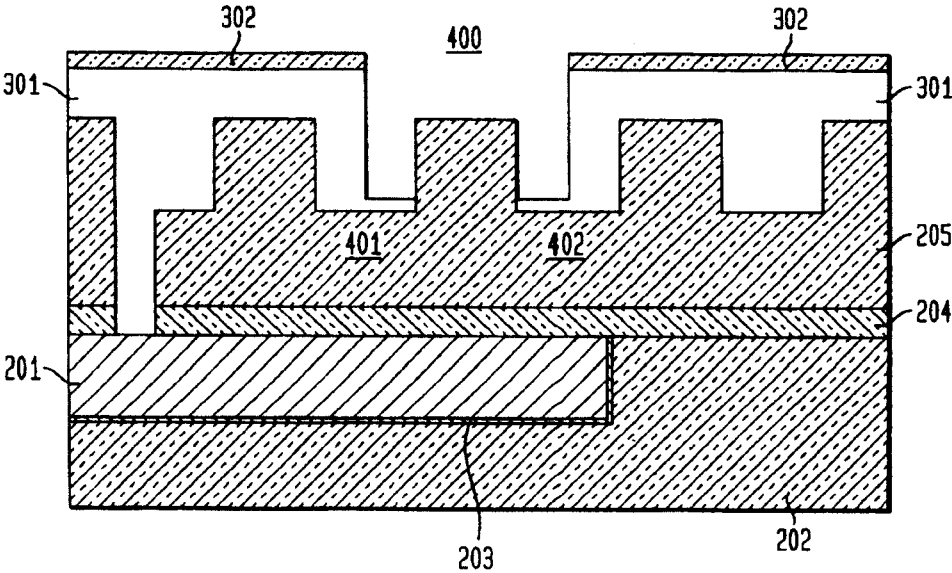


图 5B

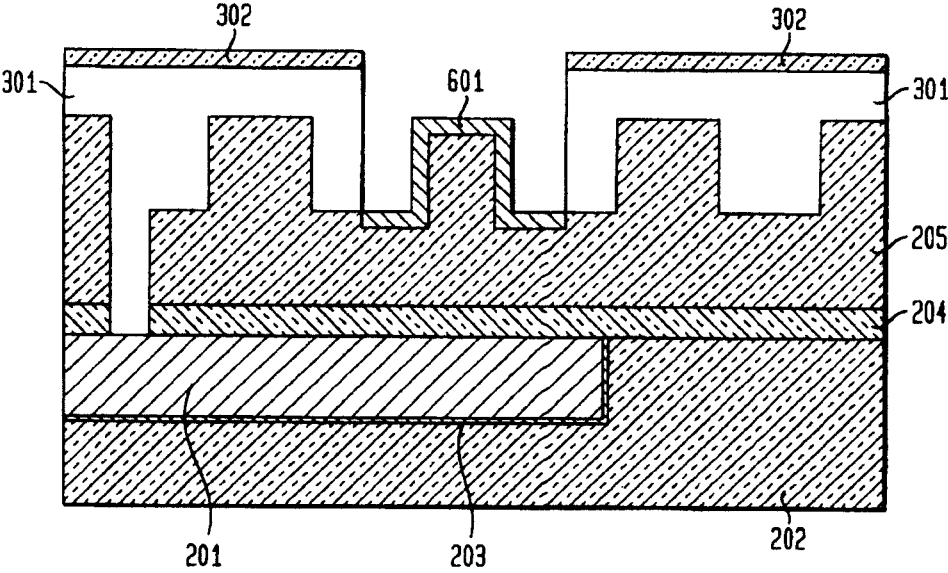


图 6

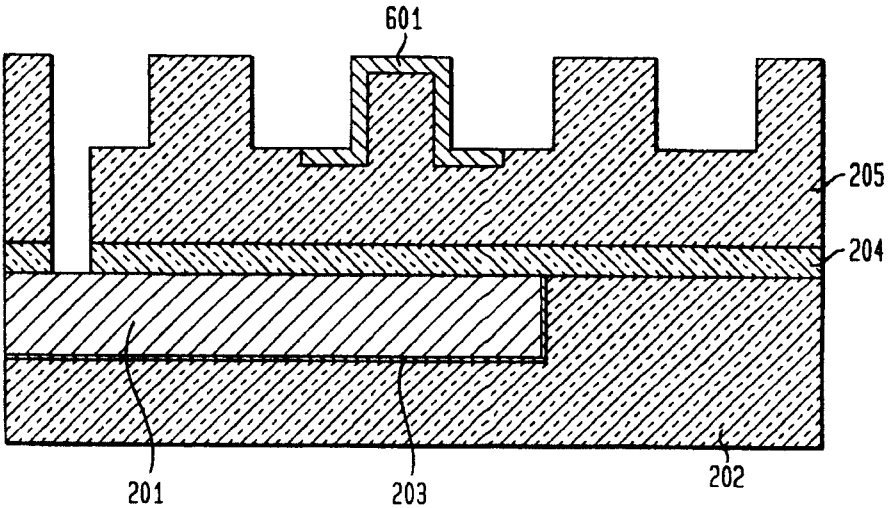


图 7

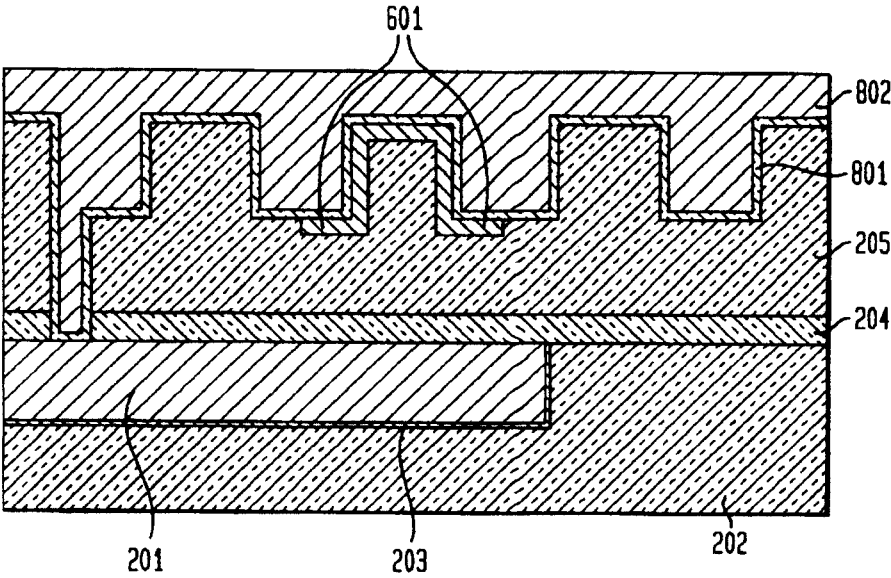


图 8

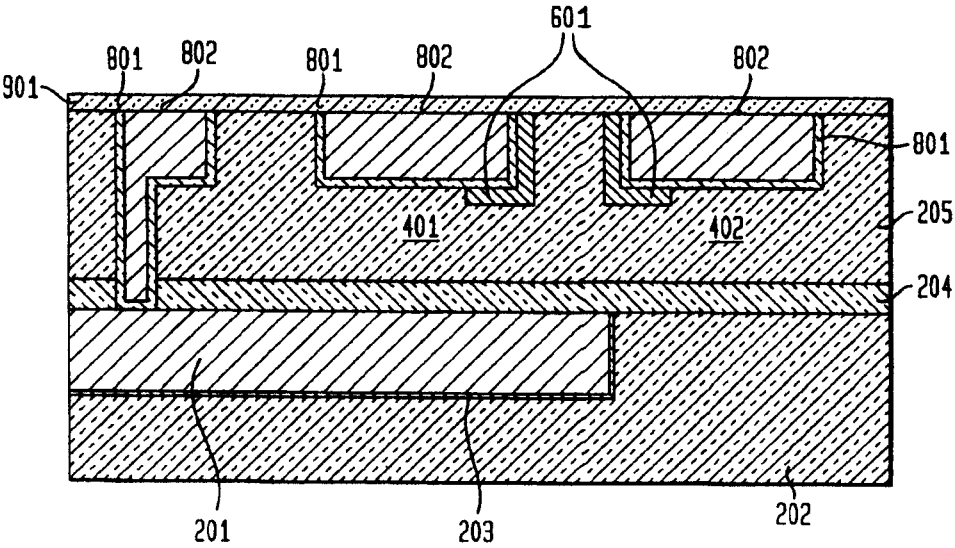


图 9

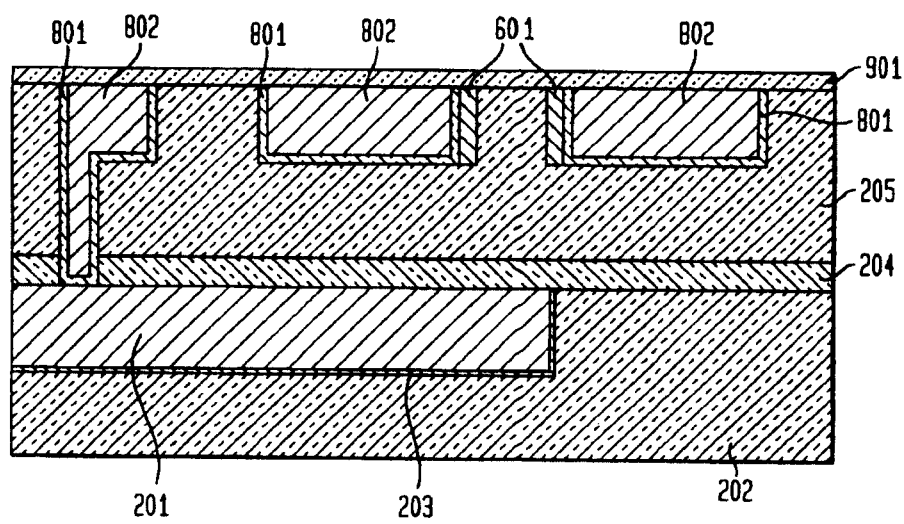


图 10A

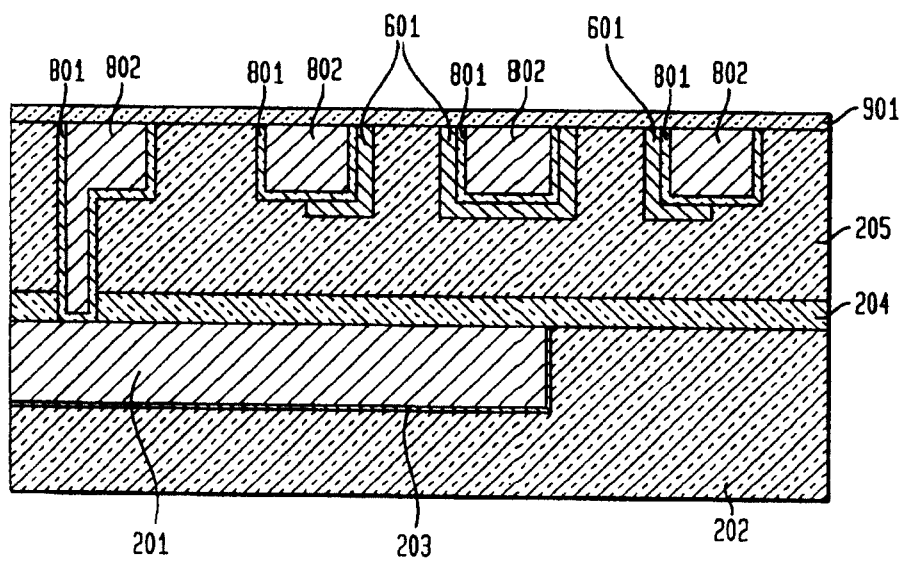


图 10B

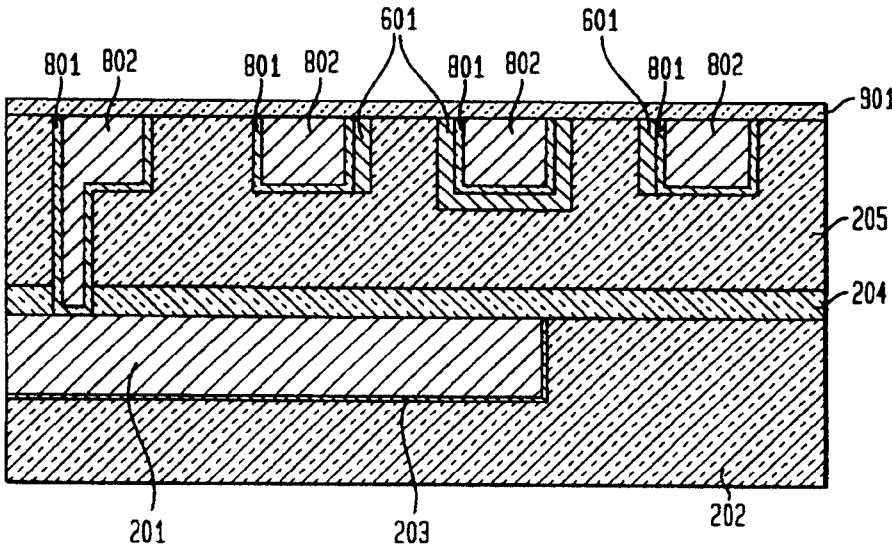


图 10C