

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 1 月 17 日(17.01.2013)



(10) 国際公開番号
WO 2013/008441 A1

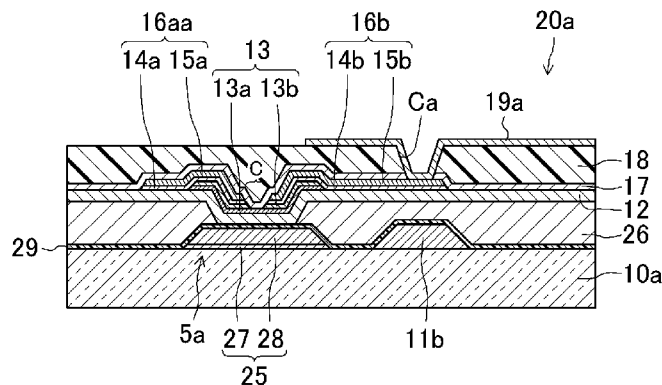
- (51) 国際特許分類:
G09F 9/30 (2006.01) *G09F 9/00* (2006.01)
G02F 1/1333 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2012/004416
- (22) 国際出願日: 2012 年 7 月 6 日(06.07.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-154181 2011 年 7 月 12 日(12.07.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 越智 久雄
(OCHI, Hisao). 原 猛(HARA, Takeshi). 岡部 達
(OKABE, Tohru). 会田 哲也(AITA, Tetsuya). 中村
渉(NAKAMURA, Wataru). 大王 学(DAIO, Man-
abu). 中野 悠哉(NAKANO, Yuya).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA &
PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: アクティブマトリクス基板及びその製造方法

[図4]



(57) Abstract: An active matrix substrate (20a) is provided with: gate electrodes (25) provided on an insulating substrate (10a) and having a second conductor film (28) formed from copper; a barrier layer (29) provided on the gate electrodes (25) and formed from silicon nitride; a planarization film (26) provided on the barrier layer (29) and formed from a baked SOG material; a gate insulating layer (12) provided so as to cover the gate electrodes (25), the barrier layer (29) and the planarization film (26); and a semiconductor layer (13) provided on the gate insulating film (12) and having channel regions (C) provided so as to be on top of the gate electrodes (25).

(57) 要約: アクティブマトリクス基板 (20a) は、絶縁基板 (10a) 上に設けられ、銅により形成された第2導電膜 (28) を有するゲート電極 (25) と、ゲート電極 (25) 上に設けられ、窒化シリコンにより形成されたバリア層 (29) と、バリア層 (29) 上に設けられ、焼成されたSOG材料により形成された平坦化膜 (26) と、ゲート電極 (25)、バリア層 (29) 及び平坦化膜 (26) を覆うように設けられたゲート絶縁層 (12) と、ゲート絶縁層 (12) 上に設けられ、ゲート電極 (25) に重なるように設けられたチャネル領域 (C) を有する半導体層 (13) とを備えている。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：アクティブマトリクス基板及びその製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板及びその製造方法に関し、特に、平坦化膜を用いたアクティブマトリクス基板及びその製造方法に関するものである。

背景技術

[0002] アクティブマトリクス基板では、画像の最小単位である各画素毎に、スイッチング素子として、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）が設けられている。

[0003] また、アクティブマトリクス基板の信頼性を向上させるために、基板上に形成するT F Tや配線等を高精度に形成する必要があり、このようなアクティブマトリクス基板においては、例えば、絶縁性基板上に電極や配線のパターンが凹凸状に形成され、その凹凸を覆って平坦化するために絶縁膜である平坦化膜が形成されている。この平坦化膜は、一般に、S O G（Spin on Glass）材料や液状のS i O₂、高分子膜等により構成されている。

[0004] また、一般に、アクティブマトリクス基板においては、上述のT F Tを構成するゲート電極、ソース電極、及びドレイン電極を備えているが、製造過程におけるエッチング工程により過度にエッチングされることを防止するために、これらの電極は、複数の導電膜により構成された積層膜により形成されている。例えば、ゲート電極の場合は、下層側の第1導電膜としてチタン膜を形成するとともに、上層側の第2導電膜として銅膜を形成する。そして、このゲート電極の表面上に、上述の平坦化膜が形成される構成となっている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2011-86954号公報

発明の概要

発明が解決しようとする課題

- [0006] ここで、ゲート電極が形成された基板全体に、例えば、シラノール（ $\text{Si}(\text{OH})_4$ ）を主成分としたSOG材料を塗布した後、高温（例えば、 350°C ）で焼成することにより、平坦化膜を形成する際に、SOG材料において脱水重合反応が生じて水分が発生し、当該水分によりゲート電極を構成する銅膜が酸化されるため、銅膜により構成されたゲート電極の抵抗が上昇するという問題があった。
- [0007] また、上記焼成により、銅膜から銅がSOG材料中へ拡散する。その結果、SOG材料の誘電率が上昇して、絶縁性が低下してしまうという問題があった。
- [0008] そこで、本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、銅膜の表面に平坦化膜を形成する際に、銅膜の酸化を防止するとともに、銅の拡散を防止することができるアクティブマトリクス基板及びその製造方法を提供することにある。

課題を解決するための手段

- [0009] 上記目的を達成するために、本発明のアクティブマトリクス基板は、絶縁基板と、絶縁基板上に設けられ、銅により形成された導電膜を有するゲート電極と、ゲート電極上に設けられ、窒化シリコンにより形成されたバリア層と、バリア層上に設けられ、焼成されたSOG材料により形成された平坦化膜と、ゲート電極、バリア層及び平坦化膜を覆うように設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、ゲート電極に重なるように設けられたチャネル領域を有する半導体層と、半導体層上に、ゲート電極に重なるとともにチャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極と、半導体層、ソース電極及びドレイン電極を覆う保護層と、保護層上に設けられた画素電極とを備えることを特徴とする。
- [0010] 同構成によれば、銅により形成された導電膜を有するゲート電極と、焼成されたSOG材料により形成された平坦化膜との間に、窒化シリコンにより

形成されたバリア層が設けられているため、ゲート電極が形成された基板全体に、SOG材料を塗布した後、高温で焼成することにより、平坦化膜を形成する際に、SOG材料において脱水重合反応が生じて水分が発生した場合であっても、水分によりゲート電極を構成する銅が酸化されることを防止することができる。また、焼成により、導電膜から銅がSOG材料中へ拡散することを防止することができる。従って、ゲート電極の抵抗の上昇を抑制することができるとともに、SOG材料の誘電率の上昇を抑制して、平坦化膜の絶縁性の低下を防止することが可能になる。

- [0011] 本発明のアクティブマトリクス基板においては、保護層上に、層間絶縁層を設け、画素電極を層間絶縁層上に設ける構成としてもよい。
- [0012] 本発明のアクティブマトリクス基板においては、半導体層が、酸化物半導体層であってもよい。
- [0013] 本発明のアクティブマトリクス基板においては、酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも1種を含む金属酸化物からなることが好ましい。
- [0014] 同構成によれば、これらの材料からなる酸化物半導体層は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。
- [0015] 本発明のアクティブマトリクス基板においては、酸化物半導体層が、酸化インジウムガリウム亜鉛(IGZO)からなることが好ましい。
- [0016] 同構成によれば、薄膜トランジスタにおいて、高移動度、低オフ電流という良好な特性を得ることができる。
- [0017] 本発明のアクティブマトリクス基板においては、半導体層がシリコン系半導体層であってもよい。
- [0018] 本発明のアクティブマトリクス基板の製造方法は、絶縁基板上に、銅により形成された導電膜を有するゲート電極を形成するゲート電極形成工程と、ゲート電極を覆うように、絶縁基板上に窒化シリコンにより形成されたバリ

ア層を形成するバリア層形成工程と、バリア層上にSOG材料を塗布して焼成することにより、バリア層上に平坦化膜を形成する平坦化膜形成工程と、バリア層及び平坦化膜を覆うようにゲート絶縁層を形成するゲート絶縁層形成工程と、ゲート絶縁層上に、ゲート電極に重なるように設けられたチャンネル領域を有する半導体層を形成する半導体層形成工程と、半導体層上に、ゲート電極に重なるとともにチャンネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極を形成するソースドレイン形成工程と、半導体層、ソース電極、及びドレイン電極を覆う保護層を形成する保護層形成工程と、保護層上に画素電極を形成する画素電極形成工程とを少なくとも備えることを特徴とする。

[0019] 同構成によれば、銅により形成された導電膜を有するゲート電極と、焼成されたSOG材料により形成された平坦化膜との間に、窒化シリコンにより形成されたバリア層を形成するため、ゲート電極が形成された基板全体に、SOG材料を塗布した後、高温で焼成することにより、平坦化膜を形成する際に、SOG材料において脱水重合反応が生じて水分が発生した場合であっても、水分によりゲート電極を構成する銅が酸化されることを防止することができる。また、焼成により、導電膜から銅がSOG材料中へ拡散することを防止することができる。従って、ゲート電極の抵抗の上昇を抑制することができるとともに、SOG材料の誘電率の上昇を抑制して、平坦化膜の絶縁性の低下を防止することが可能になる。

[0020] 本発明のアクティブマトリクス基板の製造方法においては、平坦化膜形成工程において、ゲート電極上のバリア層を除去する構成としてもよい。

[0021] 同構成によれば、例えば、平坦化膜形成工程において、ドライエッチングにより平坦化膜をパターンニングする際に、このドライエッチングによりダメージを受けたバリア層がゲート電極上に残らなくなる。従って、ゲート絶縁層を形成する際に、薄膜トランジスタを構成するゲート電極上のバリア層とゲート絶縁層との界面における欠陥の増加に起因する薄膜トランジスタの素子特性の低下という不都合の発生を防止することが可能になる。

[0022] 本発明のアクティブマトリクス基板の製造方法においては、半導体層形成工程及びソースドレイン形成工程において、同一のフォトマスクを用いて、半導体層を形成するとともに、ソース電極及びドレイン電極を形成する構成としてもよい。

[0023] 同構成によれば、半導体層形成工程とソースドレイン形成工程において別のフォトマスクを使用する場合に比し、少ないマスク枚数により、アクティブマトリクス基板を製造することができる。従って、製造コストを低減することができ、歩留まりの低下を効果的に抑制することができる。

発明の効果

[0024] 本発明によれば、ゲート電極の抵抗の上昇を抑制することができるとともに、SOG材料の誘電率の上昇を抑制して、平坦化膜の絶縁性の低下を防止することが可能になる。

図面の簡単な説明

[0025] [図1]本発明の第1の実施形態に係るアクティブマトリクス基板を備えた液晶表示パネルの断面図である。

[図2]本発明の第1の実施形態に係るアクティブマトリクス基板の平面図である。

[図3]本発明の第1の実施形態に係るアクティブマトリクス基板の画素部及び端子部を拡大した平面図である。

[図4]図3のA-A断面図である。

[図5]本発明の第1の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図6]本発明の第1の実施形態に係る対向基板の製造工程を断面で示す説明図である。

[図7]本発明の第2の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図8]本発明の第3の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図9]本発明の変形例に係るアクティブマトリクス基板の断面図である。

[図10]本発明の変形例に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図11]本発明の他の変形例に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図12]本発明の他の変形例に係るアクティブマトリクス基板の断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0027] (第1の実施形態)

図1は、本発明の第1の実施形態に係るアクティブマトリクス基板を備えた液晶表示パネルの断面図であり、図2は、本発明の第1の実施形態に係るアクティブマトリクス基板の平面図である。また、図3は、本発明の第1の実施形態に係るアクティブマトリクス基板の画素部及び端子部を拡大した平面図であり、図4は、図3のA-A断面図である。

[0028] 液晶表示パネル50は、図1に示すように、互いに対向するように設けられたアクティブマトリクス基板20a及び対向基板30と、アクティブマトリクス基板20a及び対向基板30の間に設けられた液晶層40とを備えている。また、液晶表示パネル50は、アクティブマトリクス基板20a及び対向基板30を互いに接着するとともに、アクティブマトリクス基板20a及び対向基板30の間に液晶層40を封入するために枠状に設けられたシール材37を備えている。

[0029] また、液晶表示パネル50では、図1に示すように、シール材37の内側の部分に画像表示を行う表示領域Dが規定され、アクティブマトリクス基板20aの対向基板30から突出する部分に端子領域Tが規定されている。

[0030] アクティブマトリクス基板20aは、図2、図3及び図4に示すように、絶縁基板10aと、表示領域Dにおいて、絶縁基板10a上に互いに平行に

延びるように設けられた複数の走査配線 1 1 a と、各走査配線 1 1 a の間にそれぞれ設けられ、互いに平行に延びる複数の補助容量配線 1 1 b と、各走査配線 1 1 a と直交する方向に互いに平行に延びるように設けられた複数の信号配線 1 6 a とを備えている。また、アクティブマトリクス基板 2 0 a は、各走査配線 1 1 a 及び各信号配線 1 6 a の交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数の T F T 5 a と、各 T F T 5 a を覆うように設けられた保護層 1 7 と、保護層 1 7 を覆うように設けられた層間絶縁層 1 8 と、層間絶縁層 1 8 上にマトリクス状に設けられ、各 T F T 5 a にそれぞれ接続された複数の画素電極 1 9 a と、各画素電極 1 9 a を覆うように設けられた配向膜（不図示）とを備えている。

[0031] 走査配線 1 1 a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のゲート端子領域 T g に引き出され、そのゲート端子領域 T g において、ゲート端子 1 9 b に接続されている。

[0032] 補助容量配線 1 1 b は、図 3 に示すように、補助容量幹線 1 6 c 及び中継配線 1 1 d を介して補助容量端子 1 9 d に接続されている。ここで、補助容量幹線 1 6 c は、ゲート絶縁層 1 2 に形成されたコンタクトホール C c を介して補助容量配線 1 1 b に接続されているとともに、ゲート絶縁層 1 2 に形成されたコンタクトホール C d を介して中継配線 1 1 d に接続されている。

[0033] 信号配線 1 6 a は、図 2 及び図 3 に示すように、端子領域 T（図 1 参照）のソース端子領域 T s に中継配線 1 1 c として引き出され、そのソース端子領域 T g において、ソース端子 1 9 c に接続されている。また、信号配線 1 6 a は、図 3 に示すように、ゲート絶縁層 1 2 に形成されたコンタクトホール C b を介して中継配線 1 1 c に接続されている。

[0034] T F T 5 a は、図 3 及び図 4 に示すように、絶縁基板 1 0 a 上に設けられたゲート電極 2 5 と、ゲート電極 2 5 上に設けられ、スピンオンガラス材料により形成された平坦化膜 2 6 と、ゲート電極 2 5 及び平坦化膜 2 6 を覆うように設けられたゲート絶縁層 1 2 とを備えている。また、T F T 5 a は、ゲート絶縁層 1 2 上でゲート電極 2 5 に重なるように島状に設けられたチャ

ネル領域Cを有する半導体層13と、半導体層13上にゲート電極25に重なりとともに、チャネル領域Cを挟んで互いに対峙するように設けられたソース電極16a及びドレイン電極16bとを備えている。

[0035] ここで、ゲート電極25は、図3に示すように、走査配線11aの側方へ突出した部分である。また、ゲート電極25は、絶縁基板10a上に設けられ、銅以外の金属（例えば、チタン等）により形成された第1導電膜27と、第1導電膜27上に設けられ、銅により形成された第2導電膜28により構成されている。

[0036] また、ソース電極16aは、図3に示すように、信号配線16aの側方への突出した部分であり、図4に示すように、第1導電層14a及び第2導電層15aの積層膜により構成されている。

[0037] さらに、ドレイン電極16bは、図3及び図4に示すように、第1導電層14b及び第2導電層15bの積層膜により構成されている。そして、ドレイン電極16bは、保護層17及び層間絶縁層18の積層膜に形成されたコンタクトホールCaを介して画素電極19aに接続されるとともに、ゲート絶縁層12を介して補助容量配線11bと重なることにより補助容量を構成している。

[0038] また、半導体層13は、シリコン層により形成されており、例えば、下層の真性アモルファスシリコン層13aと、その上層のn型不純物（例えば、リン）がドーピングされたn⁺アモルファスシリコン層（電極コンタクト層）13bにより構成されている。

[0039] 対向基板30は、後述する図6（c）に示すように、絶縁基板10bと、絶縁基板10b上に格子状に設けられたブラックマトリクス21並びにブラックマトリクス21の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの着色層22を有するカラーフィルター層とを備えている。また、対向基板30は、カラーフィルター層を覆うように設けられた共通電極23と、共通電極23上に設けられたフォトスペーサ24と、共通電極23を覆うように設けられた配向膜（不図示）とを備えている。

[0040] 液晶層 40 は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0041] 上記構成の液晶表示パネル 50 では、各画素において、ゲートドライバ（不図示）からゲート信号が走査配線 11a を介してゲート電極 25 に送られて、TFT 5a がオン状態になったときに、ソースドライバ（不図示）からソース信号が信号配線 16a を介してソース電極 16aa に送られる。そして、半導体層 13 及びドレイン電極 16b を介して、画素電極 19a に所定の電荷が書き込まれる。この際、アクティブマトリクス基板 20a の各画素電極 19a と対向基板 30 の共通電極 23 との間において電位差が生じ、液晶層 40、即ち、各画素の液晶容量、及びその液晶容量に並列に接続された補助容量に所定の電圧が印加される。そして、液晶表示パネル 50 では、各画素において、液晶層 40 に印加する電圧の大きさによって液晶層 40 の配向状態を変えることにより、液晶層 40 の光透過率を調整して画像が表示される。

[0042] ここで、本実施形態においては、図 4 に示すように、ゲート電極 25 上であって、ゲート電極 25 と平坦化膜 26 との間に、窒化シリコンにより形成されたバリア層 29 が形成されている点に特徴がある。

[0043] そして、本実施形態においては、銅により形成された第 2 導電膜 28 上に、窒化シリコンにより形成されたバリア層 29 を設けるため、ゲート電極 25 が形成された基板全体に、例えば、シラノール ($\text{Si}(\text{OH})_4$) を主成分とした SOG 材料を塗布した後、高温（例えば、 350°C ）で焼成することにより、平坦化膜 26 を形成する際に、SOG 材料において脱水重合反応が生じて水分が発生した場合であっても、当該水分によりゲート電極 25 を構成する銅が酸化されることを防止することができる。従って、ゲート電極 25 を構成する銅により形成された第 2 導電膜 28 の抵抗の上昇を防止することができる。また、上記焼成により、第 2 導電膜 28 から銅が SOG 材料中へ拡散することを防止することができるため、SOG 材料の誘電率の上昇、及び絶縁性の低下という不都合の発生を防止することができる。

[0044] 従って、ゲート電極 25 の抵抗の上昇を抑制することができるとともに、SOG 材料の誘電率の上昇を抑制して、平坦化膜 26 の絶縁性の低下を防止することが可能になる。

[0045] なお、第 1 導電膜 27 を形成する金属としては、非拡散性を有するとともに、第 2 導電膜 28 を形成する銅と同時にエッチングが可能なものが好適に使用される。例えば、チタン (Ti)、窒化モリブテン (MoN)、窒化チタン (TiN)、タングステン (W)、モリブデン-チタン合金 (MoTi)、モリブデン-タングステン合金 (MoW) 等が挙げられる。

[0046] また、本実施形態において、平坦化膜 26 を形成する材料として、SOG 材料を使用することにより、走査配線 11a と各上層レイヤー（即ち、信号配線 16a、ドレイン電極 16b、画素電極 19a、及び共通電極 23）との間の寄生容量を低減することが可能になる。従って、信号の遅延が小さくなり、走査配線 11a 自身の膜厚を小さくすることが可能になる。また、大型で高精細な液晶表示パネル 50 を作製することが可能になる。

[0047] 次に、本実施形態の液晶表示パネル 50 の製造方法の一例について図 5 及び図 6 を用いて説明する。図 5 は、本発明の第 1 の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図であり、図 6 は、本発明の第 1 の実施形態に係る対向基板の製造工程を断面で示す説明図である。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

[0048] まず、TFT 及びアクティブマトリクス基板作製工程について説明する。

[0049] <ゲート電極形成工程>

まず、ガラス基板などの絶縁基板 10a の基板全体に、スパッタリング法により、例えば、第 1 導電膜 27 用のチタン膜（厚みが 5～100nm）、及び第 2 導電膜 28 用の銅膜（厚みが 100～500nm）を順に成膜する。その後、これらの膜に対して、所定のパターン形状を有する第 1 フォトマスクを用いたフォトリソグラフィによるレジストのパターニング、ウェットエッチング及びレジストの剥離洗浄を行うことにより、図 5（a）に示すよ

うに、第1及び第2導電膜27、28の積層膜により構成されたゲート電極25を形成する。なお、この際、図3に示す走査配線11a、補助容量配線11b、並びに中継配線11c及び11dも同時に形成される。

[0050] <バリア層形成工程>

次いで、ゲート電極25、走査配線11a、補助容量配線11b、並びに中継配線11c及び11dが形成された基板全体に、CVD法やスパッタリング法により、窒化シリコン膜（厚みが50nm程度）を成膜して、ゲート電極25、及び補助容量配線11bを覆うように、絶縁基板10a上にバリア層29を形成する。

[0051] <平坦化膜形成工程>

次いで、バリア層29上に、スピンコート法又はスリットコート法により、例えば、シラノール（ $\text{Si}(\text{OH})_4$ ）を主成分としたSOG材料を塗布した後に、350℃で焼成することにより、酸化シリコン（ SiO_2 ）層を形成する。

[0052] 次いで、この酸化シリコン層に対して、所定のパターン形状を有する第2フォトリソグラフィによるレジストのパターニング、ドライエッチング及びレジストの剥離洗浄を行うことにより、図5（b）に示すように、バリア層29上に、パターニングされた平坦化膜26（厚みが100～3000nm）を形成する。

[0053] なお、SOG材料としては、アルコキシシラン、有機シロキサン樹脂を主成分としたものも使用することができる。

[0054] また、この際、上述のごとく、銅により形成された第2導電膜28上にバリア層29を設けているため、焼成に起因してSOG材料において脱水重合反応が生じて水分が発生した場合であっても、当該水分によりゲート電極25を構成する銅が酸化されることを防止することができる。また、上記焼成により、第2導電膜28から銅がSOG材料中へ拡散することを防止することができる。

[0055] <ゲート絶縁層形成工程>

次いで、平坦化膜 26 が形成された基板全体に、CVD 法により、例えば、窒化シリコン膜（厚さ 200 nm～500 nm 程度）を成膜して、ゲート電極 25、補助容量配線 11b、バリア層 29 及び平坦化膜 26 を覆うようにゲート絶縁層 12 を形成する。

[0056] なお、ゲート絶縁層 12 を 2 層の積層構造で形成する構成としても良い。この場合、上述の窒化シリコン膜（ SiN_x ）以外に、例えば、酸化シリコン膜（ SiO_x ）、酸化窒化シリコン膜（ SiO_xN_y 、 $x > y$ ）、窒化酸化シリコン膜（ SiN_xO_y 、 $x > y$ ）等を使用することができる。

[0057] また、絶縁基板 10a からの不純物等の拡散防止の観点から、下層側のゲート絶縁層として、窒化シリコン膜、または窒化酸化シリコン膜を使用するとともに、上層側のゲート絶縁層として、酸化シリコン膜、または酸化窒化シリコン膜を使用する構成とすることが好ましい。

[0058] 例えば、下層側のゲート絶縁層として、 SiH_4 と NH_3 とを反応ガスとして膜厚 100 nm から 200 nm の窒化シリコン膜を形成するとともに、上層側のゲート絶縁層として、 N_2O 、 SiH_4 を反応ガスとして膜厚 50 nm から 100 nm の酸化シリコン膜を形成することができる。

[0059] また、低い成膜温度により、ゲートリーク電流の少ない緻密なゲート絶縁層 12 を形成するとの観点から、アルゴンガス等の希ガスを反応ガス中に含有させて絶縁膜中に混入させることが好ましい。

[0060] <半導体層形成工程>

次いで、ゲート絶縁層 12 が形成された基板全体に、プラズマ CVD 法により、例えば、真性アモルファスシリコン膜（厚み 30～300 nm）、及びリンがドーパされた n^+ アモルファスシリコン膜（厚み 50～150 nm）を連続して成膜し、図 5（c）に示すように、真性アモルファスシリコン層 13a 及び n^+ アモルファスシリコン層 13b が積層された半導体層 13 を形成する。そして、半導体層 13 に対して、所定のパターン形状を有する第 3 フォトマスクを用いたフォトリソグラフィによるレジストのパターニング、ドライエッチング及びレジストの剥離洗浄を行うことにより、半導体層 13

をパターニングする。

[0061] <ソースドレイン形成工程>

次いで、上記半導体層 1 3 が形成された基板全体に、スパッタリング法により、例えば、チタン膜（厚み 5 ~ 1 0 0 n m）及び銅膜（1 0 0 ~ 5 0 0 n m）などを順に成膜する。その後、所定のパターン形状を有する第 4 フォトマスクを用いたフォトリソグラフィーによるレジストのパターニング、銅膜のウエットエッチングを行うとともに、チタン膜と n⁺アモルファスシリコン層 1 3 b に対するドライエッチング（プラズマエッチング）、並びにレジストの剥離と洗浄を行うことにより、図 5（d）に示すように、信号配線 1 6 a（図 3 参照）、ソース電極 1 6 a a、ドレイン電極 1 6 b 及び補助容量幹線 1 6 c（図 3 参照）を形成するとともに、半導体層 1 3 のチャネル領域 C を露出させる。

[0062] なお、本実施形態では、ソース電極 1 6 a a 及びドレイン電極 1 6 b を構成する金属膜として、積層構造のチタン膜及び銅膜を例示したが、例えば、アルミニウム膜、タングステン膜、タンタル膜、クロム膜等の金属膜、または、これらの合金膜や金属窒化物による膜によりソース電極 1 6 a a 及びドレイン電極 1 6 b を形成する構成としても良い。

[0063] また、導電性材料として、インジウム錫酸化物（I T O）、インジウム亜鉛酸化物（I Z O）、酸化ケイ素を含有するインジウム錫酸化物（I T S O）、酸化インジウム（I n₂O₃）、酸化錫（S n O₂）、酸化亜鉛（Z n O）、窒化チタン（T i N）等の透光性を有する材料を使用する構成としても良い。

[0064] また、エッチング加工としては、上述のドライエッチングまたはウェットエッチングのどちらを使用しても良いが、大面積基板を処理する場合は、ドライエッチングを使用する方が好ましい。エッチングガスとしては、C F₄、N F₃、S F₆、C H F₃等のフッ素系ガス、C l₂、B C l₃、S i C l₄、C C l₄等の塩素系ガス、酸素ガス等を使用することができ、ヘリウムやアルゴン等の不活性ガスを添加する構成としても良い。

[0065] <保護層形成工程>

次いで、ソース電極16a及びドレイン電極16bが形成された（即ち、TF5aが形成された）基板の全体に、プラズマCVD法により、例えば、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜などを成膜し、図5（e）に示すように、TF5aを覆う（即ち、半導体層13、ソース電極16a及びドレイン電極16bを覆う）保護層17を厚さ100～500nm程度に形成する。

[0066] なお、保護層17は、単層構造に限定されず、2層構造や3層構造であっても良い。

[0067] <層間絶縁層形成工程>

次いで、保護層17が形成された基板の全体に、スピンコート法又はスリットコート法により、感光性のアクリル樹脂等からなる感光性の有機絶縁膜を厚さ1.0μm～3.0μm程度に塗布する。

[0068] 次いで、有機絶縁膜に対して、所定のパターン形状を有する第5フォトマスクを用いたフォトリソグラフィによるレジストのパターニング、露光及び現像、及びレジストの剥離洗浄を行うことにより、図5（e）に示すように、保護層17の表面上に、コンタクトホールCaの部分に対応する部分が開口された層間絶縁層18を形成する。

[0069] <コンタクトホール形成工程>

次いで、層間絶縁層18をマスクとして、所定のエッチングガス（例えば、CF₄ガスとO₂ガス）を使用したドライエッチングを行い、保護層17の一部を除去することにより、図5（e）に示すように、保護層17及び層間絶縁層18にコンタクトホールCaを形成する。

[0070] <画素電極形成工程>

次いで、保護層17及び層間絶縁層18が形成された基板全体に、スパッタリング法により、例えば、インジウム錫酸化物からなるITO膜（厚さ50nm～200nm程度）などの透明導電膜を成膜する。その後、その透明導電膜に対して、所定のパターン形状を有する第6フォトマスクを用いたフ

オトリソグラフィによるレジストのパターニング、露光及び現像、ITO膜のウエットエッチング、及びレジストの剥離洗浄を行うことにより、図4に示すように、画素電極19a、ゲート端子19b、ソース端子19c及び補助容量端子19d（図3参照）を形成する。

[0071] なお、画素電極19aは、透過型の液晶表示パネル50を形成する場合は、酸化タングステンを含むインジウム酸化物やインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物やインジウム錫酸化物等を使用することができる。また、上述のインジウム錫酸化物（ITO）以外に、インジウム亜鉛酸化物（IZO）、酸化ケイ素を含有するインジウム錫酸化物（ITOS）等を使用することもできる。

[0072] また、反射型の液晶表示パネル50を形成する場合は、反射性を有する金属薄膜として、チタン、タングステン、ニッケル、金、白金、銀、アルミニウム、マグネシウム、カルシウム、リチウム、及びこれらの合金からなる導電膜を使用し、この金属薄膜を画素電極19aとして使用する構成とすることができる。

[0073] このように、本実施形態においては、6枚のフォトマスクを使用することにより、アクティブマトリクス基板20aを作製することができる。

[0074] 以上のようにして、図4に示すアクティブマトリクス基板20aを作製することができる。

[0075] ＜対向基板作製工程＞

まず、ガラス基板などの絶縁基板10bの基板全体に、スピンコート法又はスリットコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図6（a）に示すように、ブラックマトリクス21を厚さ1.0 μ m程度に形成する。

[0076] 次いで、ブラックマトリクス21が形成された基板全体に、スピンコート法又はスリットコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布する。その後、その塗布膜を露光及び現像することにより、図6（a）に示すように、選択した色の着色層22（例えば、赤色層）を

厚さ 2.0 μm 程度に形成する。そして、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層 22（例えば、緑色層及び青色層）を厚さ 2.0 μm 程度に形成する。

[0077] さらに、各色の着色層 22 が形成された基板上に、スパッタリング法により、例えば、ITO 膜などの透明導電膜を堆積することにより、図 6（b）に示すように、共通電極 23 を厚さ 50 nm～200 nm 程度に形成する。

[0078] 最後に、共通電極 23 が形成された基板全体に、スピコート法又はスリットコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図 6（c）に示すように、フォトスペーサ 24 を厚さ 4 μm 程度に形成する。

[0079] 以上のようにして、対向基板 30 を作製することができる。

[0080] <液晶注入工程>

まず、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板 20a、及び上記対向基板作製工程で作製された対向基板 30 の各表面に、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して、焼成及びラビング処理を行うことにより、配向膜を形成する。

[0081] 次に、例えば、上記配向膜が形成された対向基板 30 の表面に、UV（ultraviolet）硬化及び熱硬化併用型樹脂などからなるシール材 37 を枠状に印刷した後に、シール材 37 の内側に液晶材料を滴下する。

[0082] さらに、上記液晶材料が滴下された対向基板 30 と、上記配向膜が形成されたアクティブマトリクス基板 20a とを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0083] そして、上記貼合体に挟持されたシール材 37 に UV 光を照射した後に、その貼合体を加熱することによりシール材 37 を硬化させる。

[0084] 最後に、上記シール材 37 を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0085] 以上のようにして、本実施形態の液晶表示パネル 50 を製造することがで

きる。

[0086] 以上に説明した本実施形態によれば、以下の効果を得ることができる。

[0087] (1) 本実施形態においては、銅により形成された第2導電膜28を有するゲート電極25と焼成されたSOG材料により形成された平坦化膜26との間に、窒化シリコンにより形成されたバリア層29を設ける構成している。従って、ゲート電極25が形成された基板全体に、SOG材料を塗布した後、高温で焼成することにより、平坦化膜26を形成する際に、SOG材料において脱水重合反応が生じて水分が発生した場合であっても、水分によりゲート電極25を構成する銅が酸化されることを防止することができる。また、焼成により、第2導電膜28から銅がSOG材料中へ拡散することを防止することができる。従って、ゲート電極25の抵抗の上昇を抑制することができるとともに、SOG材料の誘電率の上昇を抑制して、平坦化膜26の絶縁性の低下を防止することが可能になる。その結果、大型で高精細な液晶表示パネル50を作製することが可能になる。

[0088] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。図7は、本発明の第2の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[0089] 本実施形態においては、窒化シリコンにより形成されたバリア層29を作製し、平坦化膜26を形成する際に、ゲート電極25上のバリア層29を除去する点に特徴がある。

[0090] より具体的には、本実施形態におけるアクティブマトリクス基板20aを製造する際には、まず、上述の第1の実施形態において説明した図5(a)と同様に、ゲート電極形成工程、及びバリア層形成工程を行う。

[0091] <平坦化膜形成工程>

次いで、上述の第1の実施形態と同様に、バリア層29が形成された基板全体に、スピコート法又はスリットコート法により、例えば、シラノール($\text{Si}(\text{OH})_4$)を主成分としたSOG材料を塗布した後に、350℃で焼

成することにより、酸化シリコン（ SiO_2 ）層を形成する。

[0092] 次いで、この酸化シリコン層に対して、所定のパターン形状を有する第2フォトリソグラフィによるレジストのパターニング、ドライエッチング及びレジストの剥離洗浄を行うことにより、図7（a）に示すように、バリア層29上に、平坦化膜26（厚みが100～3000nm）を形成する。

[0093] この際、本実施形態においては、図7（a）に示すように、平坦化膜26を構成する酸化シリコン層に対してドライエッチングを行う際に、ゲート電極25上のバリア層29に対して同時にドライエッチングを行い、当該バリア層29を除去する。

[0094] ここで、上述の酸化シリコン層をドライエッチングする際に、エッチング部分のバリア層29（即ち、ゲート電極25上のバリア層29）がエッチングによるダメージを受けることになるが、上述の第1の実施形態のごとく、ゲート電極25上にバリア層29を形成しておき、その状態で、バリア層29を覆うようにゲート絶縁層12を形成すると、ゲート電極25上のバリア層29とゲート絶縁層12との界面で大気暴露が生じ、ダメージを受けたバリア層29とゲート絶縁層12との界面で欠陥が増加してしまい、結果として、TFT5aの素子特性が低下してしまうという不都合があった。

[0095] 一方、本実施形態のごとく、酸化シリコン層に対してドライエッチングを行う際に、ゲート電極25上のバリア層29に対して同時にドライエッチングを行い、ゲート電極25上のバリア層29を除去する構成とすることにより、ダメージを受けたバリア層29がゲート電極25上に残らなくなる。従って、ゲート絶縁層12を形成する際に、バリア層29とゲート絶縁層12との界面における欠陥の増加に起因するTFT5aの素子特性の低下という不都合の発生を防止することが可能になる。

[0096] なお、本実施形態においても、SOG材料を塗布し、焼成を行う際には、バリア層29は除去されておらず、ゲート電極25を構成する第2導電膜28上に設けられているため、上述の第1の実施形態の場合と同様に、焼成に

起因してSOG材料において脱水重合反応が生じて水分が発生した場合であっても、当該水分によりゲート電極25を構成する銅が酸化されることを防止することができる。また、上記焼成により、第2導電膜28から銅がSOG材料中へ拡散することを防止することができる。

[0097] その後、上述の第1の実施形態において説明した図5(c)～(e)と同様に、ゲート絶縁層形成工程、半導体層形成工程、ソースドレイン形成工程、保護層形成工程、層間絶縁層形成工程、開口部形成工程、及び画素電極形成工程を行うことにより、図7(b)に示すアクティブマトリクス基板20aを作製することができる。

[0098] そして、上述の第1の実施形態において説明した対向基板作製工程、及び液晶注入工程を行うことにより、本実施形態の液晶表示パネル50を製造することができる。

[0099] 以上に説明した本実施形態によれば、上述の(1)の効果に加えて、以下の効果を得ることができる。

[0100] (2) 本実施形態においては、平坦化膜形成工程において、ゲート電極25上のバリア層29を除去する構成としている。従って、平坦化膜26を形成する際のドライエッチングによりダメージを受けたバリア層29がゲート電極25上に残らなくなるため、ゲート絶縁層12を形成する際に、バリア層29とゲート絶縁層12との界面における欠陥の増加に起因するTF5aの素子特性の低下という不都合の発生を防止することが可能になる。

[0101] (第3の実施形態)

次に、本発明の第3の実施形態について説明する。図8は、本発明の第3の実施形態に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[0102] 上述の第1の実施形態においては、6枚のフォトリソマスクを使用することにより、アクティブマトリクス基板20aを作製したが、本実施形態においては、5枚のフォトリソマスクを使用することにより、アクティブマトリクス基板20aを作製する点に特徴がある。

[0103] より具体的には、本実施形態におけるアクティブマトリクス基板20aを製造する際には、まず、上述の第1の実施形態において説明した図5(a)、(b)と同様に、第1フォトマスクを使用してゲート電極形成工程を行った後、バリア層形成工程を行い、その後、第2フォトマスクを使用して平坦化膜形成工程を行う。

[0104] <ゲート絶縁層工程>

次いで、平坦化膜26が形成された基板全体に、CVD法により、例えば、窒化シリコン膜（厚さ200nm～500nm程度）を成膜して、図8(a)に示すように、ゲート電極25、補助容量配線11b、バリア層29及び平坦化膜26を覆うようにゲート絶縁層12を形成する。

[0105] <半導体層・ソースドレイン形成工程>

次いで、ゲート絶縁層12が形成された基板全体に、プラズマCVD法により、例えば、真性アモルファスシリコン膜（厚み30～300nm）、及びリンがドーパされたn⁺アモルファスシリコン膜（厚み50～150nm）を連続して成膜し、図8(a)に示すように、真性アモルファスシリコン層13a及びn⁺アモルファスシリコン層13bが積層された半導体層13を形成する。

[0106] 次いで、上記半導体層13が形成された基板全体に、スパッタリング法により、例えば、チタン膜14（厚み5～100nm）及び銅膜15（100～500nm）などを順に成膜する。

[0107] 次いで、チタン膜14及び銅膜15が形成された基板全体に、フォトレジストを形成し、このフォトレジストを、第3フォトマスクを使用して、ハーフ露光を用いて所定の形状にパターニングして、図8(b)に示すように、フォトレジスト36を形成する。

[0108] 次いで、図8(c)に示すように、フォトレジスト36をアッシングして、フォトレジスト36のチャネル領域Cに相当する部分を除去する。次いで、このフォトレジスト36をマスクとして、銅膜15のウェットエッチングを行うとともに、チタン膜14とn⁺アモルファスシリコン層13bに対する

ドライエッチング（プラズマエッチング）、並びにフォトリソスト 3 6 の剥離と洗浄を行うことにより、図 8（d）に示すように、信号配線 1 6 a（図 3 参照）、ソース電極 1 6 a a、ドレイン電極 1 6 b 及び補助容量幹線 1 6 c（図 3 参照）を形成するとともに、半導体層 1 3 のチャネル領域 C を露出させる。

[0109] その後、上述の第 1 の実施形態において説明した図 5（e）と同様に、保護層形成工程、層間絶縁層形成工程、開口部形成工程、及び画素電極形成工程を行うことにより、アクティブマトリクス基板 2 0 a が作製される。

[0110] この際、上述の実施形態において説明した第 5 及び第 6 フォトマスクが、第 4 及び第 5 フォトマスクとして使用され、合計 5 枚のフォトマスクにより、薄膜トランジスタが形成されることになる。

[0111] 即ち、本実施形態においては、半導体層形成工程及びソースドレイン形成工程において、同一のフォトマスク（第 3 フォトマスク）を用いて、半導体層 1 3 を形成するとともに、ソース電極 1 6 a a 及びドレイン電極 1 6 b を形成する構成としている。

[0112] そして、第 1 フォトマスク及び第 2 フォトマスクを使用して、ゲート電極 2 5、及び平坦化膜 2 6 形成し、第 3 フォトマスクを使用して、半導体層 1 3、ソース電極 1 6 a a、及びドレイン電極 1 6 b を形成し、第 4 フォトマスクを使用して、層間絶縁層 1 8 を形成し、第 5 フォトマスクを使用して、画素電極 1 9 a を形成する構成としている。

[0113] 以上に説明した本実施形態によれば、上述の（1）の効果に加えて、以下の効果を得ることができる。

[0114] （3）本実施形態においては、半導体層形成工程及びソースドレイン形成工程において、同一のフォトマスク（第 3 フォトマスク）を用いて、半導体層 1 3 を形成するとともに、ソース電極 1 6 a a 及びドレイン電極 1 6 b を形成する構成としている。従って、半導体層形成工程とソースドレイン形成工程において別個のフォトマスクを使用する上記第 1 の実施形態より少ないマスク枚数（5 枚）により、アクティブマトリクス基板 2 0 a を製造するこ

とができるため、製造コストを低減することができ、歩留まりの低下を効果的に抑制することができる。

[0115] なお、上記実施形態は以下のように変更しても良い。

[0116] 上記実施形態においては、保護層 17 上に層間絶縁層 18 を形成する構成としたが、製造工程の簡略化の観点から、図 9 に示すアクティブマトリクス基板 20 a のように、当該層間絶縁層 18 を設けず、保護層 17 上に画素電極 19 a を形成する構成としてもよい。

[0117] この場合、まず、上述の図 5 (a) ~ (d) に示すゲート電極形成工程、平坦化膜形成工程、ゲート絶縁層形成工程、半導体層形成工程、及びソースドレイン形成工程を行う。その後、保護層形成工程として、ソース電極 16 a a 及びドレイン電極 16 b が形成された（即ち、TFT 5 a が形成された）基板の全体に、プラズマ CVD 法により、例えば、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜などを成膜して、図 10 に示すように、半導体層 13、ソース電極 16 a a、及びドレイン電極 16 b を覆うように保護層 17 を形成する。

[0118] 次いで、コンタクトホール形成工程として、保護層 17 に対して、上述の第 5 フォトマスクを用いたフォトリソグラフィによるパターニング、保護層 17 のドライエッチング、レジストの剥離、及び洗浄を行うことにより、図 10 に示すように、保護層 17 に、ドレイン電極 16 b に到達するコンタクトホール C a を形成する。

[0119] 次いで、画素電極形成工程として、保護層 17 上に、スパッタリング法により、例えば、インジウム錫酸化物からなる ITO 膜（厚さ 50 nm ~ 200 nm 程度）などの透明導電膜を成膜する。その後、その透明導電膜に対して、上述の第 6 フォトマスクを用いたフォトリソグラフィによるパターニング、透明導電膜のウエットエッチング、レジストの剥離、及び洗浄を行うことにより、図 9 に示すように、画素電極 19 a を形成する。このような構成においても、上述の（1）と同様の効果を得ることができる。

[0120] また、上記実施形態においては、半導体層としてシリコン系半導体層を使

用したが、半導体層はこれに限定されず、シリコン系半導体層の代わりに、例えば、酸化インジウムガリウム亜鉛（IGZO）からなる酸化物半導体層をTFT5aの半導体層として使用する構成としても良い。

[0121] この場合、まず、上述の図5（a）～（c）に示すゲート電極形成工程、バリア層形成工程、平坦化膜形成工程、及びゲート絶縁層形成工程を行う。その後、半導体層形成工程として、ゲート絶縁層12が形成された基板全体に、プラズマCVD法により、例えば、IGZO系の酸化物半導体膜（厚さ30～300nm程度）を成膜する。その後、上述の第3フォトリソマスクを用いたフォトリソグラフィによるレジストのパターニング、ドライエッチング及びレジストの剥離洗浄を行うことにより、図11（a）に示すように、酸化物半導体層35をパターニングする。

[0122] 次に、ソースドレイン形成工程として、上記酸化物半導体層35が形成された基板全体に、スパッタリング法により、例えば、チタン膜（厚み30～100nm）及び銅膜（100～400nm）などを順に成膜する。その後、上述の第4フォトリソマスクを用いたフォトリソグラフィによるレジストのパターニング、銅膜のウエットエッチングを行うとともに、チタン膜に対するドライエッチング（プラズマエッチング）、並びにレジストの剥離と洗浄を行うことにより、図11（b）に示すように、信号配線16a（図3参照）、ソース電極16aa、ドレイン電極16b及び補助容量幹線16c（図3参照）を形成するとともに、酸化物半導体層35のチャネル領域Rを露出させる。

[0123] その後、上述の第1の実施形態において説明した図5（e）と同様に、保護層形成工程、層間絶縁層形成工程、開口部形成工程、及び画素電極形成工程を行うことにより、図12に示すアクティブマトリクス基板20aを作製することができる。このような構成においても、上述の（1）と同様の効果を得ることができる。

[0124] なお、酸化物半導体層35を構成する酸化物半導体として、IGZO（ In-Ga-Zn-O ）系を例示したが、酸化物半導体は、（ In-Si-Zn-O

）系、（ In-Al-Zn-O ）系、（ Sn-Si-Zn-O ）系、（ Sn-Al-Zn-O ）系、（ Sn-Ga-Zn-O ）系、（ Ga-Si-Zn-O ）系、（ Ga-Al-Zn-O ）系、（ In-Cu-Zn-O ）系、（ Sn-Cu-Zn-O ）系、（ Zn-O ）系、（ In-O ）系などであってもよい。

[0125] 即ち、酸化物半導体層 35 は、酸化インジウムガリウム亜鉛（ IGZO ）からなる酸化物半導体層に限定されず、インジウム（ In ）、ガリウム（ Ga ）、アルミニウム（ Al ）、銅（ Cu ）、亜鉛（ Zn ）、マグネシウム（ Mg ）、カドミウム（ Cd ）のうち少なくとも 1 種を含む金属酸化物からなる材料を用いても良い。

[0126] これらの材料からなる酸化物半導体層 35 は、アモルファスであっても移動度が高いため、スイッチング素子のオン抵抗を大きくすることができる。従って、データ読み出し時の出力電圧の差が大きくなり、 S/N 比を向上させることができる。例えば、 IGZO （ In-Ga-Zn-O ）の他に、 InGaO_3 （ ZnO ）₅、 $\text{Mg}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Cd}_x\text{Zn}_{1-x}\text{O}$ 、 CdO 等の酸化物半導体膜を挙げることができる。

[0127] また、上記各実施形態では、 SOG 膜として、感光性を有していないものを例示したが、 SOG 膜は、感光性を有しているものであってもよい。

[0128] また、上記各実施形態では、画素電極 19a に接続される TFT5a の電極をドレイン電極 16b としたアクティブマトリクス基板 20a を例示したが、本発明は、画素電極に接続された TFT の電極をソース電極とするアクティブマトリクス基板にも適用することができる。

[0129] また、上記各実施形態では、表示パネルとして、アクティブマトリクス基板を備えた液晶表示パネルを例示したが、本発明は、有機 EL （ $\text{Electro Luminescence}$ ）表示パネル、無機 EL 表示パネル、電気泳動表示パネルなどの他の表示パネルにも適用することができる。

産業上の利用可能性

[0130] 以上説明したように、本発明は、本アクティブマトリクス基板及びその製

造方法に関し、特に、平坦化膜を用いたアクティブマトリクス基板及びその製造方法について有用である。

符号の説明

[0131]	5 a	T F T
	1 0 a	絶縁基板
	1 1 a	走査配線
	1 2	ゲート絶縁層
	1 3	半導体層
	1 3 a	真性アモルファスシリコン層
	1 3 b	アモルファスシリコン層
	1 6 a	信号配線
	1 6 a a	ソース電極
	1 6 b	ドレイン電極
	1 7	保護層
	1 8	層間絶縁層
	1 9 a	画素電極
	2 0 a	アクティブマトリクス基板
	2 5	ゲート電極
	2 6	平坦化膜
	2 7	第1 導電膜
	2 8	第2 導電膜（導電膜）
	2 9	バリア層
	3 0	対向基板
	3 5	酸化物半導体層
	3 6	フォトリジスト
	3 7	シール材
	4 0	液晶層
	5 0	液晶表示パネル

請求の範囲

[請求項1]

絶縁基板と、
前記絶縁基板上に設けられ、銅により形成された導電膜を有するゲート電極と、
前記ゲート電極上に設けられ、窒化シリコンにより形成されたバリア層と、
前記バリア層上に設けられ、焼成されたSOG材料により形成された平坦化膜と、
前記ゲート電極、前記バリア層及び前記平坦化膜を覆うように設けられたゲート絶縁層と、
前記ゲート絶縁層上に設けられ、前記ゲート電極に重なるように設けられたチャネル領域を有する半導体層と、
前記半導体層上に、前記ゲート電極に重なりとともに前記チャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極と、
前記半導体層、前記ソース電極及び前記ドレイン電極を覆う保護層と、
前記保護層上に設けられた画素電極と
を備えることを特徴とするアクティブマトリクス基板。

[請求項2]

前記保護層上には、層間絶縁層が設けられ、前記画素電極は前記層間絶縁層上に設けられていることを特徴とする請求項1に記載のアクティブマトリクス基板。

[請求項3]

前記半導体層が、酸化物半導体層であることを特徴とする請求項1または請求項2に記載のアクティブマトリクス基板。

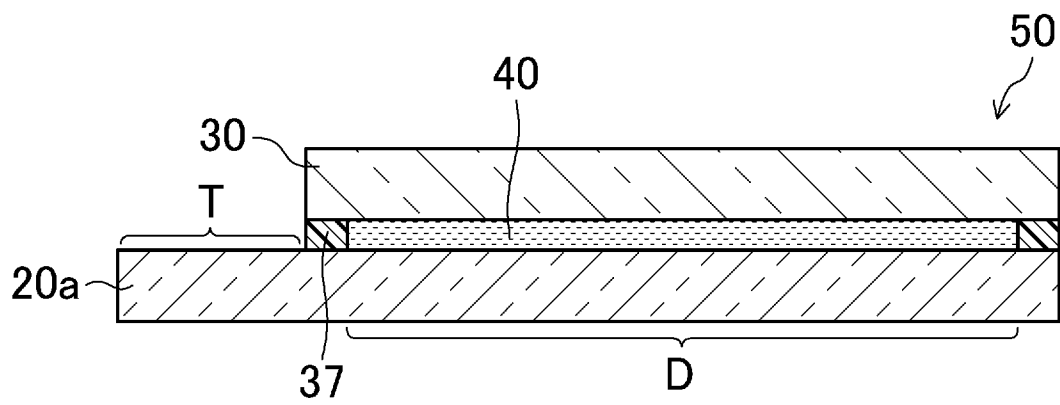
[請求項4]

前記酸化物半導体層が、インジウム(In)、ガリウム(Ga)、アルミニウム(Al)、銅(Cu)及び亜鉛(Zn)からなる群より選ばれる少なくとも1種を含む金属酸化物からなることを特徴とする請求項3に記載のアクティブマトリクス基板。

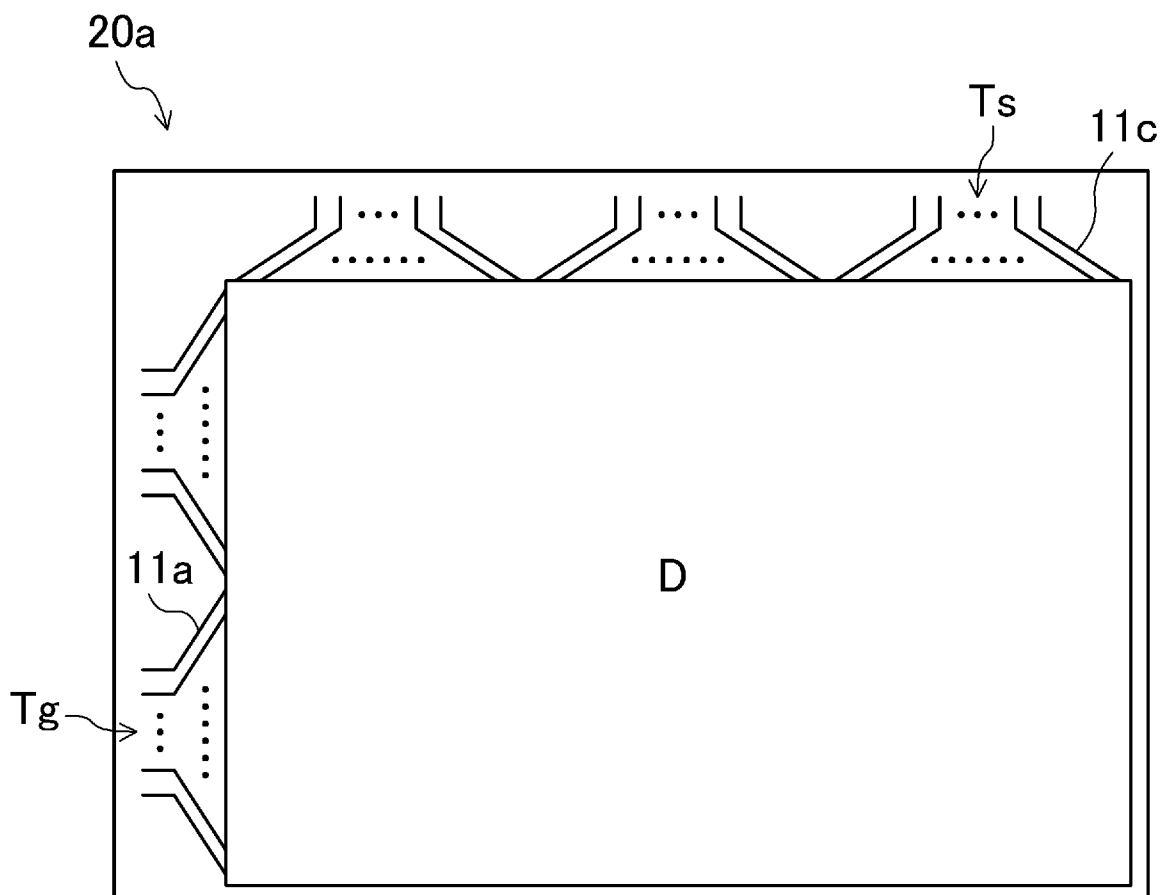
- [請求項5] 前記酸化物半導体層が、酸化インジウムガリウム亜鉛（IGZO）からなることを特徴とする請求項4に記載のアクティブマトリクス基板。
- [請求項6] 前記半導体層がシリコン系半導体層であることを特徴とする請求項1または請求項2に記載のアクティブマトリクス基板。
- [請求項7] 絶縁基板上に、銅により形成された導電膜を有するゲート電極を形成するゲート電極形成工程と、
前記ゲート電極を覆うように、前記絶縁基板上に窒化シリコンにより形成されたバリア層を形成するバリア層形成工程と、
前記バリア層上にSOG材料を塗布して焼成することにより、前記バリア層上に平坦化膜を形成する平坦化膜形成工程と、
前記バリア層及び前記平坦化膜を覆うようにゲート絶縁層を形成するゲート絶縁層形成工程と、
前記ゲート絶縁層上に、前記ゲート電極に重なるように設けられたチャネル領域を有する半導体層を形成する半導体層形成工程と、
前記半導体層上に、前記ゲート電極に重なりとともに前記チャネル領域を挟んで互いに対峙するように設けられたソース電極及びドレイン電極を形成するソースドレイン形成工程と、
前記半導体層、前記ソース電極、及び前記ドレイン電極を覆う前記保護層を形成する保護層形成工程と、
前記保護層上に前記画素電極を形成する画素電極形成工程と
を少なくとも備えることを特徴とするアクティブマトリクス基板の製造方法。
- [請求項8] 前記平坦化膜形成工程において、前記ゲート電極上の前記バリア層を除去することを特徴とする請求項7に記載のアクティブマトリクス基板の製造方法。
- [請求項9] 前記半導体層形成工程及び前記ソースドレイン形成工程において、同一のフォトリソマスクを用いて、前記半導体層を形成するとともに、前

記ソース電極及び前記ドレイン電極を形成することを特徴とする請求項 7 に記載のアクティブマトリクス基板の製造方法。

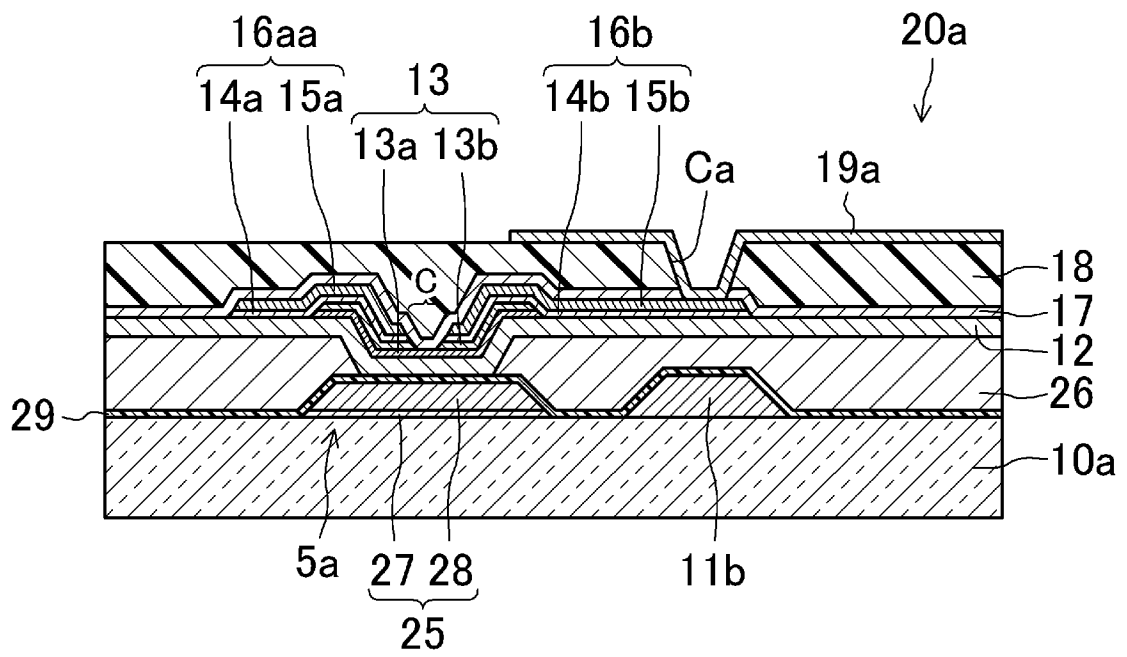
[図1]



[図2]

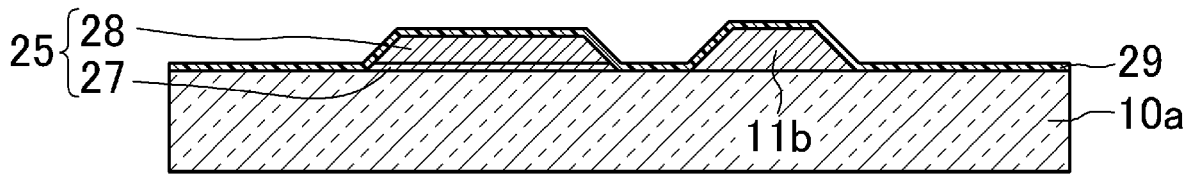


[図4]

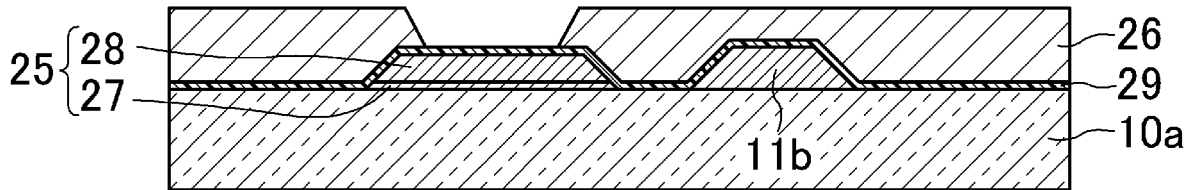


[図5]

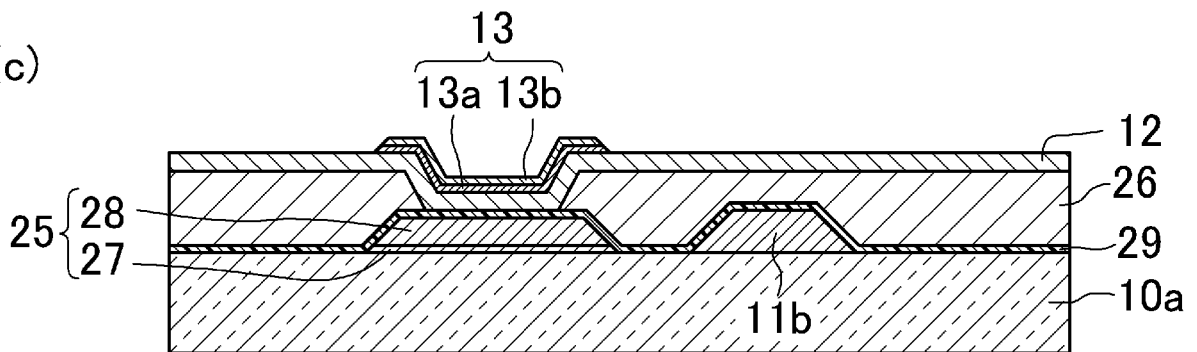
(a)



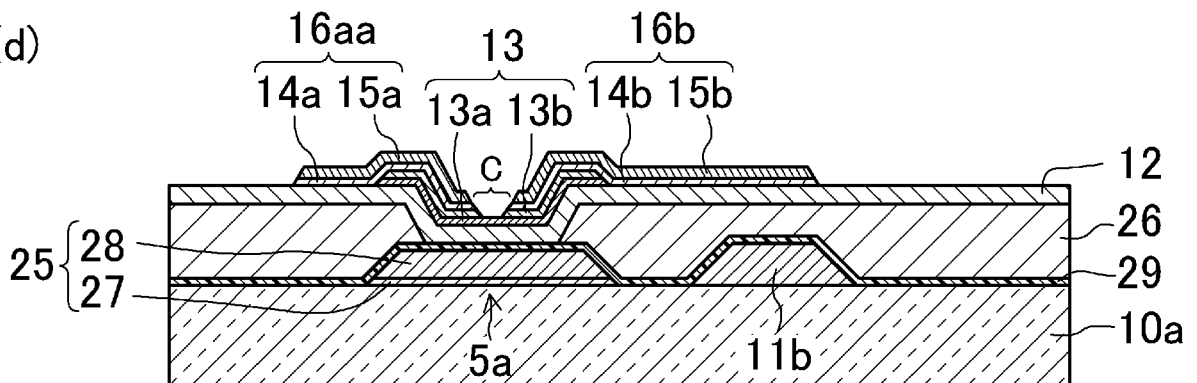
(b)



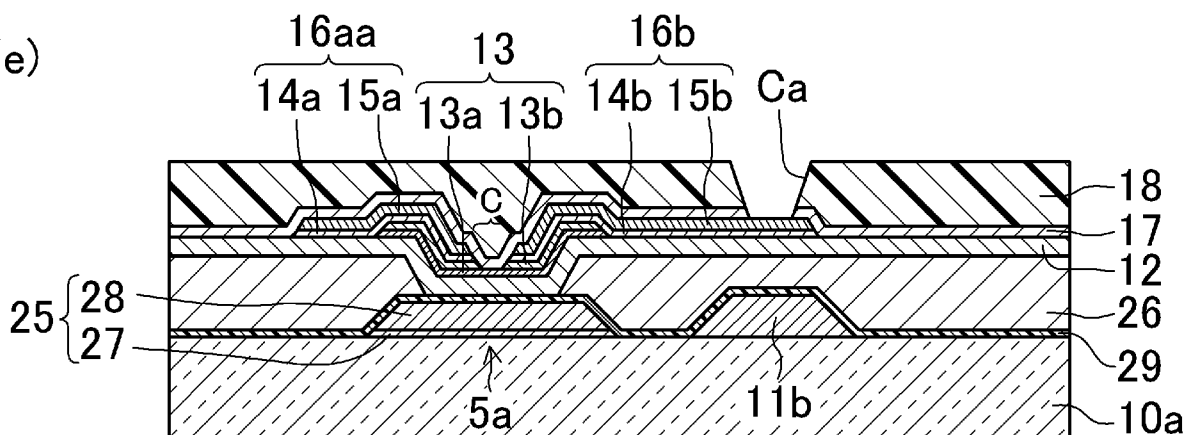
(c)



(d)

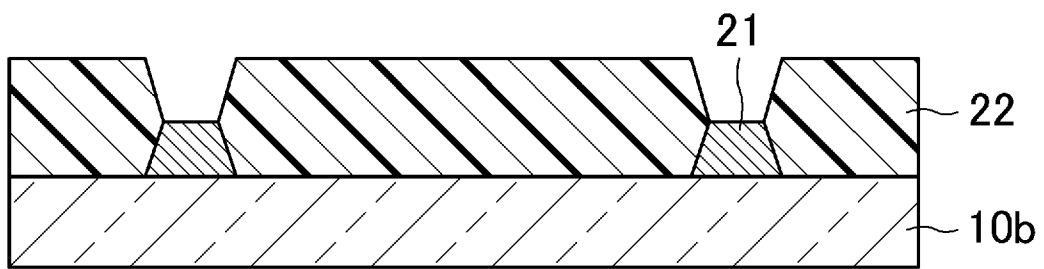


(e)

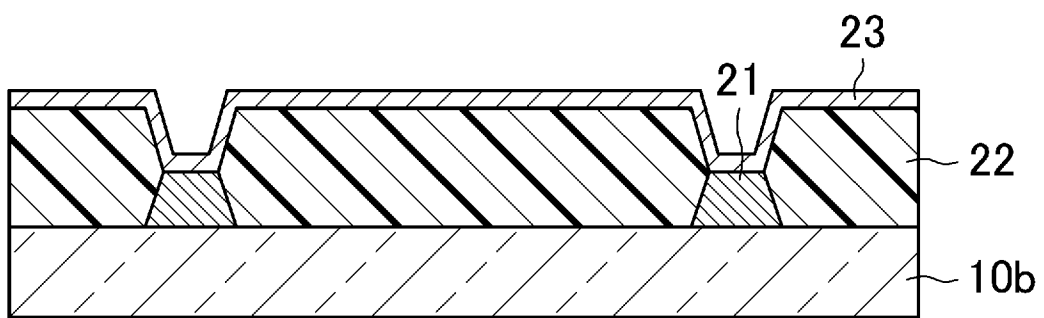


[図6]

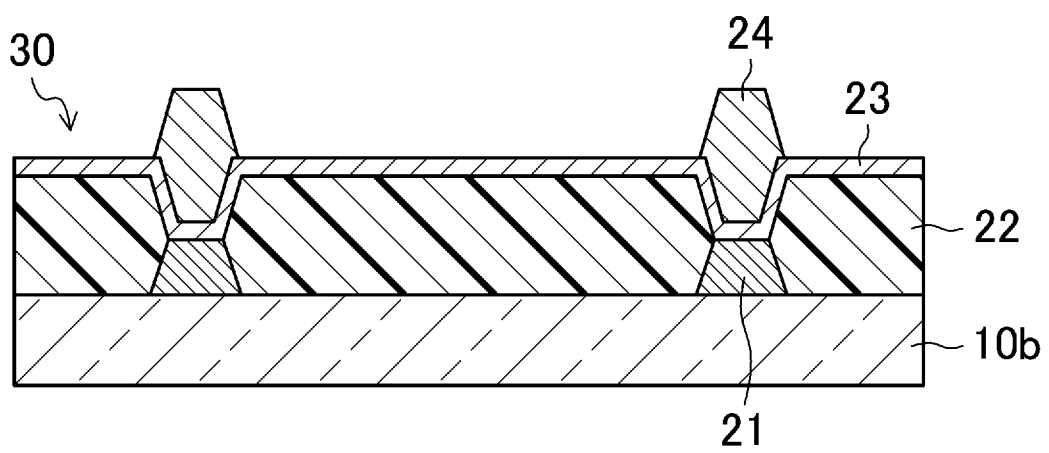
(a)



(b)

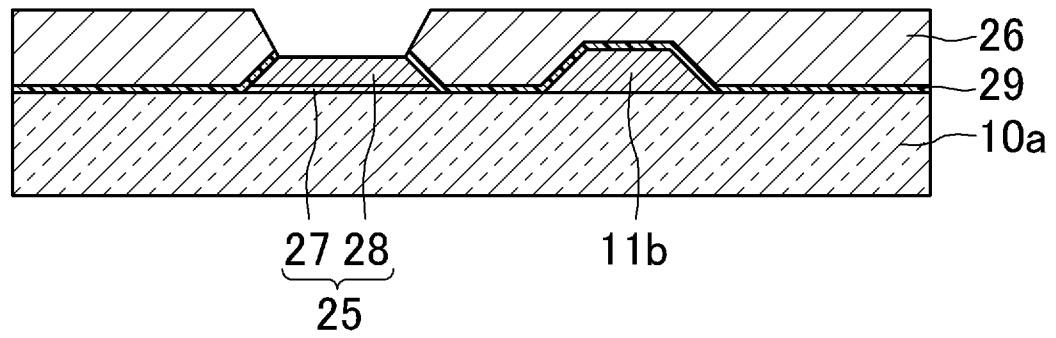


(c)

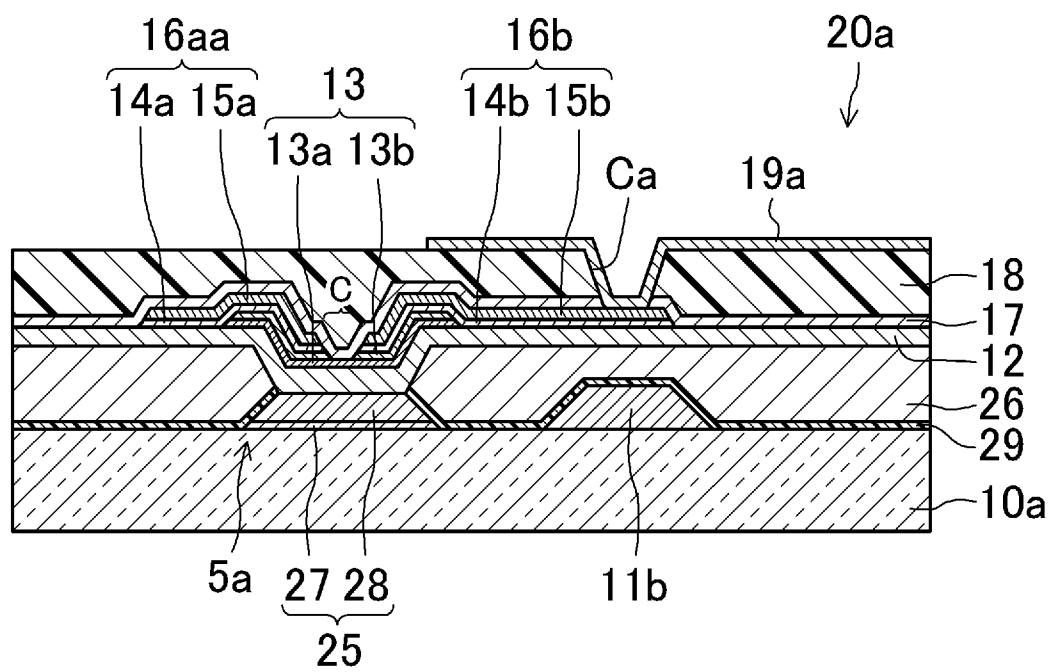


[図7]

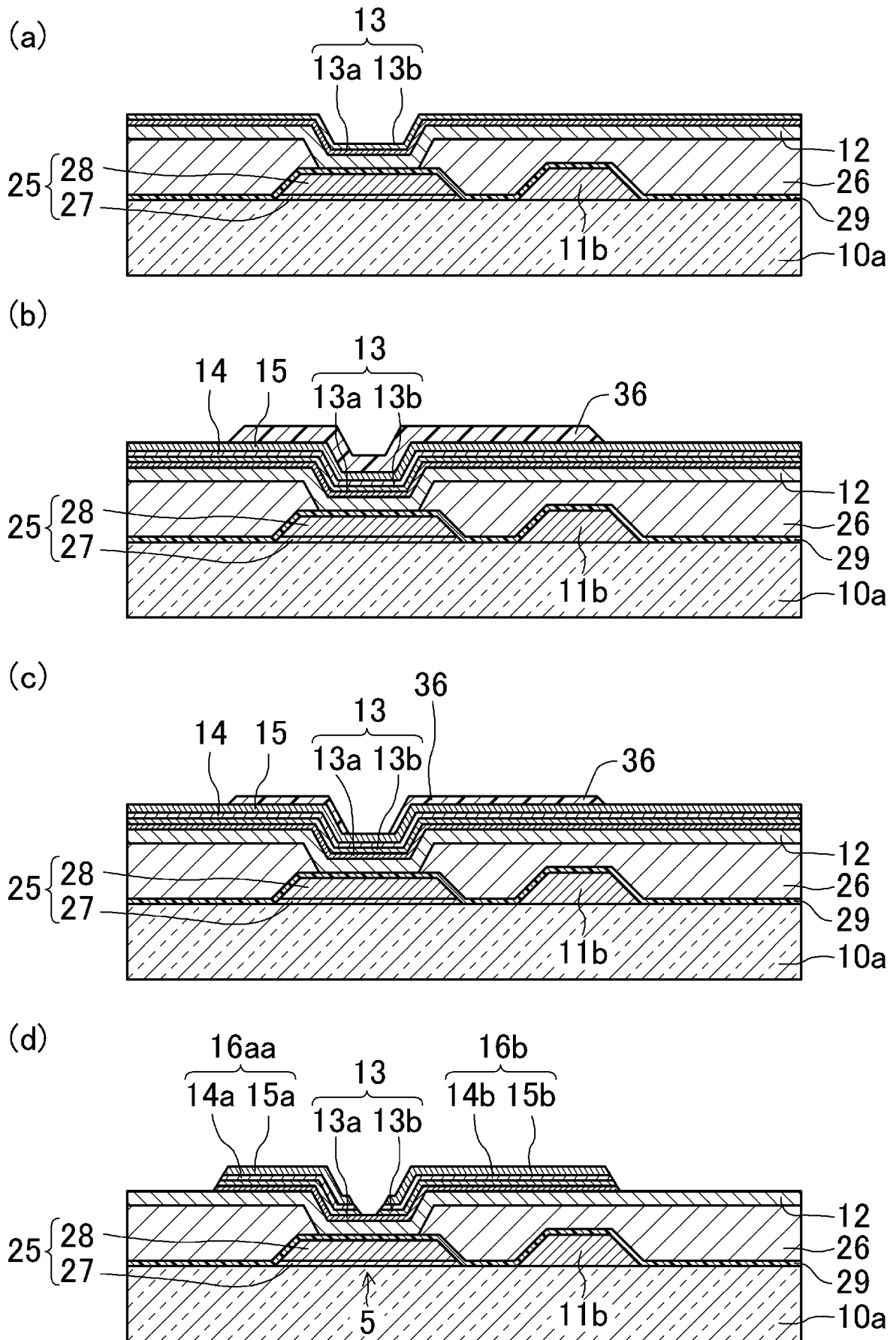
(a)



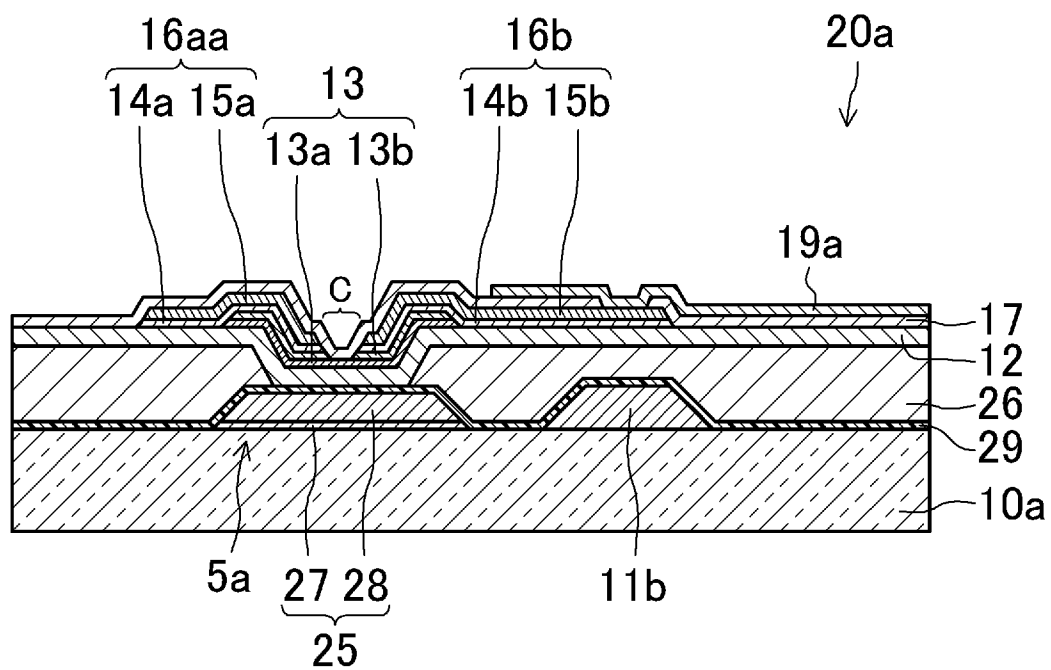
(b)



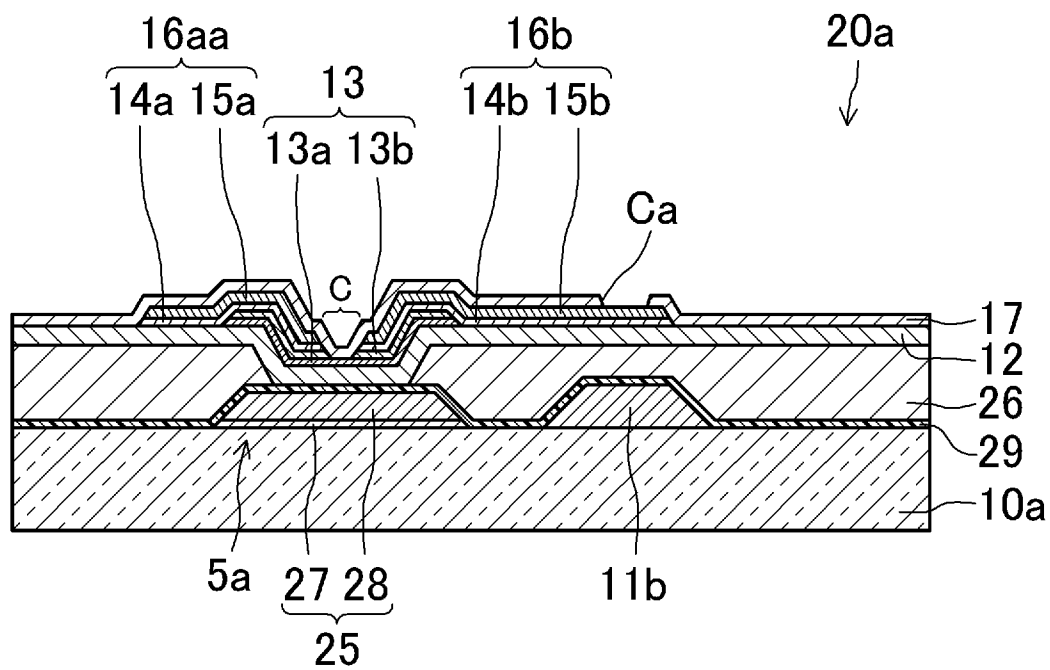
[図8]



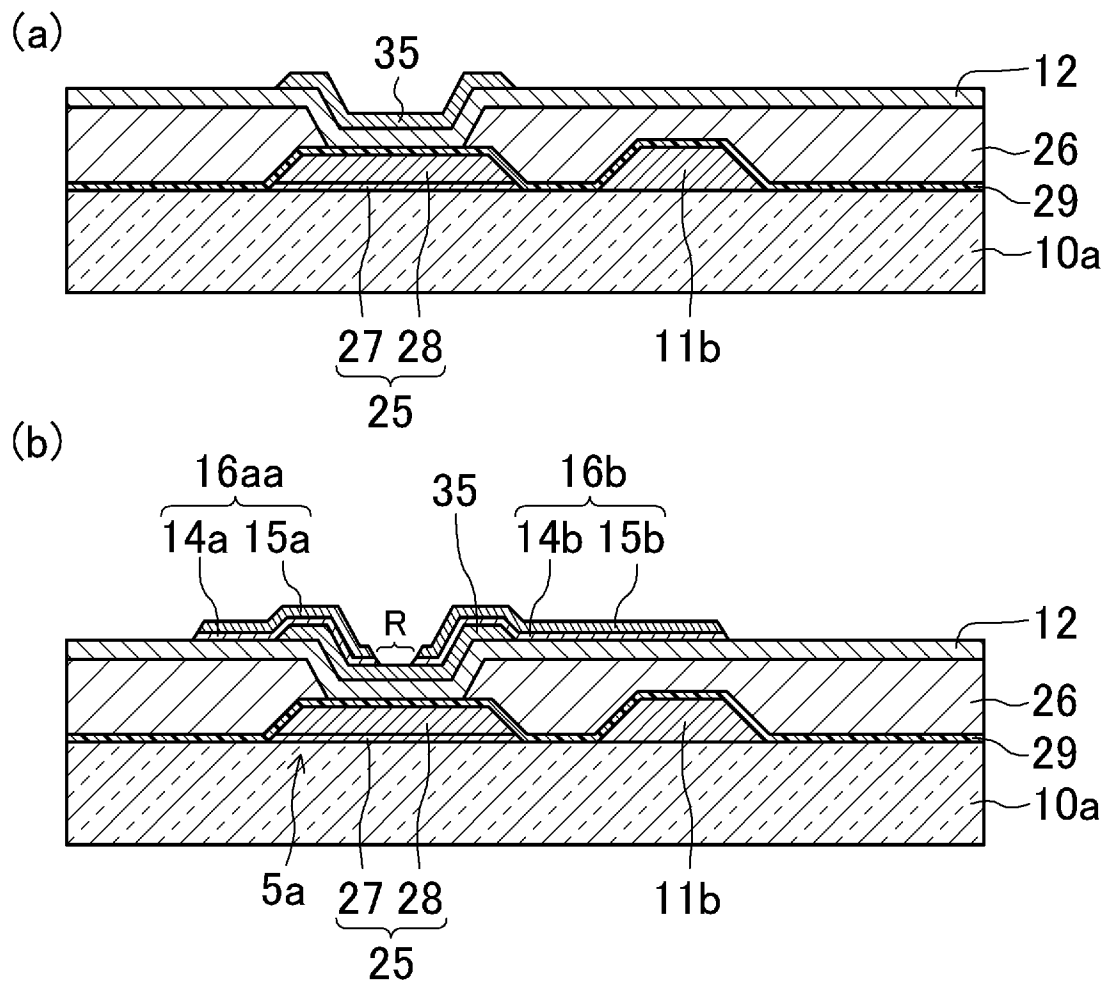
[図9]



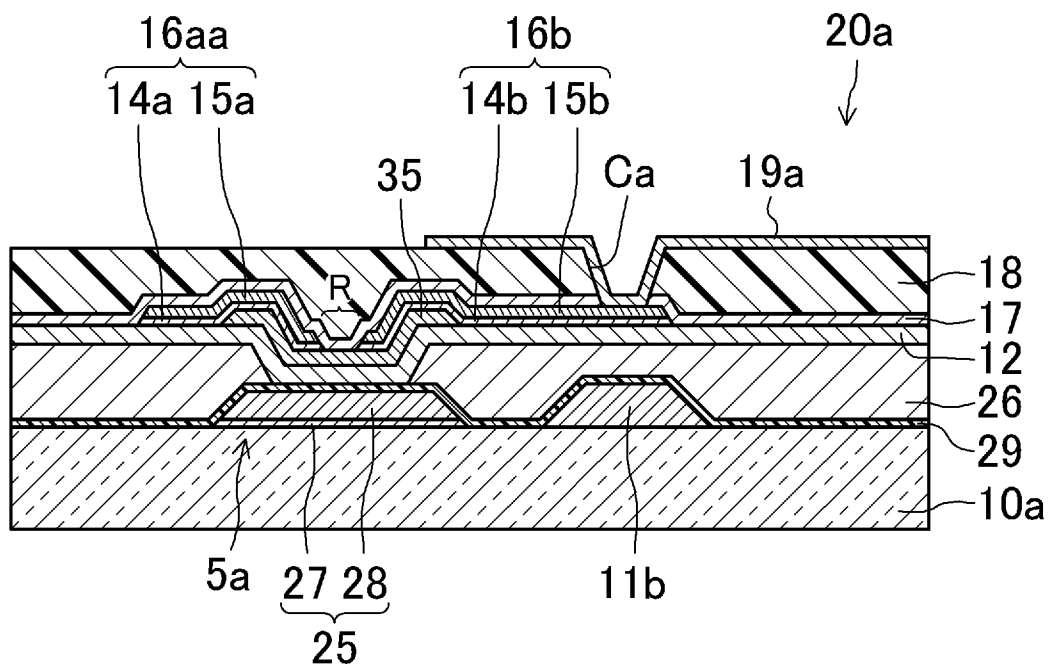
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/004416

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1333, G02F1/1368, G09F9/00, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/080879 A1 (Sharp Corp.), 07 July 2011 (07.07.2011), entire text; all drawings (Family: none)	1-9
A	WO 2007/097074 A1 (Sharp Corp.), 30 August 2007 (30.08.2007), entire text; all drawings & US 2009/0057682 A1 & CN 101384949 A	1-9
A	JP 2007-225860 A (Sharp Corp.), 06 September 2007 (06.09.2007), entire text; all drawings (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 September, 2012 (11.09.12)

Date of mailing of the international search report
02 October, 2012 (02.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/004416

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-319159 A (Seiko Epson Corp.), 24 November 2006 (24.11.2006), entire text; all drawings & US 2006/0258068 A1 & KR 10-0763985 B1 & CN 1862780 A	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/30, G02F1/1333, G02F1/1368, G09F9/00, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/080879 A1 (シャープ株式会社) 2011.07.07, 全文、全図 (ファミリーなし)	1-9
A	WO 2007/097074 A1 (シャープ株式会社) 2007.08.30, 全文、全図 & US 2009/0057682 A1 & CN 101384949 A	1-9
A	JP 2007-225860 A (シャープ株式会社) 2007.09.06, 全文、全図 (ファミリーなし)	1-9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 9 . 2 0 1 2

国際調査報告の発送日

0 2 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田井 伸幸

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 I

3 9 0 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-319159 A (セイコーエプソン株式会社) 2006. 11. 24, 全文、全図 & US 2006/0258068 A1 & KR 10-0763985 B1 & CN 1862780 A	1-9