

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 6 月 27 日 (27.06.2013)



(10) 国際公開番号
WO 2013/094078 A1

- (51) 国際特許分類 :
H01L 21/306 (2006.01) H01L 33/02 (2010.01)
- (21) 国際出願番号 : PCT/JP201 1/080548
- (22) 国際出願日 : 2011 年 12 月 21 日 (21.12.2011)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (71) 出願人 (米国を除く全ての指定国について):
ウェーブスクエア, インコーポレイテッド
fWavesquare Inc.) [KR/KR]; 449863 ギョンギド
ヨンインシティ チェオイング バエカム
ーミヨオン ゴアンーリ 633-2 Gyeonggi-Do (KR). DOWA エレクトロニクス株式会
社 (DOWA Electronics Materials Co., Ltd.) [JP/JP]; 〒
1010021 東京都千代田区外神田4丁目14番1
号 Tokyo (JP).
- (72) 発明者 ;および
- (75) 発明者/出願人 (米国についてのみ): ▲チヨ▼
明煥 (HO, Meoung Whan) [KR/KR]; 449863 ギョン

ギドー ヨンインシティ チェオイング
バエカムーミヨオン ゴアンーリ 633-2
ウェーブスクエア, インコーポレイテッド内
Gyeonggi-Do (KR). 李 錫雨 iLEE, Seog Woo)
[KR/KR]; 449863 ギョンギドー ヨンインシ
ティ チェオイング バエカムーミヨオン
ゴアンーリ 633-2 ウェーブスクエア,
インコーポレイテッド内 Gyeonggi-Do (KR). 鳥羽
隆一 (TOBA, Ryuich i) [JP/JP]; 〒1010021 東京都千代
田区外神田4-14-1 DOWA エレクトロ
ニクス株式会社内 Tokyo (JP). 門脇 嘉孝 (KAD-
OWAKI, Yoshitaka) [JP/JP]; 〒1010021 東京都千代
田区外神田4-14-1 DOWA エレクトロ
ニクス株式会社内 Tokyo (JP).

- (74) 代理人 杉村 憲司 (SUGIMURA, Kenji); 〒1000013
東京都千代田区霞が関三丁目2番1号 霞が関
コモンゲート西館36階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,

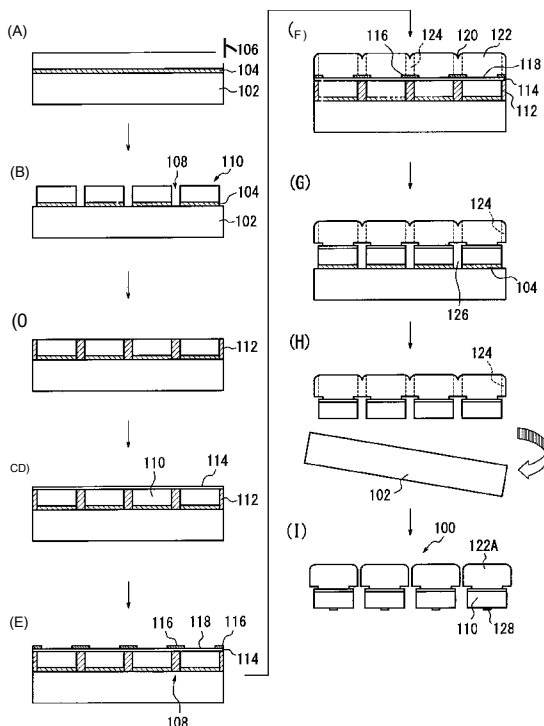
[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT, METHOD FOR PRODUCING SAME, AND COMBINATION OF SEMICONDUCTOR ELEMENTS

(54) 発明の名称 半導体素子およびその製造方法ならびに半導体素子結合体

[図1]

FIG. 1



(57) Abstract: This method for producing a semiconductor element involves: a step for forming a semiconductor layer on a growth substrate with a lift-off layer therebetween; a step for producing multiple semiconductor structures by forming grooves; a step for filling the grooves with a filler; a seed formation step for forming a plating seed layer; a step for forming a net-like resist above the grooves after the seed formation step; a step for forming a conductive support body by forming a plating layer from the plating seed layer that was exposed by not being covered by the resist, the plating layer being formed in a manner such that the conductive support body has a concave on top of the resist and a hole is formed on the intersection site of the resist; a step for removing at least a portion of the filler and the resist; a step for removing the lift-off layer by means of an etching solution for forming a space via the hole; and a step for fragmenting the conductive support body into multiple semiconductor elements by cutting the conductive support body along the concave.

(57) 要約:

[続葉有]

WO 2013/094078 A1



CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可[△]): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ

シア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

本発明の半導体素子の製造方法は、成長用基板の上にリフトオフ層を介して半導体層を形成する工程と、溝を形成することで半導体構造部を複数個形成する工程と、溝を充填材で塞ぐ工程と、メツキシート層を形成するシート形成工程と、該シート形成工程後に、溝の上方に、網目状のレジストを形成する工程と、レジストに覆われず露出したメツキシート層からメツキ層を成膜して導電性サポート体を形成する工程であって、導電性サポート体がレジストの上に凹みを有し、かつ、レジストの交差部位上に孔を有するようにメツキ層を成膜する工程と、充填材およびレジストの、少なくとも一部を除去する工程と、孔を介して空隙を供給するエッチング液によりリフトオフ層を除去する工程と、凹みに沿って導電性サポート体を切断して複数個の半導体素子に個片化する工程とを有する。

明 細 書

発明の名称：

半導体素子およびその製造方法ならびに半導体素子結合体

技術分野

[0001] 本発明は、半導体素子およびその製造方法、ならびに複数の半導体素子が連結した半導体素子結合体に関する。

背景技術

[0002] 半導体素子には、電界効果トランジスタ（FET）、発光ダイオード（LED）などの各種デバイスがある。これらには、例えば、III族元素とV族元素との化合物からなるIII-V族半導体が用いられる。

[0003] III族元素としてAl、Ga、In等を用い、V族元素として主にNを用いたIII族窒化物半導体は、高融点で窒素の解離圧が高くバルク単結晶成長が困難であり、大口径で安価な導電性単結晶基板が無いという理由から、サファイア基板上に成長させることにより形成するのが一般的である。

[0004] しかしながら、サファイア基板は絶縁性であって電流が流れないため、発光ダイオードは従来、サファイア基板上に順に成長させたn型のIII族窒化物半導体層、活性層（発光層）およびp型のIII族窒化物半導体層からなる半導体積層体の一部を除去してn型のIII族窒化物半導体層を露出させ、この露出させたn型のIII族窒化物半導体層およびp型のIII族窒化物半導体層の上にn型電極およびp型電極をそれぞれ配置して、電流を横方向に流す横型構造を採用するのが通常であった。

[0005] これに対し、近年、サファイア基板上にIII族元素（例えばAl、Gaなど）以外の特定の元素からなるバッファ層を形成後、発光層を含む半導体積層体を形成し、この半導体積層体を導電性のサポート体で支持した後、バッファ層を化学的なエッチングにより選択的に溶解してサファイア基板を剥離（リフトオフ）し、これらサポート体と半導体積層体を一対の電極で挟むことで、LEDチップを得る技術が実用に向けて研究されている。なお、ここで

言うバッファ層は、半導体積層体のエピタキシャル成長のためのバッファ層であるとともに、サファイア基板から半導体積層体を剥離するためのリフトオフ層の役割も兼ねるものである。

[0006] このような構造のIII族窒化物半導体LEDチップを作製するには、III族以外の金属や金属窒化物からなるリフトオフ層をエッチングすることでサファイア基板からエピタキシャル層を剥離する一般的なケミカルリフトオフ法や、エッチング中に紫外光等の光を照射し、リフトオフ層を活性化させながらエッチングを行うフォトケミカルリフトオフ法がある。これらは、特定のエッチング溶液に浸漬して、リフトオフ層をエッチングによって溶解することにより成長用基板からエピタキシャル層をリフトオフする方法であり、本明細書において「ケミカルリフトオフ法」と総称される。なお、エピタキシャル層から成長用基板をリフトオフするという表現でも良い。

[0007] ここで、特許文献1に記載されたIII族窒化物半導体縦型構造LEDチップの製造方法を図7および図8により説明する。図7(A)〜(G)は、従来のIII族窒化物半導体縦型構造LEDチップ400の製造方法の各工程を模式側面断面図で示したものである。図8(A)は、個片化する前の複数の半導体構造部が形成された図7(F)の状態のウェハを半導体構造部410表面側から見た模式上面図である。なお、図7(A)〜(G)の切断位置は、図8(A)のI—I線の位置すなわち半導体構造部410の最大径位置である。図8(B)は、(A)の破線に沿って個片化した1つのLEDチップ400の模式側面図である。

[0008] まず、成長用基板402の上にリフトオフ層404を介して、発光層を含むIII族窒化物半導体層406を形成する(図7(A))。次に、成長用基板402の一部が露出するよう、半導体層406およびリフトオフ層404の一部を除去することで、独立した複数個の半導体構造部410を形成する(図7(B))。図8(A)に示すように、半導体構造部410の横断面形状は円形である。次に、図7(C)に示すように、半導体構造部410間をレジスト412で塞ぎ、さらに、半導体構造部410およびレジスト412上

にメツキシード層 4 1 4 を形成する。その後、レジスト 4 1 2 の上方に、厚膜レジストによりビラー 4 1 6 を形成する (図 7 (C))。このとき、ビラー 4 1 6 の形成位置ではメツキシード層 4 1 1 を除去しておく。次に、下部電極を兼ね、複数個の半導体構造部 4 1 0 を一体支持する導電性サポート体 4 2 2 をメツキ法により形成する (図 7 (D))。このとき、ビラー 4 1 6 の位置にはメツキ層が成膜されない。次に、レジスト 4 1 2 およびビラー 4 1 6 を除去することにより、半導体構造部 4 1 0 の間には空隙 4 2 6 が、導電性サポート体 4 2 2 には貫通孔 4 2 4 がそれぞれ形成される (図 7 (E))。貫通孔 4 2 4 は、図 8 (A) に示すように、個片化の切断ライン (破線) が交点する部分に設けた。そして、貫通孔 4 2 4 および空隙 4 2 6 を介してエッチング液を供給して、ケミカルリフトオフ法でリフトオフ層 4 0 4 を除去することで、成長用基板 4 0 2 を複数個の半導体構造部 4 1 0 から剥離する (図 7 (F))。その後、上部電極 4 2 8 を半導体構造部 4 1 0 の剥離面側に形成し、最後に、半導体構造部 4 1 0 間で導電性サポート体 4 2 2 を図 8 の破線に沿って切断等により分離することにより、各々が切断後の導電性サポート体 4 2 2 A に支持された半導体構造部 4 1 0 を有する複数個の L E D チップ 4 0 0 に個片化する (図 7 (G))。

先行技術文献

特許文献

[0009] 特許文献 1 : 国際公開第 2 0 1 1 / 0 5 5 4 6 2 号

発明の概要

発明が解決しようとする課題

[0010] このように、図 7 (C) ~ (E) に示すように、特許文献 1 では、貫通孔とする部位に予め厚膜レジストでビラーを形成し、メツキ後にビラーを除去する方法で、導電性サポート体に貫通孔を形成している。しかしながら、例えば、除去後に残渣が残るなど、厚膜レジストを完全に除去することが困難な場合が多い。また、柱状の背の高いビラーの形成には、レジストを複数回

塗布する必要があるなど、手間がかかる。そのため、リフトオフ層を除去するためのエッチング液を半導体構造部の周囲に供給するための貫通孔を容易に形成する方法が望まれている。

[0011] また、導電性サポート体は、貫通孔の位置を除いてほぼ同一の厚みを有している。ここで、図7(G)に示す個片化の工程では、導電性サポート体の内部に連続してレーザー光を集光することにより導電性サポート体を切断するダイシング装置（以下、レーザーダイシング装置と称する）や、回転するブレードを用いて導電性サポート体を切断するダイシング装置（以下、ブレードダイシング装置と称する）を用いる。レーザーダイシング装置は、導電性サポート体を固定したテーブルを移動させながら、導電性サポート体にレーザー光を照射することにより切断する。これらの装置は、1回の走査で通常 $60\text{ }\mu\text{m}$ 程度の深さの細溝を形成可能であるため、 $60\text{ }\mu\text{m}$ よりも厚みのある導電性サポート体の場合、切断するためには複数回の走査が必要である。なお、導電性サポート体は、通常、分離後も個々の素子がバラバラにならない程度に固定できる粘着力を有する支持テープにより、支持された状態でダイシングされる。

[0012] このとき、導電性サポート体が $80\text{ }\mu\text{m}$ 未満の厚みでは、半導体構造部を支持する部分の剛性が弱く、半導体素子として使用する際に内部応力により、導電性サポート体が屈曲してしまう。このことから、従来は、導電性サポート体を $80\text{ }\mu\text{m}$ 以上の厚みで製造し、複数回のレーザーダイシング装置の走査により切断を行っていた。しかしながら、切断箇所では導電性サポート体が加熱されるため、走査を複数回行えば、半導体素子への熱衝撃がその分多くなる。また、導電性サポート体と支持テープとが密接しているため、導電性サポート体の最終端切断時に生じる熱により、支持テープが焼ける結果、テープ材料が素子に付着したり、支持テープが導電性サポート体に焼きついていたりする可能性がある。これにより、導電性サポート体や半導体構造部に汚れや傷をつけてしまうおそれもある。また、ブレードダイシング装置で切断する場合でも、切断箇所は摩擦熱により導電性サポート体が加熱され、導

電性サポート体の最終端切断時はブレードが支持テープを接触することから、レーザーダイシング装置と同様に導電性サポート体や半導体構造部に汚れや傷をつけてしまうおそれもある。以上のことから、導電性サポート体をより少ない走査回数、例えば2回以下の走査で容易に切断可能とすることとともに、切断部での支持テープの過度の加熱を防止することが望まれている。

[0013] これらの課題は、III族窒化物半導体縦型構造LEDチップにかかわらず、ケミカルリフトオフ法により成長用基板を剥離した後、導電性サポート体を個片化して作製するあらゆる半導体素子の量産化においても、解決すべき重要な課題である。

[0014] そこで本発明は、上記課題に鑑み、ケミカルリフトオフ法に用いるエッチング液を供給する孔を導電性サポート体に容易に形成することができ、かつ、個片化する際に導電性サポート体を容易に切断することができる半導体素子の製造方法を提供することを目的とする。

課題を解決するための手段

[0015] 上記目的を達成するため、本発明の要旨構成は以下のとおりである。

(1) 成長用基板の上にリフトオフ層を介して半導体層を形成する工程と、

該半導体層の一部を除去して、前記成長用基板または前記リフトオフ層の一部が露出する溝を形成することで半導体構造部を複数個形成する工程と、
前記溝を充填材で塞ぐ工程と、

前記半導体構造部および前記充填材の上にメツキシード層を形成するシート形成工程と、

該シート形成工程後に、前記溝の上方に、網目状のレジストを形成する工程と、

前記レジストに覆われず露出した前記メツキシード層からメツキ層を成膜して、複数個の前記半導体構造部を一体支持する導電性サポート体を形成する工程であって、前記導電性サポート体が前記レジストの上に凹みを有し、かつ、前記レジストの交差部位上に孔を有するように前記メツキ層を成膜す

る工程と、

前記充填材および前記レジストの、少なくとも一部を除去して、前記孔から前記リフトオフ層に通じる空隙を形成する工程と、

ケミカルリフトオフ法を用いて、前記孔を介して前記空隙に供給するエッチング液により前記リフトオフ層を除去する工程と、

前記半導体構造部間で前記凹みに沿って前記導電性サポート体を切断することにより、各々が導電性サポート体に支持された前記半導体構造部を有する複数の半導体素子に個片化する工程と、を有する半導体素子の製造方法。

[0016] (2) 前記メッキ層を成膜した後の、前記凹み位置での前記導電性サポート体の厚みが $120\mu\text{m}$ 以下である上記(1)に記載の半導体素子の製造方法。

[0017] (3) 前記メッキ層を成膜した後の、前記半導体構造部の上での前記導電性サポート体の厚みが $80\mu\text{m}$ 以上である上記(1)または(2)に記載の半導体素子の製造方法。

[0018] (4) 前記網目状のレジストを形成する工程と、前記導電性サポート体を形成する工程とを複数回くり返す上記(1)～(3)のいずれか1に記載の半導体素子の製造方法。

[0019] (5) 前記溝により、横断面形状が四角形の前記半導体構造部が縦横に整列して複数個形成され、前記シート形成工程後に、前記溝の上方に、格子状のレジストを形成する上記(1)～(4)のいずれか1に記載の半導体素子の製造方法。

[0020] (6) 導電性サポート体と、該導電性サポート体上に設けられた半導体構造部と、を有し、

前記導電性サポートは、前記半導体構造部とは反対側の面の外周部に丸みを有することを特徴とする半導体素子。

[0021] (7) 導電性サポート体と、該導電性サポート体上に設けられた半導体構造部と、を有し、

前記導電性サポート体の側面は切断面と非切断面とからなり、前記切断面での前記導電性サポート体の最大厚みが、前記半導体構造部上での前記導電性サポート体の厚みの20～80%であることを特徴とする半導体素子。

[0022] (8) 成長用基板と、該成長用基板上のリフトオフ層と、該リフトオフ層上で溝を介して互いに互いに独立した複数の半導体構造部と、前記複数の半導体構造部を一体支持する導電性サポート体と、を有し、

該導電性サポート体は、前記溝の上方の位置に、凹みおよび前記溝に通じる孔を有することを特徴とする半導体素子結合体。

発明の効果

[0023] 本発明によれば、網目状のレジストに覆われず露出したメツキシード層からメツキ層を成膜させることにより、レジストの上に凹みを有し、かつ、レジストの交差部位上に孔を有する導電性サポート体を形成することができる。その結果、従来法よりも簡易な方法により、ケミカルリフトオフ法に用いるエッチング液を供給する孔を導電性サポート体に容易に形成することができ、かつ、個片化する際に凹みに沿って導電性サポート体を容易に切断することが可能となった。

図面の簡単な説明

[0024] [図1] (A)～(I)は、本発明の一実施形態にかかる半導体素子100の製造方法の各工程を模式側面断面図で示したものである。

[図2] (A)～(D)は、図1に示した、本発明の一実施形態にかかる半導体素子100の製造方法の一部の工程を模式上面図で示したものである。

[図3] (A)～(D)は、第2レジスト116の塗布態様を変更した以外は図2と同様の模式上面図である。

[図4] 本発明の一実施形態にかかる、個片化した1つの半導体素子100の模式斜視図である。

[図5] 本発明の一実施形態にかかる、半導体素子結合体200の模式斜視図である。

[図6] (A)～(J)は、本発明の他の実施形態にかかる、2段階メツキ工程

を含む半導体素子 100 の製造方法の各工程を模式側面断面図で示したものである。

[図7] (A) ~ (G) は、従来の III 族窒化物半導体縦型構造 LED チップ 400 の製造方法の各工程を模式側面断面図で示したものである。

[図8] (A) は、個片化する前の複数の半導体構造部が形成された図 6 (F) の状態のウェハの模式上面図であり、(B) は、(A) の破線に沿って個片化した 1 つの III 族窒化物半導体縦型構造 LED チップ 400 の模式側面図である。

[図9] (A) は、実施例 1 において個片化する前の導電性サポート体の断面斜視 SEM 画像であり、(B) は、上段がその上面 SEM 画像であり、下段が上段の SEM 画像における孔部分を拡大した光学顕微鏡写真である。

[図10] 実施例 2 において、メツキ層を 2 段階に分けて、凹みおよび孔を形成した導電性サポート体の SEM 画像である。

発明を実施するための形態

[0025] 以下、図面を参照しつつ本発明をより詳細に説明する。なお、半導体素子の模式断面図においては、説明の便宜上、リフトオフ層および半導体積層体を実状とは異なる比率で誇張して示す。

[0026] 本発明の一実施形態にかかる半導体素子 100 の製造方法を、図 1 および図 2 により説明する。まず、図 1 と図 2 との対応関係を先に説明する。図 2 (A) は、図 1 (B) に示した状態の模式上面図であり、図 2 (A) の I-I 断面が図 1 (B) に相当する。なお、図 1 (B) 以外の図 1 の断面図も同様の位置でのものである。図 2 (B) は、図 1 (C) に示した状態の上面図である。図 2 (C) は、図 1 (E) に示した状態の上面図である。図 2 (D) は、図 1 (F) に示した状態の横断面図である。

[0027] まず、図 1 (A) に示すように、成長用基板 102 の上にリフトオフ層 104 を介して、半導体層 106 を形成する。

[0028] 次に、図 1 (B) および図 2 (A) に示すように、半導体層 106 の一部を除去して、成長用基板 102 の一部が底部で露出する溝 108 を網目状、

本実施形態では格子状に形成することで、横断面形状が四角形の縦横に整列した半導体構造部 110 を複数個形成する。

[0029] 次に、図 1 (C) および図 2 (B) に示すように、全ての溝 108 を充填材としての第 1 レジスト 112 で塞ぐ。

[0030] 次に、図 1 (D) に示すように、半導体構造部 110 および第 1 レジスト 112 の上にメツキシート層 114 を形成する。

[0031] 次に、図 1 (E) および図 2 (C) に示すように、溝 108 の上方かつメツキシート層 114 上に、格子状の薄膜の第 2 レジスト 116 を形成する。ここで、第 2 レジスト 116 に覆われず露出した部位 118 が形成される。

[0032] 次に、図 1 (F) および図 2 (D) に示すように、露出部位 118 からメツキ層を成膜させる。これにより、複数個の半導体構造部 110 を一体支持する導電性サポート体 122 を形成する。ここで、メツキ層は、第 2 レジスト 116 の上に凹み 120 を有し、かつ、第 2 レジスト 116 の交差部位上に孔 124 を有するように成膜させるが、詳細は後述する。

[0033] 次に、図 1 (G) に示すように、第 2 レジスト 116 および第 1 レジスト 112 を除去して、孔からリフトオフ層に通じる空隙 126 を形成する。具体的には、アセトンなどのレジストを溶解する液体を孔 124 から供給することにより、第 2 レジスト 116 を溶解する。本実施形態では、メツキシート層 114 のうち第 2 レジスト 116 と第 1 レジスト 112 に挟まれた部位は、第 2 レジスト 116 の除去の後に続いて、機械的または化学的に除去される。その後、充填材 112 にもアセトンなどの液体が達することにより、第 1 レジスト 112 も除去できる。

[0034] 次に、エッチング液を孔 124 および空隙 126 を介して供給することにより、リフトオフ層 104 をエッチングにより除去する。この結果、成長用基板 102 は半導体構造部 110 から剥離される (図 1 (H))。

[0035] 最後に、図 1 (I) に示すように、半導体構造部 110 の間で凹み 120 に沿って導電性サポート体 122 を切断することにより、各々が切断された導電性サポート体 122A に支持された半導体構造部 110 を有する複数個

の半導体素子 100 に個片化する。図 1 (D) の破線が切断ラインであり、凹み 120 に沿っていることがわかる。また、上部電極 128 を半導体構造部 110 の剥離面側に形成する。下部電極は導電性サポート体 111A が兼ねる。

[0036] 本発明者らは、従来方法における柱状のビラー 416 (図 7 (C)) ではなく、薄い層状のレジスト 116 を形成することにより、ケミカルリフトオフ法に用いるエッチング液を供給する孔 124 を導電性サポート体 122 に容易に形成することができると同時に溝 108 上の導電性サポート体 122 の厚みを小さくすることができることを見出した。そして、図 1 (I) のように溝 108 上の厚みが小さい部位に沿って導電性サポート体 122 を切断するにより、図 7 (G) のように位置によらず均一な厚みを有する導電性サポート体を切断するよりも、容易に切断できる。具体的には、ダイシング装置による走査回数を減少させることができ、支持テープが焼けてしまう可能性も低減する。

[0037] 以下、本発明の技術的意義を作用効果とともに説明する。露出部位 118 から成膜するメッキ層は、まず、第 2 レジスト 116 の壁に阻まれ、縦方向にのみ伸張する。第 2 レジストの上面に達した後には縦方向および横方向に伸張する。さらにメッキを続けると、第 2 レジスト 116 上で隣接して成膜するメッキ層が結合する。これにより、複数の半導体構造部 110 を導電性サポート体 112 が一体支持することが可能となる。その際、第 2 レジスト 116 の上にて成膜するメッキ層の縦方向への伸長は、半導体構造部 110 上にて成膜するメッキ層の縦方向への伸長よりも遅く、第 2 レジスト 116 の中央部ほど遅れる。そのため、第 2 レジスト 116 上における厚みが半導体構造部 110 上における厚みよりも小さくなり、図 1 (F) のような凹み 120 が形成される。ダイシング装置により凹み 120 に沿って切断することにより、凹みを有しない導電性サポート体よりも容易に切断することができる。

[0038] また、第 2 レジスト 116 は、格子状に形成している (図 2 (C) 参照)

。ここで、第2レジスト116の直線部位上に成膜するメツキ層の伸長よりも、第2レジスト116の交差部位上に成膜するメツキ層の伸長はさらに遅れが生じる。このため、直線部位上ではメツキ層が結合しているが、交差部位上ではメツキ層が結合していない状態が形成できる。その状態でメツキ層の成膜を止めることにより、第2レジスト116の交差部位上に孔124を形成することができる。従来方法では、柱状のビラー416（図7（C））を除去しなければ貫通孔424を形成できなかったのに対し、本発明では、メツキ層を成膜させるのみで孔124を形成することができる。また、第2レジスト116は薄いため、厚膜レジストによるビラー416よりも製造が簡単であり、残渣が残ることもなく確実に除去可能である。なお、メツキ層の伸張速度および形状は、メツキ浴の種類、温度、電流により制御できる。

[0039] なお、第2レジスト116は網目状に形成すれば、その塗布態様は特に限定されない。図3（A）～（D）は、第2レジスト116の塗布態様を変更した以外は図2と同様の模式上面図である。メツキシートの露出部位の形状は、図2（C）のように正方形ではなく、図3（C）に示すように正方形の角部に丸みや面取り、へこみ等がついていてもよい。この場合、図3（D）に示すように、メツキ後の孔124の径を図2（D）よりも大きくすることができる。

[0040] 図4は、上記製造方法で得ることができる、本発明に従う半導体素子100の模式斜視図である。半導体素子100は、導電性サポート体122Aと、導電性サポート体122A上に設けられた半導体構造部110と、を有する。なお、半導体構造部110と導電性サポート体122Aとの間には、メツキシート層114が存在する。半導体素子100において、導電性サポート体122Aは、横断面形状がコーナー122Bに丸みを有する四角形であり、かつ、前記半導体構造部110とは反対側の面の外周部122Cも丸みを有することを特徴とする。導電性サポート体122Aの側面は切断面と非切断面とからなる。半導体素子への個片化前に各々の導電性サポート体122Aが結合していた部分が平面の切断面であり、メツキ層成膜後の形状のま

ま丸みを有する箇所が非切断面である。切断面での前記導電性サポート体 122A の最大厚みが、半導体構造部 110 上での導電性サポート体 122A の厚みの 20 ~ 80 % であることが好ましい。導電性サポート体 122A の各部位の厚みは、メツキ層形成工程で形成された、凹み位置での導電性サポート体の厚みおよび半導体構造部上での導電性サポート体の厚みによって定まる。半導体素子 100 では、導電性サポート体 122A が下部電極として働き、半導体構造部 110 上に設けられた上部電極 128 と対になる。

[0041] 図 5 は、上記製造方法で得ることができる、本発明に従う半導体素子結合体 200 の模式斜視図である。半導体素子結合体 200 は、成長用基板 102 と、該成長用基板 102 上のリフトオフ層 104 と、該リフトオフ層 104 で溝 108 を介して互いに独立した複数の半導体構造部 110 と、前記複数の半導体構造部 110 を一体支持する導電性サポート体 122 と、を有し、該導電性サポート体 122 は、溝 108 の上方の位置に凹み 120 を有し、溝 108 の交差部位上に、溝 108 に通じる孔 124 を有することを特徴とする。なお、半導体構造部 100 上にはメツキシート層 144 がある。半導体素子結合体 200 は、図 1 (G) に示す状態のウェハである。すなわち、本明細書において「半導体素子結合体」とは、複数の半導体構造部が成長用基板と導電性サポート体で挟まれかつ一体支持された、リフトオフ前の状態のウェハを意味する。

[0042] 半導体素子結合体 200 では、孔 124 を介して溝 108 にエッチング液を供給して、リフトオフ層 104 を除去することができる。また、凹み 120 に沿ってより容易にサポート体 122 を切断することができる。

[0043] (半導体層形成工程)

成長用基板 102 は、サファイア基板またはサファイア基板上に AlN 膜を形成した AlN テンプレート基板を用いるのが好ましい。形成するリフトオフ層の種類や III 族窒化物半導体からなる半導体積層体の Al、Ga、In の組成、LED チップの品質、コストなどにより適宜選択すればよい。

[0044] リフトオフ層 104 は、ケミカルリフトオフ法では CrN や ScN などの I

II族以外の金属や金属窒化物バッファ層が化学選択エッチングで溶解できるので好ましい。スパッタリング法、真空蒸着法、イオンプレーティング法やMOCVD法で成膜するのが好ましい。通常、リフトオフ層104の膜厚は2〜100nm程度とする。

[0045] 半導体層106は、ケミカルリフトオフ法により製造する半導体素子であれば、半導体構造部の材料や層構成は特に限定されず、1層でもよいし、2層以上であってもよい。半導体構造部が発光層を含めばLEDとなり、含まない場合は他の半導体素子となる。半導体層106は、例えばMOCVD法によりリフトオフ層102上にエピタキシャル成長させることができる。通常、半導体層106の膜厚は0.5〜20 μ m程度とする。例えば、リフトオフ層102上に、第1伝導型のIII族窒化物半導体層、発光層および第1伝導型とは異なる第2伝導型のIII族窒化物半導体層を順次積層して半導体層として、本発明の半導体素子をIII族窒化物半導体縦型構造LEDチップとすることができる。この場合、第1伝導型をn型とし、第2伝導型をp型としてもよいし、この逆であってもよい。また、半導体層106は、例えば、AlInGa_xN系、AlInGa_xPAs系のIII—V族や、ZnOなどのII—VI族としてもよい。

[0046] (溝形成工程)

半導体層106の一部の除去には、ドライエッチング法を用いるのが好ましい。これは、半導体層106のエッチングの終点を再現性良く制御できるからである。また、半導体層106が繋がった状態であると、後工程においてエッチング液でリフトオフ層104をエッチングすることができないため、この除去は、少なくとも成長用基板またはリフトオフ層が露出するまで行うものとする。上記の本実施形態では、溝108の底部ではリフトオフ層104は除去され、成長用基板102が完全に露出する例を示した。

[0047] 本実施形態において半導体構造部110の横断面形状は四角形で示したが、半導体構造部110の横断面形状は特に限定されず、円形でも、三角形や六角形などの多角形でもよい。半導体構造部110の横断面形状を多角形と

する場合は、多角形の半導体構造部 110 の周囲の溝 108 に沿って網目状にレジスト 116 を形成することにより、レジスト 116 の交差部位上に、溝 108 に通じる孔 124 を形成するとともに、溝 108 の上方の位置の導電性サポート体 122 に凹み 120 を形成することができる。なお、半導体素子を個片化する工程において、レーザーダイシング装置により溝 108 を直線で切断しやすいように、半導体構造部 110 は整列していることが好ましい。

[0048] 半導体構造部 110 の横断面が四角形の場合、1 辺は通常 250 ～ 300 μm とする。また、溝 108 の直線部位における幅は、40 ～ 200 μm の範囲内とすることが好ましく、60 ～ 100 μm とすることがより好ましい。40 μm 以上とすることにより、溝 108 へのエッチング液の供給を十分に円滑に行うことができ、200 μm 以下とすることにより、発光面積のロスを最小限に抑えることができるからである。

[0049] (溝部充填・メツキシード層形成工程)

図 1 の実施形態では、溝 108 の充填剤として第 1 レジスト 112 を用い、その後全ての第 1 レジスト 112 を格子状のレジスト 116 とともに除去して空隙 126 を形成したが、本発明はこれに限らず、充填剤の一部を除去して、エッチング供給用の空隙を形成するものでもよい。例えば、半導体構造部 110 の横断面の形状が四角形の場合、PCT/J P 2011/005485 に記載するように、各半導体構造部 110 の 1 つの側面のみを充填剤としてのレジストによって塞ぎ、残りの 3 つの側面は充填剤としての金属をメツキで塞ぐことができる。そして、充填剤除去工程では、金属は除去せずレジストのみを除去し、レジストで埋められた溝のみにエッチング供給用の空隙を形成することができる。この場合、図 1 (H) のリフトオフ工程では、レジストで塞いだ溝側からその反対側の溝側に向かってエッチングが進行する。

[0050] 溝 108 の充填剤としては、第 1 レジスト 112 などのレジストに替えて、任意の材料を用いてもよい。例えば、導電性サポート体 122 やメツキシ

— ド層 114 に使用されない金属、または SiO_2 などの絶縁物を用いることができる。充填剤を除去する場合は、材料に応じたエッチング液を選択すればよい。メツキシード層 114 は必ずしも全面に形成しなくても良いが、電氣的に孤立しないように形成する必要がある。

[0051] (レジスト形成・メッキ形成工程)

レジストの交差部位上には、メッキ形成工程において孔が形成される。図 1 および図 2 の実施形態では、溝 108 の交差部位上にレジスト 116 の交差部位が位置する例を示したが、本発明はそれに限定されない。例えば、溝 108 に部分的に幅広の部位を設けることによって、溝 108 の辺上にレジスト 116 の交差部位を設けてもよい。この場合、溝 108 の辺上に孔 124 が形成される。すなわち、本明細書において「レジストの交差部位」とは、溝 108 の交差部位上でのレジスト 116 の交差部位に限らず、その他の溝 108 上でのレジスト 116 の交差部位をも意味する。

[0052] 導電性サポート体 122 は、下部電極を兼ねることができる。導電性サポート体 122 は、湿式メツキまたは乾式メツキのようなメツキ法により形成することができる。たとえば Cu または Au の電気メツキでは、メツキシード層 114 の表面（導電性サポート体 122 側）として Cu, Ni, Au などを用いることができる。この場合、メツキシード層 114 の成長用基板側（半導体構造部側）は、半導体構造部 110 との密着性が十分な金属、例えば Ti または Ni を用いるのが好ましい。半導体構造部 110 上の導電性サポート体 122 の厚さは、必要に応じて適宜調整可能であるが、通常 80 ~ 300 μm 程度である。80 μm 以上とすれば、個片化前の段階で導電性サポート体 112 の剛性を十分に確保することができ、支持基板として扱うことができる。

[0053] ここで、網目状のレジストを形成する工程と、導電性サポート体を形成する工程とを複数回繰り返す多段階メツキ工程を採用してもよい。1段階のメツキで凹みと孔を形成しつつ半導体構造部上での導電性サポート体の厚みを最低限確保しようとする、第 2 レジスト 116 の幅を比較的広くしなければ

ばならない。例えば２段階のメツキ工程によれば、第２レジスト１１６の幅を狭くしても、導電性サポート体の厚みを最低限確保することができる。また、溝１０８の幅を狭くすることにより、半導体構造部１１０の有効面積を向上させることができる。以下に、本発明の一実施形態にかかる２段階メツキによる半導体素子１００の製造方法を、図６を用いて説明する。

[0054] まず、図６（Ａ）～（Ｆ）の１回目のメツキ工程までは、図１の場合よりも溝１０８の幅および第２レジスト１１６の幅を狭くし、凹み１２０位置での第１の導電性サポート体１２２の厚みを薄くした段階でメツキを終了する以外は、１段階メツキの図１（Ａ）～（Ｆ）の工程と同じである。具体的には、１回のメツキで半導体構造部１１０上の導電性サポート体１２２の厚みを $150\text{ }\mu\text{m}$ 、凹み１２０の厚みを $80\text{ }\mu\text{m}$ に仕上げる場合には、第２レジスト１１６の幅を $120\text{ }\mu\text{m}$ ～ $140\text{ }\mu\text{m}$ にする必要がある。一方、２回のメツキで半導体構造部１１０上の導電性サポート体の厚みを同程度にする場合は、１回目のメツキ工程（図６（Ａ）～（Ｆ））において、導電性サポート体１２２上のメツキ層厚みが $100\text{ }\mu\text{m}$ 程度で凹み１２０の厚みが $50\text{ }\mu\text{m}$ ～ $70\text{ }\mu\text{m}$ になる段階で終了するように行うため、第２レジスト１１６の幅を $60\text{ }\mu\text{m}$ ～ $80\text{ }\mu\text{m}$ とすることができる。

[0055] 次に、図６（Ｇ）に示すように、凹み１２０および孔１２４を覆うように第３レジスト１１７により再度格子状のレジストパターンを形成する。

[0056] 次に、図６（Ｈ）に示すように、露出した第１の導電性サポート体１２２から引き続きメツキを行い、第２の導電性サポート体１２３を形成する。このとき、半導体構造部１１０上の第２の導電性サポート体１２３の厚みを $50\text{ }\mu\text{m}$ にすると、第３のレジスト１１７の幅が第２のレジスト１１６の幅と同じ場合には第２の導電性サポート体１２３の第２の凹み１２５のメツキ層厚みを $5\text{ }\mu\text{m}$ ～ $15\text{ }\mu\text{m}$ とすることができ、１回目に形成したメツキ層の厚みと２回目に形成したメツキ層の厚みの合計を $80\text{ }\mu\text{m}$ 程度にすることができる。なおこの場合、第１の導電性サポート体１１２の表面部分が、第２の導電性サポート体１２３のメツキシードの役割を果たす。そして、第２の導電性

サポート体 123 も、第 3 レジスト 117 の上に凹み 125 を有し、かつ、第 3 レジスト 117 の交差部位上に孔 124 を有する。その後、第 3 レジスト 117、第 2 レジスト 116 および第 1 レジスト 112 を除去して、空隙 126 を形成する。その具体的方法は 1 段階メッキ方法で溝 108 を空隙 126 とする場合と同じである。それぞれのメッキ層厚みの配分、レジスト幅、レジスト交差部の形状を調整することで、導電性サポート体の厚み、凹み部分の厚み、孔の形状制御が可能である。一例として、図 10 に 2 段階メッキを行って製造した半導体素子結合体の SEM 画像を示す。

[0057] この後の図 6 (1)、(J) の工程は、1 段階メッキの図 1 (H)、(I) の工程と同様である。なお、上記の第 1 の導電性サポート体 122 と第 2 の導電性サポート体 123 の両方またはいずれか一方においてメッキ層が結合して個々の素子が連結されればよく、その結合部分は図 6 (J) の工程で分離すればよい。このため、2 段階メッキは 1 段階メッキに比べて設計の自由度が高い。例えば、第 1 の導電性サポート体 122 において結合部分を十分な厚みで形成した場合は第 2 の導電性サポート体 123 のメッキ層は第 3 レジスト 117 上で結合させなくてもよい。

[0058] 以上が 2 段階メッキによる半導体素子 100 の製造方法の一例である。この方法によれば、溝 108 の幅および第 2 レジスト 116 の幅を狭くしても、凹み・孔・発光構造部上での厚みが最適な導電性サポート体 122A を形成することができる。

[0059] なお、1 回目の孔を有するメッキ層は、孔部に相当する箇所のレジスト幅を広く取る、あるいは図 7 (A) ~ (D) に示すようにレジストビラーを形成する従来法で形成し、その 1 回目のメッキ層の上に網目状のレジストを形成した後に 2 回目のメッキをすることもでき、組み合わせは適宜選択すればよい。レジスト幅を広く取る場合や、レジストビラーを形成する場合は、レジストを形成する位置は溝 108 上であればどの位置でもよい。このようにメッキ工程を複数回行うことにより、本発明の効果を失わない範囲で、幅や厚さを自由に設計することができる。

[0060] 孔 124 の寸法および形状は、特に限定されない。エッチング液が空隙 126 まで通過できればよい。

[0061] 凹み 120 位置での導電性サポート体 122 の厚みは特に限定されないが、ダイシング装置により切断し易い厚みであることが好ましい。すなわち、凹み 120 位置以外の厚みよりも凹み 120 位置での厚みが支持テープに触れない程度に十分に薄くなっていればダイシング装置により切断し易くなる。また、レーザーダイシング装置により切断する際に、凹みが無い場合よりも走査回数を減らすことができる厚みであることがより好ましい。ダイシング装置の性能にも拠るが、例えば、二度の走査で切断できる厚みにするために、凹み 120 位置での導電性サポート体 122 の厚みを $120\ \mu\text{m}$ 以下とすることが好ましく、一度の走査で切断できる厚みにするには、 $60\ \mu\text{m}$ 以下とすることが好ましい。また、凹み 120 位置での導電性サポート体 122 の厚みが $30\ \mu\text{m}$ 以上であることが好ましい。凹み 120 が $30\ \mu\text{m}$ 未満の場合、導電性サポート体 122 が凹み 120 位置で非常に脆弱となり、半導体構造部が一体支持されているべき工程である電極を形成する工程などで、意図せず個片化してしまう恐れがあるからである。

[0062] ここで、凹み位置での厚みは、レジストの幅 X、レジスト厚み T、および半導体構造部上に形成するメッキ層厚み Y に依存する。すなわち、ある一定値のレジストの幅 X の場合において、Y が小さい段階では、レジストに隣接して成膜するメッキ層が結合せずそもそも凹みが形成されない。Y がある閾値を越えるとメッキ層が結合し、凹みが形成される。さらに、Y を大きくしていくにつれ、凹み位置での厚みが増大する。しかし、さらに Y を大きくすれば、ついには凹みが消失する。逆に Y を一定にして考えると、X がある閾値以下の場合にメッキ層が結合し、凹みが形成される。したがって、所望の X および所望の凹み位置での厚みを考慮して、レジストの幅 X を設定すればよい。例えば、凹み位置での導電性サポート体の厚みを $60\ \mu\text{m}$ 以下に形成したい場合、レジスト厚み T が比較的容易に形成できる $10\ \mu\text{m}$ 程度の場合には、レジストの幅 X は $20 \sim 300\ \mu\text{m}$ 、メッキ層厚み Y を $80 \sim 200$

μm とすればよい。また、２段階など複数段階にメツキを分けて実施する場合には、 X 、 T 、 Y を上記の範囲で所望の数値に設定すればよい。例えば、 X をできるだけ小さくすることによりレジストの幅はできるだけ狭くして半導体構造部の幅を広くさせたり、 Y を大きくして半導体素子の剛性を上げたりすることができる。

[0063] また、孔の寸法も第２レジストの幅 X 、厚み T および半導体構造部上に形成するメツキ層厚み Y に依存する。すなわち、ある一定値の第２レジストの幅 X の場合において、第２レジストに隣接して成膜するメツキ層が結合した段階で孔が形成される。その後、 Y を大きくしていくにつれ、孔の寸法は小さくなり、さらに Y を大きくすれば、ついには孔が消失する。逆に Y を一定にして考えると、 X 、 T がある閾値以下の場合にメツキ層が結合し、孔が形成される。したがって、所望の X および孔の寸法をも考慮して、第２レジストの幅 X を設定すればよい。

[0064] また、孔の寸法は第２レジストの交差部位における形状にも依存する。既述の図３（Ｃ）のようにすれば、図２（Ｃ）の場合よりも孔を大きく形成することができる。換言すれば、例えば、同じ寸法の孔を形成するために必要な溝１０８の幅は、図３の場合のほうが図２の場合よりも狭い点でも有利である。

[0065] このように、凹み位置１２０での導電性サポート体１２２の厚み、半導体構造部１１０上の導電性サポート体１２２の厚み、および孔１２４の寸法の全てを考慮して、適切な第２レジストの幅 X 、厚み T および交差部位における形状を設定すればよい。

[0066] なお、本実施形態では、メツキシート層１１４の上に第２レジスト１１６を形成した。しかし、孔を形成する位置にあたるメツキシート層は予め除去し、第１レジスト１１２に接して第２レジスト１１６を形成してもよい。

[0067] 図には示されないが、複数個の半導体構造部１１０の主表面とメツキシート層１１４との間に、複数個の半導体層１０６の各々と接するオーミック電極層を形成するのが好ましい。また、本発明をＬＥＤチップの製造に使用する

る場合には、オーミック電極層とメツキシード層 114 との間にさらに反射層を形成するか、オーミック電極層が反射層の機能を兼ねることがより好ましい。これらの層形成には、真空蒸着法、イオンプレーティング法、スパッタリング法などの乾式成膜法を用いることができる。

[0068] 上記オーミック電極層は、仕事関数の大きな金属、例えば Pd, Pt, Rh, Au, Ag などの貴金属や Co, Ni により形成することができる。また、反射層としては、Rh 等の反射率が高いため、上記オーミック電極層との兼用も可能だが、発光領域が可視光の場合には Ag や Al 層等を、紫外線領域の場合には Rh や Ru 層等を用いるのがより好ましい。

[0069] (レジスト除去工程)

レジストの除去は、例えばアセトン、レジスト剥離液など、レジストの種類に合わせて溶解可能な液体により行う。なお、孔 124 の下のレジスト 116 と第 1 レジスト 112 との間のメツキシード層は、薄膜のため、機械的に除去しても、エッチング液を用いて化学的に除去してもよい。これらにより、孔 114 と空隙 115 が連通する。

[0070] (リフトオフ工程)

本発明におけるケミカルリフトオフ法に使用可能なエッチング液としては、リフトオフ層が CrN の場合、硝酸第二セリウムアンモン溶液やフェリシアンカリウム系の溶液など、リフトオフ層が ScN の場合、塩酸、硝酸、有機酸など選択性のある公知のエッチング液を挙げることができる。

[0071] また、リフトオフ後に露呈した半導体構造部 110 の面は、ウェット洗浄で清浄化されるのが好ましい。次いで、ドライエッチングおよびノまたはウェットエッチングで所定量削ることができる。

[0072] さらに、レジストをマスクとしたリフトオフ法により上部電極としての n 型オーミック電極およびボンディングパッド電極を形成する。電極材としては Al、Cr、Ti、Ni、Pt、Au などが用いられ、オーミック電極、ボンディングパッドには Ti、Pt、Au などをカバー層として成膜して、配線抵抗の低減とワイヤーボンドの密着性を向上させる。なお、半導体構造

部 110 の露出している側面ならびに表面（ボンディングパッド表面を除く）には、 SiO_2 や SiN などの保護膜（絶縁膜）を付与しても良い。

[0073] （個片化工程）

個片化工程では、半導体構造部 110 間を例えばブレードダイサーやレーザダイシング装置を用いて切断する。

[0074] 以上は代表的な実施形態の例を示したものであって、本発明はこの実施形態に限定されるものではなく、請求の範囲を逸脱しない範囲において適宜変更が可能である。

実施例

[0075] （実施例 1）

図 1 および図 2 に示す製造方法で、図 4 に示す半導体素子を作製した。具体的には、まず、サファイア基板上に、スパッタ法により金属 Cr 層を形成しアンモニア雰囲気中で熱処理することによりリフトオフ層（CrN 層、厚さ：18 nm）を形成後、半導体層として、厚さ $7\text{ }\mu\text{m}$ の GaN 系 LED 構造層を形成し、その後、サファイア基板の一部が露出するよう、半導体層の一部をドライエッチングにより除去して格子状の溝を形成することで、横断面の形状が正方形の島状に独立した複数個の半導体構造部を形成した。半導体構造部の幅 W は $1350\text{ }\mu\text{m}$ であり、個々の素子の配置は碁盤の目状とした。素子間のピッチは $1500\text{ }\mu\text{m}$ 、すなわち溝幅は $150\text{ }\mu\text{m}$ である。

[0076] まず、半導体構造部の上に、EB 蒸着法によりオーミック電極層（Ag、厚さ： $0.1\text{ }\mu\text{m}$ ）を形成した。次に、図 1（C）および図 2（B）に示すように、全ての溝を第 1 レジスト（フォトレジスト）で塞ぎ、個々の半導体構造部上の領域は開口させた。その後、スパッタ法により、半導体構造部の表面、p-オーミック電極層上および第 1 レジストの表面にメッキシード層（Ti/Ni/Cu、各厚さ： $0.02\text{ }\mu\text{m}/0.2\text{ }\mu\text{m}/0.6\text{ }\mu\text{m}$ ）を形成した。

[0077] 次に、高さ $10\text{ }\mu\text{m}$ 、幅 $160\text{ }\mu\text{m}$ の、図 2（C）に示すような格子状の第 2 レジスト（フォトレジスト）を形成した。その後、メッキにより露出し

たメッキシート層上からCu（半導体構造部上の厚さ：140 μm ）を成膜し、導電性サポート体とした。メッキは硫酸銅系の電解液を用いた電気メッキであり、液温は25～30℃の範囲で、析出速度は35 $\mu\text{m}/\text{hr}$ であった。このとき、メッキ層はレジスト上で結合し、導電性サポート体は複数の半導体構造部を一体支持する状態となった。図9（A）に導電性サポート体の断面の斜視画像を、図9（B）に導電性サポート体の上面画像を示す。凹みの最も薄い部位の厚みは30～50 μm 、すなわち孔近傍の位置で約30 μm 、孔から離れた最も厚い位置で約50 μm となった。孔の形状は図示のとおりであり、孔の寸法は、対向する頂点間の距離が約77 μm となった。このように、メッキ層を成膜するのみでエッチング液を供給するための孔を容易に形成することができた。

[0078] 次に、孔内にアセトンを供給して、レジストを除去した。この際、孔直下のメッキシート層は塩化第2鉄の希薄溶液、Ni選択エッチング液で溶解除去した。そして、孔を介して、引き続きアセトンにより溝に充填していたレジストを取り除き、空隙を形成した。このとき、レジストの残渣が残るようなことはなかった。

[0079] 次に、CrN選択エッチング液を用いて、ケミカルリフトオフ法によりリフトオフ層を除去し、サファイア基板を剥離した。

[0080] 導電性サポート体の裏面側に支持テープ（紫外線硬化テープ）を貼り付けて、導電性サポート体をレーザーダイシング装置のテーブルに固定し、凹みに沿って導電性サポート体を半導体構造部側からレーザー切断し、半導体素子を得た。各素子の結合部分となる凹み位置での厚みが30～50 μm であったため、全ての溝は各々一度の走査で切断できた。また、凹みにより切断箇所と支持テープとは約70 μm 以上の空間を隔てており、切断部直下の支持テープの変化はなかった。そして、個片化後の半導体素子の導電性サポート体の側面は、切断面と非切断面とを有し、切断面での導電性サポート体の最大厚みは50 μm であり、半導体構造部上での導電性サポート体の厚みに対して36%の厚みであった。また、半導体構造部とは反対側の面の外周部

に丸みを有していた。また、切断後の導電性サポート体の、半導体構造部とは反対側の面のコーナーには、孔の形状に対応した丸みがあった。

[0081] (実施例 2)

図 6 に示す製造方法で、半導体素子を作製した。具体的には、1 回目のメツキ層成膜工程までは、以下の点を除いて実施例 1 と同様に行った。まず、溝幅は $80\ \mu\text{m}$ に変更した。また、第 2 レジストの幅も $100\ \mu\text{m}$ に変更した。そして、Cu のメツキは、半導体構造部上の厚さが $120\ \mu\text{m}$ になる時点で止めた。このときにも、Cu メツキ層は第 2 レジスト上で結合し、複数の半導体構造部一体支持する第 1 の導電性サポート体となった。また、第 2 レジストの交差部位上に孔も観察された。

[0082] 次に、Cu メツキ層の表面の凹みおよび孔を覆うように、高さ $10\ \mu\text{m}$ 、幅 $100\ \mu\text{m}$ の、図 6 (G) に示すような格子状の第 3 レジスト (フोटレジスト) を形成した。その後、実施例 1 のメツキ層成膜条件にてメツキにより、露出した Cu メツキ層上からさらに Cu (半導体構造部上の厚さ: $30\ \mu\text{m}$) を成膜させ、第 2 の導電性サポート体とした。メツキ層はレジスト上で結合しない状態にした。図 10 に導電性サポート体の上面斜視画像を示す。第 1 および第 2 の導電性サポート体全体として、半導体構造部上での厚みは $150\ \mu\text{m}$ 、孔に近い凹みの最も薄い部位の厚みが $45\ \mu\text{m}$ 、孔から離れた最も厚い位置での厚みが $70\ \mu\text{m}$ となった。孔の形状は図 10 のとおりであり、孔の寸法は、対向する頂点間の距離が約 $80\ \mu\text{m}$ となった。このように、2 段階でメツキ層を成膜させるのみでエッチング液を供給するための孔を容易に形成することができ、また、溝の幅および第 2 レジストの幅を狭くしても、凹み・孔・発光構造部上での厚みが最適な導電性サポート体 122 A を形成することができた。

[0083] 次に、孔内にアセトンを供給して、レジストを除去した。空隙の形成方法は実施例 1 と同じ方法で行った。このとき、レジストの残渣が残るようなことはなかった。

[0084] 次に、CrN 選択エッチング液を用いて、ケミカルリフトオフ法によりリ

フトオフ層を除去し、サファイア基板を剥離した。

[0085] 導電性サポート体の裏面側に支持テープ（紫外線硬化テープ）を貼り付けて、導電性サポート体をレーザーダイシング装置のテーブルに固定し、凹みに沿って導電性サポート体を半導体構造部側からレーザー切断し、半導体素子を得た。各素子の結合部分となる凹み位置厚みが、第1の導電性サポート体および第2の導電性サポート体の合計でいずれも70 μm 以下であったため、全ての溝は各々2回の走査で切断できた。また、凹みにより切断箇所と支持テープとは約70 μm 以上の空間を隔てており、切断部直下の支持テープの変化は無かった。そして、個片化後の半導体素子の導電性サポート体の側面は、切断面と非切断面を有し、切断面での導電性サポート体の最大厚みは70 μm であり、半導体構造部上での導電性サポート体の厚みに対して47%の厚みであった。また、半導体構造部とは反対側の面の外周部に丸みを有していた。また、切断後の導電性サポート体の、半導体構造部とは反対側の面のコーナーには、孔の形状に対応した丸みがあった。

[0086] （比較例）

図7および図8に示す従来の製造方法で半導体素子を作製した。具体的には、まず、サファイア基板上に、リフトオフ層（CrN層、厚さ：18 nm）を形成後、半導体層として、厚さ7 μm のGaN系LED構造層を形成しその後、サファイア基板の一部が露出するように、半導体層の一部をドライエッチングにより除去して溝を形成することで、横断面の形状が直径1000 μm の円形の島状に独立した複数個の半導体構造部を形成した。半導体構造部の素子間のピッチは1250 μm である。

[0087] 半導体構造部の上に実施例と同様のオーミック電極層を形成し、次いで全ての溝にフォトレジストを埋め込むとともに個々の半導体構造部のp-オーミック電極層の部分は開口して、サポート体と接続するためのメツキシード層を形成した。次いで、後述のCuメツキの際に成膜を防止するため、厚膜レジストによるビラーの形成を行った。形成位置は図8（A）のように互いに隣接する4つの半導体構造部間の中央部分とした。なお、ビラー形成位置

のメツキシード層はエッチングにより予め除去した。厚膜レジストの形成は1回当たり30～40 μm のスピン塗布を行い、3回の重ね塗りによって行った。この場合、レジストの粘度が高いため基板外周部のレジストの盛り上がりが多く、また、基板面内のレジストの厚さムラが大きく、レジストの厚みは90～120 μm となった。

[0088] 次いで、硫酸銅系の電解液を用いて、レジストビラーが埋め込まれない厚み85 μm の第1回目のCu電気メツキを行った。次いで、前述と同様にしてレジストビラー上に再度レジストビラーを形成して、第2回目のCu電気メツキを行い、合計170 μm 電気メツキし、導電性サポート体を形成した。Cuメツキ液温は25～30℃の範囲で、析出速度は25 $\mu\text{m}/\text{hr}$ であった。次いで、厚膜レジストによるビラーおよび溝に埋め込んだレジストをアセトンにより除去し、サポート体の上下に貫通する貫通孔を形成した。なお、図8(A)に示す貫通孔は、四角柱状としその辺の長さは410 μm とした。このとき、貫通孔側面部および孔の底部にレジスト残渣が残る部分があり、エッチング液の供給が阻害された。なお、レジスト塗布時の厚さムラのため、電気メツキも複数回実施する必要があった。

[0089] その後、CrN選択エッチング液を用いて、ケミカルリフトオフ法によりリフトオフ層を除去してサファイア基板を剥離した。

[0090] 導電性サポート体の裏面側に支持テープ（紫外線硬化テープ）を貼り付けて導電性サポート体をテーブルに固定し、最後に、レーザーダイシング装置によって導電性サポート体を切断し、半導体素子を得た。導電性サポート体の厚みが170 μm であったため、全ての溝は、各々1回の走査では切断できず、切断には3回の走査を要した。また、切断箇所と支持テープとは密着しており、切断部直下の支持テープは一部黒く焦げていた。そして、個片化後の半導体素子の導電性サポート体の側面全面が切断面であった。また、切断後の導電性サポート体は、横断面形状のコーナーは貫通孔形状に対応した面取形状を有していた。

産業上の利用可能性

[0091] 本発明によれば、ケミカル リフトオフ法に用いるエッチング液を供給する孔を導電性サポート体に容易に形成することができ、かつ、個片化する際に導電性サポート体を容易に切断することができる半導体素子の製造方法を提供することができる。

符号の説明

- [0092] 100 半導体素子
102 成長用基板
104 リフトオフ層
106 半導体層
108 溝
110 半導体構造部
112 第1レジスト (充填材)
114 メツキシード層
116 レジスト (第2レジスト)
117 レジスト (第3レジスト)
118 メツキシード層の露出部位
120 凹み
122 導電性サポート体 (第1の導電性サポート体)
122A 切断された導電性サポート体
122B 導電性サポート体のコーナー
122C 半導体構造部と反対側の外周部
123 第2の導電性サポート体
124 孔
125 凹み (第2の凹み)
126 空隙
128 上部電極
200 半導体素子結合体

請求の範囲

- [請求項1] 成長用基板の上にリフトオフ層を介して半導体層を形成する工程と、
- 該半導体層の一部を除去して、前記成長用基板または前記リフトオフ層の一部が露出する溝を形成することで半導体構造部を複数個形成する工程と、
- 前記溝を充填材で塞ぐ工程と、
- 前記半導体構造部および前記充填材の上にメッキシート層を形成するシート形成工程と、
- 該シート形成工程後に、前記溝の上方に、網目状のレジストを形成する工程と、
- 前記レジストに覆われず露出した前記メッキシート層からメッキ層を成膜して、複数個の前記半導体構造部を一体支持する導電性サポート体を形成する工程であって、前記導電性サポート体が前記レジストの上に凹みを有し、かつ、前記レジストの交差部位上に孔を有するように前記メッキ層を成膜する工程と、
- 前記充填材および前記レジストの、少なくとも一部を除去して、前記孔から前記リフトオフ層に通じる空隙を形成する工程と、
- ケミカルリフトオフ法を用いて、前記孔を介して前記空隙に供給するエッチング液により前記リフトオフ層を除去する工程と、
- 前記半導体構造部間で前記凹みに沿って前記導電性サポート体を切断することにより、各々が導電性サポート体に支持された前記半導体構造部を有する複数個の半導体素子に個片化する工程と、を有する半導体素子の製造方法。
- [請求項2] 前記メッキ層を成膜した後の、前記凹み位置での前記導電性サポート体の厚みが $120\text{ }\mu\text{m}$ 以下である請求項1に記載の半導体素子の製造方法。
- [請求項3] 前記メッキ層を成膜した後の、前記半導体構造部の上での前記導電

性サポート体の厚みが $80\ \mu\text{m}$ 以上である請求項 1 または 2 に記載の半導体素子の製造方法。

[請求項4] 前記網目状のレジストを形成する工程と、前記導電性サポート体を形成する工程とを複数回繰り返す請求項 1～3 のいずれか 1 項に記載の半導体素子の製造方法。

[請求項5] 前記溝により、横断面形状が四角形の前記半導体構造部が縦横に整列して複数個形成され、前記シート形成工程後に、前記溝の上方に、格子状のレジストを形成する請求項 1～4 のいずれか 1 項に記載の半導体素子の製造方法。

[請求項6] 導電性サポート体と、該導電性サポート体上に設けられた半導体構造部と、を有し、

前記導電性サポートは、前記半導体構造部とは反対側の面の外周部に丸みを有することを特徴とする半導体素子。

[請求項7] 導電性サポート体と、該導電性サポート体上に設けられた半導体構造部と、を有し、

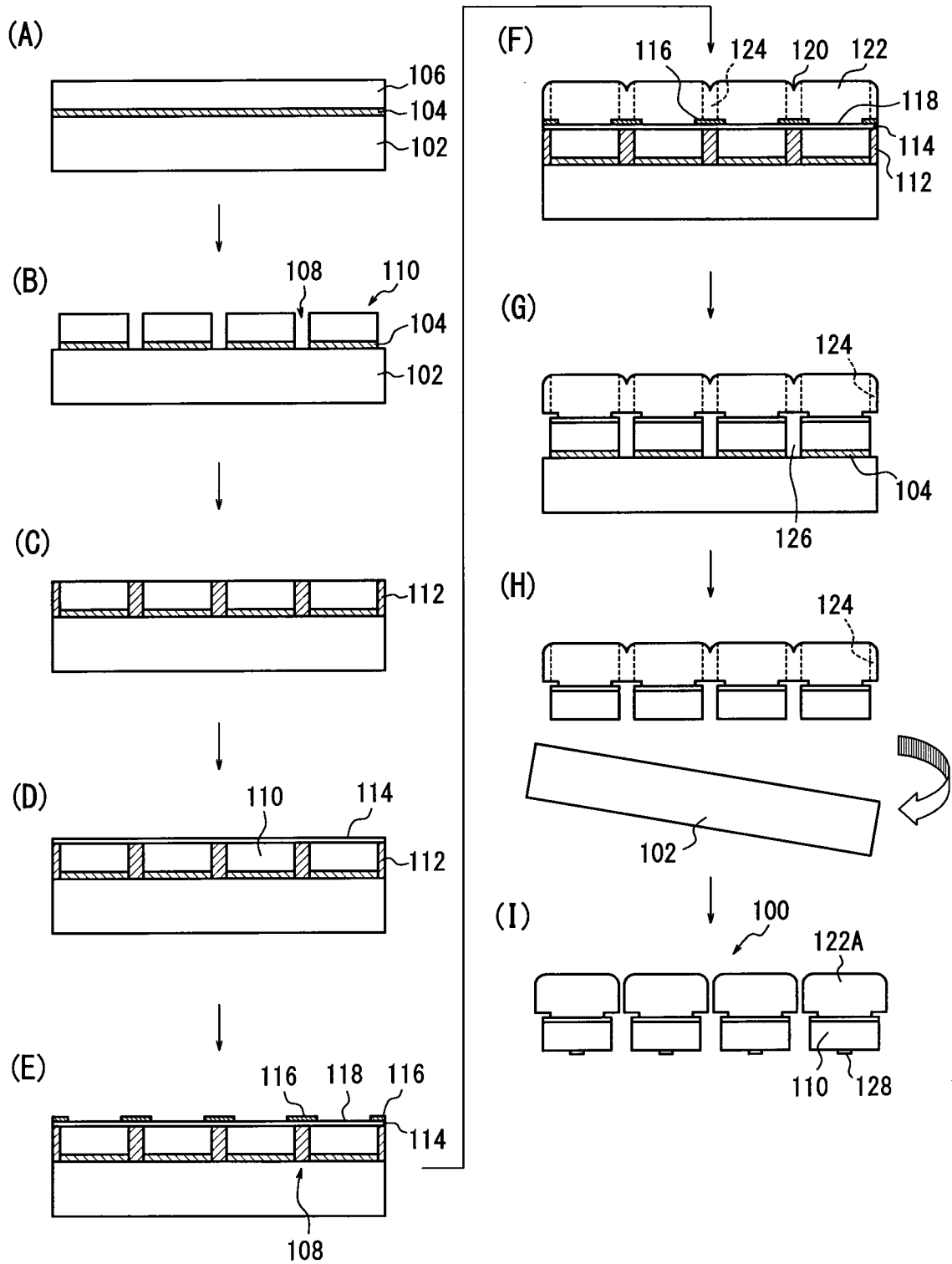
前記導電性サポート体の側面は切断面と非切断面とからなり、前記切断面での前記導電性サポート体の最大厚みが、前記半導体構造部上での前記導電性サポート体の厚みの $20\sim 80\%$ であることを特徴とする半導体素子。

[請求項8] 成長用基板と、該成長用基板上のリフトオフ層と、該リフトオフ層上で溝を介して互いに独立した複数の半導体構造部と、前記複数の半導体構造部を一体支持する導電性サポート体と、を有し、

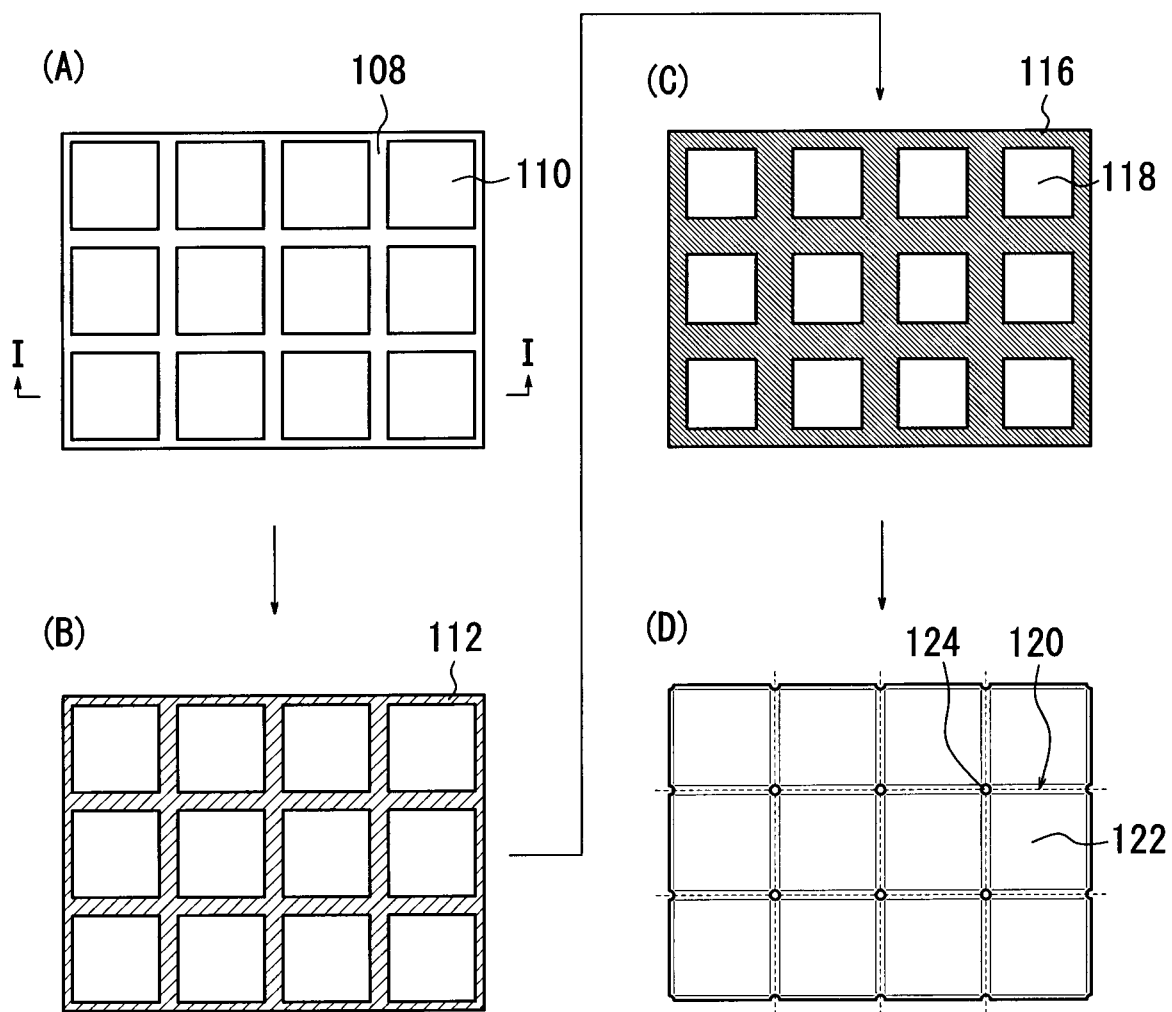
該導電性サポート体は、前記溝の上方の位置に、凹みおよび前記溝に通じる孔を有することを特徴とする半導体素子結合体。

[図1]

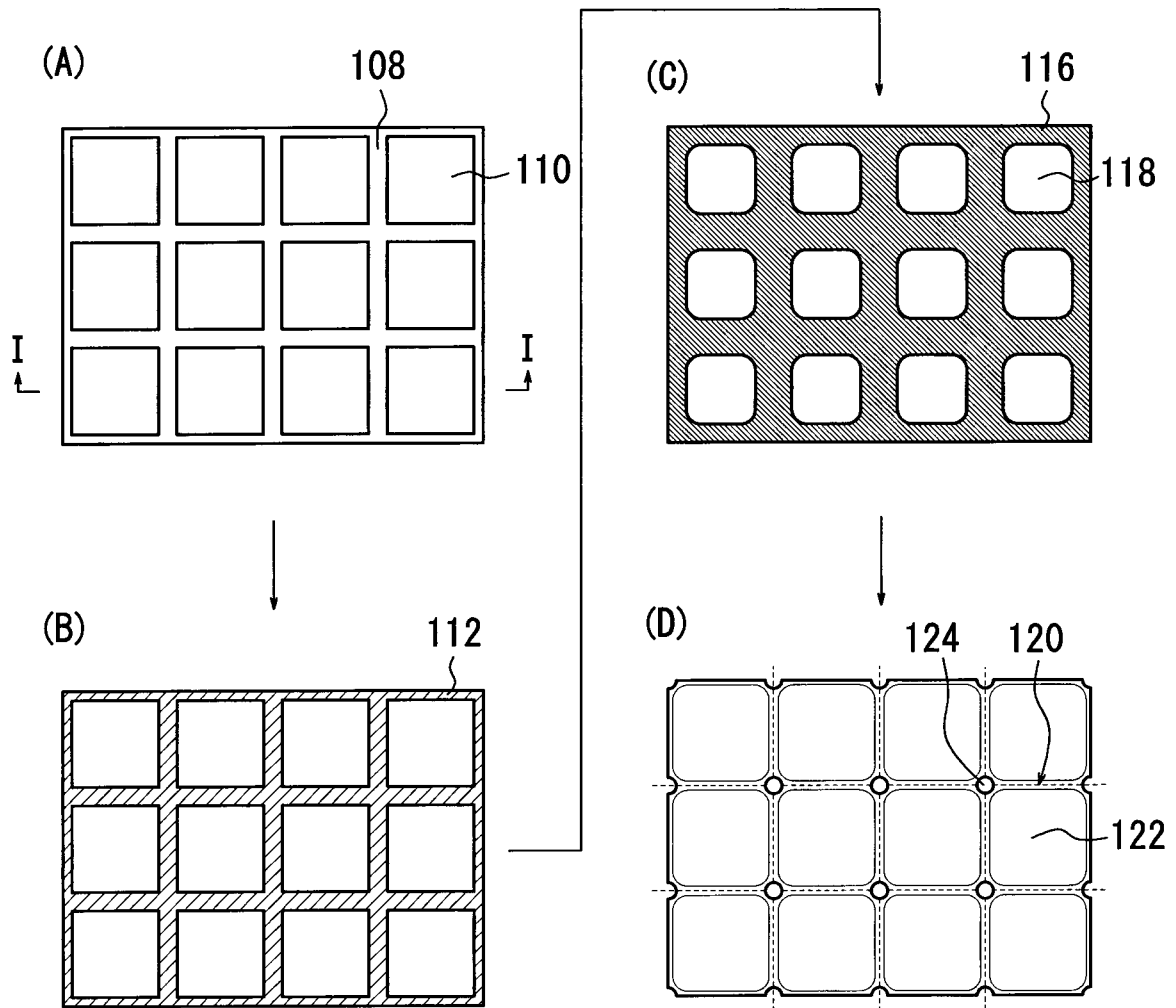
FIG. 1



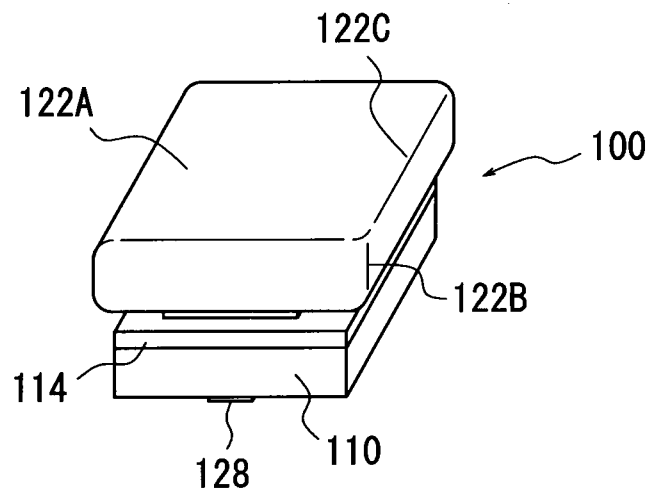
[図2]

FIG. 2

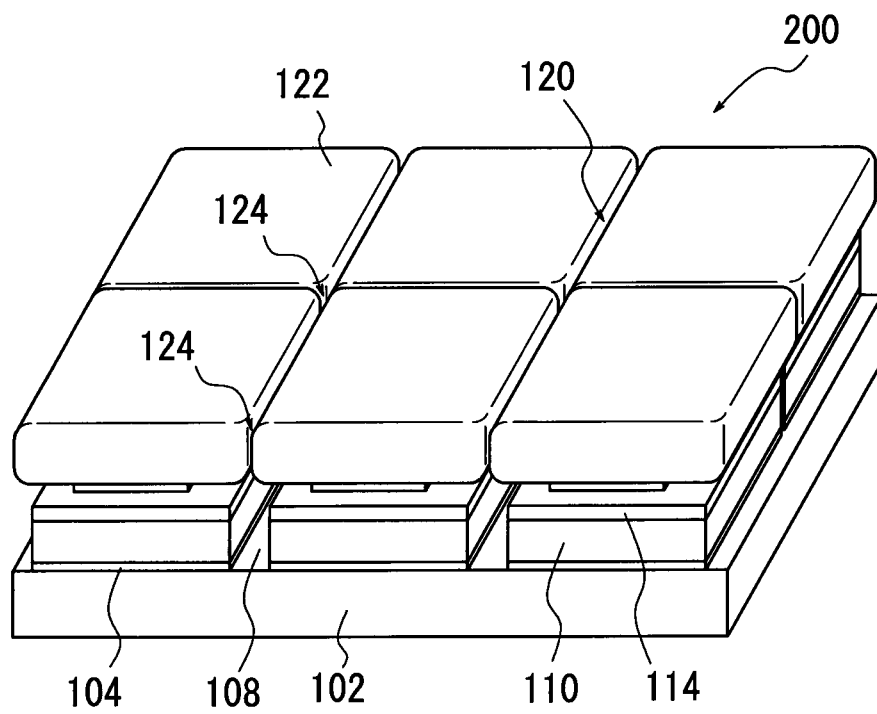
[図3]

FIG. 3

[図4]

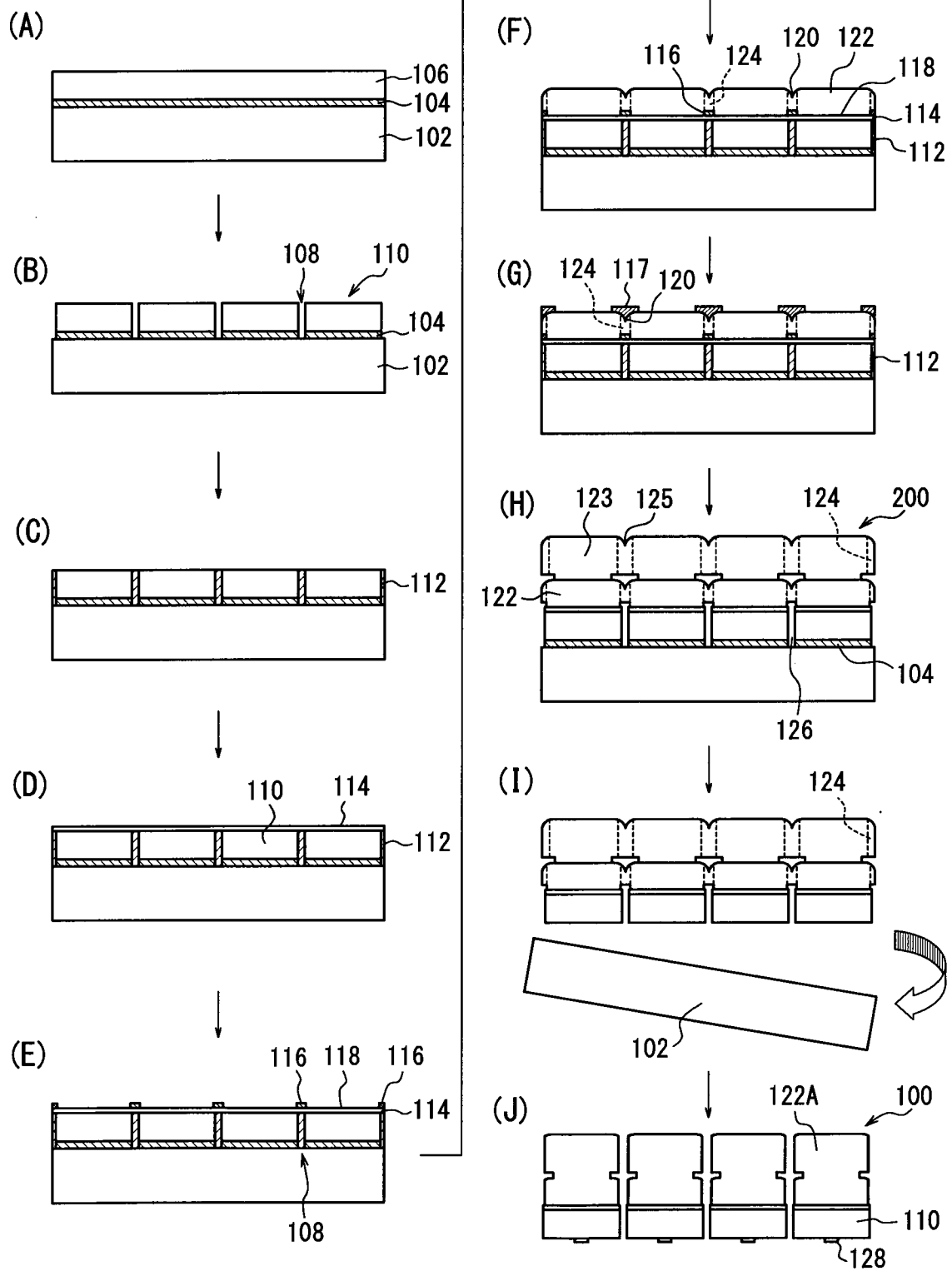
FIG. 4

[図5]

FIG. 5

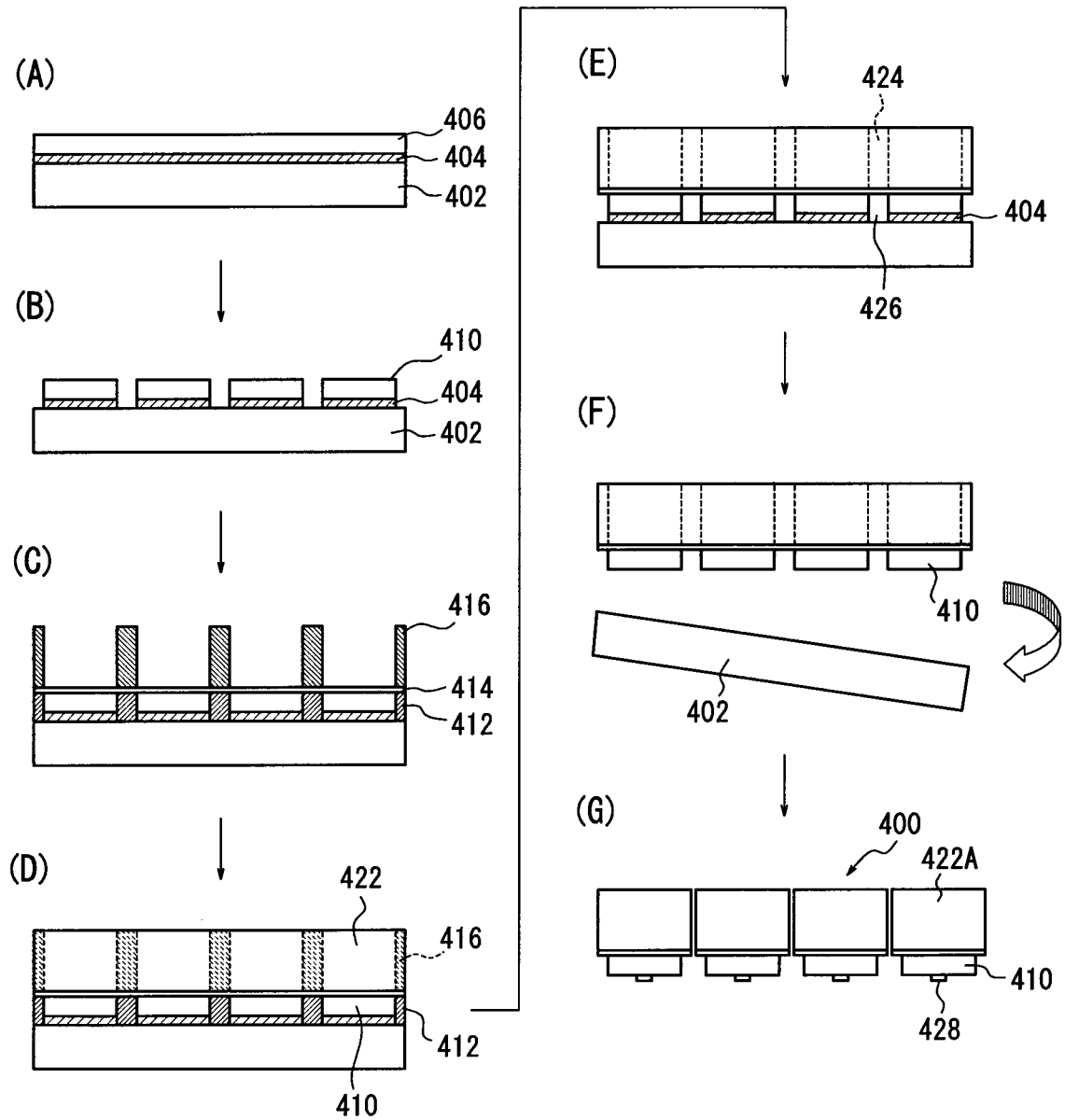
[図6]

FIG. 6



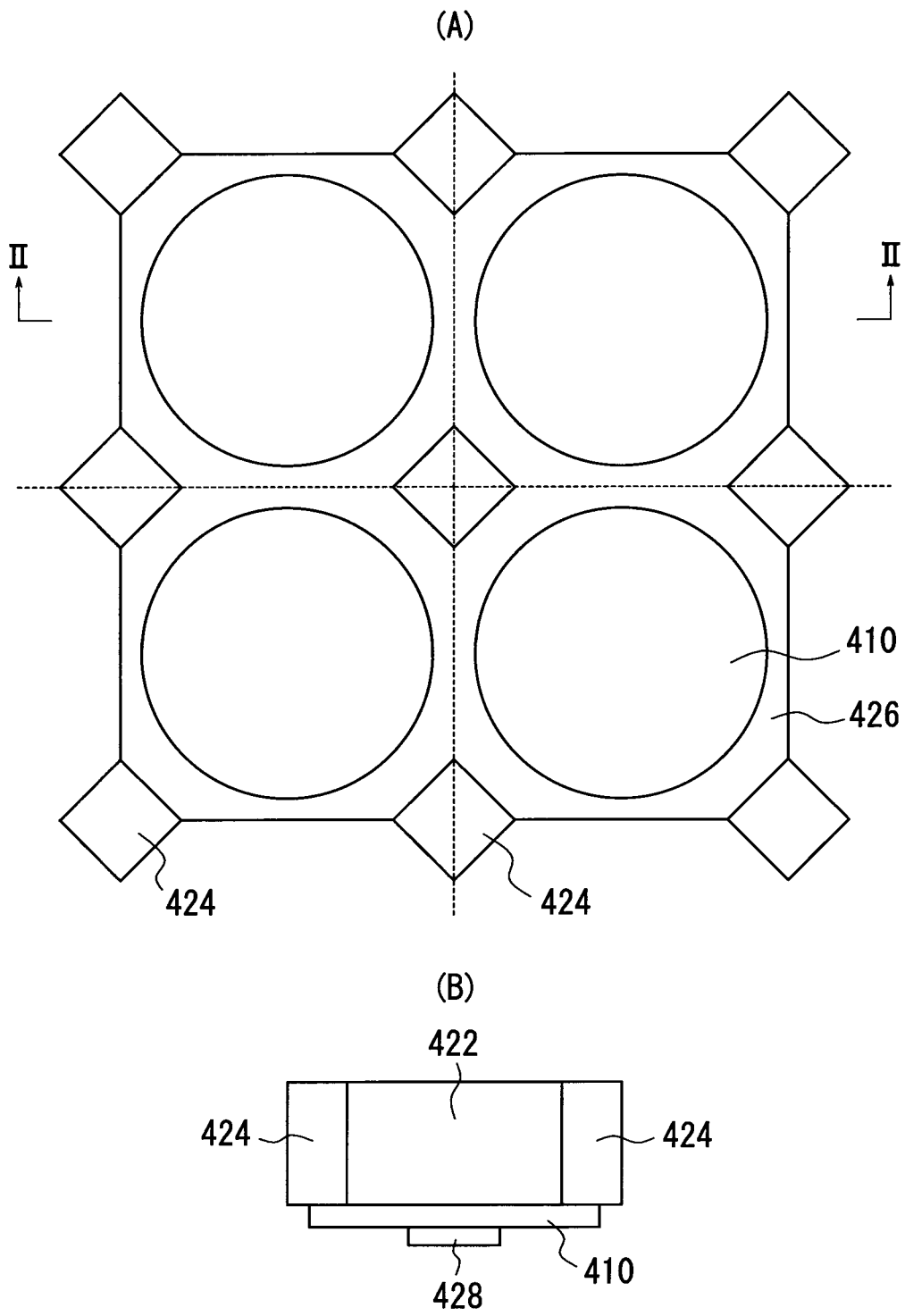
[図7]

FIG. 7



[図8]

FIG. 8



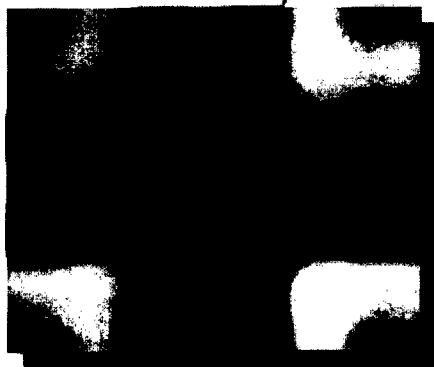
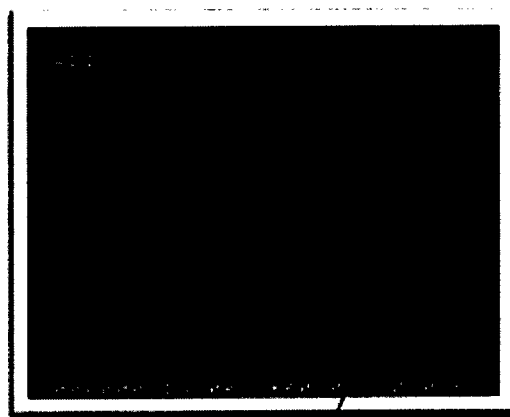
[図9]

FIG. 9

(A)

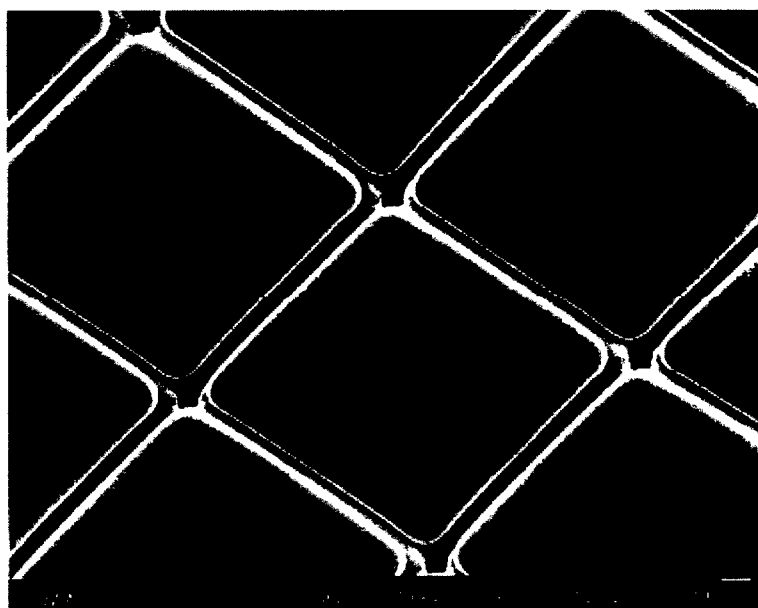


(B)



[図10]

FIG. 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 080548

A. CLASSIFICATION OF SUBJECT MATTER

H01 L21/306(2006.01)i, H01 L33/02 (2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/306, H01L33/02, H01L21/301, H01L23/34-H01L23/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1 996	Jitsuyo	Shinan	Toroku	Koho	1996-2012
Kokai	Jitsuyo	Shinan	1971-2012	Toroku	Jitsuyo	Shinan	Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Science Direct, JST Plus (JDreaml), WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 8-125077 A (Mit subishi Electric Corp.), 17 May 1996 (17.05.1996), paragraphs [0073], [0077]; fig. 10, 12 & US 5872396 A	6, 7 8 1-5
Y A	JP 2004-363213 A (Oki Data Corp.), 24 December 2004 (24.12.2004), paragraphs [0026] to [0034]; fig. 6 to 9 (Family: none)	8 1-7
X Y A	JP 3-232253 A (Mit subishi Electric Corp.), 16 October 1991 (16.10.1991), page 3, upper left column, line 15 to page 4, upper left column, line 2; fig. 1 to 2 (Family: none)	6, 7 8 1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

26 March, 2012 (26.03.12)

Date of mailing of the international search report

03 April, 2012 (03.04.12)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT / JP2 011 / 080548

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-078275 A (Toho ku Unive r s i t y), 03 Apr i l 2008 (03.04.2008), paragraph s [0011] t o [0022] ; fig . 1 t o 12 (Fami l y : none)	1- 8
A	US 6884646 B1 (Uni Light Techno logy Inc.), 26 Apr i l 2005 (26.04.2005), column 5, l i n e 10 t o column 7, l i n e 4 ; fig . 3A t o 4L (Fami l y : none)	1- 8
A	JP 62-021239 A (Fuj i t su Ltd .), 29 January 1987 (29.01.1987), page 2, upper l e f t column , l i n e 4 t o lower right column , l i n e 1 ; fig . 3 t o 4 (Fami l y : none)	1- 8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int .Cl. H01L21/306 (2006. 01) i , H01L33/02 (2010. 01) i

B. — 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int .Cl. H01L21/306, H01L33/02, H01L21/301, H01L23/34- H01L23/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 -
日本国公開実用新案公報	1 9 7 1 - 2
日本国実用新案登録公報	1 9 9 6 -
日本国登録実用新案公報	1 9 9 4 - 2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Science Direct
JSTPlus (JDreaml I)
WPI

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 8-125077 A (三菱電機株式会社) 1996. 05. 17, [0 0 7 3], [0 0 7 7], [図 1 0], [図 1 2] & US 5872396 A	6, 7 8 1-5
Y A	JP 2004-363213 A (株式会社沖データ) 2004. 12. 24, [0 0 2 6] - [0 0 3 4], [図 6] - [図 9] (ファミリーなし)	8 1-7
X Y A	JP 3-232253 A (三菱電機株式会社) 1991. 10. 16, 第 3 頁左上欄第 1 5 行 - 第 4 頁左上欄第 2 行、第 1 - 2 図 (ファミリーなし)	6, 7 8 1-5

☒ c 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」
IE 「国際出願 日前の出願または特許であるが、国際出願 日以後に公表されたもの」
I 「優先権主張に疑義を提起する文献又は他の文献の発行 日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」
Iθ 「口頭による開示、使用、展示等に言及する文献」
IP 「国際出願 日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

I 「国際出願 日又は優先 日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」
IX 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」
IY 「特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」
I& 「同一パテントファミリー文献」

国際調査を完了した日

2 6 . 0 3 . 2 0 1 2

国際調査報告の発送日

0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

関根 崇

4 R

4 6 6 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-078275 A (国立大学法人東北大学) 2008. 04. 03, 【0 0 1 1】—【0 0 2 2】、図 1】—図 1 2】 (ファミリーなし)	1-8
A	US 6884646 B1 (Uni Light Technology Inc) 2005. 04. 26, 第 5 欄第 10 行—第 7 欄第 4 行、図 3 A—図 4 L (ファミリーなし)	1-8
A	JP 62-021239 A (富士通株式会社) 1987. 01. 29, 第 2 頁左上欄第 4 行—右下欄第 1 行、第 3—4 図 (ファミリーなし)	1-8