

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 9 月 8 日 (08.09.2006)

PCT

(10) 国際公開番号
WO 2006/093191 A1

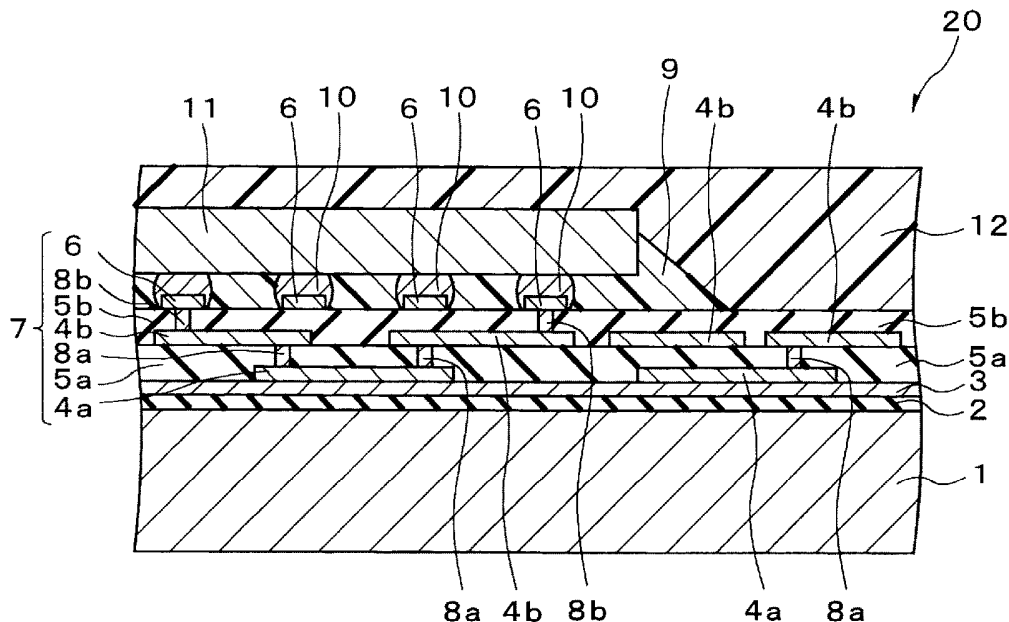
- (51) 国際特許分類:
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2006/303882
- (22) 国際出願日: 2006 年 3 月 1 日 (01.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-056233 2005 年 3 月 1 日 (01.03.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP). NEC エレクトロニクス株式会社 (NEC ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 大介 (TANAKA, Daisuke) [JP/JP]; 〒1088001 東京都港区芝

五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 山道新太郎 (YAMAMICHI, Shintaro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 村井 秀哉 (MURAI, Hideya) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 下戸 直典 (SHIMOTO, Tadanori) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 中野 嘉一郎 (NAKANO, Kaichirou) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 前田 勝美 (MAEDA, Katsumi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 菊池 克 (KIKUCHI, Katsumi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 栗田 洋一郎 (KURITA, Yoichiro) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NEC エレクトロニクス株式会社内 Kanagawa (JP). 副島 康志 (SOEJIMA, Kouji) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NEC エレクトロニクス株式会社内 Kanagawa (JP).

[続葉有]

(54) Title: SEMICONDUCTOR PACKAGE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体パッケージ及びその製造方法



(57) Abstract: On a substrate, an oxide layer and a metal layer of gold or a platinum group metal are formed in this order. On the metal layer a wiring body having a wiring layer, an insulating layer, a via, and electrodes is formed. A semiconductor element is flip-chip connected by solder balls to the electrodes of the wiring body and an underfill is placed between the semiconductor element and the wiring body. A sealing resin layer is so formed as to cover the semiconductor element and the surface of the wiring body on which the semiconductor element is mounted, and thus a semiconductor package is manufactured. With this, a thin, high-density, and miniaturized semiconductor package is realized.

[続葉有]



(74) 代理人: 藤巻 正憲 (FUJIMAKI, Masanori); 〒1000011
東京都千代田区内幸町二丁目 2 番 2 号 富国生命ビ
ル 5 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,
RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 基板上に、酸化物層及び金又は白金族金属からなる金属層をこの順に形成する。また、金属層上に、
配線層、絶縁層、ビア、及び電極を備えた配線体を形成する。そして、配線体の電極に、半導体素子をはんだポー
ルを介してフリップチップ接続し、半導体素子と配線体との間に、アンダーフィルを充填する。その後、半導体素
子及び配線体における半導体素子が搭載されている面を覆うように、封止樹脂層を形成し、半導体パッケージとす
る。これにより、半導体パッケージの高密度化、微細化及び薄型化を実現することができる。

明 細 書

半導体パッケージ及びその製造方法

技術分野

- [0001] 本発明は、配線層上に1又は複数個の半導体素子が搭載された半導体パッケージ及びその製造方法に関する。

背景技術

- [0002] 近時、半導体デバイス的高速化及び高集積化に伴い、従来よりも端子数が増加し、また、端子間の間隔が狭ピッチ化している。このため、これら半導体素子を搭載する実装用配線基板においても、更なる高密度化及び微細化が求められている。現在、一般に使用されている実装用基板としては、例えば、セラミックス基板、ビルドアップ基板及びテープ基板等がある。
- [0003] セラミックス基板は、アルミナ等からなる絶縁性基板と、この絶縁性基板上に形成されたタングステン(W)及びモリブデン(Mo)等の高融点金属材料からなる配線導体とにより構成されており(例えば、特許文献1参照。)、特許文献1には、窒化アルミニウムからなる絶縁層と配線層とが交互に積層されたセラミックス多層基板を使用した半導体用パッケージが開示されている。
- [0004] また、ビルドアップ基板は、プリント基板の両面に樹脂からなる絶縁層を形成し、この絶縁層上にエッチング法及びめっき法により銅配線による微細な回路を形成して多層化したものであり、表面側の回路と裏面側の回路とはスルーホール等を介して接続されている(例えば、特許文献2及び3参照。)。例えば、特許文献2には、ビルドアップ基板の表面上に半導体素子が搭載され、半導体素子及びこの半導体素子と基板表面側に形成された配線とを接続するボンディングワイヤーがモールド樹脂により封止されたBGA(Ball Grid Array)パッケージが記載されている。このBGAパッケージにおいては、ビルドアップ基板の裏面側に形成された配線には、はんだバンプが接続されている。また、特許文献3には、銅又はアルミニウムからなり所定のパターンが形成されたメタルベースの一方の面上にポリイミド等からなる絶縁層が設けられ、この絶縁層上に配線パターンが形成されたビルドアップ基板を使用した半導体装置

用パッケージが開示されている。この半導体装置用パッケージにおいては、配線パターンに半導体チップが接続されると共にメタルベースパターンにはんだバンプが接続され、半導体素子及び配線パターンが金属製又は樹脂製のキャップにより封止されている。

[0005] 更に、テープ基板は、ポリイミド等からなる絶縁性フィルム上に銅等からなる配線を形成したものであり(例えば、特許文献4参照。)、特許文献4には、ポリイミドフィルムの一方向の面に銅からなる配線パターンを形成すると共に、他方の面に銅からなる額縁状補強部が形成され、更に、額縁状補強部の内側にポリイミドフィルム側からビアホールを設けたキャリアテープが開示されている。

[0006] 更にまた、従来、支持基板上に配線層を形成し、半導体素子を搭載した後で支持基板を除去することにより、薄型化と半導体素子を搭載するまでの寸法安定性との両立を図った半導体装置及びその製造方法が提案されている(例えば、特許文献5乃至7参照。)。図8(a)乃至(c)は特許文献5に記載の半導体装置の製造方法をその工程順に示す断面図である。例えば、特許文献5に記載の半導体装置100を製造する際は、先ず、図8(a)に示すように、支持基板101上に配線層102を形成し、この配線層102上に半導体素子103及び104を実装する。その後、図8(b)に示すように、支持基板101を配線層102から分離し、更に、図8(c)に示すように、はんだバンプ105を介して、半導体素子103及び104が搭載された配線層102をパッケージ基板106に実装する。なお、特許文献5には、セラミックスとCuとの密着性が低いことを利用し、支持基板101として窒化アルミニウム等のセラミックス板を使用し、セラミックス板上にCuスパッタ膜を形成した後、このCuスパッタ膜上に配線層102を形成することにより、配線層102と支持基板101との分離を容易にする方法が開示されている。

[0007] また、特許文献6に記載の半導体装置の製造方法においては、シリコンからなる支持基板上に、シリコンとの密着性が低い樹脂層を形成し、この樹脂層上に配線層を形成している。更に、図9(a)及び(b)は特許文献7に記載の半導体装置の製造方法をその工程順に示す断面図である。特許文献7に記載の半導体装置の製造方法においては、金属層又は窒化物層と酸化物層との密着性が低いことを利用している。具体的には、先ず、図9(a)に示すように、支持基板111上に金属層又は窒化物層1

12を形成し、この金属層又は窒化物層112上に酸化物層113及び絶縁層114をこの順に形成する。そして、絶縁層114上に配線層115を形成した後、図9(b)に示すように、金属層又は窒化物層112と酸化物層113との界面で支持基板111と配線層115とを分離している。

[0008] 特許文献1:特開平8-330474号公報

特許文献2:特開平11-17058号公報

特許文献3:特許第2679681号公報

特許文献4:特開2000-58701号公報

特許文献5:特開2003-142624号公報

特許文献6:特開2003-347470号公報

特許文献7:特開2003-174153号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、前述の従来技術には以下に示す問題点がある。先ず、特許文献1に記載の半導体用パッケージのようにセラミックス基板を使用した場合、セラミックスは硬くて脆いため、製造工程及び搬送工程において基板に欠け及び割れ等の損傷が発生しやすく、歩留まりが低下するという問題点がある。また、セラミックス基板を使用する場合は、焼成前のグリーンシート上に配線を印刷し、各シートを積層して焼成させて製造されるが、この製造工程において、高温で焼成するため収縮が生じ、焼成後の基板に反り、変形及び寸法ばらつき等の形状不良が発生しやすい。このような形状不良の発生により、セラミックス基板は、高密度化された回路基板及びフリップチップ等の基板に要求される厳しい平坦度に対して、十分対応できない。即ち、セラミックス基板は、形状不良によって、回路の多ピン化、高密度化及び微細化が阻害されると共に、半導体素子の搭載部の平坦性が失われるため、半導体素子と基板との間の接続された部分にクラック及び剥がれ等が発生しやすく、半導体素子の信頼性を低下させるという問題点がある。

[0010] また、特許文献2及び3に記載の半導体パッケージのように、ビルドアップ基板を使用した場合、コア材として使用しているプリント基板とその表面上に形成される樹脂製

の絶縁膜との熱膨張差に起因して、基板に反りが発生するという問題点がある。前述したように、基板の反りは、多ピン化している半導体素子を接続する際の障害となり、回路の高密度化及び微細化が阻害されると共に歩留まりが低下する。

[0011] 更に、特許文献4に記載のキャリアテープ等のテープ基板を使用した場合、テープ基材の伸縮により、半導体素子を搭載する際の位置ずれが大きくなり、回路の高密度化対応が十分にできないという問題点がある。

[0012] 更にまた、特許文献5に記載の半導体装置の製造方法のように、セラミックスとCuとの低密着性を利用して半導体パッケージの薄型化を図った場合、セラミックスの種類によっては、配線部分を製造する際に、セラミックス板中にCuが拡散し、これらの間の密着性が高くなり、最終的に安定した剥離が実現できないという問題点がある。また、工程中にCuスパッタ層が酸化されて、配線層を形成する際に剥離が発生し、安定して作製できないという問題点もある。

[0013] 更にまた、特許文献6に記載の半導体装置の製造方法のように、シリコン基板と配線層との間に樹脂製の剥離層、特に特許文献6に例示されているポリイミド膜を形成した場合、この剥離層の熱処理を行う際に、シリコン基板と樹脂層との間に膨れ（浮き）が発生し、その上に配線層を作製することができないという問題点がある。

[0014] 更にまた、特許文献7に記載の半導体装置の製造方法のように、金属層又は窒化物層と酸化物層との低密着性を利用して半導体パッケージの薄型化を図った場合、酸化物層の成膜温度が金属層又は窒化物層の成膜温度よりも高いため、金属層又は窒化物層と酸化物層との界面の密着が強くなり、剥がれにくくなるという問題点がある。また、剥離後に配線層側に残る酸化物層は脆いため、その後の工程においてクラックの起点となりやすく、安定して製造することができないという問題点もある。

[0015] 本発明はかかる問題点に鑑みてなされたものであって、高密度化、微細化及び薄型化を実現することができる半導体パッケージ及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0016] 本願第1発明に係る半導体パッケージは、基板と、前記基板上に形成された酸化物層と、前記酸化物層上に形成され金、白金、パラジウム、ロジウム、ルテニウム、イリ

ジウム及びオスmiumからなる群から選択された少なくとも1種の金属からなる金属層と、前記金属層上に形成され少なくとも1層の配線層を含む配線体と、前記配線体上に搭載された1又は複数の半導体素子と、を有することを特徴とする。

[0017] 本発明においては、配線体を基板上に形成しているため、反り等の形状不良が少なく、良好な平坦性を実現でき、接続パッドの間隔が20乃至50 μ m程度の狭ピッチ化にも十分に対応することができる。その結果、配線体パターンの高密度化、微細化を実現することができると共に、半導体デバイスの良好な接続信頼性を確保でき、更には半導体パッケージとしての歩留まりも向上することができる。また、この半導体パッケージは、酸化物層及び金又は白金族金属からなる金属層を設けているため、この酸化物層と金属層との界面で安定して剥離することができ、従来のビルドアップ基板を用いた半導体パッケージより大幅に薄型化することができ、更に、その際基板は再利用することができるため、製造コストを大幅に削減することができる。なお、酸化物層と金属層とは適度の密着力をもっているため、応力を加えないと剥離せず、配線体形成工程及び半導体素子搭載工程を安定して行うことができる。

[0018] 前記酸化物層と前記金属層との界面は、他の界面よりも密着力が低いことが好ましい。これにより、酸化物層と金属層との界面で、容易に剥離することができる。

[0019] また、前記酸化物層は、 TiO_2 、 Ta_2O_5 、 Al_2O_3 、 SiO_2 、 ZrO_2 、 HfO_2 、 Nb_2O_5 、ペロブスカイト型酸化物及びBi系層状酸化物からなる群から選択された少なくとも1種の酸化物により形成されていてもよい。その場合、前記ペロブスカイト型酸化物は、例えば、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ (但し、 $0 \leq x \leq 1$)、 $\text{Pb}_{1-x}\text{Zr}_x\text{TiO}_3$ (但し、 $0 \leq x \leq 1$) 及び $\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$ 且つ $0 < y < 1$) からなる群から選択された少なくとも1種の酸化物である。また、前記Bi系層状酸化物は、例えば、 $\text{Ba}_{1-x}\text{Sr}_x\text{Bi}_2\text{Ta}_2\text{O}_9$ (但し、 $0 \leq x \leq 1$) 及び $\text{Ba}_{1-x}\text{Sr}_x\text{Bi}_4\text{Ti}_{15}\text{O}_{44}$ (但し、 $0 \leq x \leq 1$) からなる群から選択された少なくとも1種の酸化物である。

[0020] 更に、前記基板は、半導体材料、金属、石英、セラミックス及び樹脂からなる群から選択された1種の材料により形成することができる。その場合、前記半導体材料は、例えば、シリコン、サファイア又はGaAsである。

[0021] これらの半導体パッケージにおいて、前記配線体は、前記配線層の上層及び／又

は下層に形成された絶縁層を有していてもよい。また、前記配線体は、更に、前記半導体素子が搭載されている面に形成され前記配線層と電氣的に接続された電極を有し、前記半導体素子は、低融点金属、導電性樹脂及び金属含有樹脂からなる群から選択された1種の材料により、前記電極と電氣的に接続されていてもよい。その場合、前記半導体素子をフリップチップ接続することができる。

[0022] 更に、前記半導体素子及び前記配線体の前記半導体素子が搭載されている面を封止する封止樹脂層を有していてもよく、その場合、前記封止樹脂層の厚さは、前記半導体素子の厚さよりも厚いことが好ましい。また、前記封止樹脂層は、例えば、シリカフィラーを含むエポキシ樹脂により形成することができる。これにより、封止樹脂層形成時に樹脂が硬化することにより発生する応力により、酸化物層と金属層との界面で剥離を生じさせることができる。

[0023] 本願第2発明に係る半導体パッケージの製造方法は、基板上に酸化物層を形成する工程と、前記酸化物層上に金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属からなる金属層を形成する工程と、前記金属層上に少なくとも1層の配線層を含む配線体を形成する工程と、前記配線体上に1又は複数の半導体素子を搭載する工程と、を有することを特徴とする。

[0024] 本発明においては、基板上に酸化物層を形成し、その上に金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属からなる金属層を形成しているため、適度な応力を印加することにより剥離が生じる程度にすることができる。これにより、高密度で微細な配線体を安定して形成することができると共に、半導体素子を搭載した後、容易に基板を除去することができる。

[0025] この半導体パッケージの製造方法においては、更に、前記酸化物層と前記金属層との界面で剥離する工程を有していてもよい。これにより、容易に薄型化することができる。その場合、前記酸化物層と前記金属層との界面で剥離した後、前記金属層をパターンニングすることにより、配線又は電極を形成することもできる。他の半導体素子及び電子部品を搭載することができ、半導体装置としての高機能化が実現できると共

に、配線体が薄いため、両面に実装される半導体装置間の配線距離が短くなり、高速信号伝送及び広いバス幅を実現することができる。

[0026] また、前記剥離する工程は、前記半導体素子を搭載した後、前記半導体素子及び前記配線体の前記半導体素子が搭載されている面を覆うように封止樹脂層を形成することにより剥離してもよい。その場合、前記封止樹脂層の厚さは、前記半導体素子の厚さよりも厚くすることができ、また、前記封止樹脂層を、シリカフィラーを含むエポキシ樹脂により形成してもよい。

[0027] 更に、前記酸化物層を、 TiO_2 、 Ta_2O_5 、 Al_2O_3 、 SiO_2 、 ZrO_2 、 HfO_2 、 Nb_2O_5 、ペロブスカイト型酸化物及びBi系層状酸化物からなる群から選択された少なくとも1種の酸化物により形成することができ、その場合、前記ペロブスカイト型酸化物は、例えば、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ (但し、 $0 \leq x \leq 1$)、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$) 及び $\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$ 且 $0 < y < 1$) からなる群から選択された少なくとも1種の酸化物であり、前記Bi系層状酸化物は、例えば、 $\text{Ba}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9$ (但し、 $0 \leq x \leq 1$) 及び $\text{Ba}_x\text{Sr}_{1-x}\text{Bi}_4\text{Ti}_4\text{O}_{15}$ (但し、 $0 \leq x \leq 1$) からなる群から選択された少なくとも1種の酸化物である。

[0028] 更にまた、前記基板は、半導体材料、金属、石英、セラミックス及び樹脂からなる群から選択された1種の材料により形成することができる。その場合、前記半導体材料は、例えば、シリコン、サファイア及びGaAsからなる群から選択された1種の半導体材料である。

[0029] 更にまた、低融点金属、導電性樹脂及び金属含有樹脂からなる群から選択された1種の材料により、前記半導体素子と、前記配線体に設けられ前記配線層と電氣的に接続された電極とを相互に接続してもよい。その場合、前記半導体素子を、フリップチップ接続することができる。

発明の効果

[0030] 本発明によれば、基板上に配線体を形成しているため、形状不良を発生させずに、高密度で微細な配線層を備えた配線体を形成できると共に、基板と配線体との間に酸化物層と金又は白金族金属との積層膜を設けているため、配線体上に半導体素子を搭載した後、応力を印加することにより、酸化物層と金属層との界面で

基板を剥離することができ、容易に薄型化することができる。

図面の簡単な説明

[0031] [図1]本発明の第1の実施形態の半導体パッケージの構造を示す断面図である。

[図2](a)乃至(d)は本発明の第1の実施形態の半導体パッケージの製造方法をその工程順に示す断面図である。

[図3](a)及び(b)は本発明の第1の実施形態の半導体パッケージの製造方法をその工程順に示す断面図であり、(a)は図2(d)の次の工程を示す。

[図4]本発明の第2の実施形態の半導体パッケージの構造を示す断面図である。

[図5](a)及び(b)は本発明の第2の実施形態の半導体パッケージの製造方法をその工程順に示す断面図である。

[図6]本発明の第2の実施形態の第1変形例の半導体パッケージの構造を示す断面図である。

[図7]本発明の第2の実施形態の第2変形例の半導体パッケージの構造を示す断面図である。

[図8](a)乃至(c)は特許文献5に記載の半導体装置の製造方法をその工程順に示す断面図である。

[図9](a)及び(b)は特許文献7に記載の半導体装置の製造方法をその工程順に示す断面図である。

符号の説明

- [0032] 1;基板
2、113;酸化物層
3;金属層
4a、4b、44、102、115;配線層
5a、5b;絶縁層
6、36;電極
7;配線体
8a、8b;ビア
9;アンダーフィル

10;はんだボール
11、103、104;半導体素子
12;封止樹脂層
20、30、40、50;半導体パッケージ
100;半導体装置
101、111;支持基板
105;はんだバンプ
106;パッケージ基板
112;金属層又は窒化物層
114;絶縁層

発明を実施するための最良の形態

[0033] 以下、本発明の実施の形態に係る半導体パッケージについて、添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態の半導体パッケージについて説明する。図1は本実施形態の半導体パッケージの構造を示す断面図である。図1に示すように、本実施形態の半導体パッケージ20は、基板1上に酸化物層2が形成され、酸化物層2上には金又は白金族金属からなる金属層3が形成されている。この金属層3上に、配線層を含む配線体7が形成されており、配線体7には半導体素子11がフリップチップ接続されている。また、半導体素子11と配線体7との間には、接続部分の強度を向上するためにアンダーフィル9が充填されており、半導体素子11及び配線体7における半導体素子11が搭載されている面を覆うように、封止樹脂層12が形成されている。

[0034] 本実施形態の半導体パッケージ20における基板1は、適度な剛性を有していることが望ましく、例えば、シリコン、サファイア及びGaAs等の半導体ウエハ材料からなる基板、金属基板、石英基板、ガラス基板、セラミックス基板及びプリント基板等を使用することができる。なお、半導体素子を100 μ m以下の狭ピッチで接続する場合は、シリコン、サファイア、GaAs等の半導体ウエハ材料からなる基板を使用することが好ましく、特に、半導体素子にも使用されているシリコン基板を使用することがより好ましい。

- [0035] 酸化物層2は、その上に形成される金属層3と基板1との反応を防止すると共に、金属層3との間の密着力を適正化するための層であり、例えば、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ (BST; 但し、 $0 \leq x \leq 1$)、 $\text{Pb}_{1-x}\text{Zr}_x\text{TiO}_3$ (PZT; 但し、 $0 \leq x \leq 1$) 及び $\text{Pb}_{1-x-y}\text{La}_y\text{Zr}_x\text{TiO}_3$ (PLZT; 但し、 $0 \leq x \leq 1$ 且つ $0 < y < 1$) 等のペロブスカイト型酸化物、 $\text{Ba}_{1-x}\text{Sr}_x\text{BiTa}_2\text{O}_9$ (但し、 $0 \leq x \leq 1$) 及び $\text{Ba}_{1-x}\text{Sr}_x\text{BiTi}_4\text{O}_{15}$ (但し、 $0 \leq x \leq 1$) 等のBi系層状酸化物、 TiO_2 、 Ta_2O_5 、 Al_2O_3 、 SiO_2 、 ZrO_2 、 HfO_2 並びに Nb_2O_5 からなる群から選択された少なくとも1種の酸化物により形成することができる。その形成方法としては、例えば、スパッタ法、PLD (Pulsed Laser Deposition; パルスレーザ蒸着) 法、MBE (Molecular Beam Epitaxy; 分子線エピタキシー) 法、ALD (Atomic Layer Deposition; 原子層蒸着) 法、MOD (Metal Organic Deposition; 金属有機化合物堆積) 法、ゾルゲル法、CVD (Chemical Vapor Deposition; 気相成長) 法及び陽極酸化法等を適用することができる。
- [0036] 酸化物層2の膜厚は、10乃至600nmであることが好ましく、より好ましくは50乃至300nmである。酸化物層2の厚さが10nm未満の場合、基板1の表面の粗度及び段差によって、基板1上に連続した膜を形成することができないことがある。一方、酸化物層2の厚さが600nmを超えると、内部応力によりクラックが発生しやすくなると共に、成膜時間が長くなるために製造コストが増加してしまう。
- [0037] 金属層3は、金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属により形成することができ、これにより、酸化物層2と金属層3との間の密着力を最適化することができる。具体的には、酸化物層2と金属層3との界面の密着力を、他の界面の密着力よりも低くし、且つ、4点曲げ試験法による密着性評価で 1.9 J/m^2 以上とすることができる。酸化物層2と金属層3との界面の密着力を他の界面よりも低くすることにより、基板1を容易に且つ安定して剥離することができる。また、酸化物層2と金属層3との界面の密着力を、 1.9 J/m^2 以上とすることにより、その後の工程において剥離等の不良が発生することを防止することができる。なお、前述の4点曲げ試験法による密着性評価方法とは、試験片を2本のロールで支え、上部中央からこの2本のロールで荷重をかけながら試験片が破壊されるまでの最大荷重を測定し、この最大荷重から曲げ変形により系にたく

わえられた弾性エネルギーのうち単位面積の剥離が生ずることによって外部に開放されるエネルギーを求める方法であり、本実施形態においては、この方法で求められたエネルギー値を密着強度としている。

[0038] また、金属層3は、例えば、スパッタ法、コロイダル法、CVD法及びALD法等により形成することができ、その膜厚は、10乃至400nmであることが好ましく、より好ましくは、100乃至200nmである。金属層3の厚さが10nm未満の場合、酸化物層2上に連続した膜が形成されないことがあり、また、金属層3の厚さが400nmを超えると、成膜時間が長くなるために製造コストが増加してしまう。

[0039] なお、酸化物層2及び金属層3は、基板1の一方の面を覆うように形成されていなくてもよく、例えば、酸化物層2及び金属層3を基板1の周縁部以外の部分に形成し、基板1の周縁部は、基板1と絶縁層5とが直接接触するようにしてもよい。これにより、パッケージ製造時の安定性を向上させることができる。

[0040] 配線体7は、配線層4a及び4b、絶縁層5a及び5b、ビア8a及び8b、並びに電極6等により構成されている。具体的には、金属層3上に配線層4aが形成されており、金属層3及び配線層4aを覆うように絶縁層5aが形成されている。また、絶縁層5a上には配線層4bが形成されており、この配線層4bは絶縁層5aに形成されたビア8aにより、配線層4aと電氣的に接続されている。更に、絶縁層5a及び配線層4bを覆うように絶縁層5bが形成されており、絶縁層5b上には、複数の電極6が形成されている。これらの電極6は、絶縁層5bに形成されたビア8bにより、配線層4bと電氣的に接続されている。

[0041] 本実施形態の半導体パッケージ20における配線層4a及び4bは、例えば銅、アルミニウム、ニッケル、金及び銀からなる群から選択された少なくとも1種の金属により形成することができるが、特に、電気抵抗値及びコストの観点から銅により形成することが好ましい。また、配線層4a及び4bをニッケルにより形成すると、絶縁層6a及び6b等の他の層との界面で反応が生じることを防止でき、磁性体としての特性を活かしたインダクタ又は抵抗配線を形成することができる。更に、配線4a及び4bは、サブトラクティブ法、セミアディティブ法及びフルアディティブ法等により形成することができる。なお、サブトラクティブ法は、セラミックス又は樹脂等からなる基板上に設けられた銅

箔上に所望のパターンのレジストを形成し、不要な銅箔をエッチングした後に、レジストを剥離して所望のパターンを得る方法である。また、セミアディティブ法は、無電解めっき、スパッタ法及びCVD法等で給電層を形成した後、所望のパターンに開口されたレジストを形成し、レジスト開口部内に電解めっきを析出させ、レジストを除去した後に給電層をエッチングして所望の配線パターンを得る方法である。更に、フルアディティブ法は、セラミックス又は樹脂等からなる基板上に無電解めっき触媒を吸着させた後に、レジストでパターンを形成し、このレジストを絶縁膜として残したまま触媒を活性化し、無電解めっき法により絶縁膜の開口部に金属を析出させることで所望の配線パターンを得る方法である。

- [0042] また、絶縁層5a及び5bは、例えば、エポキシ樹脂、エポキシアクリレート樹脂、ウレタンアクリレート樹脂、ポリエステル樹脂、フェノール樹脂、ポリイミド樹脂、BCB (benzocyclobutene)、PBO (polybenzoxazole) 及びポリノルボルネン樹脂等の感光性又は非感光性の有機材料により形成することができる。これらの感光性又は非感光性の有機材料の中でも、特に、ポリイミド樹脂及びPBOは、膜強度、引張弾性率及び破断伸び率等の機械的特性が優れているため、高い信頼性を得ることができる。
- [0043] 更に、電極6は、例えば積層構造とすることができ、その場合、電極6の最表層は、はんだボールの濡れ性又はボンディングワイヤーとの接続性を考慮し、金、銀、銅、アルミニウム、錫及びはんだ材料からなる群から選択された1種の金属又は少なくとも1種の金属を含む合金により形成することが好ましい。
- [0044] 本実施形態の半導体パッケージ20における封止樹脂層12は、例えばシリカファイバーを含有したエポキシ樹脂により形成することができ、この封止樹脂層12により、半導体素子11への水分の進入を防止することができると共に、衝突などによる機械的衝撃に対して半導体素子11を保護することができる。封止樹脂層12形成後、即ち、封止後の残留応力は、0.3乃至34MPaとすることが望ましく、特に、3乃至20MPaとすることがより望ましい。
- [0045] なお、本実施形態の半導体パッケージ20の配線体7においては、配線層と絶縁層が交互に2層ずつ設けられているが、本発明はこれに限定されるものではなく、配線層及び絶縁層は夫々1層以上設けられていればよい。また、その順番も特に限定さ

せるものではなく、金属層3上に絶縁層を形成し、その上に配線層を形成することもできる。

[0046] 本実施形態の半導体パッケージ20においては、半導体素子11がはんだボールにてフリップチップ接続されているが、本発明はこれに限定されるものではなく、半導体素子11がフェイスアップの状態で配線体7に取り付けられ、ワイヤーボンディングにより配線体7に接続されていてもよい。また、フリップチップ接続する場合でも、はんだを使用せず、異方性導電膜、低融点金属によるバンプ接続等の方法を適用することもできる。更に、パッケージの剛性を向上するために、半導体素子11が搭載された面に、金属枠からなるスティフナ等を取り付けてもよい。

[0047] 本実施形態の半導体パッケージ20においては、基板1上に配線体7を形成しているため、形状不良が発生しにくく、高密度で微細な配線層4a及び4bを高密度化及び緻密化することができる。また、基板1と配線体7との間には、酸化物層2と金又は白金族金属からなる金属層3とを設けているため、配線体7上に半導体素子を搭載した後、例えば、封止樹脂層12を形成するなどして、応力を印加することにより、酸化物層2と金属層3との界面で基板1を剥離することができ、容易に薄型化することができる。

[0048] 次に、本実施形態の半導体パッケージ20の製造方法について説明する。図2(a)乃至(d)及び図3(a)及び(b)は本実施形態の半導体パッケージの製造方法をその工程順に示す断面図である。先ず、図2(a)に示すように、基板1として、直径が例えば20mm(8インチ)で、厚さが例えば0.725mmのシリコンウエハを用意する。なお、基板1は、シリコンウエハに限定されるものではなく、適度な剛性を有し、平坦性の高い基板であればよく、シリコン基板以外には、例えば、サファイア及びGaAs等の半導体ウエハ材料からなる基板、金属基板、石英基板、ガラス基板、セラミックス基板、プリント板等を使用することができ、その大きさも適宜選択することができる。

[0049] 次に、図2(b)に示すように、例えばスパッタ法により、基板1上に、例えば SrTiO_3 からなり、厚さが例えば200nmの酸化物層2を形成する。なお、酸化物層2を形成する際は、スパッタ法以外にもPLD法、MBE法、ALD法、MOD法、ゾルゲル法、CVD法及び陽極酸化法等を適用することができる。また、酸化物層2を形成する材料も

SrTiO₃に限定されるものではなく、Ba_xSr_{1-x}TiO₃ (BST; 但し、0 ≤ x ≤ 1)、PbZr_xTi_{1-x}O₃ (PZT; 但し、0 ≤ x ≤ 1) 及び Pb_{1-y}La_yZr_xTi_{1-x}O₃ (PLZT; 但し、0 ≤ x ≤ 1 且 0 < y < 1) 等のペロブスカイト型酸化物、Ba_xSr_{1-x}Bi₂Ta₂O₉ (但し、0 ≤ x ≤ 1) 及び Ba_xSr_{1-x}Bi₄Ti₄O₁₅ (但し、0 ≤ x ≤ 1) 等のBi系層状酸化物、TiO₂、Ta₂O₅、Al₂O₃、SiO₂、ZrO₂、HfO₂ 並びに Nb₂O₅ からなる群から選択された少なくとも1種の酸化物により形成することができる。更に、酸化物層2の膜厚は、10乃至600nmとすることができ、50乃至300nmとすることが望ましい。

[0050] 次に、図2(c)に示すように、酸化物層2上に、例えばスパッタ法により、例えばパラジウムからなり、厚さが例えば150nmの金属層3を形成する。なお、金属層3を形成する材料はパラジウムに限定されるものではなく、金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属であればよい。また、その形成方法も、スパッタ法以外に、コロイダル法、CVD法及びALD法等を適用することができる。更に、金属層3の膜厚は、10乃至400nmであればよく、100乃至200nmとすることが望ましい。

[0051] 更にまた、酸化物層2と金属層3との界面における密着力は、他の界面における密着力よりも低く、且つ、4点曲げ試験法による密着性評価で1.9J/m²以上とすることが望ましい。これにより、基板1を安定して容易に剥離することができると共に、後の工程において、特に、封止樹脂層12を形成するまでの工程において、剥離が発生することを防止することができる。

[0052] 次に、図2(d)に示すように、金属層3上に、配線体7を形成する。具体的には、サブトラクティブ法、セミアディティブ法又はフルアディティブ法等の方法により、例えば銅、アルミニウム、ニッケル、金及び銀からなる群から選択された少なくとも1種の金属からなる配線層4aを形成する。銅からなる配線層4aをサブトラクティブ法により形成する場合、基板1上に銅泊を設け、この銅箔上に所望のパターンのレジストを形成し、不要な銅箔をエッチングした後に、レジストを剥離して所望のパターンを得る。また、セミアディティブ法により配線層4aを形成する場合、無電解めっき、スパッタ法、CVD法等により給電層を形成した後、所望のパターンに開口されたレジストを形成し、レジスト開口部内に電解めっきを析出させ、レジストを除去した後に給電層をエッチン

グして所望の配線パターンを得る。更に、フルアディティブ法で配線層4aを形成する場合、基板1上に無電解めっき触媒を吸着させた後に、レジストでパターンを形成し、このレジストを絶縁膜として残したまま触媒を活性化し、無電解めっき法により絶縁膜の開口部に金属3を形成する金属材料を析出させることにより所望の配線パターンを得る。

[0053] 引き続き、金属層3上に配線層4aを覆うように、例えば、エポキシ樹脂、エポシアクリレート樹脂、ウレタンアクリレート樹脂、ポリエステル樹脂、フェノール樹脂、ポリイミド樹脂、BCB、PBO及びポリノルボルネン樹脂等の感光性又は非感光性の有機材料からなる絶縁層5aを形成した後、この絶縁層5aにビア8aを形成する。絶縁層5aを感光性の有機材料により形成する場合は、ビア8aを設けるための開口部は、フォトリソグラフィにより形成することができる。また、非感光性の有機材料又は、感光性の有機材料でもパターン解像度が低い材料により絶縁層5aを形成する場合は、ビア8aを設けるための開口部は、レーザ加工法、ドライエッチング法又はブラスト法により形成することができる。更に、ビア8aの位置に予めめっきポストを形成した後に絶縁層5aを形成し、研磨により絶縁層5a表面を切削し、めっきポストを露出させることにより、ビア8aを形成することもでき、この方法では、絶縁層5aに予め開口部を設ける必要が無い。

[0054] 次に、絶縁層5a上に、前述の配線層4aと同様の方法で、例えば銅、アルミニウム、ニッケル、金及び銀からなる群から選択された少なくとも1種の金属からなり、ビア13aにより配線層4bと接続された配線層4bを形成する。更に、この配線層4bを覆うように、前述の絶縁層5aと同様の方法で、例えばエポキシ樹脂、エポシアクリレート樹脂、ウレタンアクリレート樹脂、ポリエステル樹脂、フェノール樹脂、ポリイミド樹脂、BCB、PBO及びポリノルボルネン樹脂等の感光性又は非感光性の有機材料からなる絶縁層5bを形成した後、前述のビア8aと同様の方法で、絶縁層5bにビア8bを形成する。

[0055] そして、この絶縁層5b上に、例えば、厚さが2 μ mの銅薄膜と、厚さが3 μ mのニッケル薄膜と、厚さが1 μ mの金薄膜とをこの順に積層して、ビア8bにより配線層4bと電氣的に接続された電極6を形成する。なお、本実施形態の半導体パッケージの製

造方法においては、電極6の最表層を金により形成しているが、本発明はこれに限定されるものではなく、電極6の最表層は、金、銀、銅、アルミニウム、錫及びはんだ材料からなる群から選択された1種の金属又はこれらの金属の少なくとも1種を含む合金により形成することができる。これにより、電極6上に形成されるはんだボールの濡れ性又はボンディングワイヤーとの接続性が向上する。

[0056] 次に、図3(a)に示すように、はんだボール10により、半導体素子11の電極(図示せず)と電極6とを電氣的に接続し、配線体7上に半導体素子11を実装する。その後、接続部分の強度を向上するため、半導体素子11と配線体7との間にアンダーフィル9を充填する。なお、本実施形態の半導体パッケージの製造方法においては、半導体素子11をはんだボール10によりフリップチップ接続しているが、本発明はこれに限定されるものではなく、半導体素子11をフェイスアップの状態配線体7に取り付けた後、ワイヤーボンディングにより接続してもよい。また、フリップチップ接続する場合でも、異方性導電膜、低融点バンプ接続等のように、はんだ材料を使用しない接続方法を適用することもできる。更に、パッケージとしての剛性を向上するため、半導体素子11を搭載した面に、金属枠からなるスティフナ等を取り付けてもよい。

[0057] 次に、図3(b)に示すように、例えばシリカフィラーを含有したエポキシ樹脂からなる封止樹脂12により、半導体素子11をモールドイングする。その際使用する封止樹脂としては、硬化後の残留応力が0.3乃至34MPaとなるものが好ましく、3乃至20MPaとなるものがより好ましい。

[0058] なお、本実施形態の半導体パッケージの製造方法においては、金属層3上に配線層4aを設けているが、本発明はこれに限定されるものではなく、金属層3上に絶縁層を形成し、その上に配線層を形成してもよい。また、酸化物層2及び金属層3は、基板1の一方の面を覆うように形成されていなくてもよく、例えば、酸化物層2及び金属層3を基板1の周縁部以外の部分に形成し、基板1の周縁部は、基板1と絶縁層5とが直接接触するようにしてもよい。これにより、パッケージ製造時の安定性を向上させることができる。

[0059] 本実施形態の半導体パッケージ20の製造方法においては、基板1上に配線体7を形成しているため、形状不良が発生しにくく、高密度で微細な配線層4a及び4bを形

成することができる。また、基板1上に、酸化物層2と金又は白金族金属からなる金属層3とをこの順に形成しているため、これらの層の密着力が強くなりすぎることがなく、酸化物層2と金属層3との界面を、他の界面よりも密着性が低く且つ4点曲げ試験法による密着性評価で $1.9\text{J}/\text{m}^2$ 以上とすることができる。これにより、配線体7上に半導体素子を搭載するまでは剥離せず、例えば、封止樹脂層12を形成するなどして、応力を印加すると、酸化物層2と金属層3との界面で剥離が生じるようにすることができる。

[0060] 次に、本発明の第2の実施形態に係る半導体パッケージについて説明する。図4は本実施形態の半導体パッケージの構造を示す断面図である。なお、図4においては、図1に示す半導体パッケージの構成要素と同じものには同じ符号を付し、詳細な説明は省略する。図4に示すように、本実施形態の半導体パッケージ30は、図1に示す第1の実施形態の半導体パッケージから基板1及び酸化物層2を取り除いたものである。具体的には、金属層3上に、配線層4a及び4b、絶縁層5a及び5b、ビア8a及び18b、並びに電極6を備えた配線体7が形成されている。また、配線体7には、半導体素子11がフリップチップ接続されている。即ち、配線体7の電極6と、半導体素子11の電極(図示せず)とが、はんだボール10を介して接続されている。そして、半導体素子11と配線体7との間には、接続部分の強度を向上するためにアンダーフィル9が充填されている。更にまた、半導体素子11及び配線体7における半導体素子11が搭載されている面を覆うように、封止樹脂層12が形成されている。

[0061] 次に、本実施形態の半導体パッケージ30の製造方法について説明する。図5(a)及び(b)は本実施形態の半導体パッケージの製造方法をその工程順に示す断面図である。まず、図2(a)乃至(d)及び図3(a)及び(b)に示す方法により、図6(a)に示す構造の半導体パッケージを用意する。次に、図6(b)に示すように、酸化物層2と金属層3との界面で基板1を剥離する。本実施形態の半導体パッケージ30の製造方法においては、酸化物層2と金属層3との界面の密着力が他の界面の密着力よりも弱いいため、この部分は、封止樹脂層12の硬化後の収縮により発生する応力により、無理なく安定して剥離することができる。

[0062] なお、本実施形態の半導体パッケージの製造方法においては、封止樹脂層12に

より半導体素子11をモールドディングすることにより発生する応力を利用して剥離しているが、本発明はこれに限定されるものではなく、半導体素子11を形成した段階で、封止樹脂層12が硬化する際に収縮して発生する応力と同等の応力を、外部から物理的に加えることにより、酸化物層2と金属層3とを分離することもできる。このように、封止樹脂層における応力と同様の応力を与える方法としては、例えば、半導体素子11が搭載された配線体7の面に、除去可能な厚膜レジストを形成する方法がある。これにより、スティフナ又はヒートスプレッダを使用し、接続パッドが1000を超える半導体素子のFCBGA (Flip Chip Ball Grid Array; フリップチップ・ボール・グリッド・アレイ) パッケージ等のように、封止樹脂層を設けない半導体パッケージを作製することができる。

[0063] また、同様に、配線体7を形成した段階で、封止樹脂層12が硬化する際に収縮して発生する応力と同等の応力を、外部から物理的に加えて、酸化物層2と金属層3とを分離してもよい。これにより、種々の用途に対応した薄型基板を得ることができる。更に、基板1を剥離した後、所望の大きさに加工してもよく、また、複数の半導体素子を搭載している場合は、ダイシング等により素子毎に分離してもよい。

[0064] 次に、本発明の第2実施形態の第1変形例に係る半導体パッケージについて説明する。図6は本変形例の半導体パッケージの構造を示す断面図である。なお、図6においては、図4に示す半導体パッケージの構成要素と同じものには同じ符号を付し、詳細な説明は省略する。図6に示すように、本変形の半導体パッケージ40は、第2実施形態の半導体パッケージにおける金属層3を加工して、裏面電極36としたものである。なお、この裏面電極36には、更に、半導体素子及び／又は受動態素子等を接続してもよい。

[0065] 金属層3を加工して裏面電極36を形成する方法としては、例えば、所望の形状にパターニングしたレジストをマスクとして、ドライエッチング又はウェットエッチングにより不要部分を取り除く方法がある。また、裏面電極36の代わりに、配線層を形成することもできる。金属層3は、膜厚が薄く、エッチングに使用するレジスト膜厚を薄くすることができるため、半導体の配線形成に使用されるような微細なパターン形成が可能となり、配線収容率を高くすることができる。更に、金属層3は、金又は白金族金属によ

り形成されているため、酸化しにくく、安定した金属結合を得ることができる。更にまた、成膜方法により緻密な膜となるため、前処理等を行わずにワイヤーボンディング及びはんだ等の接続を行うことができる。

[0066] 本変形例の半導体パッケージにおいては、配線体7の両面に半導体素子を搭載可能であるため、半導体装置としての高機能化が実現できると共に、配線体7が薄いため、両面に実装される半導体装置間の配線距離が短くなり、高速信号伝送及び広いバス幅を実現することができる。なお、本変形例の半導体パッケージにおける上記以外の構成及び効果は前述の第2の実施形態の半導体パッケージと同様である。

[0067] 次に、本発明の第2の実施形態の第2変形例に係る半導体パッケージについて説明する。図7は本変形例の半導体パッケージの構造を示す断面図である。なお、図7においては、図4に示す半導体パッケージの構成要素と同じものには同じ符号を付し、詳細な説明は省略する。図7に示すように、本変形例の半導体パッケージ50は、前述の第1変形例の半導体パッケージ40の裏面電極36上に、更に、例えば銅、アルミニウム、ニッケル、金及び銀からなる群から選択された少なくとも1種の金属からなる配線層44を形成したものである。配線層44は、電気抵抗値及びコストの観点から、銅により形成することが望ましい。また、配線層44の厚さを厚くすることにより、電気特性を向上させることができるため、配線層44の厚さは、5乃至15 μm であることが好ましい。この配線層44は、例えば裏面電極36を給電層としたセミアディティブ法により形成することができる。なお、配線層44上には、半導体素子及び／又は受動態素子等を搭載することもできる。

[0068] 本変形例の半導体パッケージ50においては、半導体装置としての高機能化が実現できると共に、配線体7が薄いため、両面に実装される半導体装置間の配線距離が短くなり、高速信号伝送及び広いバス幅を実現することができる。なお、本変形例の半導体パッケージにおける上記以外の構成及び効果は前述の第2の実施形態の半導体パッケージと同様である。

産業上の利用可能性

[0069] 本発明は、半導体パッケージの高密度化、微細化及び薄型化に有効である。

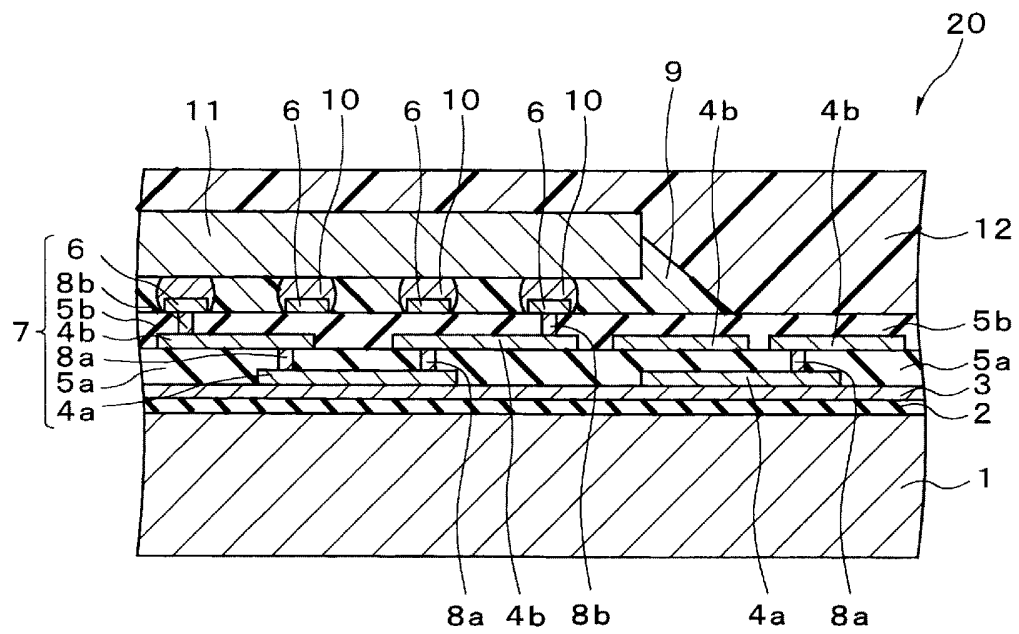
請求の範囲

- [1] 基板と、前記基板上に形成された酸化物層と、前記酸化物層上に形成され金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属からなる金属層と、前記金属層上に形成され少なくとも1層の配線層を含む配線体と、前記配線体上に搭載された1又は複数の半導体素子と、を有することを特徴とする半導体パッケージ。
- [2] 前記酸化物層と前記金属層との界面は、他の界面よりも密着力が低いことを特徴とする請求項1に記載の半導体パッケージ。
- [3] 前記酸化物層は、 TiO_2 、 Ta_2O_5 、 Al_2O_3 、 SiO_2 、 ZrO_2 、 HfO_2 、 Nb_2O_5 、ペロブスカイト型酸化物及びBi系層状酸化物からなる群から選択された少なくとも1種の酸化物により形成されていることを特徴とする請求項1又は2に記載の半導体パッケージ。
- [4] 前記ペロブスカイト型酸化物は、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ (但し、 $0 \leq x \leq 1$)、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$) 及び $\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$ 且つ $0 < y < 1$) からなる群から選択された少なくとも1種の酸化物であることを特徴とする請求項3に記載の半導体パッケージ。
- [5] 前記Bi系層状酸化物は、 $\text{Ba}_{1-x}\text{Sr}_x\text{Bi}_2\text{Ta}_2\text{O}_9$ (但し、 $0 \leq x \leq 1$) 及び $\text{Ba}_{1-x}\text{Sr}_x\text{Bi}_4\text{Ti}_4\text{O}_{15}$ (但し、 $0 \leq x \leq 1$) からなる群から選択された少なくとも1種の酸化物であることを特徴とする請求項3又は4に記載の半導体パッケージ。
- [6] 前記基板は、半導体材料、金属、石英、セラミックス及び樹脂からなる群から選択された1種の材料からなることを特徴とする請求項1乃至5のいずれか1項に記載の半導体パッケージ。
- [7] 前記半導体材料は、シリコン、サファイア及びGaAsからなる群から選択された1種の半導体材料であることを特徴とする請求項6に記載の半導体パッケージ。
- [8] 前記配線体は、前記配線層の上層及び／又は下層に形成された絶縁層を有することを特徴とする請求項1乃至7のいずれか1項に記載の半導体パッケージ。
- [9] 前記配線体は、更に、前記半導体素子が搭載されている面に形成され前記配線層と電氣的に接続された電極を有し、前記半導体素子は、低融点金属、導電性樹脂及び金属含有樹脂からなる群から選択された1種の材料により、前記電極と電氣的に

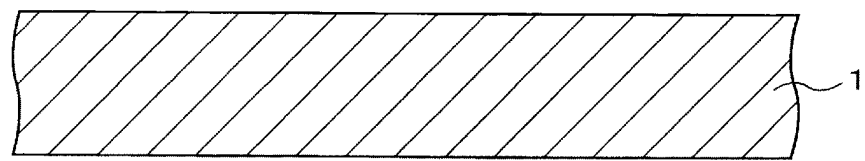
- 接続されていることを特徴とする請求項1乃至8のいずれか1項に記載の半導体パッケージ。
- [10] 前記半導体素子は、フリップチップ接続されていることを特徴とする請求項9に記載の半導体パッケージ。
- [11] 更に、前記半導体素子及び前記配線体の前記半導体素子が搭載されている面を封止する封止樹脂層を有することを特徴とする請求項1乃至10のいずれか1項に記載の半導体パッケージ。
- [12] 前記封止樹脂層の厚さは、前記半導体素子の厚さよりも厚いことを特徴とする請求項11に記載の半導体パッケージ。
- [13] 前記封止樹脂層は、シリカフィラーを含むエポキシ樹脂により形成されていることを特徴とする請求項11又は12に記載の半導体パッケージ。
- [14] 基板上に酸化物層を形成する工程と、前記酸化物層上に金、白金、パラジウム、ロジウム、ルテニウム、イリジウム及びオスミウムからなる群から選択された少なくとも1種の金属からなる金属層を形成する工程と、前記金属層上に少なくとも1層の配線層を含む配線体を形成する工程と、前記配線体上に1又は複数の半導体素子を搭載する工程と、を有することを特徴とする半導体パッケージの製造方法。
- [15] 更に、前記酸化物層と前記金属層との界面で剥離する工程を有することを特徴とする請求項14に記載の半導体パッケージの製造方法。
- [16] 前記半導体素子を搭載した後、前記半導体素子及び前記配線体の前記半導体素子が搭載されている面を覆うように封止樹脂層を形成することにより剥離することを特徴とする請求項15に記載の半導体パッケージの製造方法。
- [17] 前記封止樹脂層の厚さを、前記半導体素子の厚さよりも厚くすることを特徴とする請求項16に記載の半導体パッケージの製造方法。
- [18] 前記封止樹脂層を、シリカフィラーを含むエポキシ樹脂により形成することを特徴とする請求項16又は17に記載の半導体パッケージの製造方法。
- [19] 前記酸化物層と前記金属層との界面で剥離した後、前記金属層をパターニングすることにより、配線又は電極を形成することを特徴とする請求項15乃至18のいずれか1項に記載の半導体パッケージの製造方法。

- [20] 前記酸化物層を、 TiO_2 、 Ta_2O_5 、 Al_2O_3 、 SiO_2 、 ZrO_2 、 HfO_2 、 Nb_2O_5 、ペロブスカイト型酸化物及びBi系層状酸化物からなる群から選択された少なくとも1種の酸化物により形成することを特徴とする請求項14乃至19のいずれか1項に記載の半導体パッケージの製造方法。
- [21] 前記ペロブスカイト型酸化物は、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ (但し、 $0 \leq x \leq 1$)、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$) 及び $\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$ (但し、 $0 \leq x \leq 1$ 且つ $0 < y < 1$) からなる群から選択された少なくとも1種の酸化物であることを特徴とする請求項20に記載の半導体パッケージの製造方法。
- [22] 前記Bi系層状酸化物は、 $\text{Ba}_x\text{Sr}_{1-x}\text{Bi}_2\text{Ta}_2\text{O}_9$ (但し、 $0 \leq x \leq 1$) 及び $\text{Ba}_x\text{Sr}_{1-x}\text{Bi}_4\text{Ti}_{15}\text{O}_{44}$ (但し、 $0 \leq x \leq 1$) からなる群から選択された少なくとも1種の酸化物であることを特徴とする請求項20又は21に記載の半導体パッケージの製造方法。
- [23] 前記基板は、半導体材料、金属、石英、セラミックス及び樹脂からなる群から選択された1種の材料からなることを特徴とする請求項14乃至22のいずれか1項に記載の半導体パッケージの製造方法。
- [24] 前記半導体材料は、シリコン、サファイア及びGaAsからなる群から選択された1種の半導体材料であることを特徴とする請求項23に記載の半導体パッケージの製造方法。
- [25] 低融点金属、導電性樹脂及び金属含有樹脂からなる群から選択された1種の材料により、前記半導体素子と、前記配線体に設けられ前記配線層と電気的に接続された電極とを相互に接続することを特徴とする請求項14乃至24のいずれか1項に記載の半導体パッケージの製造方法。
- [26] 前記半導体素子を、フリップチップ接続することを特徴とする請求項25に記載の半導体パッケージの製造方法。

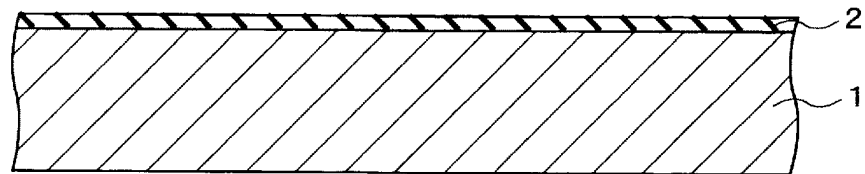
[図1]



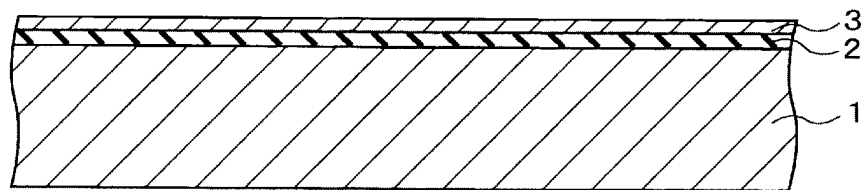
[図2]



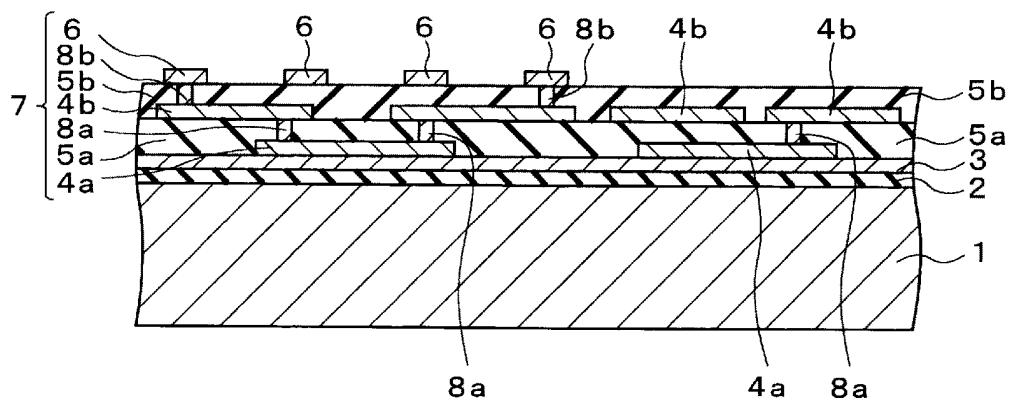
(a)



(b)

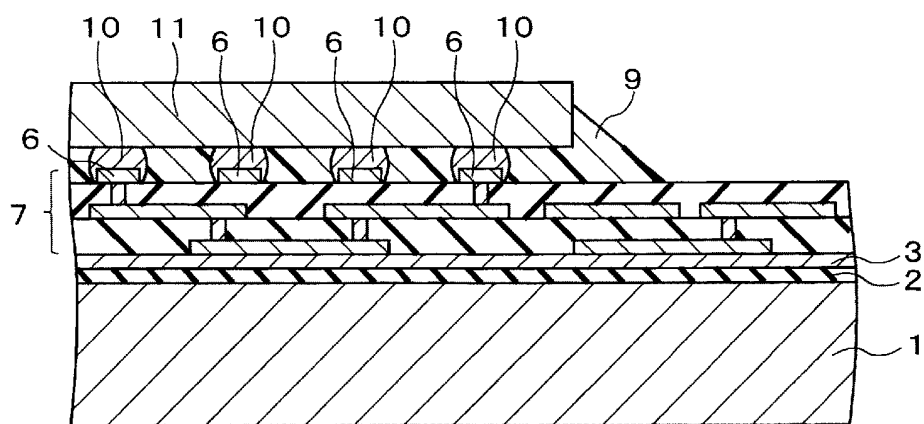


(c)

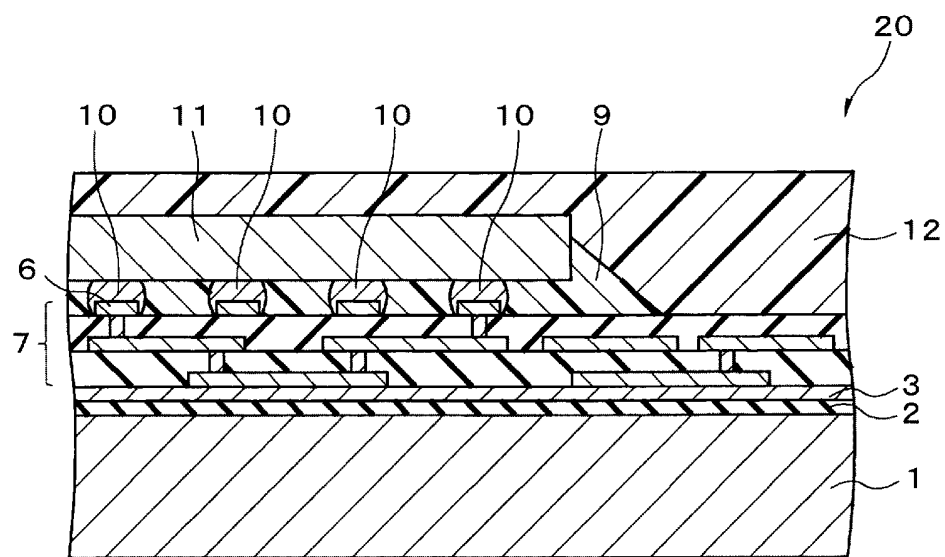


(d)

[図3]

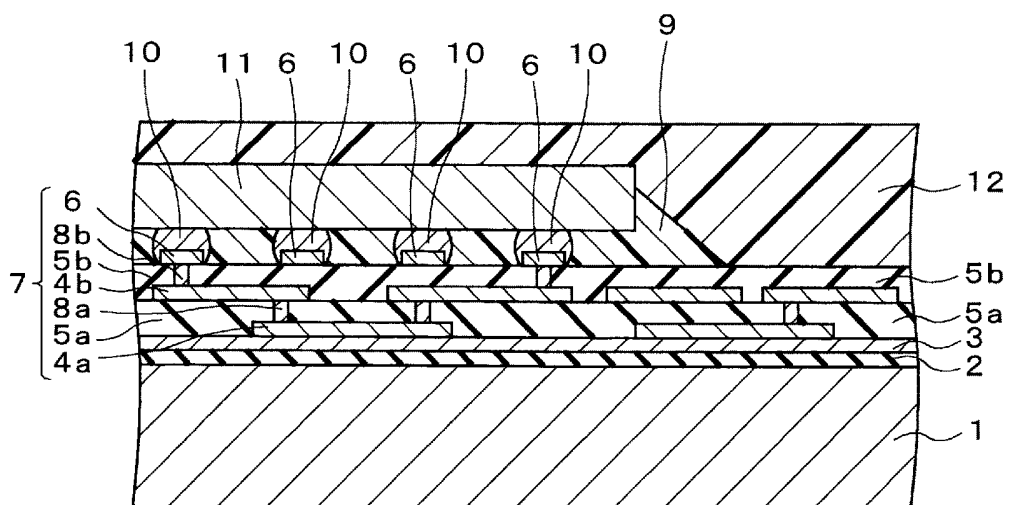


(a)

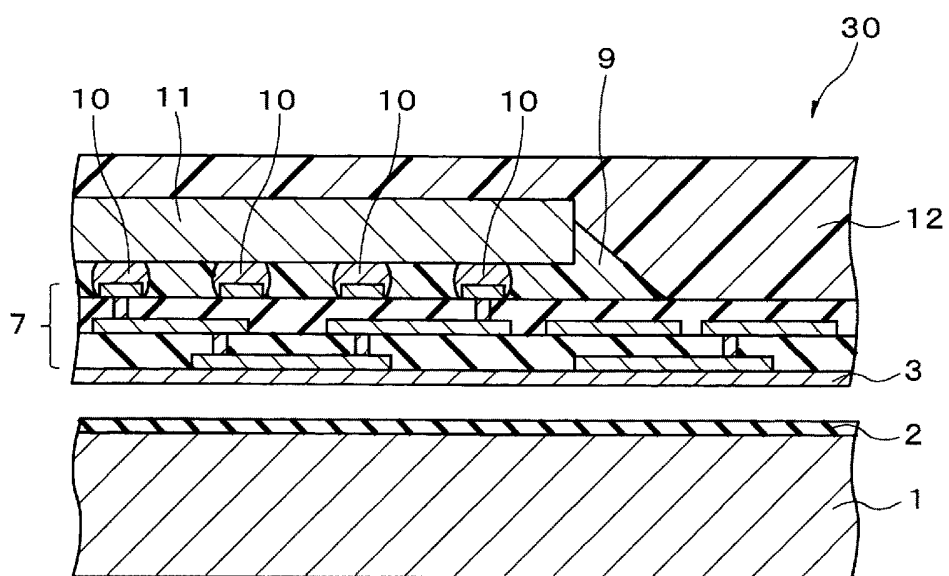


(b)

[図5]

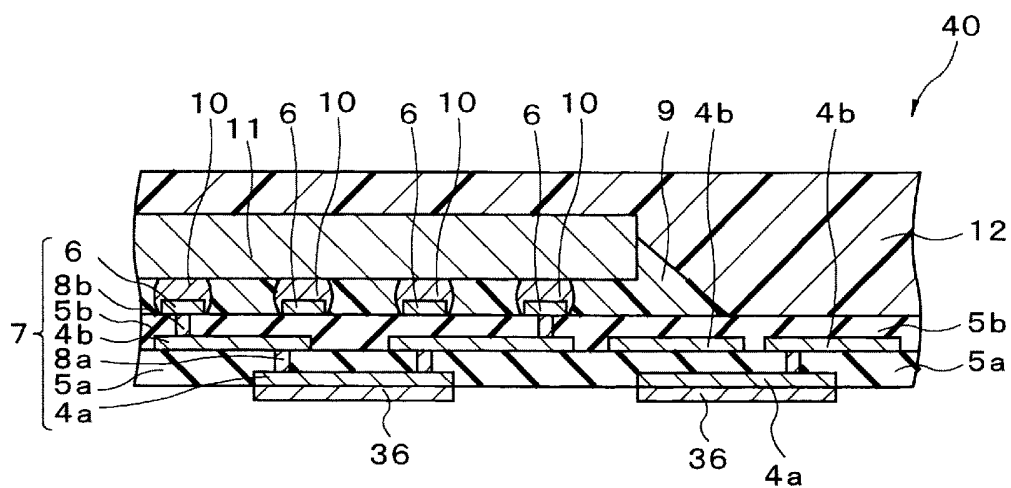


(a)

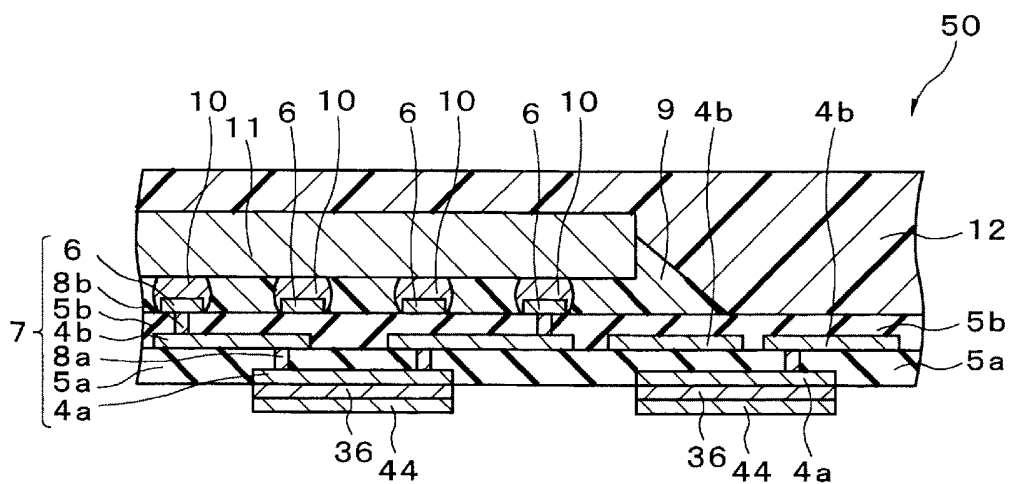


(b)

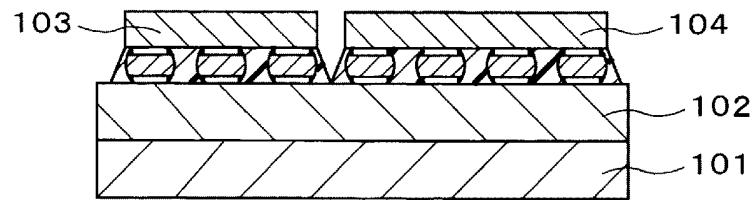
[図6]



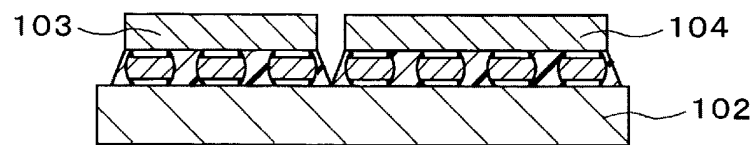
[図7]



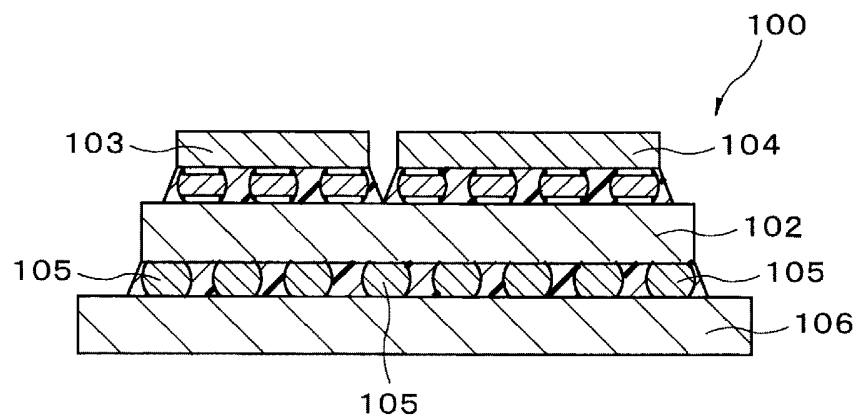
[図8]



(a)

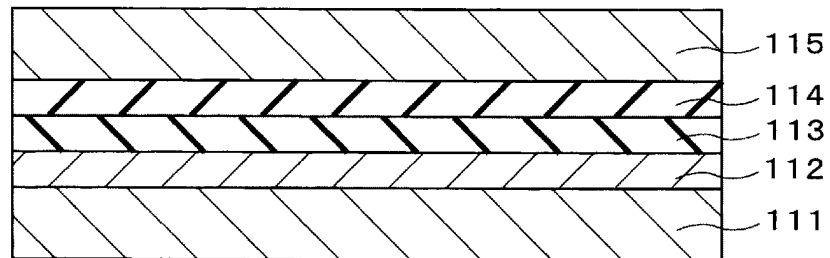


(b)

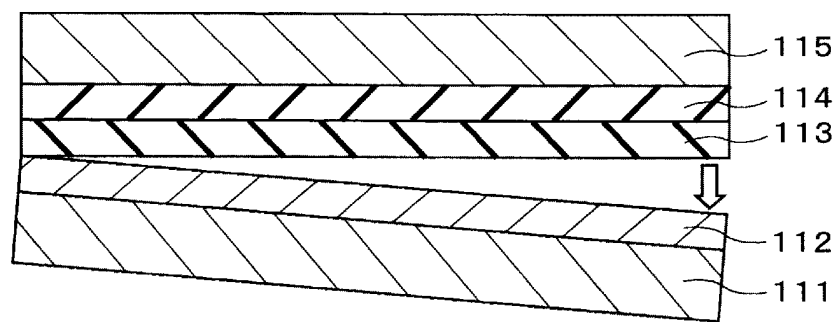


(c)

[図9]



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/303882

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-289165 A (Fujitsu Ltd.), 14 October, 2004 (14.10.04), Par. No. [0079] (Family: none)	1-26
A	JP 2003-304065 A (Sony Corp.), 24 October, 2003 (24.10.03), Par. No. [0045] & US 2003/0214027 A1	1-26

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
15 March, 2006 (15.03.06)

Date of mailing of the international search report
20 March, 2006 (20.03.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L23/12(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L23/12(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-289165 A(富士通株式会社)2004.10.14, 【0079】 (ファミリーなし)	1-26
A	JP 2003-304065 A(ソニー株式会社)2003.10.24, 【0045】 & US 2003/0214027 A1	1-26

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.03.2006

国際調査報告の発送日

20.03.2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

電話番号 03-3581-1101 内線 3471

4R

9265