

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3673479号
(P3673479)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

F I

G05F 1/56

G05F 1/56 310C

G05F 3/26

G05F 1/56 310H

H03F 1/02

G05F 3/26

H03F 3/45

H03F 1/02

H03F 3/45 A

請求項の数 2 (全 9 頁)

(21) 出願番号 特願2001-60175 (P2001-60175)
 (22) 出願日 平成13年3月5日(2001.3.5)
 (65) 公開番号 特開2002-258954 (P2002-258954A)
 (43) 公開日 平成14年9月13日(2002.9.13)
 審査請求日 平成16年5月17日(2004.5.17)

早期審査対象出願

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100062144
 弁理士 青山 稔
 (74) 代理人 100086405
 弁理士 河宮 治
 (72) 発明者 上里 英樹
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 (72) 発明者 吉井 宏治
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

審査官 櫻田 正紀

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項1】

あらかじめ設定された基準電圧を基に所定の電圧を生成して出力端子から出力するボルテージレギュレータにおいて、

上記出力端子からの出力電圧の検出を行い、該検出した出力電圧に応じた電圧を生成して出力する検出回路部と、

該検出回路部の出力電圧と上記基準電圧との差動増幅を行う1対のMOSトランジスタからなる差動対と、

該差動対に対して所定のバイアス電流の供給を行う定電流源と、

一方の出力端に接続された上記差動対における基準電圧が入力されるMOSトランジスタに対して負荷をなすと共に、該MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第1カレントミラー回路部と、

一方の出力端に接続された上記差動対における上記検出回路部からの出力電圧が入力されるMOSトランジスタに対して負荷をなすと共に、該MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第2カレントミラー回路部と、

上記第1カレントミラー回路部及び第2カレントミラー回路部の各他方の出力端に接続された第3カレントミラー回路部と、

上記第2カレントミラー回路部と該第3カレントミラー回路部との接続部の電圧を接地電圧から電源電圧未満まで制御可能であり、該接続部の電圧に応じた電流を上記出力端子から出力するMOSトランジスタを有する出力回路部と、

10

20

を備え、

上記第1カレントミラー回路部は、差動対の負荷をなす第1MOSトランジスタと、該第1MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第2MOSトランジスタとで構成され、上記第2カレントミラー回路部は、差動対の負荷をなす第3MOSトランジスタと、該第3MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第4MOSトランジスタとで構成され、更に、第3カレントミラー回路部は、第1カレントミラー回路部の上記他方の出力端に接続された第5MOSトランジスタと、第2カレントミラー回路部の上記他方の出力端に接続された第6MOSトランジスタとで構成され、上記第1MOSトランジスタに対する上記第2MOSトランジスタのサイズの割合と、上記第3MOSトランジスタに対する上記第4MOSトランジスタのサイズの割合との比が、上記第5MOSトランジスタと上記第6MOSトランジスタのサイズ比に等しいことを特徴とするボルテージレギュレータ。

10

【請求項2】

上記第3カレントミラー回路部は、第1カレントミラー回路部の上記他方の出力端から流れる電流に応じた電流を第2カレントミラー回路部の上記他方の出力端に流すように動作することを特徴とする請求項1記載のボルテージレギュレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ボルテージレギュレータに関し、特に低電圧動作及び低消費電流が要求される携帯機器等に使用されるボルテージレギュレータに関する。

20

【0002】

【従来の技術】

図3は、従来のボルテージレギュレータの回路例を示した図である。図3のボルテージレギュレータ100では、基準電圧発生回路101からの基準電圧 V_{REF} と、出力電圧 V_{OUT} の検出を行う検出回路104の抵抗102及び103で出力電圧 V_{OUT} が分圧された分圧電圧 V_{FB} は、差動増幅段105で電圧比較され、該比較結果に応じて出力段106をなすPチャネル型MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）107の制御を行って一定の出力電圧 V_{OUT} が出力される。差動増幅段105は、カレントミラー回路を形成するPチャネル型MOSトランジスタ111、112と、差動対をなすNチャネル型MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）113、114と、定電流源115とで構成されている。

30

【0003】

一方、図4は、従来のボルテージレギュレータの他の回路例を示した図であり、図4のボルテージレギュレータ100aは、図3の差動増幅段105と出力段106との間に、PMOSトランジスタ116及び定電流源117で構成された増幅段120を追加した3段の増幅段を備えるレギュレータであり、出力電圧 V_{OUT} の高速な制御を行うことができる。

【0004】

【発明が解決しようとする課題】

40

しかし、図3のボルテージレギュレータ100では、出力電圧 V_{OUT} が印加される負荷 R_L の抵抗値が小さい場合、PMOSトランジスタ107のゲート電圧が、差動増幅段105によって、ゲート-ソース間電圧 V_{gs} を確保するために低い値に制御される。

【0005】

この場合、NMOSトランジスタ113における、しきい値を V_{th} とすると共にドレイン-ソース間電圧を V_{ds} とすると、定電流源115の両端に必要な電圧とNMOSトランジスタ113における $(V_{REF} - V_{th} + V_{ds})$ を加えた電圧よりも、PMOSトランジスタ107のゲート電圧を低くすることができなかつた。このため、電源電圧 V_{DD} が低下したとき等、PMOSトランジスタ107に十分なゲート-ソース間電圧 V_{gs} が確保することができなくなると、出力電圧 V_{OUT} は低下していく。すなわち、低電源

50

電圧での正常な動作ができないという問題があった。

【0006】

これに対して、図4のボルテージレギュレータの場合、出力段106におけるPMOSトランジスタ107のゲート電圧は、ほぼ電源電圧VDDから接地電圧GNDまで制御できる。しかし、差動増幅段105、増幅段120及び出力段106の3段の増幅段を備えているため、特に低消費電流で動作させる場合、位相設計が難しくなることから、定電流源115及び117の各電流を合わせると、数十 μ A以上の電流が必要になり、低消費電流のボルテージレギュレータが必要な場合には消費電流が大きいという問題があった。

【0007】

本発明は、上記のような問題を解決するためになされたものであり、低消費電流で、かつ 10
低電源電圧動作が可能であるボルテージレギュレータを得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係るボルテージレギュレータは、あらかじめ設定された基準電圧を基に所定の電圧を生成して出力端子から出力するボルテージレギュレータにおいて、出力端子からの出力電圧の検出を行い、該検出した出力電圧に応じた電圧を生成して出力する検出回路部と、該検出回路部の出力電圧と上記基準電圧との差動増幅を行う1対のMOSトランジスタからなる差動対と、該差動対に対して所定のバイアス電流の供給を行う定電流源と、一方の出力端に接続された差動対における基準電圧が入力されるMOSトランジスタに対して負荷をなすと共に該MOSトランジスタに流れる電流に応じた電流を他方の出力端から 20
出力する第1カレントミラー回路部と、一方の出力端に接続された差動対における検出回路部からの出力電圧が入力されるMOSトランジスタに対して負荷をなすと共に該MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第2カレントミラー回路部と、第1カレントミラー回路部及び第2カレントミラー回路部の各他方の出力端に接続された第3カレントミラー回路部と、第2カレントミラー回路部と該第3カレントミラー回路部との接続部の電圧を接地電圧から電源電圧近傍まで制御可能であり、該接続部の電圧に応じた電流を上記出力端子から出力するMOSトランジスタを有する出力回路部とを備え、上記第1カレントミラー回路部は、差動対の負荷をなす第1MOSトランジスタと、該第1MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第2MOSトランジスタとで構成され、上記第2カレントミラー回路部は、差動対の負 30
荷をなす第3MOSトランジスタと、該第3MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第4MOSトランジスタとで構成され、更に、第3カレントミラー回路部は、第1カレントミラー回路部の上記他方の出力端に接続された第5MOSトランジスタと、第2カレントミラー回路部の上記他方の出力端に接続された第6MOSトランジスタとで構成され、上記第1MOSトランジスタに対する上記第2MOSトランジスタのサイズの割合と、上記第3MOSトランジスタに対する上記第4MOSトランジスタのサイズの割合との比が、上記第5MOSトランジスタと上記第6MOSトランジスタのサイズ比に等しいものである。

【0009】

具体的には、上記第3カレントミラー回路部は、第1カレントミラー回路部の他方の出力 40
端から流れる電流に応じた電流を第2カレントミラー回路部の他方の出力端に流すように動作する。

【0011】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

図1は、本発明の実施の形態におけるボルテージレギュレータの構成例を示したブロック図である。

図1において、ボルテージレギュレータ1は、所定の基準電圧VREFを生成して出力する基準電圧発生回路2と、出力電圧VOUTの検出を行い該検出した出力電圧VOUTに応じた電圧VFBを生成して出力する検出回路3と、基準電圧VREFと該検出回路3か 50

らの出力電圧 V_{FB} との差動増幅を行う1対のトランジスタで構成された差動対4とを備えている。

【0012】

また、ボルテージレギュレータ1は、電源電圧 V_{DD} と差動対4の一方のトランジスタとの間に一方の出力端が接続された第1カレントミラー回路5と、電源電圧 V_{DD} と差動対4の他方のトランジスタとの間に一方の出力端が接続された第2カレントミラー回路6と、差動対4と接地との間に接続された定電流源7とを備えている。更に、ボルテージレギュレータ1は、第1カレントミラー回路5の他方の出力端及び第2カレントミラー回路6の他方の出力端が接続された第3カレントミラー回路8と、第2カレントミラー回路6と第3カレントミラー回路8との接続部の電圧に応じた電流を負荷 R_L に出力する出力回路9とを備えている。

10

【0013】

図2は、図1で示したボルテージレギュレータ1をCMOSで形成した場合を例にして示した回路図である。

図2において、検出回路3は、出力電圧 V_{OUT} と接地との間に接続された抵抗 R_1 と R_2 との直列回路で構成されており、差動対4は、一対のNチャネル型MOSトランジスタ(以下、NMOSトランジスタと呼ぶ)QN1及びQN2で構成されている。検出回路3は、出力電圧 V_{OUT} を抵抗 R_1 と R_2 で分圧して分圧電圧 V_{FB} を生成し出力する。NMOSトランジスタQN1のゲートには基準電圧 V_{REF} が、NMOSトランジスタQN2のゲートには分圧電圧 V_{FB} がそれぞれ入力されている。NMOSトランジスタQN1及びQN2の各ソースは接続され、該接続部は定電流源7を介して接地されている。

20

【0014】

また、第1カレントミラー回路5は、Pチャネル型MOSトランジスタ(以下、PMOSトランジスタと呼ぶ)QP1及びQP2で形成されている。PMOSトランジスタQP1のゲート及びドレイン並びにPMOSトランジスタQP2のゲートは接続され、PMOSトランジスタQP1及びQP2の各ソースはそれぞれ電源電圧 V_{DD} に接続されている。更に、PMOSトランジスタQP1のドレインは、差動対4をなすNMOSトランジスタQN1のドレインに接続され、PMOSトランジスタQP2のドレインは、第3カレントミラー回路8に接続されている。

【0015】

30

同様に、第2カレントミラー回路6は、PMOSトランジスタQP3及びQP4で形成されている。PMOSトランジスタQP3のゲート及びドレイン並びにPMOSトランジスタQP4のゲートは接続され、PMOSトランジスタQP3及びQP4の各ソースはそれぞれ電源電圧 V_{DD} に接続されている。更に、PMOSトランジスタQP3のドレインは、差動対4をなすNMOSトランジスタQN2のドレインに接続され、PMOSトランジスタQP4のドレインは、第3カレントミラー回路8に接続されている。

【0016】

第3カレントミラー回路8は、カレントミラー回路を形成する同一特性のNMOSトランジスタQN3及びQN4で構成されている。NMOSトランジスタQN3のゲート及びドレイン並びにNMOSトランジスタQN4のゲートは接続され、NMOSトランジスタQN3及びQN4の各ソースはそれぞれ接地されている。更に、NMOSトランジスタQN3のドレインは、第1カレントミラー回路5を形成するPMOSトランジスタQP2のドレインに接続され、NMOSトランジスタQN4のドレインは、第2カレントミラー回路6を形成するPMOSトランジスタQP4のドレインに接続されている。

40

【0017】

NMOSトランジスタQN4とPMOSトランジスタQP4との接続部は、出力回路9をなすPMOSトランジスタQP5のゲートに接続されている。出力回路9のPMOSトランジスタQP5において、ソースは電源電圧 V_{DD} に接続され、ドレインは検出回路3の抵抗 R_1 に接続され、該接続部から出力電圧 V_{OUT} が出力される。該出力電圧 V_{OUT} は、負荷抵抗 R_L に印加される。

50

【 0 0 1 8 】

ここで、差動対 4 において、基準電圧 V_{REF} と分圧電圧 V_{FB} が釣り合っている状態から、何らかの原因で出力電圧 V_{OUT} が低下した場合の各部の動作について説明する。出力電圧 V_{OUT} が低下すると分圧電圧 V_{FB} は低下し、NMOS トランジスタ Q_{N2} のドレイン電流は、NMOS トランジスタ Q_{N1} のドレイン電流よりも低下する。このため、PMOS トランジスタ Q_{P2} のゲート電圧は低下すると共に、PMOS トランジスタ Q_{P4} のゲート電圧は上昇し、NMOS トランジスタ Q_{N4} において、ゲート - ソース電圧 V_{gs} は上昇するがドレイン電流は低下することからドレイン - ソース電圧 V_{ds} は低下する。従って、出力回路 9 の PMOS トランジスタ Q_{P5} のゲート電圧は低下して PMOS トランジスタ Q_{P5} の電流駆動能力が大きくなることにより、出力電圧 V_{OUT} を上昇させることができる。

10

【 0 0 1 9 】

次に、差動対 4 において、基準電圧 V_{REF} と分圧電圧 V_{FB} が釣り合っている状態から、何らかの原因で出力電圧 V_{OUT} が上昇した場合の各部の動作について説明する。出力電圧 V_{OUT} が上昇すると分圧電圧 V_{FB} は上昇し、NMOS トランジスタ Q_{N2} のドレイン電流は、NMOS トランジスタ Q_{N1} のドレイン電流よりも増加する。このため、PMOS トランジスタ Q_{P2} のゲート電圧は上昇すると共に、PMOS トランジスタ Q_{P4} のゲート電圧は低下し、NMOS トランジスタ Q_{N4} において、ゲート - ソース電圧 V_{gs} は低下するがドレイン電流は増加することからドレイン - ソース電圧 V_{ds} は上昇する。従って、出力回路 9 の PMOS トランジスタ Q_{P5} のゲート電圧は上昇して PMOS トランジスタ Q_{P5} の電流駆動能力が小さくなることにより、出力電圧 V_{OUT} を低下させることができる。

20

【 0 0 2 0 】

一方、差動対 4 において、基準電圧 V_{REF} と分圧電圧 V_{FB} が釣り合っている状態の各部の動作について説明する。基準電圧 V_{REF} と分圧電圧 V_{FB} が釣り合っている場合、NMOS トランジスタ Q_{N1} 、 Q_{N2} の各ドレイン電流及び PMOS トランジスタ Q_{P1} 、 Q_{P3} の各ドレイン電流はそれぞれ等しくなる。従って、PMOS トランジスタ Q_{P1} とカレントミラー回路を形成する PMOS トランジスタ Q_{P2} のドレイン電流は、PMOS トランジスタ Q_{P1} と Q_{P2} とのサイズ比に応じた値となる。同様に、PMOS トランジスタ Q_{P3} とカレントミラー回路を形成する PMOS トランジスタ Q_{P4} のドレイン電流は、PMOS トランジスタ Q_{P3} と Q_{P4} とのサイズ比に応じた値となる。

30

【 0 0 2 1 】

PMOS トランジスタ $Q_{P1} \sim Q_{P4}$ は、同じサイズのトランジスタを使用するが、例えば消費電流を低下させたい場合は、PMOS トランジスタ Q_{P1} と Q_{P2} のサイズ比及び PMOS トランジスタ Q_{P3} と Q_{P4} とのサイズ比を共に小さくして調整する。また、例えば出力電圧 V_{OUT} の変動に対する動作速度を速くしたい場合は、PMOS トランジスタ Q_{P1} と Q_{P2} のサイズ比及び PMOS トランジスタ Q_{P3} と Q_{P4} とのサイズ比を共に大きくして調整する。なお、サイズ比とは、MOS トランジスタのゲート幅の比又はゲート長の比を示している。

【 0 0 2 2 】

40

また、PMOS トランジスタ Q_{P1} のサイズ P_1 に対する PMOS トランジスタ Q_{P2} のサイズ P_2 の割合と、PMOS トランジスタ Q_{P3} のサイズ P_3 に対する PMOS トランジスタ Q_{P4} のサイズ P_4 の割合との比は、NMOS トランジスタ Q_{N3} のサイズ N_3 と NMOS トランジスタ Q_{N4} のサイズ N_4 との比に等しくなるように各 MOS トランジスタを形成するとよい。すなわち、下記 (1) 式が成り立つように各 MOS トランジスタを形成するとよい。

$$(P_2 / P_1) : (P_4 / P_3) = N_3 : N_4 \dots \dots \dots (1)$$

【 0 0 2 3 】

このような構成にすることによって、出力回路 9 の PMOS トランジスタ Q_{P5} のゲート電圧をほぼ電源電圧 V_{DD} から接地電圧まで制御することができ、より低い電源電圧 V_D

50

Dまでレギュレーション動作を行うことができる。例えば、定電流源7の両端に0.2V、差動対4をなすNMOSトランジスタQN1、QN2の各しきい値を0.3V、基準電圧VREFを0.6Vとすると、図3で示した従来のボルテージレギュレータよりも0.5V以上の低電圧化を行うことができる。また、PMOSトランジスタQP1とQP2、及びPMOSトランジスタQP3とQP4は、それぞれカレントミラー回路を構成し増幅段ではないことから、図3で示した従来のボルテージレギュレータと同様、2段の増幅段を備えたレギュレータであるため、消費電流を例えば数十 μ Aから数 μ Aに抑えて、位相設計をすることが可能となる。

【0024】

【発明の効果】

上記の説明から明かなように、本発明のボルテージレギュレータによれば、出力端子からの出力電圧に応じた電圧を生成して出力する検出回路部と、該検出回路部の出力電圧と所定の基準電圧との差動増幅を行う差動対と、該差動対に対して所定のバイアス電流の供給を行う定電流源と、一方の出力端に接続された差動対の基準電圧が入力されるMOSトランジスタの負荷をなすと共に該MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第1カレントミラー回路部と、一方の出力端に接続された差動対の検出回路部の出力電圧が入力されるMOSトランジスタの負荷をなすと共に該MOSトランジスタに流れる電流に応じた電流を他方の出力端から出力する第2カレントミラー回路部と、第1カレントミラー回路部及び第2カレントミラー回路部の各他方の出力端に接続された第3カレントミラー回路部と、第2カレントミラー回路部と該第3カレントミラー回路部との接続部の電圧を接地電圧から電源電圧近傍まで制御可能であり、該接続部の電圧に応じた電流を上記出力端子から出力するMOSトランジスタを有する出力回路部とを備えるようにした。このことから、低消費電流動作時における位相設計を容易にすることができるため消費電流の低減を図ることができると共に、低電源電圧での正常な動作を行うことができる。また、第1MOSトランジスタに対する第2MOSトランジスタのサイズの割合と、第3MOSトランジスタに対する第4MOSトランジスタのサイズの割合との比は、第5MOSトランジスタと第6MOSトランジスタとのサイズ比に等しくなるようにした。このことから、低電源電圧時においても、出力電圧を所定の電圧で一定にすることができる。

【0025】

具体的には、第3カレントミラー回路部が、第1カレントミラー回路部の他方の出力端から流れる電流に応じた電流を第2カレントミラー回路部の他方の出力端に流すようにした。このことから、2段の増幅段を備えた構成にすることができ、消費電流を抑えて位相設計を容易に行うことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態におけるボルテージレギュレータの構成例を示したブロック図である。

【図2】 図1のボルテージレギュレータをCMOSで形成した場合を例にして示した回路図である。

【図3】 従来のボルテージレギュレータの回路例を示した図である。

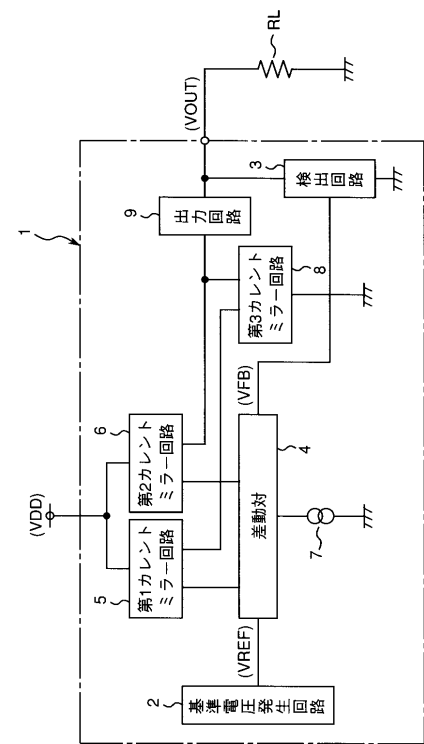
【図4】 従来のボルテージレギュレータの他の回路例を示した図である。

【符号の説明】

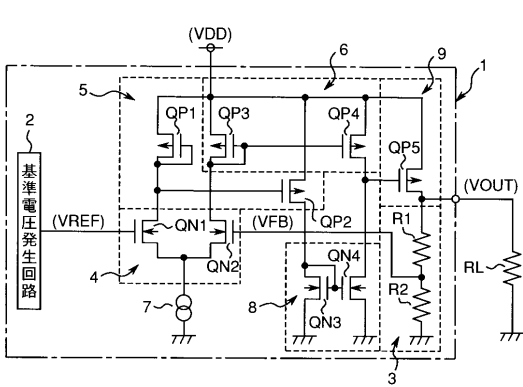
- 1 ボルテージレギュレータ
- 2 基準電圧発生回路
- 3 検出回路
- 4 差動対
- 5 第1カレントミラー回路
- 6 第2カレントミラー回路
- 7 定電流源
- 8 第3カレントミラー回路

9 出力回路
R L 負荷

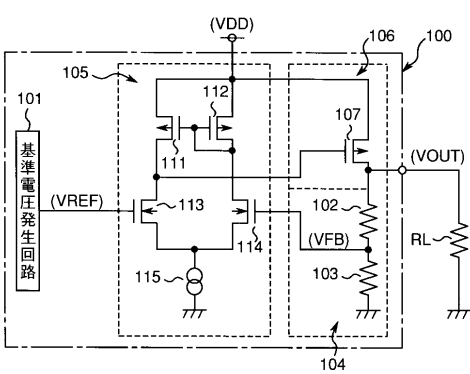
【図1】



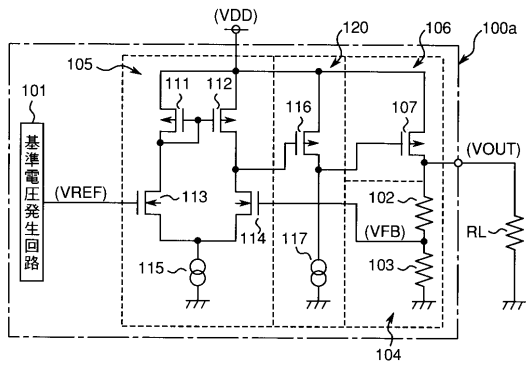
【図2】



【図3】



【図 4】



フロントページの続き

(56)参考文献 特開平10-064261(JP,A)
特開2000-293244(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G05F 1/00-1/70

G05F 3/00-3/30

H03F 1/00-3/72