



(12) 发明专利

(10) 授权公告号 CN 110177905 B

(45) 授权公告日 2021.12.10

(21) 申请号 201880007184.0

奥兹古·阿克塔斯

(22) 申请日 2018.01.10

(74) 专利代理机构 广州华进联合专利商标代理有限公司 44224

(65) 同一申请的已公布的文献号  
申请公布号 CN 110177905 A

代理人 景怀宇

(43) 申请公布日 2019.08.27

(51) Int.Cl.

(30) 优先权数据

C30B 29/40 (2006.01)

62/447,857 2017.01.18 US

C30B 29/68 (2006.01)

62/591,016 2017.11.27 US

15/864,977 2018.01.08 US

(56) 对比文件

(85) PCT国际申请进入国家阶段日  
2019.07.16

CN 102656712 A, 2012.09.05

CN 102656712 A, 2012.09.05

(86) PCT国际申请的申请数据  
PCT/US2018/013206 2018.01.10

CN 102544086 A, 2012.07.04

CN 105047695 A, 2015.11.11

(87) PCT国际申请的公布数据  
W02018/136278 EN 2018.07.26

CN 102244091 A, 2011.11.16

US 2016079370 A1, 2016.03.17

US 2011117726 A1, 2011.05.19

(73) 专利权人 克罗米斯有限公司  
地址 美国加利福尼亚州

J. Würfl 等. 高压、快速开关GaN功率晶体管的技术途径.《功能材料与器件学报》.2013, 第19卷(第6期),

审查员 石慧君

(72) 发明人 弗拉基米尔·奥德诺博柳多夫  
史帝夫·莱斯特

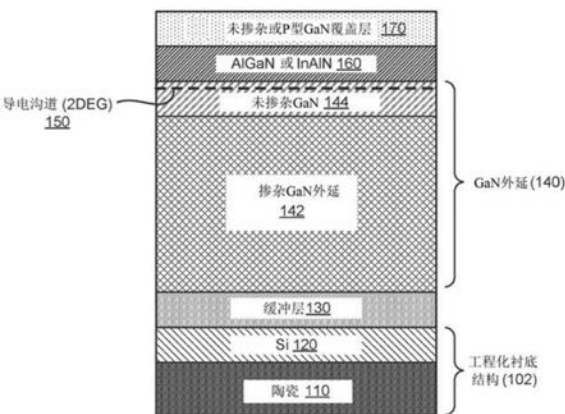
权利要求书2页 说明书16页 附图18页

(54) 发明名称

用于功率器件的氮化镓外延结构

(57) 摘要

一种用于在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法,包括:在所述工程化衬底上生长缓冲层;和在所述缓冲层上生长第一外延层。所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。



1. 一种用于在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法,所述方法包括:

提供所述工程化衬底,所述工程化衬底包括:

多晶陶瓷衬底;

封装所述多晶陶瓷衬底的阻挡层;

耦合至所述阻挡层的键合层;和

耦合至所述键合层的单晶硅层;

在所述单晶硅层上生长缓冲层;和

在所述缓冲层上生长第一外延层,其中,所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。

2. 根据权利要求1所述的方法,其中,所述第一外延层包括掺杂氮化镓GaN。

3. 根据权利要求1所述的方法,其中,所述第一外延层包括氮化铝镓AlGa<sub>N</sub>。

4. 根据权利要求2所述的方法,还包括:

生长第二外延层,所述第二外延层包括耦合至所述第一外延层的未掺杂氮化镓GaN;和

生长耦合至所述第二外延层的第三外延层;

其中,所述第二外延层与所述第三外延层之间的界面形成高电子迁移率晶体管HEMT的导电沟道。

5. 根据权利要求4所述的方法,其中,所述第三外延层包括氮化铝镓AlGa<sub>N</sub>或氮化铟铝InAl<sub>N</sub>。

6. 根据权利要求1所述的方法,其中,所述单晶硅层通过层转移工艺在所述键合层上形成。

7. 根据权利要求1所述的方法,其中,所述单晶硅层通过剥离转移到所述键合层。

8. 根据权利要求1所述的方法,还包括:形成穿过所述工程化衬底耦合至所述单晶硅层的电接触。

9. 根据权利要求1所述的方法,还包括:

生长设置于所述缓冲层与所述第一外延层之间的导电外延层;和

形成穿过所述第一外延层耦合至所述导电外延层的电接触。

10. 根据权利要求9所述的方法,还包括:形成设置于所述缓冲层与所述导电外延层之间的氮化硅的局部单层。

11. 一种用于在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法,所述方法包括:

提供所述工程化衬底,所述工程化衬底包括:

多晶陶瓷衬底;

封装所述多晶陶瓷衬底的阻挡层;

耦合至所述阻挡层的键合层;和

耦合至所述键合层的单晶硅层;

在所述单晶硅层上生长缓冲层;

生长耦合至所述缓冲层的第一外延层,其中,所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数;

生长耦合至所述第一外延层的氮化铝镓AlGa<sub>N</sub>背阻挡层;

生长耦合至所述氮化铝镓AlGa<sub>N</sub>背阻挡层的未掺杂氮化镓Ga<sub>N</sub>层;和

生长耦合至所述未掺杂氮化镓Ga<sub>N</sub>层的阻挡层。

12. 根据权利要求11所述的方法,其中,所述第一外延层包括非故意掺杂的氮化镓Ga<sub>N</sub>。

13. 根据权利要求11所述的方法,其中,所述第一外延层包括未掺杂氮化镓Ga<sub>N</sub>和掺杂氮化镓Ga<sub>N</sub>的交替层。

14. 根据权利要求13所述的方法,其中,所述掺杂氮化镓Ga<sub>N</sub>包括碳掺杂的氮化镓C-Ga<sub>N</sub>或铁掺杂的氮化镓Fe-Ga<sub>N</sub>。

15. 根据权利要求11所述的方法,其中,所述氮化铝镓AlGa<sub>N</sub>背阻挡层的铝摩尔分数在3%至15%的范围。

16. 根据权利要求11所述的方法,其中,所述工程化衬底包括单晶膜,所述单晶膜键合至包括多晶陶瓷芯的结构。

17. 一种外延半导体结构,包括:

工程化衬底,其具有衬底热膨胀系数,所述工程化衬底包括:

多晶陶瓷芯;

封装所述多晶陶瓷芯的阻挡层;

耦合至所述阻挡层的键合层;和

耦合至所述键合层的单晶硅层;

缓冲层,其耦合至所述单晶硅层;和

第一外延层,其形成于所述缓冲层上,其中所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。

18. 根据权利要求17所述的外延半导体结构,其中,所述第一外延层包括掺杂氮化镓Ga<sub>N</sub>。

19. 根据权利要求17所述的外延半导体结构,其中,所述第一外延层包括氮化铝镓AlGa<sub>N</sub>。

20. 根据权利要求17所述的外延半导体结构,还包括:

第二外延层,其包括耦合至所述第一外延层的未掺杂Ga<sub>N</sub>;和

第三外延层,其耦合至所述第二外延层;

其中,所述第二外延层与所述第三外延层之间的界面形成高电子迁移率晶体管HEMT的导电沟道。

21. 根据权利要求20所述的外延半导体结构,其中,所述第三外延层包括氮化铝镓AlGa<sub>N</sub>或氮化铟铝InAl<sub>N</sub>。

22. 根据权利要求17所述的外延半导体结构,其中,所述单晶硅层通过剥离转移到所述键合层。

## 用于功率器件的氮化镓外延结构

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年01月18日提交的申请号为62/447,857的美国临时专利申请、2017年11月27日提交的申请号为62/591,016的美国临时专利申请和2018年01月08日提交的申请号为15/864,977的美国非临时专利申请的权益,其全部内容通过引用的方式并入本文。

### 背景技术

[0003] 通常,基于氮化镓的功率器件外延生长在蓝宝石衬底上。由于衬底和外延层由不同的材料组成,因此基于氮化镓的功率器件在蓝宝石衬底上的生长是一种异质外延生长过程。由于这种异质外延的生长过程,外延生长材料会呈现出各种负面影响,这些负面影响包括均匀性的降低和与外延层的电子/光学特性相关联的度量标准(metric)的降低。因此,该领域中需要与外延生长工艺和衬底结构相关的改进的方法和系统。

### 发明内容

[0004] 根据本发明的一些实施例,一种用于在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法包括:在所述工程化衬底上生长缓冲层;和在所述缓冲层上生长第一外延层。所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。

[0005] 根据本发明的一些其他实施例,一种在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法包括:在所述工程化衬底上生长缓冲层;和在所述缓冲层上生长一个或多个外延层。所述一个或多个外延层中的至少一个的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。在一些实施例中,所述一个或多个外延层可以包括交替的未掺杂GaN层和掺杂GaN层的超晶格。掺杂GaN可以包括碳掺杂的GaN(C-GaN)或铁掺杂的GaN(Fe-GaN)。所述方法还可以包括:生长耦合至所述超晶格的未掺杂GaN层;和生长耦合至所述未掺杂GaN层的第一外延层。所述第一外延层可以包括氮化铝镓(AlGa<sub>N</sub>)或氮化铟铝(InAlN)。所述未掺杂GaN层与所述第一外延层之间的界面可以形成高电子迁移率晶体管(HEMT)的导电沟道150。所述工程化衬底可以包括多晶陶瓷芯、封装所述多晶陶瓷芯的阻挡层、耦合至所述阻挡层的键合层和耦合至所述键合层的实质单晶硅层。所述缓冲层可以包括AlN、AlGa<sub>N</sub>或AlN/AlGa<sub>N</sub>中的至少一种。

[0006] 根据本发明的一些其他实施例,一种用于在具有衬底热膨胀系数的工程化衬底上制备多层器件的方法包括:在所述工程化衬底上生长缓冲层;和生长耦合至所述缓冲层的第一外延层。所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。所述方法还包括:生长耦合至所述第一外延层的氮化铝镓(AlGa<sub>N</sub>)背阻挡层;生长耦合至所述AlGa<sub>N</sub>背阻挡层的未掺杂氮化镓(GaN)层;和生长耦合至所述未掺杂GaN层的阻挡层。

[0007] 根据本发明的一些其他实施例,一种外延半导体结构包括:工程化衬底,其具有衬底热膨胀系数;缓冲层,其形成于所述工程化衬底上;和第一外延层,其形成于所述缓冲层

上。所述第一外延层的特征是具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。

## 附图说明

[0008] 图1为示出了根据本发明的实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0009] 图2为示出了根据本发明的另一个实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0010] 图3为示出了根据本发明的实施例的形成在具有背面接触(back-side contact)的工程化衬底结构上的功率器件的简化的截面示意图。

[0011] 图4为示出了根据本发明的实施例的形成在具有前面接触(front-side contact)的工程化衬底结构上的功率器件的简化的截面示意图。

[0012] 图5为示出了根据本发明的实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0013] 图6为示出了根据本发明的另一个实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0014] 图7为示出了根据本发明的又一个实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0015] 图8为示出了根据本发明的一些其他实施例的形成在工程化衬底结构上的功率器件的简化的截面示意图。

[0016] 图9A示出了根据一些实施例的没有AlGa<sub>N</sub>背阻挡层的HEMT的示范导带图。

[0017] 图9B示出了根据一些其他实施例的具有AlGa<sub>N</sub>背阻挡层的HEMT的示范导带图。

[0018] 图10为示出了根据本发明的实施例的适用于在功率器件的制造中使用的衬底结构的简化的截面示意图。

[0019] 图11为示出了根据本发明的实施例的工程化衬底结构的简化的截面示意图。

[0020] 图12为示出了根据本发明的一些实施例的工程化衬底结构的简化的示意图。

[0021] 图13为示出了根据本发明的一些其他实施例的工程化衬底结构的简化的示意图。

[0022] 图14为示出了根据本发明的一些进一步实施例的工程化衬底结构的简化的示意图。

[0023] 图15为示出了根据本发明的一些实施例的制造工程化衬底的方法的简化的流程图。

[0024] 图16为示出了根据本发明的一些实施例的用于在工程化衬底上制造多层器件的方法的简化的流程图。

[0025] 图17为示出了根据本发明的一些其他实施例的用于在工程化衬底上制造多层器件的方法的简化的流程图。

[0026] 图18为示出了根据本发明的一些进一步实施例的用于在工程化衬底上制造多层器件的方法的简化的流程图。

## 具体实施方式

[0027] 本发明通常涉及形成在工程化衬底上的功率器件。更具体地,本发明涉及适用于

利用外延生长工艺来制造功率器件的方法和系统。仅仅通过示例的方式,本发明已应用至用于通过外延生长在衬底上制造功率器件的方法和系统,其中所述衬底的特征在于与形成所述功率器件的外延层实质上匹配的热膨胀系数(coefficient of thermal expansion, CTE)。所述方法和技术可以应用至各种半导体工艺操作中。

[0028] 图1为示出了根据本发明的实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底结构102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面。陶瓷衬底110的CTE可以与一种或多种随后的外延层的CTE实质上匹配。

[0029] 在硅层120上可以外延地形成有缓冲层130。缓冲层130可以包括一层或多层。在一些实施例中,缓冲层130可以相对较薄,例如厚度小于0.5微米。缓冲层130可以包括,例如,厚度约0.2 $\mu\text{m}$ 的AlN、厚度约0.125 $\mu\text{m}$ 的Al<sub>0.25</sub>Ga<sub>0.75</sub>N、它们的组合等。相对较薄的含铝缓冲层(例如0.2 $\mu\text{m}$  AlN/0.125 $\mu\text{m}$  Al<sub>0.25</sub>Ga<sub>0.75</sub>N)能够在大直径的衬底上支撑大于8微米的GaN外延,使用硅衬底不能制造大于8微米的GaN外延。

[0030] 在缓冲层130上可以形成有GaN外延层140。在一些实施例中,GaN外延层140的厚度可以大于8  $\mu\text{m}$ ,用于耐高压。例如,在随后的形成于GaN外延层140上的功率器件中,可以获得大于500 V或600 V的击穿电压。如图1所示,GaN外延层140可以包括在导电沟道150下方(例如紧下方)的掺杂GaN外延层142和未掺杂GaN外延层144。掺杂GaN外延层142可以具有5  $\mu\text{m}$ 或更大的厚度。在一些实施例中,掺杂GaN外延层142可以包括C或Fe掺杂的GaN,以提供高电阻。如本文更加充分地讨论的,低导电率层可以被形成为例如C-GaN层或Fe-GaN层,C-GaN层或Fe-GaN层的本底掺杂水平(自由载流子密度)为大约 $1 \times 10^{12} \text{ cm}^{-3}$ ,因为碳或铁抵消了本底杂质或提供了深中心(deep center)。

[0031] 虽然本文讨论了GaN层,但是本发明不限于GaN并且可以利用其他III-V材料,包括AlGaN、InGaN、InAlGaN及其组合等等。本领域普通技术人员可以意识到多种变化、修改和替代。

[0032] AlGaN或InAlN层160可以作为阻挡层形成在GaN外延层140上。在AlGaN/GaN界面,由于在异质界面处的极化诱导电荷,可能导致二维电子气(two-dimensional electron gas, 2DEG)。二维电子气形成高电子迁移率晶体管(HEMT)功率器件的导电沟道150。

[0033] 在一些实施例中,可以在AlGaN或InAlN层160上形成可选择的未掺杂或p型GaN覆盖层,以适合于制造增强模式器件。

[0034] 由于陶瓷衬底110的CTE可以与GaN外延层的CTE实质上匹配,因此相对较薄的缓冲层130(例如小于0.5  $\mu\text{m}$ )可以支撑相对较厚的GaN外延层140(例如大于5  $\mu\text{m}$ )。

[0035] 图2为示出了根据本发明的实施例的形成在工程化衬底结构202上的功率器件的简化的截面示意图。工程化衬底结构202可以包括陶瓷衬底110,薄硅锗(SiGe)层220形成于陶瓷衬底110上。硅锗层220可以为随后的外延生长提供晶格匹配的表面。陶瓷衬底110的CTE可以与随后的外延层的CTE实质上匹配。硅锗层220可以外延地生长于Si层(未示出)上,或者可以(例如通过将施主衬底(施主衬底上形成有SiGe层)与陶瓷衬底键合)从施主衬底转移。

[0036] 在SiGe层220上可以外延地形成有缓冲层130。缓冲层130可以包括一层或多层。在一些实施例中,缓冲层130可以相对较薄,例如厚度小于0.5微米。缓冲层130可以包括例如

厚度约0.2 $\mu\text{m}$ 的AlN、厚度约0.125 $\mu\text{m}$ 的Al<sub>0.25</sub>Ga<sub>0.75</sub>N、它们的组合等。相对较薄的含铝缓冲层(例如0.2 $\mu\text{m}$  AlN/0.125 $\mu\text{m}$  Al<sub>0.25</sub>Ga<sub>0.75</sub>N)能够在大直径衬底上支持大于8微米的GaN外延,使用硅衬底不能制造大于8微米的GaN外延。

[0037] 在缓冲层130上可以形成有GaN外延层140。在一些实施例中,GaN外延层140的厚度可以大于8  $\mu\text{m}$ ,用于耐高压。例如,在随后形成于GaN外延层上的功率器件中,可以获得大于500 V或600 V的击穿电压。如图2所示,GaN外延层可以包括例如在导电沟道150下方(例如紧下方)的5  $\mu\text{m}$ 的掺杂外延层142和未掺杂GaN外延层144。在一些实施例中,掺杂外延层142可以包括C或Fe掺杂的GaN。虽然本文讨论了GaN层,但是本发明不限于GaN并且可以利用其他的III-V材料,包括AlGaIn、InGaIn、InAlGaIn及其组合等等。本领域普通技术人员将认识到许多变形、改变和替代。

[0038] AlGaIn或InAlN层160可以作为阻挡层形成在GaN外延层140上。在AlGaIn/GaN界面,由于在异质界面处的极化诱导电荷,可能导致二维电子气(2DEG)。二维电子气形成高电子迁移率晶体管(HEMT)功率器件的导电沟道150。

[0039] 在一些实施例中,可以在AlGaIn或InAlN层160上形成可选择的未掺杂或p型GaN覆盖层,以适合于制造增强模式器件。

[0040] 图3为示出了根据本发明的实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底结构102可以包括陶瓷衬底110,薄Si层120形成于陶瓷衬底110上。Si层120可以为随后的外延生长提供表面。陶瓷衬底110的CTE可以与随后的外延层的CTE实质上匹配。

[0041] 功率器件还可以包括外延地形成于Si层120上的缓冲层130、形成于缓冲层130上的GaN外延层140和形成于GaN外延层140上的AlGaIn或InAlN阻挡层160,与图1所示的功率器件实质上相似。GaN外延层140可以包括在导电沟道150下方(例如紧下方)的5  $\mu\text{m}$ 的掺杂外延层142和未掺杂GaN外延层144。GaN外延层140还可以包括在掺杂外延层下方的一个或多个导电外延层(例如,如图4所示)。

[0042] 功率器件还可以包括至Si层120或GaN外延层140的电接触310,电接触310穿过陶瓷衬底110形成。在功率器件运行期间,一些寄生电荷可能积累于Si层120和/或缓冲层130中,从而导致寄生电容。电接触310可以促进寄生电荷的移除,从而使功率器件的切换更快。

[0043] 图4为示出了根据本发明的实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底结构102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面。陶瓷衬底110的CTE可以与随后的外延层的CTE实质上匹配。

[0044] 可以在缓冲层130上形成GaN外延层140。在一些实施例中,GaN外延层140的厚度可以大于8  $\mu\text{m}$ ,用于耐高压。例如,在随后形成于GaN外延层140上的功率器件中,可以获得大于500 V或600 V的击穿电压。如图4所示,GaN外延层140可以包括例如在导电沟道150下方(例如紧下方)的导电GaN外延层420、掺杂GaN外延层142和未掺杂GaN外延层144。在一些实施例中,掺杂外延层142可以包括C或Fe掺杂的GaN。虽然本文讨论了GaN层,但是本发明不限于GaN并且可利用其他III-V材料,包括AlGaIn、InGaIn、InAlGaIn及其组合等等。本领域普通技术人员将认识到许多变形、改变和替代。

[0045] AlGaIn或InAlN层160可以作为阻挡层形成在GaN外延层140上。在AlGaIn/GaN界面,

由于在异质界面处的极化诱导电荷,可能产生二维电子气(2DEG)。二维电子气形成高电子迁移率晶体管(HEMT)功率器件的导电沟道150。

[0046] 在一些实施例中,可以在AlGa<sub>N</sub>或InAl<sub>N</sub>层160上形成可选择的未掺杂或p型Ga<sub>N</sub>覆盖层170,以适合于制造增强模式器件。

[0047] 功率器件还可以包括至Si层120或Ga<sub>N</sub>外延层140的电接触410,电接触410穿过功率器件的前面形成。虽然图4显示电接触穿过Ga<sub>N</sub>外延层140延伸至缓冲层130,但是在一些实施例中,电接触可以延伸至Si层120。电接触在其侧壁上可以是绝缘的,以使其不与AlGa<sub>N</sub>或InAl<sub>N</sub>层160和Ga<sub>N</sub>外延层140电连接。电接触410可以促进寄生电荷的移除,从而使功率器件的切换更快。

[0048] 图5为示出了根据本发明的另一个实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面,硅层120可以是单晶层。陶瓷衬底110的CTE可以与一种或多种随后的外延层的CTE实质上匹配。

[0049] 如图5所示,可以插入Si<sub>N</sub>的局部单层(partial monolayer)510,以促进3D生长的位错的减少。由于使用了多晶陶瓷芯衬底110,工程化衬底102的使用可以降低外延层中的压应力。如图5所示,Si<sub>N</sub>的局部单层510可以提供Si<sub>N</sub>岛,Si<sub>N</sub>岛用于在横向过生长过程中降低位错密度和提高晶体质量。额外的描述被提供在于2015年4月21日发布的专利号为9,012,253的美国专利中,其内容通过全文引用的方式并入本文,以用于所有目的。

[0050] Si<sub>N</sub>的局部单层510可以覆盖部分缓冲层130,并且为Ga<sub>N</sub>外延生长提供拉伸应力。Ga<sub>N</sub>在Si<sub>N</sub>的局部单层510上的再生长可以导致Si<sub>N</sub>岛之间的成核与Si<sub>N</sub>岛上的横向过生长,从而导致位错的终止并提高晶体质量。虽然本文讨论了Si<sub>N</sub>岛,可以使用其他局部层,包括Si<sub>N</sub>条的阵列等。另外,Si<sub>N</sub>不是必需被形成为单层,而是可以具有大于单层的预设厚度。除了Si<sub>N</sub>,在横向过生长过程中可以使用其他材料,包括SiO<sub>2</sub>等。

[0051] 在一些实施例中,使用了多个局部单层。在这些实施例中,形成第一局部单层,进行第一横向过生长,形成第二局部单层,进行第二横向过生长,并且单层/再生长结构可以重复预设的次数,以提供多个夹层。横向过生长层的厚度可以变化,例如在一些实施例中从0.5 μm至2.5 μm。由于横向过生长层相继变得更加平坦并且以降低的缺陷数量和/或位错数量为特点,局部单层510可以为随后的横向过生长层提供改进的表面,这可以增加或降低厚度,以适于特定应用。

[0052] 在一些实施例中,形成于Si<sub>N</sub>的局部单层510上的导电外延层520可以是未掺杂的Ga<sub>N</sub>(u-Ga<sub>N</sub>),未掺杂的Ga<sub>N</sub>的特点为大约 $1 \times 10^{16} \text{ cm}^{-3}$ 的低掺杂密度,在设计中,其提供了作为整个外延结构的组成部分的高电阻层。

[0053] 图6为示出了根据本发明的另一个实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面,硅层120可以是单晶层。陶瓷衬底110的CTE可以与一种或多种随后的外延层的CTE实质上匹配。

[0054] 如图6所示,具有预设铝摩尔分数(x)的Al<sub>x</sub>Ga<sub>1-x</sub>N外延层640从缓冲层130延伸至沟道150下方的未掺杂Ga<sub>N</sub>层144。铝摩尔分数可以是低的,例如小于10 %,以提供所需的对载流子的限制。在其他实施例中,铝摩尔分数的范围可以为10 %至30 %。Al<sub>x</sub>Ga<sub>1-x</sub>N外延层640



可以与铁或碳掺杂以进一步提高该外延层的电阻率,该外延层可以用作绝缘层或阻挡层。  
AlGa<sub>N</sub>和Ga<sub>N</sub>之间的带隙差异可以提供对击穿的额外障碍。

[0055] 图7为示出了根据本发明的另一个实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底结构102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面,硅层120可以是单晶层。陶瓷衬底110的CTE可以与一种或多种随后的外延层的CTE实质上匹配。

[0056] 在图7中,通过生长交替的C-GaN(或Fe-GaN)层和未掺杂Ga<sub>N</sub>(u-GaN)层来形成外延结构740,以提供高电阻和高的晶体质量。由于与C-GaN或Fe-GaN相比,u-GaN通常在更高的温度下生长,超晶格中u-GaN的存在可以导致更好的晶体质量,因为更高的生长温度通常与更高品质的晶体相关联。因此,这种结构保持了外延层的绝缘性能,这提供了高击穿性能,同时提高了晶体质量。在一些实施例中,即使没有故意掺杂,由于存在于生长室中的掺杂剂的掺入,u-GaN具有大约 $1 \times 10^{16} \text{ cm}^{-3}$ 的本底掺杂水平。这些具有低导电率的层可以与超晶格中的C-GaN或Fe-GaN层结合,由于碳或铁抵消了本底杂质,C-GaN或Fe-GaN层具有大约 $1 \times 10^{12} \text{ cm}^{-3}$ 的本底掺杂水平(自由载流子密度)。因此,超晶格可以提供高电阻和高晶体质量。

[0057] 图8为示出了根据本发明的另一个实施例的形成在工程化衬底结构102上的功率器件的简化的截面示意图。工程化衬底结构102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。硅层120可以为随后的外延生长提供表面,硅层120可以是单晶层。陶瓷衬底102的CTE可以与一种或多种随后的外延层的CTE实质上匹配。可以在Si层120上外延地形成缓冲层130。可以在缓冲层130上形成非故意掺杂的Ga<sub>N</sub>(UID-GaN)外延层840(或交替的C-GaN(或Fe-GaN)层和未掺杂Ga<sub>N</sub>(uGa<sub>N</sub>)层),如上文参照图1和图7所讨论的。

[0058] 仍参照图8,可以在UID-GaN层840(或交替的C-GaN(或Fe-GaN)层和uGa<sub>N</sub>层)上形成未掺杂的低组分AlGa<sub>N</sub>层810。未掺杂的低组分AlGa<sub>N</sub>层810可以被称作背阻挡层(back barrier layer)。可以在未掺杂的低组分AlGa<sub>N</sub>层810上形成未掺杂Ga<sub>N</sub>层144。可以在未掺杂Ga<sub>N</sub>层810上形成AlGa<sub>N</sub>(或InGa<sub>N</sub>)层160。AlGa<sub>N</sub>(或InGa<sub>N</sub>)层160可以被称作阻挡层。在AlGa<sub>N</sub>/Ga<sub>N</sub>界面,由于在异质界面处的极化诱导电荷,可能产生二维电子气(2DEG)。二维电子气形成高电子迁移率晶体管(HEMT)功率器件的导电沟道150。低组分AlGa<sub>N</sub>层840(即背阻挡层)的加入可以增强导电沟道150中电子的滞留并且阻止电子作为泄漏电流渗透到UID-GaN层840(或交替的C-GaN(或Fe-GaN)层和uGa<sub>N</sub>层)中,如下文所讨论的。

[0059] 图9A示出了根据一些实施例的没有背阻挡层的HEMT的示范导带(CB)图。AlGa<sub>N</sub>阻挡层160的铝摩尔分数的范围可以为约10 %至约100 %,并且厚度 $d_1$ 的范围可以为约1 nm至约100 nm。Ga<sub>N</sub>层144(即沟道)的厚度 $d_2$ 的范围可以为约10 nm至约100 nm。UID-GaN层840的厚度 $d_3$ 可以大于约8  $\mu\text{m}$ ,用于耐高压,如上文所讨论的。如图9A所示,AlGa<sub>N</sub>阻挡层160的导带可以相对于费米能级( $E_F$ )形成第一势垒高度 $E_{B1}$ ,第一势垒高度 $E_{B1}$ 的范围可以为约1 eV至约4 eV。UID-GaN层840的导带可以相对于费米能级( $E_F$ )形成第二势垒高度 $E_{B2}$ ,第二势垒高度 $E_{B2}$ 可以实质上低于第一势垒高度 $E_{B1}$ 。在一些实施例中, $E_{B2}$ 的范围可以为约0.2 eV至1.5 eV。因此,沟道(2DEG)150中的电子可以很容易地渗透到UID-GaN层840中,从而产生泄漏电流。

[0060] 图9B示出了根据另一个实施例的具有低组分AlGa<sub>N</sub>背阻挡层810的HEMT的示范导

带(CB)图。为了清晰起见,关于图9A所示的组成部分将不再重复。低组分AlGa<sub>N</sub>背阻挡层810的铝摩尔分数的范围可以为约1%至约50%,例如约3%至约15%,厚度 $d_4$ 的范围可以为约0.1  $\mu\text{m}$ 至约1  $\mu\text{m}$ ,例如约0.2  $\mu\text{m}$ 至约0.3  $\mu\text{m}$ 。在一些实施例中,AlGa<sub>N</sub>背阻挡层810可以是未掺杂的。如图所示,低组分AlGa<sub>N</sub>背阻挡层810可以相对于费米能级( $E_F$ )形成第三势垒高度 $E_{B3}$ ,与如图9A中所示的由没有低组分AlGa<sub>N</sub>背阻挡层810的UID-GaN层840形成的第二势垒高度 $E_{B2}$ 相比,第三势垒高度 $E_{B3}$ 相对较高。在一些实施例中, $E_{B3}$ 的范围为1 eV至3 eV。因此,低组分AlGa<sub>N</sub>背阻挡层810的加入可以阻止沟道(2DEG)中的电子渗透到UID-GaN层中,从而减少了穿过衬底的泄漏电流。

[0061] 图10为示出了根据本发明的实施例的适用于在功率器件的制造中使用的衬底结构102的简化的截面示意图。参照图10,可以提供包括多晶陶瓷芯110的工程化衬底102(其可以包括图11中所示的组成部分)。(例如使用层转移工艺)将单晶层120(例如单晶硅)接合至多晶陶瓷芯110,以提供单晶生长表面。可以在单晶层120上生长缓冲层130,并且在缓冲层130上生长III-V外延层1040(例如GaN)。III-V外延层1040的CTE可以与多晶陶瓷芯110的芯的CTE实质上匹配。III-V外延层1040可以是单晶的,具有在某种程度上由CTE匹配导致的高品质。

[0062] 图11为示出了根据本发明的一些实施例的工程化衬底结构的简化的示意图。如图11所示,所述工程化衬底结构可以适用于各种电子和光学应用。所述工程化衬底结构包括芯1110(例如AlN衬底),芯1110的热膨胀系数(CTE)可以与将要生长于所述工程化衬底结构上(例如剥离硅(111)层1125上)的外延材料的CTE实质上匹配。

[0063] 对于包括基于氮化镓(gallium nitride, GaN)的材料(包括基于GaN的层的外延层)的生长的应用,所述芯1110可以为多晶陶瓷材料,例如,多晶氮化铝(aluminum nitride, AlN),其可以包括粘结材料,例如氧化钇。其他材料也可以应用在芯中,包括多晶氮化镓(GaN)、多晶氮化铝镓(AlGa<sub>N</sub>)、多晶碳化硅(SiC)、多晶氧化锌(ZnO)、多晶三氧化二镓(Ga<sub>2</sub>O<sub>3</sub>)等。

[0064] 芯1110的厚度可以为大约100 $\mu\text{m}$ 至1500 $\mu\text{m}$ ,例如,为750 $\mu\text{m}$ 。芯1110可以封装在粘附层1112中,该粘附层1112可以被称为壳或者封装壳。在一个实施例中,所述粘附层1112包括正硅酸乙酯(tetraethyl orthosilicate, TEOS)氧化层,该氧化层的厚度为大约1000 $\text{\AA}$ 。在其他的实施例中,所述粘附层1112的厚度是变化的,例如在100 $\text{\AA}$ 到2000 $\text{\AA}$ 的范围内变化。虽然在一些实施例中使用TEOS氧化物用于粘附层1112,但是根据本发明的实施例,也可以使用在随后的沉积层与下面的层或材料(例如,陶瓷,特别的,多晶陶瓷)之间提供粘附的其他材料。例如,二氧化硅(SiO<sub>2</sub>)或者其他硅氧化物(Si<sub>x</sub>O<sub>y</sub>)很好地粘附到陶瓷材料并且为随后的沉积(例如,导电材料的沉积)提供合适的表面。在一些实施例中,所述粘附层1112完全地围绕芯1110,以形成完全封装的芯1110,并且可以利用LPCVD(low-pressure chemical vapor deposition, 低压化学气相沉积)工艺或其他适用的沉积工艺来形成粘附层1112,所述沉积工艺可以与半导体工艺兼容,特别是与多晶或复合的衬底和层兼容。所述粘附层1112提供有这样的表面:随后的层粘附在该表面上,以形成工程化衬底结构的组成部分。

[0065] 根据本发明的实施例,除了使用LPCVD工艺、在玻璃/电介质上旋涂、基于熔炉的工艺等来形成封装的粘附层之外,也可以使用其他半导体工艺,包括CVD(chemical vapor deposition, 化学气相沉积)工艺或者类似的沉积工艺。作为示例,可以使用涂覆芯1110的

一部分的沉积工艺,所述芯1110可以被翻转,并且可以重复所述沉积过程,以涂覆芯1110的其他部分。因此,虽然在一些实施例中使用LPCVD技术来提供完全封装的结构,但是根据特定应用,也可以使用其他膜形成技术。

[0066] 参照图11,围绕所述粘附层1112形成导电层1114。在一个实施例中,由于多晶硅表现出对于陶瓷材料的差粘附性,所述导电层1114是围绕粘附层1112形成的多晶硅(polysilicon)(即,多晶硅(polycrystalline silicon))壳。在导电层1114是多晶硅的实施例中,多晶硅层的厚度可以为大约500Å至5000Å,例如为2500Å。在一些实施例中,所述多晶硅层可以形成壳,以完全地包围粘附层1112(例如,TEOS氧化层),从而形成了完全封装的粘附层1112,并且其可以利用LPCVD工艺来形成。在其他的实施例中,如下文所讨论的,导电材料可以形成在粘附层1112的一部分上,例如,形成在衬底结构的下半部分。在一些实施例中,所述导电材料可以形成完全封装层,并且随后在衬底结构的一侧上移除。

[0067] 在一个实施例中,所述导电层1114可以为掺杂的多晶硅层,以提供高导电材料,例如,掺杂硼以提供P型多晶硅层。在一些实施例中,硼的掺杂在 $1 \times 10^{19} \text{ cm}^{-3}$ 到 $1 \times 10^{20} \text{ cm}^{-3}$ 的水平,以提供高导电性。可以使用不同掺杂剂浓度的其他掺杂剂(例如,掺杂剂浓度在 $1 \times 10^{16} \text{ cm}^{-3}$ 到 $5 \times 10^{18} \text{ cm}^{-3}$ 范围内的磷、砷、铋等)来提供适用于在导电层1114中使用的N型或P型半导体材料。本领域普通技术人员可以意识到多种变化、修改和替代。

[0068] 在将工程化衬底静电吸附到半导体处理工具(例如具有静电吸盘(ESC或者e-chuck)的工具)期间,所述导电层1114的存在是有用的。导电层可以实现在半导体处理工具中进行处理之后的快速去吸附。在本发明的实施例中,在将来的处理(包括键合)期间,所述导电层1114可以实现与吸盘(chuck)的电接触或者与静电吸盘(e-chuck)的电容耦合。因此,本发明的实施例提供了可以用传统硅片所使用的方式来进行处理的衬底结构。本领域普通技术人员可以意识到多种变化、修改和替代。另外,使具有高导热率的衬底结构与静电吸盘结合可以为随后工程化层和外延层的形成以及随后的器件制造步骤提供更好的沉积条件。例如,它可以提供所需的热分布,该热分布通过随后层的形成可以获得较小的应力、更均匀的沉积厚度、以及更好的化学计量控制。

[0069] 围绕所述导电层1114形成有第二粘附层1116(例如,厚度为大约1000Å的TEOS氧化层)。在一些实施例中,第二粘附层1116完全包围导电层1114,以形成完全封装的结构,并且可以使用LPCVD工艺、CVD工艺或者任何其它合适的沉积工艺(包括在电介质上旋涂的沉积)来形成第二粘附层1116。

[0070] 围绕第二粘附层1116形成有阻挡层1118,例如,氮化硅层。在一个实施例中,阻挡层1118为厚度为大约2,000Å至5000Å的氮化硅层。在一些实施例中,阻挡层1118完全包围第二粘附层1116,以形成完全封装的结构,并且可以利用LPCVD工艺来形成该阻挡层1118。除了氮化硅层,也可以使用非晶态材料(包括碳氮化硅(SiCN)、氮氧化硅(SiON)、氮化铝(AlN)、碳化硅(SiC)等)来作为阻挡层1118。在一些实施例中,阻挡层1118由被构建以形成阻挡层1118的多个子层组成。因此,术语“阻挡层”并不旨在意为单层或者单一材料,而是涵盖以复合方式分层的一种或多种材料。本领域普通技术人员可以意识到多种变化、修改和替代。

[0071] 在一些实施例中,阻挡层1118(例如氮化硅层)防止(例如在高温(例如,1000℃)外延生长过程期间)存在于芯中的元素(例如,钇(元素)、氧化钇(yttrium oxide,即氧化钇

(yttria))、氧、金属杂质、其它痕量元素等)扩散和/或放气进入可以存在工程化衬底的半导体处理室的环境中。通过使用在本文描述的封装层,可以在半导体工艺流程和洁净的室环境中使用陶瓷材料,所述陶瓷材料包括被设计用于非洁净的室环境的多晶氮化铝。

[0072] 典型地,用于形成芯的陶瓷材料在1800°C的范围内的温度下进行烧制。将预料到该过程可以祛除陶瓷材料中存在的大量的杂质。这些杂质可以包括钇(这是由于使用钇作为烧结剂)、钙以及其他元素和化合物。随后,在800°C至1100°C范围内的更低的温度下进行的外延生长过程期间,将预料到这些杂质的后续扩散将是微不足道的。然而,与传统预期相反,发明人已经确定即使在温度远低于陶瓷材料的烧制温度的外延生长过程期间,也存在元素通过工程化衬底的层的显著扩散。因此,本发明的实施例将阻挡层1118集成到工程化衬底结构中以防止这种不希望的扩散。

[0073] 再次参照图11,在阻挡层1118的一部分(例如阻挡层1118的顶表面)上沉积键合层1120(例如,氧化硅层),并且随后在键合实质单晶层1125(例如,诸如图11中示出的剥离硅(111)层的单晶硅层)期间使用该键合层1120。在一些实施例中,所述键合层1120的厚度可以为大约1.5  $\mu\text{m}$ 。在一些实施例中,键合层1120的厚度为20nm或更厚,用于键合诱导的空洞迁移。在一些实施例中,键合层的厚度在0.75 $\mu\text{m}$ 至1.5 $\mu\text{m}$ 的范围内。

[0074] 实质单晶层125(例如,剥离硅(111))适合在外延生长过程期间用作生长层,用以形成外延材料。在一些实施例中,外延材料可以包括厚度为2 $\mu\text{m}$ 至10 $\mu\text{m}$ 的GaN层,其可以用作光电、RF和功率器件中使用的多个层中的一个层。在一个实施例中,实质单晶层1125包括利用层转移工艺粘附到键合层1120的单晶硅层。

[0075] 与工程化衬底结构相关的额外的描述被提供在于2017年6月13日递交的申请号为15/621,335的美国专利申请和于2017年6月13日递交的申请号为15/621,235的美国专利申请中,这些申请的公开内容全部通过引用的方式结合于此,用于所有目的。

[0076] 图12为示出根据本发明的实施例的工程化衬底1200的简化的截面示意图。图12中示出的工程化衬底900适用于多种电子和光学应用。所述工程化衬底1200包括芯1210,芯1210的热膨胀系数(CTE)可以与将要生长于所述工程化衬底1200上的外延材料的CTE实质上匹配。外延材料1230被示为可选择的,因为其不是必须作为工程化衬底1200的组成部分,但是通常生长于工程化衬底1200上。

[0077] 对于包括基于氮化镓(gallium nitride, GaN)的材料(包括基于GaN的层的外延层)的生长的应用,所述芯1210可以为多晶陶瓷材料,例如,多晶氮化铝(aluminum nitride, AlN),其可以包括粘结材料,例如氧化钇。其他材料也可以应用在芯1210中,包括多晶氮化镓(GaN)、多晶氮化铝镓(AlGa<sub>N</sub>)、多晶碳化硅(SiC)、多晶氧化锌(ZnO)、多晶三氧化二镓(Ga<sub>2</sub>O<sub>3</sub>)等。

[0078] 芯1210的厚度可以为大约100 $\mu\text{m}$ 至1500 $\mu\text{m}$ ,例如,为725 $\mu\text{m}$ 。芯1210可以封装在粘附层1212中,该粘附层1212可以被称为壳或者封装壳。在一个实施例中,所述粘附层1212包括正硅酸乙酯(tetraethyl orthosilicate, TEOS)氧化层,该氧化层的厚度为大约1000Å(埃)。在其他的实施例中,所述粘附层的厚度是变化的,例如在100Å到2000Å的范围内变化。虽然在一些实施例中使用TEOS氧化物用于粘附层,但是根据本发明的实施例,也可以使用在随后的沉积层与下面的层或材料(例如,陶瓷,特别的,多晶陶瓷)之间提供粘附的其他材料。例如,二氧化硅(SiO<sub>2</sub>)或者其他硅氧化物(Si<sub>x</sub>O<sub>y</sub>)很好地粘附到陶瓷材料并且为随后的

沉积(例如,导电材料的沉积)提供合适的表面。在一些实施例中,所述粘附层1212完全地围绕芯1210,以形成完全封装的芯。可以利用LPCVD(low-pressure chemical vapor deposition,低压化学气相沉积)工艺来形成粘附层1212。所述粘附层1212提供有这样的表面:随后的层粘附在该表面上,以形成工程化衬底1200结构的组成部分。

[0079] 根据本发明的实施例,除了使用LPCVD工艺、基于熔炉的工艺等来形成封装的第一粘附层1212之外,也可以使用其他半导体工艺,包括CVD(chemical vapor deposition,化学气相沉积)工艺或者类似的沉积工艺。作为示例,可以使用涂覆芯的一部分的沉积工艺,所述芯1210可以被翻转,并且可以重复所述沉积过程,以涂覆芯的其他部分。因此,虽然在一些实施例中使用LPCVD技术来提供完全封装的结构,但是根据特定应用,也可以使用其他膜形成技术。

[0080] 围绕所述粘附层1212形成导电层1214。在一个实施例中,由于多晶硅表现出对于陶瓷材料的差粘附性,所述导电层1214是围绕第一粘附层1212形成的多晶硅(polysilicon)(即,多晶硅(polycrystalline silicon))壳。在导电层1214是多晶硅的实施例中,多晶硅层的厚度可以为大约500Å至5000Å,例如为2500Å。在一些实施例中,所述多晶硅层可以形成壳,以完全地包围第一粘附层1212(例如,TEOS氧化层),从而形成了完全封装的第一粘附层1212,并且其可以利用LPCVD工艺来形成。在其他的实施例中,如下文所讨论的,导电材料可以形成在粘附层的一部分上,例如,形成在衬底结构的下半部分。在一些实施例中,所述导电材料可以形成完全封装层,并且随后在衬底结构的一侧上移除。

[0081] 在一个实施例中,所述导电层1214可以为掺杂的多晶硅层,以提供高导电材料,例如,掺杂硼以提供P型多晶硅层。在一些实施例中,硼的掺杂在 $1 \times 10^{19} \text{ cm}^{-3}$ 到 $1 \times 10^{20} \text{ cm}^{-3}$ 的水平,以提供高导电性。可以使用不同掺杂剂浓度的其他掺杂剂(例如,掺杂剂浓度在 $1 \times 10^{16} \text{ cm}^{-3}$ 到 $5 \times 10^{18} \text{ cm}^{-3}$ 范围内的磷、砷、铋等)来提供适用于在导电层1214中使用的N型或P型半导体材料。本领域普通技术人员可以意识到多种变化、修改和替代。

[0082] 在将工程化衬底1200静电吸附到半导体处理工具(例如具有静电放电吸盘(ESC)的工具)期间,所述导电层1214的存在是有用的。导电层1214可以实现在半导体处理工具中进行处理之后的快速去吸附。因此,本发明的实施例提供了可以用传统硅片所使用的方式来进行处理的衬底结构。本领域普通技术人员可以意识到多种变化、修改和替代。

[0083] 围绕所述导电层1214形成有第二粘附层1216(例如,厚度为大约1000Å的TEOS氧化层)。在一些实施例中,第二粘附层1216完全包围导电层1214,以形成完全封装的结构。可以使用LPCVD工艺、CVD工艺或者任何其它合适的沉积工艺(包括在电介质上旋涂的沉积)来形成第二粘附层1216。

[0084] 围绕第二粘附层1216形成有阻挡层1218,例如,氮化硅层。在一个实施例中,阻挡层1218为厚度为大约4,000Å至5000Å的氮化硅层。在一些实施例中,阻挡层1218完全包围第二粘附层1216,以形成完全封装的结构,并且可以利用LPCVD工艺来形成该阻挡层1218。除了氮化硅层,也可以使用非晶态材料(包括碳氮化硅(SiCN)、氮氧化硅(SiON)、氮化铝(AlN)、碳化硅(SiC)等)来作为阻挡层。在一些实施例中,阻挡层由被构建以形成阻挡层的多个子层组成。因此,术语“阻挡层”并不旨在意为单层或者单一材料,而是涵盖以复合方式分层的一种或多种材料。本领域普通技术人员可以意识到多种变化、修改和替代。

[0085] 在一些实施例中,阻挡层1218(例如氮化硅层)防止(例如在高温(例如,1000℃)外

延生长过程期间)存在于芯1210中的元素扩散和/或放气进入可以存在工程化衬底1200的半导体处理室的环境中。)存在于芯1210中的元素可以包括例如,氧化钇(yttrium oxide,即氧化钇(yttria))、氧、金属杂质、其它痕量元素等。从芯1210扩散的元素会导致工程化的层1220/1222中的非有意掺杂。从芯1210放气的元素会穿过室移动并且在晶片的别处吸收,从而引起工程化的层1220/1222和外延材料1230中的杂质。通过使用在本文描述的封装层,可以在半导体工艺流程和洁净的室环境中使用陶瓷材料,所述陶瓷材料包括被设计用于非洁净的室环境的多晶氮化铝。

[0086] 在阻挡层1218的一部分(例如阻挡层的顶表面)上沉积键合层1220(例如,氧化硅层),并且随后在键合单晶层1222期间使用该键合层1220。在一些实施例中,所述键合层1220的厚度可以为大约1.5  $\mu\text{m}$ 。单晶层1222可以包括,例如,硅(Si)、碳化硅(SiC)、蓝宝石(sapphire)、氮化镓(GaN)、氮化铝(AlN)、锗硅(SiGe)、锗(Ge)、金刚石(Diamond)、三氧化二镓( $\text{Ga}_2\text{O}_3$ )、氮化铝镓(AlGa<sub>2</sub>N)、氮化铟镓(InGa<sub>2</sub>N)、氮化铟(InN)和/或氧化锌(ZnO)。在一些实施例中,所述单晶层1222可以具有0至0.5  $\mu\text{m}$ 的厚度。单晶层1222适用于在用于形成外延材料1230的外延生长过程期间用作生长层。外延材料1230的晶体层是与单晶层1222相关联的下面的半导体晶格的延伸。工程化衬底1200的独特的CTE匹配特性使得能够比现有技术生长更厚的外延材料1230。在一些实施例中,所述外延材料1230包括厚度为2  $\mu\text{m}$ 至10  $\mu\text{m}$ 的氮化镓层,该氮化镓层可以被用作在光电器件、功率器件等中使用的多个层中的一层。在其他实施例中,外延材料1230的厚度大于10  $\mu\text{m}$ 并且可以是包括多个外延层的外延结构。在一个实施例中,所述键合层1220包括单晶硅层,利用层转移工艺将该单晶硅层贴附至氧化硅阻挡层1218。

[0087] 图13为示出根据本发明的实施例的工程化衬底结构的简化的示意图。图13中示出的工程化衬底1300适用于多种电子和光学应用。所述工程化衬底包括芯1310,芯1310的热膨胀系数(CTE)可以与将要生长于所述工程化衬底1300上的外延材料1230的CTE实质上匹配。外延材料1230被示为可选择的,因为它不是必须作为工程化衬底结构的组成部分,但是通常生长于工程化衬底结构上。

[0088] 对于包括基于氮化镓(gallium nitride, GaN)的材料(包括基于GaN的层的外延层)的生长的应用,所述芯1310可以为多晶陶瓷材料,例如,多晶氮化铝(aluminum nitride, AlN)。芯1310的厚度可以为大约100 $\mu\text{m}$ 至1500 $\mu\text{m}$ ,例如,为725 $\mu\text{m}$ 。芯1310可以封装在第一粘附层1312中,该第一粘附层1312可以被称作壳或者封装壳。在该实施例中,第一粘附层1312完全地将所述芯封装,但这不是本发明所必须的,如参照图14所另外详细讨论的。

[0089] 在一个实施例中,第一粘附层1312包括厚度为大约1000 $\text{\AA}$ (埃)的正硅酸乙酯(tetraethyl orthosilicate, TEOS)层。在其他的实施例中,所述第一粘附层1312的厚度是变化的,例如在100 $\text{\AA}$ 到2000 $\text{\AA}$ 的范围内变化。虽然在一些实施例中使用TEOS用于粘附层,但是根据本发明的实施例,也可以使用在随后的沉积层与下面的层或材料之间提供粘附的其他材料。例如,二氧化硅( $\text{SiO}_2$ )、氮氧化硅( $\text{Si}_3\text{N}_4$ )等很好地粘附到陶瓷材料并且为随后的沉积(例如,导电材料的沉积)提供合适的表面。在一些实施例中,所述第一粘附层1312完全地围绕芯1310,以形成完全封装的芯,并且可以利用LPCVD工艺来形成第一粘附层1312。所述第一粘附层1312提供有这样的表面:随后的层粘附在该表面上,以形成工程化衬底结构的组成部分。

[0090] 除了使用LPCVD工艺、基于熔炉的工艺等来形成封装的粘附层1312之外,根据本发明的实施例,也可以使用其他半导体工艺。作为示例,可以使用涂覆芯1310的一部分的沉积工艺,例如CVD(chemical vapor deposition,化学气相沉积),PECVD(等离子体增强的化学气相沉积)等,所述芯1310可以被翻转,并且可以重复所述沉积过程,以涂覆芯的其他部分。

[0091] 在第一粘附层1312的至少一部分上形成导电层1314。在一个实施例中,导电层1314包括多晶硅(polysilicon),其通过沉积工艺形成在芯/粘附层结构的下部分(例如下半部或背面)上。在导电层1314是多晶硅的实施例中,多晶硅层的厚度可以为大约几千埃,例如为3000Å。在一些实施例中,所述多晶硅层可以利用LPCVD工艺形成。

[0092] 在一个实施例中,所述导电层1314可以为掺杂的多晶硅层,以提供高导电材料,例如,所述导电层1314可以掺杂硼以提供P型多晶硅层。在一些实施例中,硼掺杂在 $1 \times 10^{19} \text{ cm}^{-3}$ 到 $1 \times 10^{20} \text{ cm}^{-3}$ 的水平范围,以提供高导电性。在将工程化衬底静电吸附到半导体处理工具(例如具有静电吸盘(ESC)的工具)期间,所述导电层1314的存在是有用的。导电层1314可以实现处理之后的快速去吸附。因此,本发明的实施例提供了可以用传统硅片所使用的方式来进行处理的衬底结构。本领域普通技术人员可以意识到多种变化、修改和替代。

[0093] 围绕所述导电层1314(例如多晶硅层)形成有第二粘附层1316(例如,第二TEOS层)。第二粘附层1316的厚度为大约1000Å。在一些实施例中,第二粘附层1316可以完全包围导电层1314以及第一粘附层1312,以形成完全封装的结构,并且可以使用LPCVD工艺来形成第二粘附层1316。在其他实施例中,第二粘附层1316仅部分地包围导电层1314,例如,终止于平面1317所示的位置处,平面1317可以与导电层1314的顶表面对齐。在这个示例中,导电层1314的顶表面将与阻挡层1318的一部分接触。本领域普通技术人员可以意识到多种变化、修改和替代。

[0094] 围绕第二粘附层1316形成有阻挡层1318(例如,氮化硅层)。在一些实施例中,阻挡层1318的厚度为大约4,000Å至5000Å。在一些实施例中,阻挡层1318完全包围第二粘附层1316,以形成完全封装的结构,并且可以利用LPCVD工艺来形成该阻挡层1318。

[0095] 在一些实施例中,氮化硅阻挡层的使用防止(例如在高温(例如,1000℃)外延生长过程期间)存在于芯1310中的元素(例如,氧化钇(yttrium oxide,即氧化钇(yttria))、氧、金属杂质、其它痕量元素等)扩散和/或放气进入可以存在工程化衬底的半导体处理室的环境中。通过使用在本文描述的封装层,可以在半导体工艺流程和洁净的室环境中使用陶瓷材料,所述陶瓷材料包括被设计用于非洁净的室环境的多晶氮化铝(AlN)。

[0096] 图14为示出了本发明的另一个实施例的工程化衬底结构的简化的示意图。在图14所示的实施例中,第一粘附层1412形成于芯1410的至少一部分上,但是并没有封装芯1410。在该实施方式中,为了提高随后形成的导电层1414(如下文所更加完整地描述的)的粘附力,所述第一粘附层1412形成于芯1410的下表面(芯1410的背面)上。虽然在图14中粘附层1412仅仅示出在芯1410的下表面上,应当理解的是,将粘附层材料沉积在芯1410的其他部分上将不会对工程化衬底结构的性能产生不利的影响,并且这样的材料可以在各个实施例中出现。本领域普通技术人员可以意识到多种变化、修改和替代。

[0097] 所述导电层1414并没有封装第一粘附层1412和芯1410,而是与第一粘附层1412实质上对齐。虽然导电层1414被示出为沿着第一粘附层1412的底面或者背面延伸以及向上延伸第一粘附层1412的侧面的一部分,但是沿着竖直的侧面延伸并不是本发明所必需的。因



此,实施例可以使用在衬底结构的一侧上的沉积、衬底结构的一侧的掩模(masking)等。所述导电层1414可以形成在第一粘附层1412的一侧(例如,底面/或者背面)的一部分上。导电层1414提供了工程化衬底结构的一侧上的电导体,该工程化衬底结构在射频(RF)和大功率应用中具有优势。导电层1414可以包括关于图13中的导电层1314所讨论的掺杂的多晶硅。

[0098] 为了提高阻挡层1418对下面的材料的粘附力,芯1410的一部分、第一粘附层1412的一部分以及导电层1414由第二粘附层1416覆盖。如上文所讨论的,所述阻挡层1418形成封装结构,以防止从下面的层扩散。

[0099] 除了基于半导体的导电层,在其他实施例中,导电层1414是金属层,例如500 Å的钛等。

[0100] 再次参照图14,根据该实施例,可以移除一个或多个层。例如,可以移除层1412和层1414,只留下单个的粘附壳1416和阻挡层1418。在其他实施例中,可以只移除层1414。在该实施例中,层1412也可以平衡由沉积在层1418的顶部上的层1220引起的应力和晶片弯曲。在芯1410的顶侧上具有绝缘层(例如,在芯1410与层1220之间仅具有绝缘层)的衬底结构的构造,可以为功率/RF应用提供益处,其中,期望有高度绝缘的衬底。

[0101] 在另一个实施例中,所述阻挡层1418可以直接地封装芯1410,随后是导电层1414和随后的粘附层1416。在该实施例中,层1220可以从顶侧直接地沉积在粘附层1416上。在又一个实施例中,粘附层1416可以沉积在芯1410上,接着是阻挡层1418,并且然后接着是导电层1414以及另一粘附层1412。

[0102] 图5为示出了根据本发明的实施例的制造工程化衬底的方法1500的简化的流程图。所述方法1500可以用于制造衬底,该衬底的CTE与生长在衬底上的一个或多个外延层的CTE匹配。所述方法1500包括:通过提供多晶陶瓷芯来形成支撑结构(1510);在形成壳(例如,正硅酸乙酯(TEOS)氧化物壳)的第一粘附层中封装所述多晶陶瓷芯(1512);并且在导电壳(例如,多晶硅壳)中封装所述第一粘附层(1514)。所述第一粘附层可以形成为单层TEOS氧化物。所述导电壳可以形成为单层多晶硅。

[0103] 所述方法1500还包括:在第二粘附层(例如,第二TEOS氧化物壳)中封装所述导电壳(1516);以及在阻挡层壳中封装所述第二粘附层(1518)。所述第二粘附层可以形成为单层TEOS氧化物。所述阻挡层壳可以形成为单层氮化硅。

[0104] 一旦通过过程1510至1518形成所述支撑结构,所述方法1500进一步包括:将键合层(例如,氧化硅层)接合至所述支撑结构(1520);以及将实质单晶层(例如,单晶硅层)接合至所述氧化硅层(1522)。根据本发明的实施例,也可以使用其他的实质单晶层,该单晶层包括:碳化硅、蓝宝石、氮化镓、氮化铝、锗硅、锗、金刚石、三氧化二镓、氧化锌等。所述键合层的接合可包括键合材料的沉积,随后进行本文所描述的平坦化处理。如在下文描述的一个实施例中,使用层转移工艺将实质单晶层(例如,单晶硅层)接合至键合层,在层转移工艺中,所述层是从硅晶片转移的单晶硅层。

[0105] 参照图12,所述键合层1220可以通过沉积厚的(例如,4μm厚)氧化层、随后利用化学机械抛光(CMP)工艺将氧化物的厚度减薄到大约1.5μm来形成。厚的初始氧化物用于填充支撑结构上存在的空洞和表面特征,这些空洞和表面特征在多晶芯制造后可能存在,并且在形成图12所示的封装层时继续存在。所述氧化物层还可以用作器件的电介质层。所述CMP处理提供了没有空洞、颗粒和其他特征的实质上平坦的表面,可以在晶片转移过程期间使



用该表面将单晶层1212(例如,单晶硅层)键合至键合层1220。应当理解的是,所述键合层并不一定具有原子级的平坦表面的特征,而是应当提供实质上平坦的表面,该表面将以所希望的可靠性支持单晶层(例如,单晶硅层)的键合。

[0106] 层转移工艺被用于将单晶层1222(例如,单晶硅层)接合至键合层1220。在一些实施例中,对包括实质单晶层1222(例如,单晶硅层)的硅晶片进行注入以形成解理面。在该实施例中,在晶片键合之后,硅衬底可以和解理面下面的单晶硅层的一部分一起移除,得到剥离的单晶硅层。所述单晶层1222的厚度可以改变,以满足各种应用的规范。此外,所述单晶层1222的晶体取向可以改变,以满足应用的规范。另外,所述单晶层的掺杂水平和分布可以改变,以满足特殊应用的规范。在一些实施例中,所述注入深度可以被调整为大于所希望的单晶层1222的最终厚度。额外的厚度允许移除转移的实质单晶层的被损坏的薄的部分,留下具有所希望的最终厚度的未损坏的部分。在一些实施例中,可以修改表面的粗糙度,以用于高质量的外延生长。本领域普通技术人员可以意识到多种变化、修改和替代。

[0107] 在一些实施例中,所述单晶层1222可以足够厚以便为后续的一个或多个外延层的生长提供高质量的晶格模版,但是足够薄以具有高顺应性(compliant)。当单晶层1222相对较薄使得其物理特性受到较少的约束,并且能够与包围该单晶层的材料相似,并具有较小的产生晶体缺陷的倾向时,该单晶层1222可以被认为是“顺应的”。单晶层1222的顺应性可以相对于单晶层1222的厚度成反比。较高的顺性可以导致在模板上生长的外延层中的缺陷密度更低,并且能够实现较厚的外延层生长。在一些实施例中,可以通过在剥离硅层上的硅的外延生长,来增加单晶层1222的厚度。

[0108] 在一些实施例中,可以通过对剥离硅层的顶部进行热氧化,然后用氢氟酸(HF)进行氧化层剥离来实现对单晶层1222的最终厚度的调节。例如,初始厚度为0.5  $\mu\text{m}$ 的剥离硅层可以被热氧化,以生成具有大约420nm厚度的二氧化硅层。在移除了生长的热氧化物之后,转移层中的剩余的硅的厚度可以为大约53nm。在热氧化期间,注入的氢会向表面迁移。因此,随后的氧化层的剥离可以去除一些损害。此外,热氧化通常在1000 $^{\circ}\text{C}$ 或者更高的温度下进行。升高的温度也可以修复晶格损伤。

[0109] 在热氧化期间形成在单晶层的顶部的氧化硅层可以用HF酸蚀刻进行剥离。通过调整HF溶液的温度和浓度以及氧化硅的化学计量和密度,可以调整HF酸在氧化硅与硅( $\text{SiO}_2$ :Si)之间的蚀刻选择性。蚀刻选择性指的是一种材料相对于其他材料的蚀刻速率。对于( $\text{SiO}_2$ :Si),HF溶液的选择性可以在大约10:1到大约100:1的范围内。高的蚀刻选择性可以将表面粗糙度从初始表面粗糙度以相似的因子降低。然而,所得的单晶层1222的表面粗糙度可能依然大于所需的表面粗糙度。例如,在进行额外处理之前,通过 $2\mu\text{m} \times 2\mu\text{m}$ 原子力显微镜(AFM)扫描确定的块体硅(111)表面的均方根(RMS)表面粗糙度可小于0.1nm。在一些实施例中,用于氮化镓材料在硅(111)上的外延生长的所需的表面粗糙度可以为,例如,在 $30\mu\text{m} \times 30\mu\text{m}$  AFM扫描区域中小于1 nm、小于0.5 nm、或者小于0.2 nm。

[0110] 在热氧化和氧化层剥离之后,如果单晶层1222的表面粗糙度超过所需的表面粗糙度,则将会进行额外的表面平滑处理。这里具有几种平滑硅表面的方法。这些方法可以包括:氢退火、激光微调、等离子平滑以及触摸抛光(例如,CMP)。这些方法可以涉及高纵横比表面峰的择优侵蚀(preferential attack)。因此,表面上的高纵横比特征可以比低纵横比特征被更快地移除,从而得到更平滑的表面。

[0111] 应当理解的是,图15中所示出的具体步骤提供了根据本发明的实施例的制造工程化衬底的特定方法。根据可替代的实施例,也可以执行其他的步骤顺序。例如,本发明的可替代的实施例可以以不同的顺序执行上述步骤。此外,图15中所示出的单独的步骤可以包括多个子步骤,这些子步骤可以以适合于单独步骤的各种顺序来执行。另外,根据特定的应用,可以增加或移除额外的步骤。本领域普通技术人员可以意识到多种变化、修改和替代。

[0112] 图16为示出了根据本发明的一些实施例的用于在工程化衬底上制造多层器件的方法1600的简化的流程图。所述工程化衬底具有衬底热膨胀系数。参照图1和图2,工程化衬底102可以包括陶瓷衬底110,薄硅(Si)层120或薄硅锗(SiGe)层220形成于陶瓷衬底110上。

[0113] 参照图1、图2和图16,所述方法1600可以包括:在工程化衬底102上生长缓冲层130(1602);以及生长耦合至缓冲层130的第一外延层142(1604)。所述第一外延层142可以具有与所述衬底热膨胀系数实质上相同的外延热膨胀系数。在一些实施例中,所述第一外延层142可以包括掺杂的氮化镓(GaN)。参照图6,在一些其他的实施例中,所述第一外延层142可以包括氮化铝镓(AlGaN)。

[0114] 所述方法1600还可以包括:生长第二外延层144,所述第二外延层144包括耦合至所述第一外延层142的未掺杂GaN;以及生长耦合至第二外延层144的第三外延层160。所述第二外延层144与所述第三外延层160之间的界面可以形成高电子迁移率晶体管(HEMT)的导电沟道150。在一些实施例中,所述第三外延层160可以包括氮化铝镓(AlGaN)或氮化铟铝(InAlN)。

[0115] 参照图3,在一些实施例中,所述方法1600还可以包括:形成穿过工程化衬底102电耦合至实质单晶硅层120的电接触310。参照图4,在一些其他的实施例中,所述方法1600还可以包括:生长设置于缓冲层130和第一外延层142之间的导电外延层420;以及形成穿过第一外延层142电耦合至导电外延层420的电接触410。参照图5,在一些实施例中,所述方法1600还可以包括:形成设置于缓冲层130和导电外延层420之间的氮化硅( $\text{Si}_3\text{N}_4$ )的局部单层510。

[0116] 应当理解的是,图16中所示出的具体步骤提供了根据本发明的实施例的制造工程化衬底的特定方法。根据可替代的实施例,也可以执行其他的步骤顺序。例如,本发明的可替代的实施例可以以不同的顺序执行上述步骤。此外,图16中所示出的单独的步骤可以包括多个子步骤,这些子步骤可以以适合于单独步骤的各种顺序来执行。另外,根据特定的应用,可以增加或移除额外的步骤。本领域普通技术人员可以意识到多种变化、修改和替代。

[0117] 图17为示出了根据本发明的一些其他实施例的用于在工程化衬底上制造多层器件的方法1700的简化的流程图。所述工程化衬底具有衬底热膨胀系数。参照图7,工程化衬底102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。

[0118] 参照图7和图17,所述方法1700可以包括:在工程化衬底102上形成缓冲层130(1702);以及在缓冲层130上生长一个或多个外延层740(1704)。所述一个或多个外延层740中的至少一个的特征是具有与衬底热膨胀系数实质上相同的外延热膨胀系数。在一些实施例中,所述一个或多个外延层740可以包括未掺杂GaN和掺杂GaN的交替层的超晶格。掺杂GaN可以包括碳掺杂的GaN(C-GaN)或铁掺杂的GaN(Fe-GaN)。所述缓冲层130可以包括AlN、AlGaN或AlN/AlGaN中的至少一种。

[0119] 所述方法1700还可以包括:生长耦合至所述一个或多个外延层740的未掺杂GaN层

144;以及生长第一外延层160,所述第一外延层160包括耦合至所述未掺杂GaN层144的氮化铝镓(AlGa<sub>N</sub>)或氮化铟铝(InAl<sub>N</sub>)。所述未掺杂GaN层144与所述第一外延层160之间的界面可以形成高电子迁移率晶体管(HEMT)的导电沟道150。

[0120] 应当理解的是,图17中所示出的具体步骤提供了根据本发明的实施例的制造工程化衬底的特定方法。根据可替代的实施例,也可以执行其他的步骤顺序。例如,本发明的可替代的实施例可以以不同的顺序执行上述步骤。此外,图17中所示出的单独的步骤可以包括多个子步骤,这些子步骤可以以适合于单独步骤的各种顺序来执行。另外,根据特定的应用,可以增加或移除额外的步骤。本领域普通技术人员可以意识到多种变化、修改和替代。

[0121] 图18为示出了根据本发明的一些其他实施例的用于在工程化衬底上制造多层器件的方法1800的简化的流程图。所述工程化衬底具有衬底热膨胀系数。参照图8,工程化衬底102可以包括陶瓷衬底110,薄硅(Si)层120形成于陶瓷衬底110上。

[0122] 参照图8和图18,所述方法1800可以包括:在工程化衬底102上形成缓冲层130(1802);以及生长耦合至所述缓冲层130的第一外延层840(1804)。所述第一外延层840可以具有与衬底热膨胀系数实质上相同的外延热膨胀系数。在一些实施例中,所述第一外延层840可以包括非故意掺杂的GaN(uGaN)。在一些其他实施例中,所述第一外延层840可以包括未掺杂GaN和掺杂GaN的交替层。在一些实施例中,掺杂GaN可以包括碳掺杂的GaN(C-GaN)或铁掺杂的GaN(Fe-GaN)。

[0123] 所述方法1800还可以包括:生长耦合至所述第一外延层840的氮化铝镓(AlGa<sub>N</sub>)背阻挡层810(1806);生长耦合至AlGa<sub>N</sub>背阻挡层810的未掺杂氮化镓(GaN)层144(1808);以及生长耦合至未掺杂GaN层144的阻挡层160(1810)。在一些实施例中,AlGa<sub>N</sub>背阻挡层810的铝摩尔分数在约3 %至约15 %的范围。根据一些实施例,阻挡层160可以包括AlGa<sub>N</sub>或InGa<sub>N</sub>。

[0124] 应当理解的是,图18中所示出的具体步骤提供了根据本发明的实施例的制造工程化衬底的特定方法。根据可替代的实施例,也可以执行其他的步骤顺序。例如,本发明的可替代的实施例可以以不同的顺序执行上述步骤。此外,图18中所示出的单独的步骤可以包括多个子步骤,这些子步骤可以以适合于单独步骤的各种顺序来执行。另外,根据特定的应用,可以增加或移除额外的步骤。本领域普通技术人员可以意识到多种变化、修改和替代。

[0125] 尽管已经从层的方面讨论了一些实施例,术语“层”应当被理解为,使得层可以包括多个子层,多个子层构建形成感兴趣的层。因此,术语“层”并不旨在表示由单一材料组成的单层,而是涵盖以复合方式分层以形成所期望的结构的一种或多种材料。本领域普通技术人员可以意识到多种变化、修改和替代。

[0126] 同样应该理解,本文描述的示例和实施例仅用于说明目的,并且对于本领域技术人员而言,将建议其对本发明进行各种修改或改变,并且这些修改或改变包括在本申请的精神和范围内和所附权利要求的范围内。

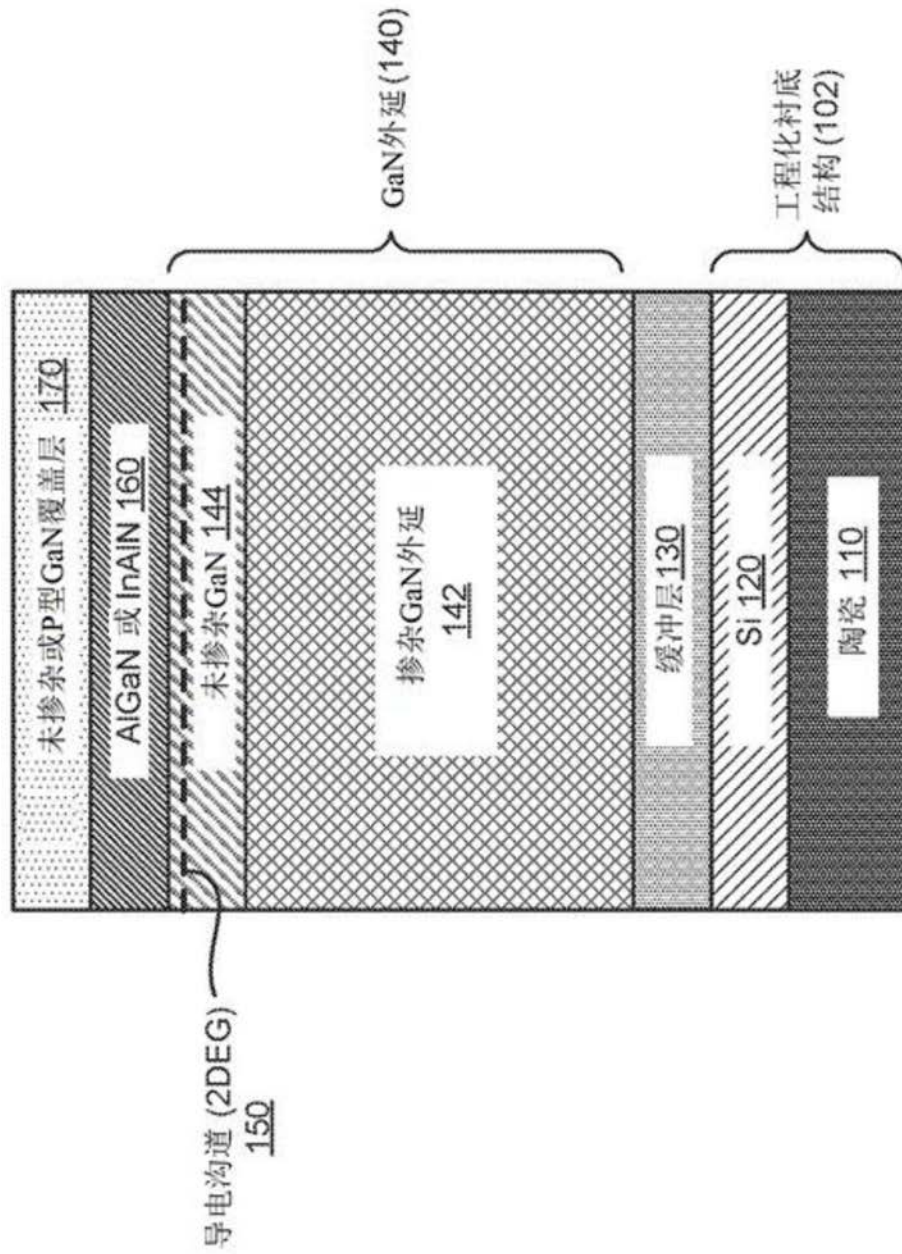


图1

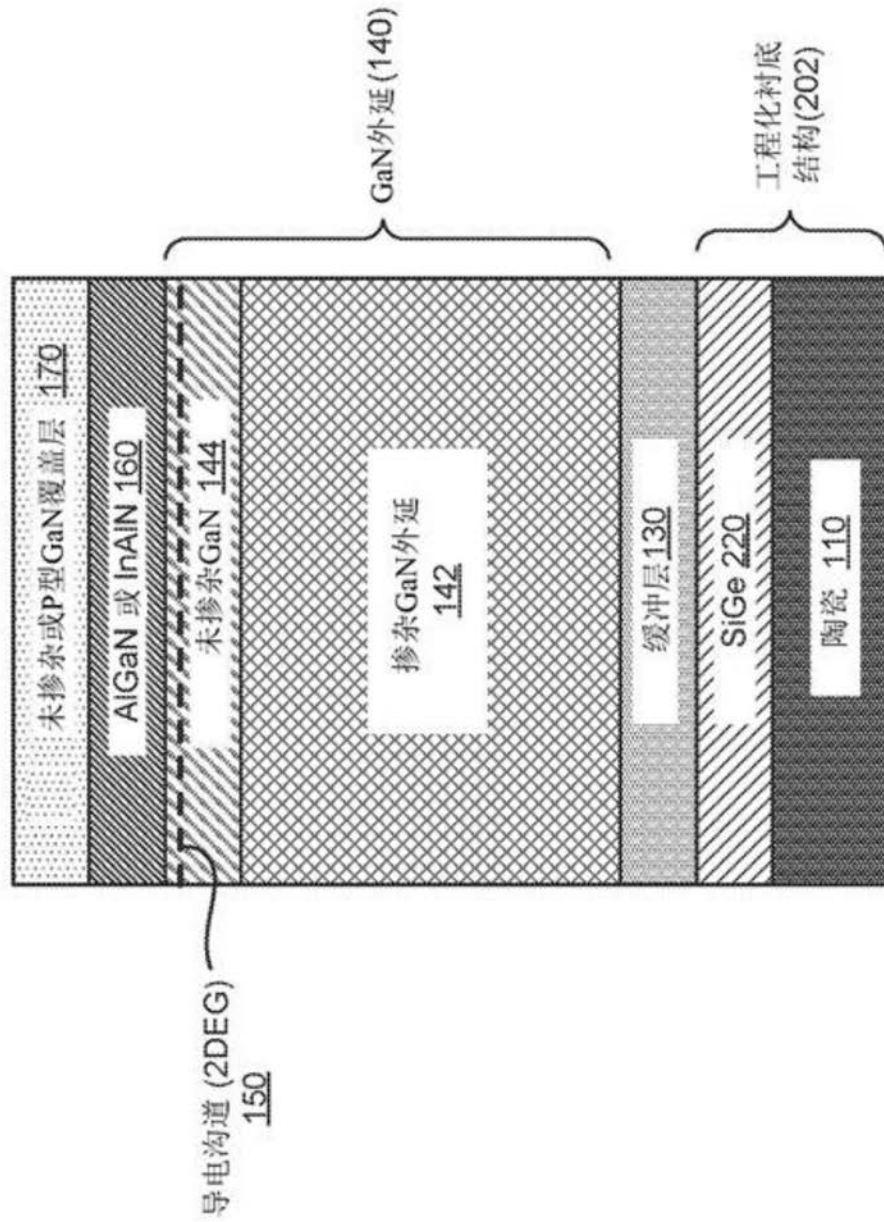


图2

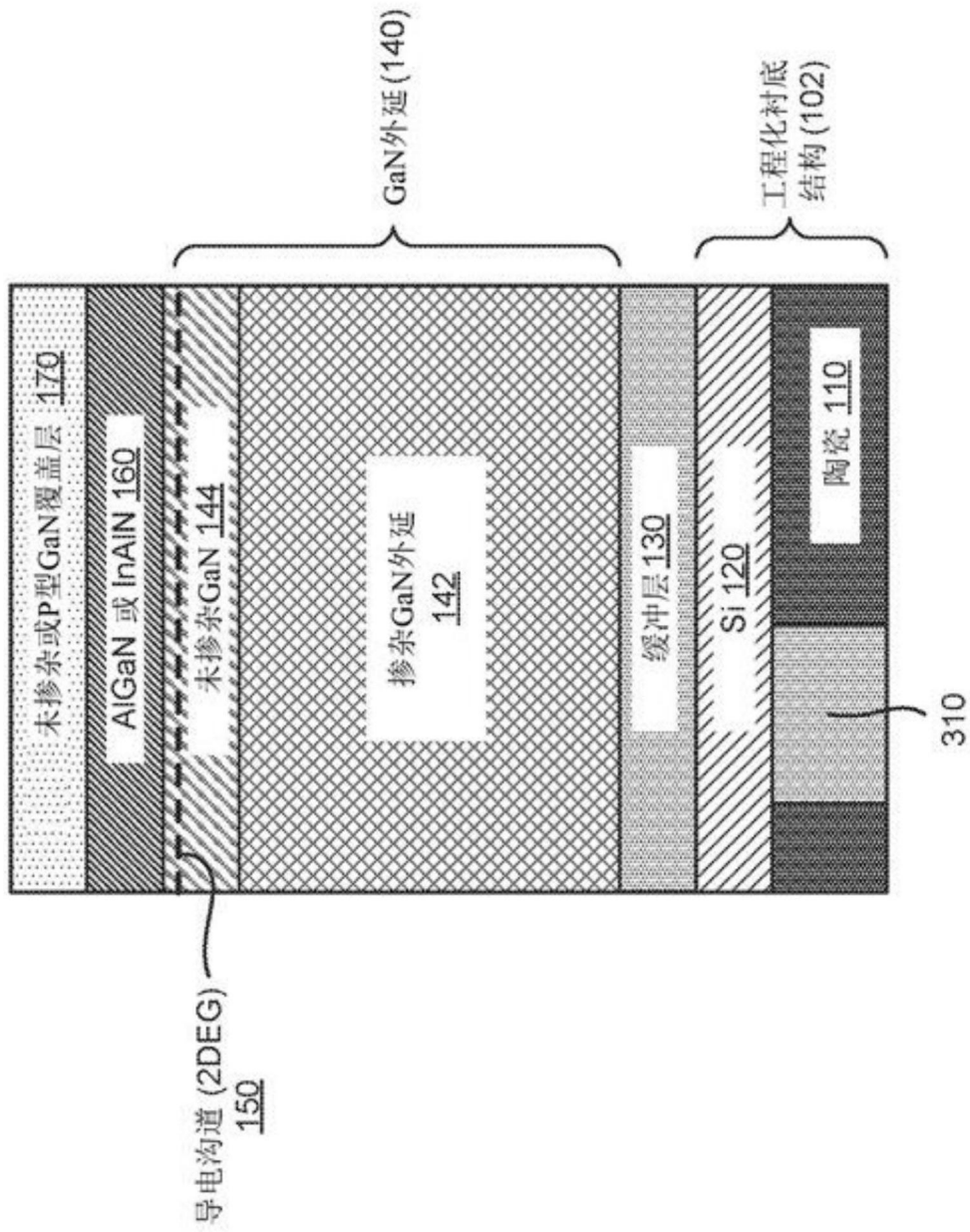


图3



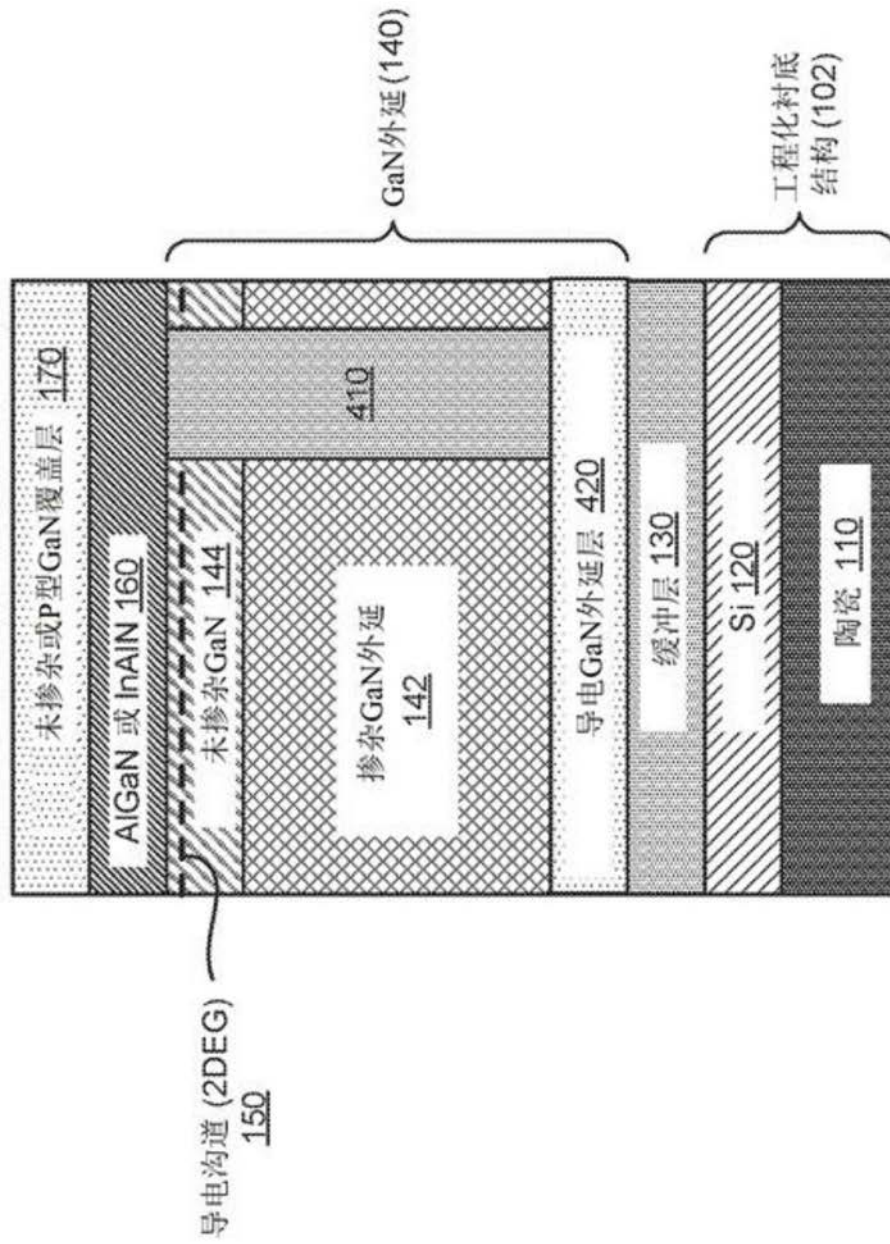


图4

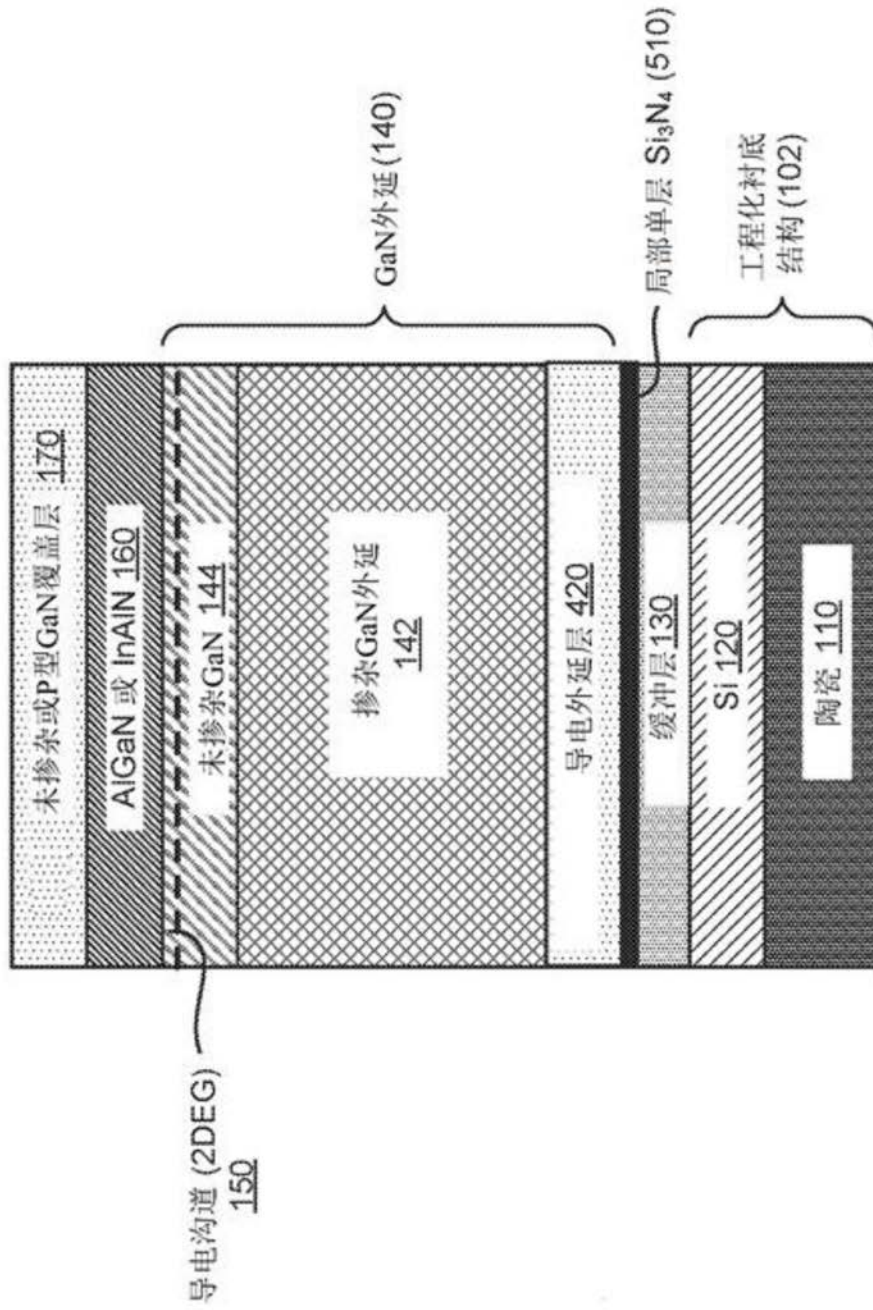


图5



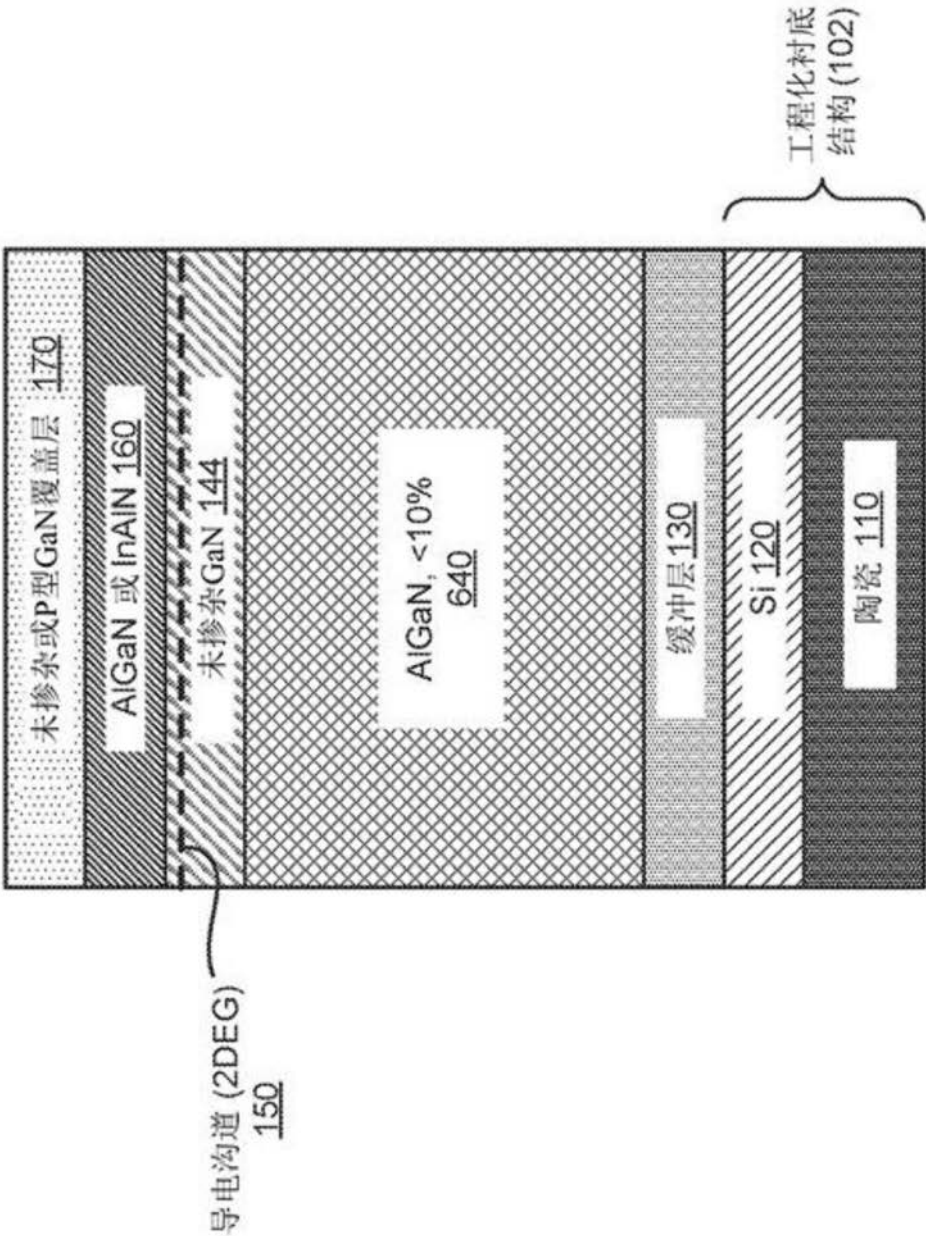


图6

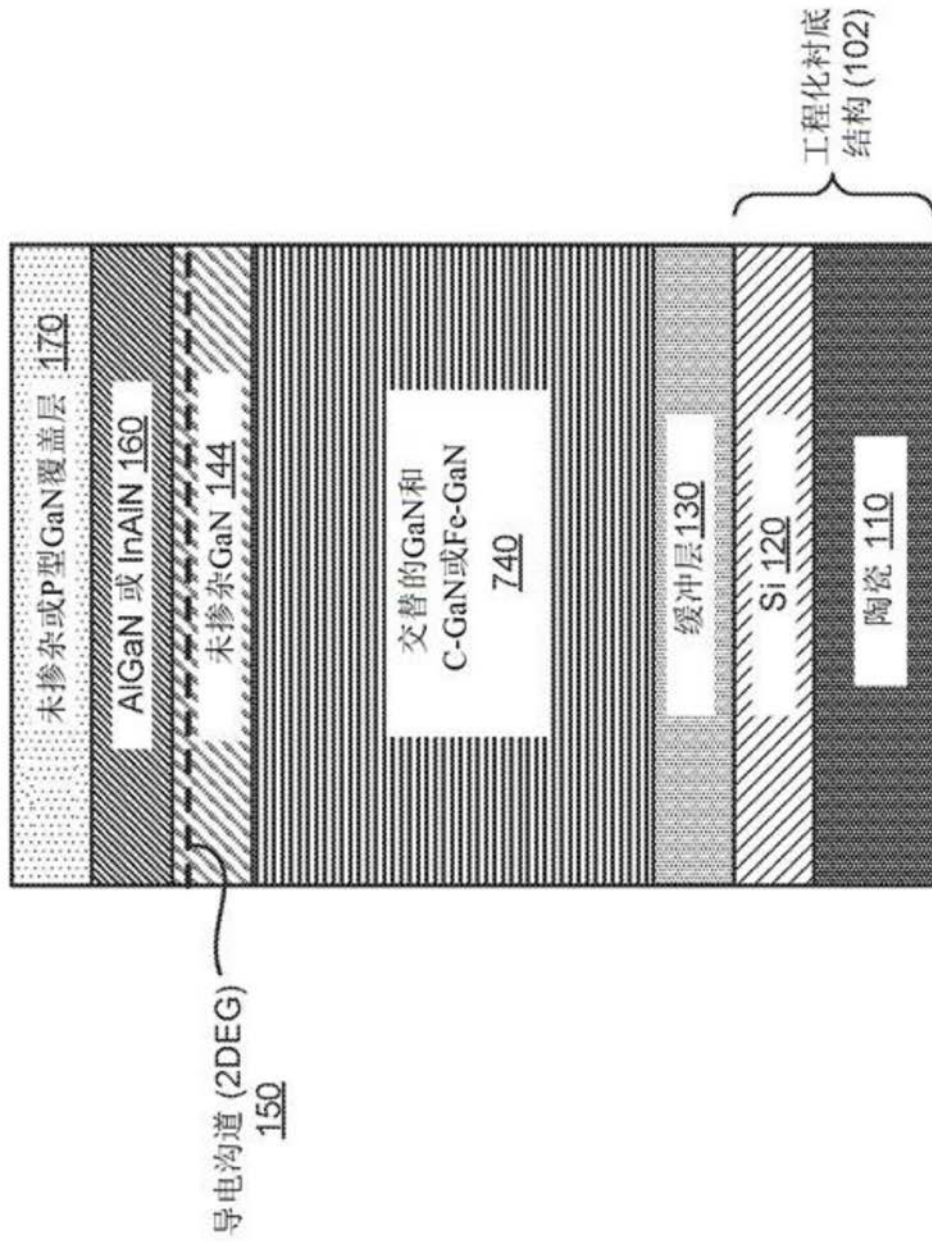


图7

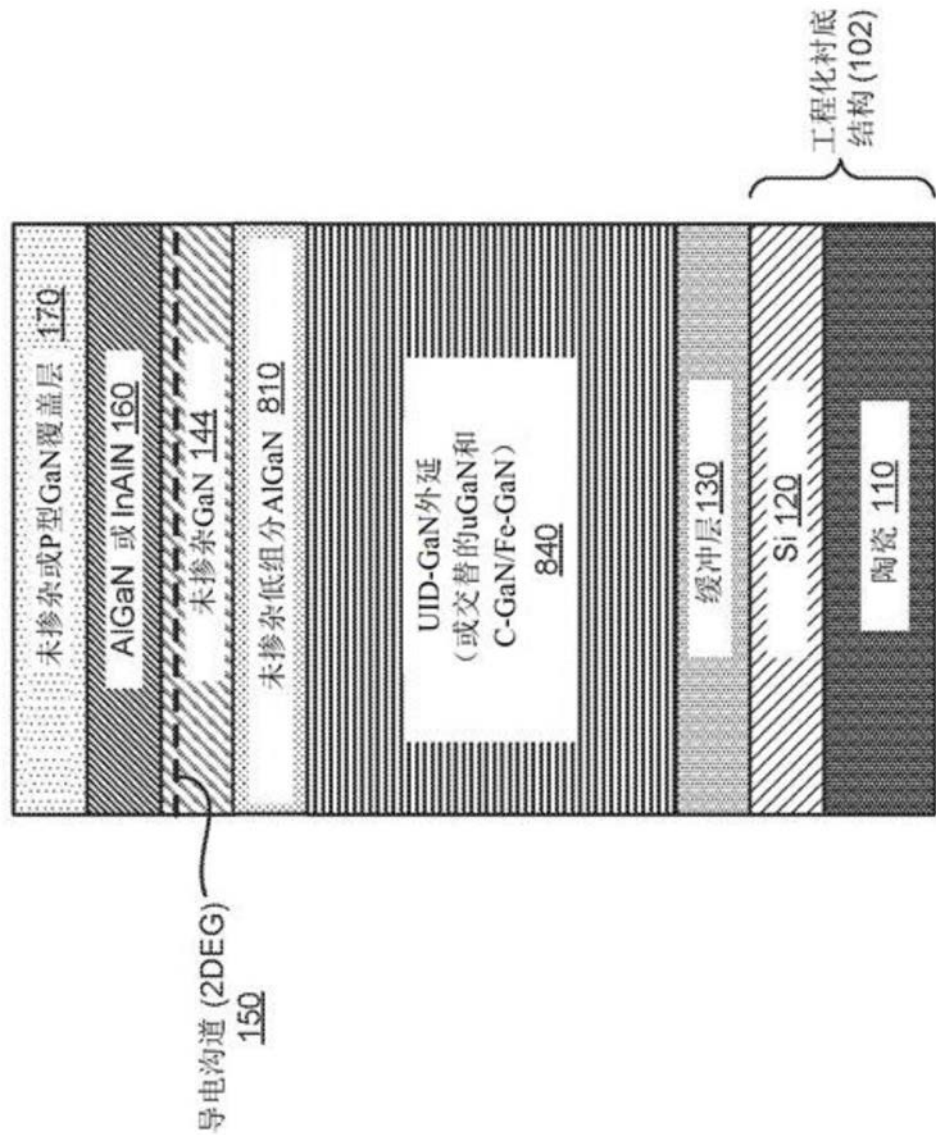


图8

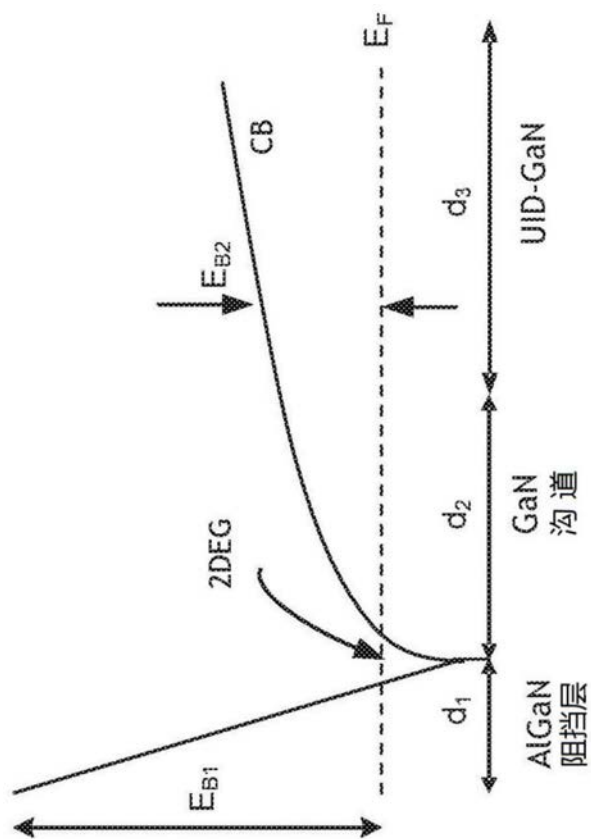


图9A

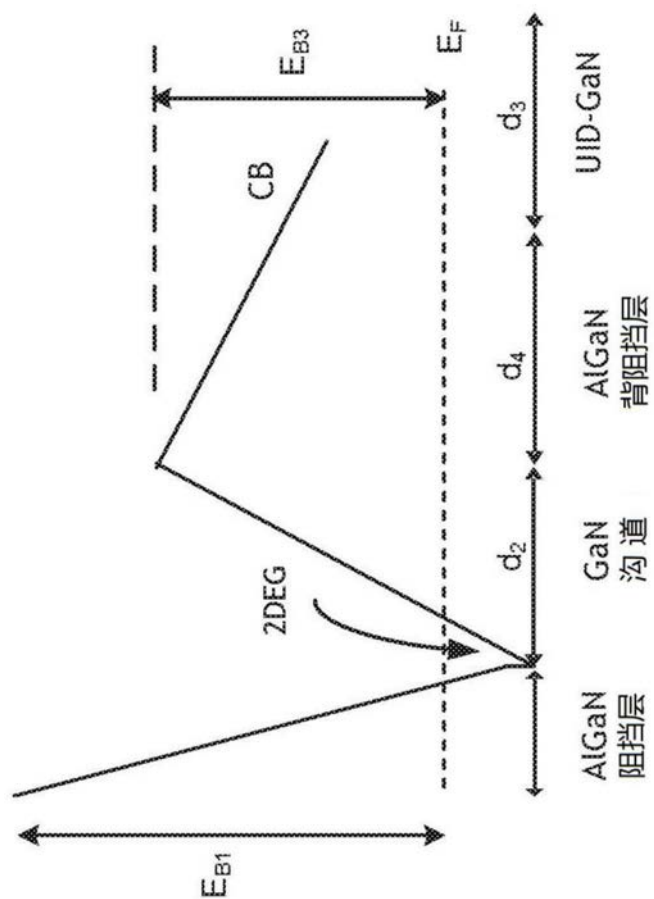


图9B

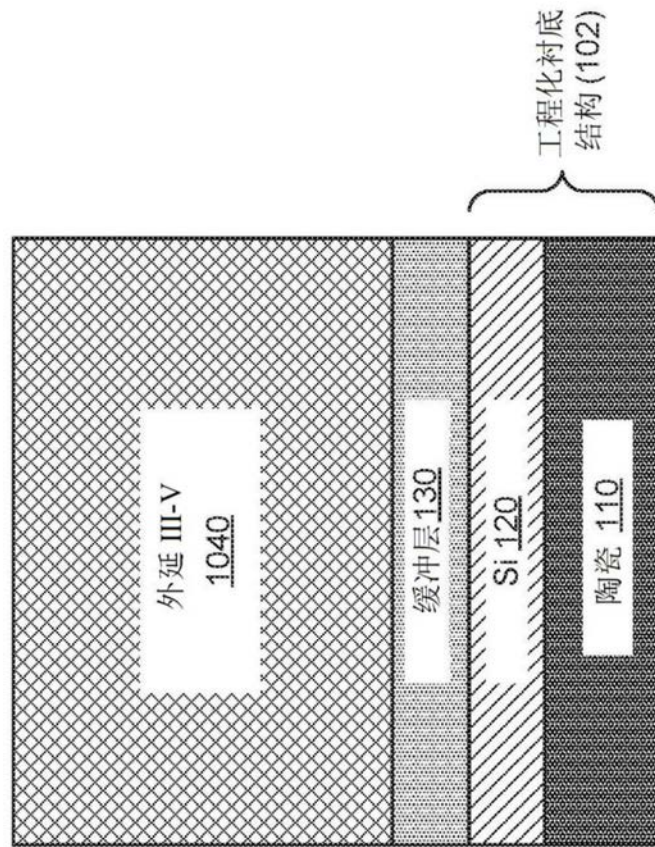


图10



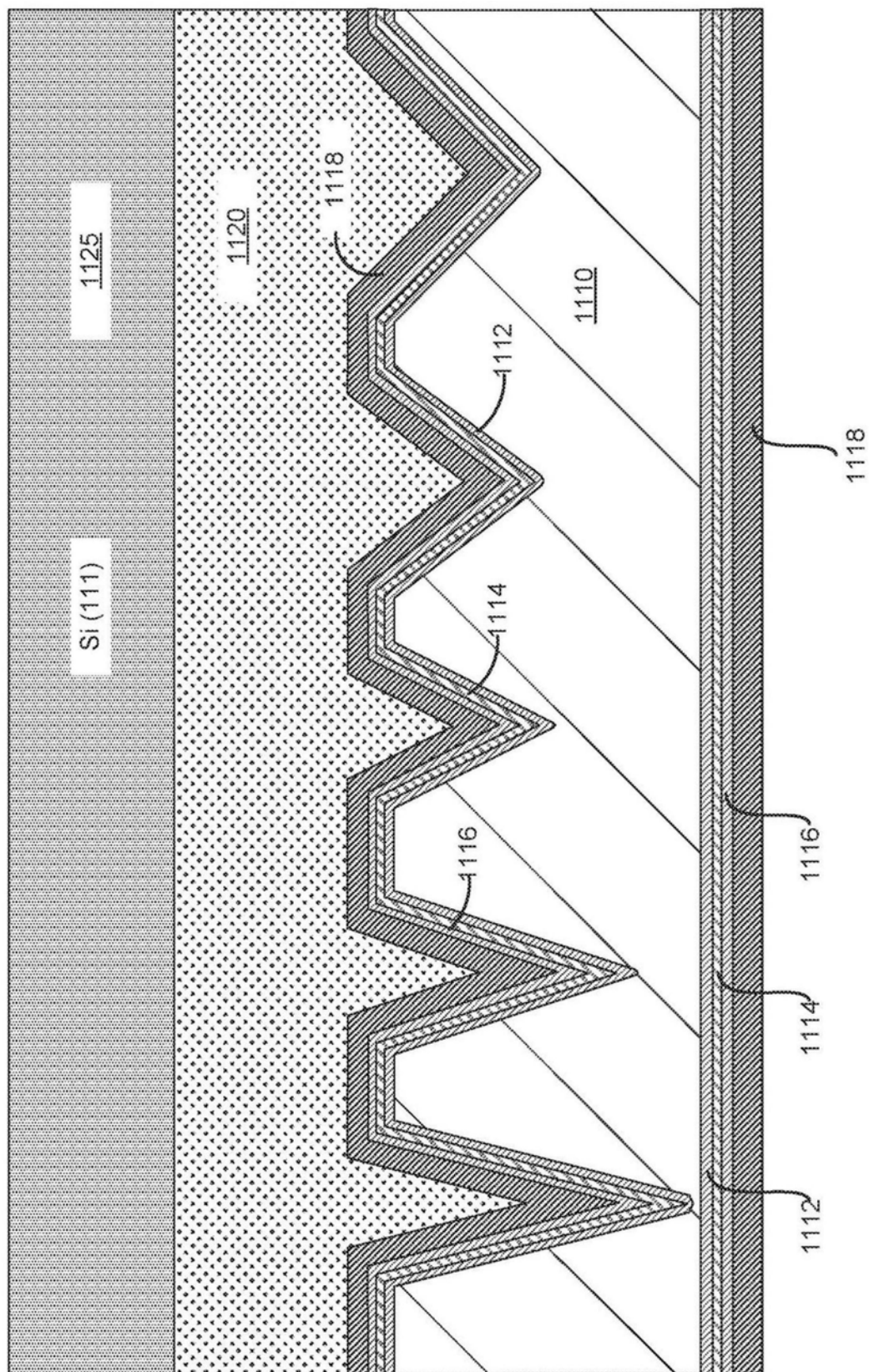


图11

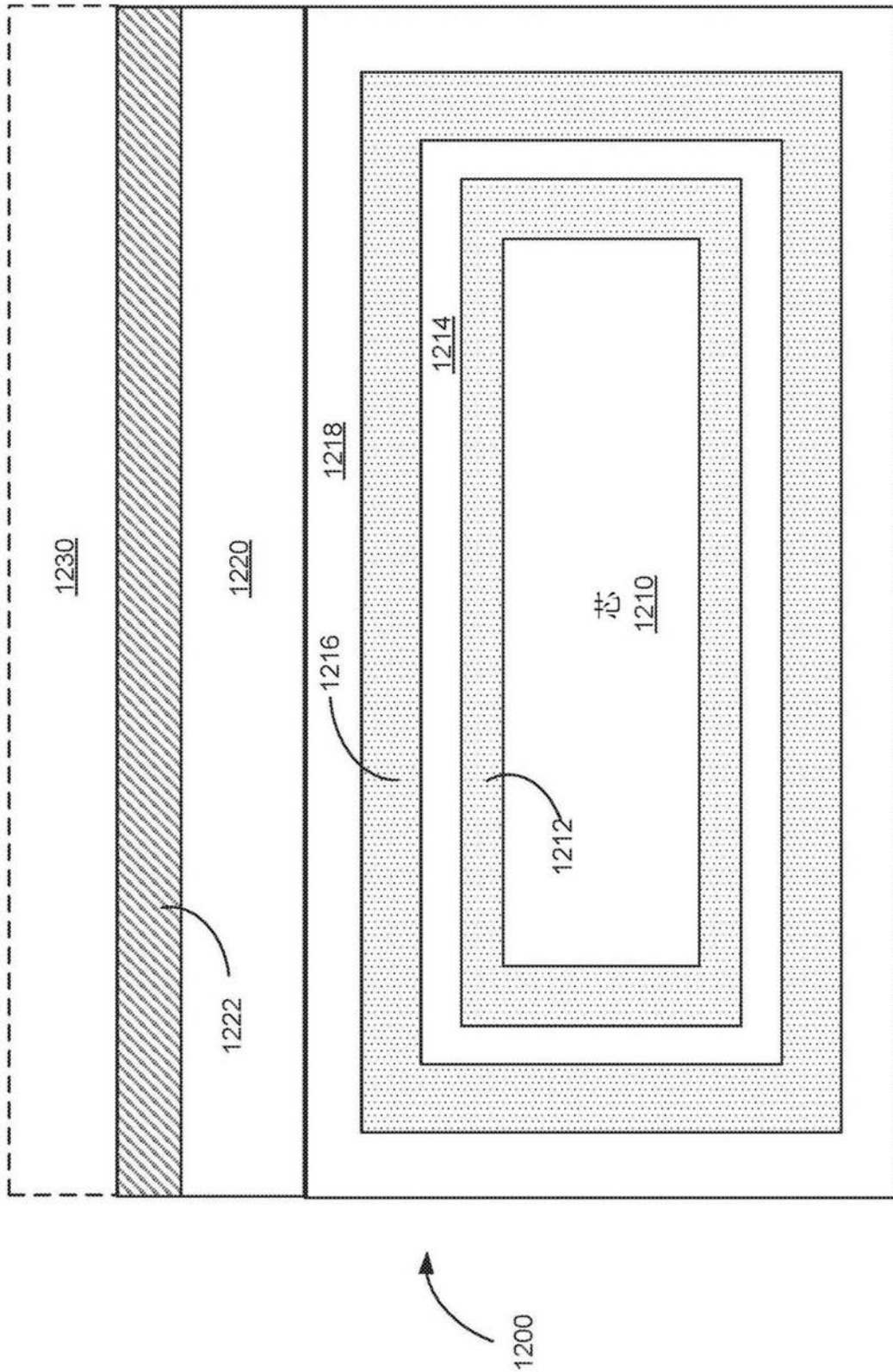


图12



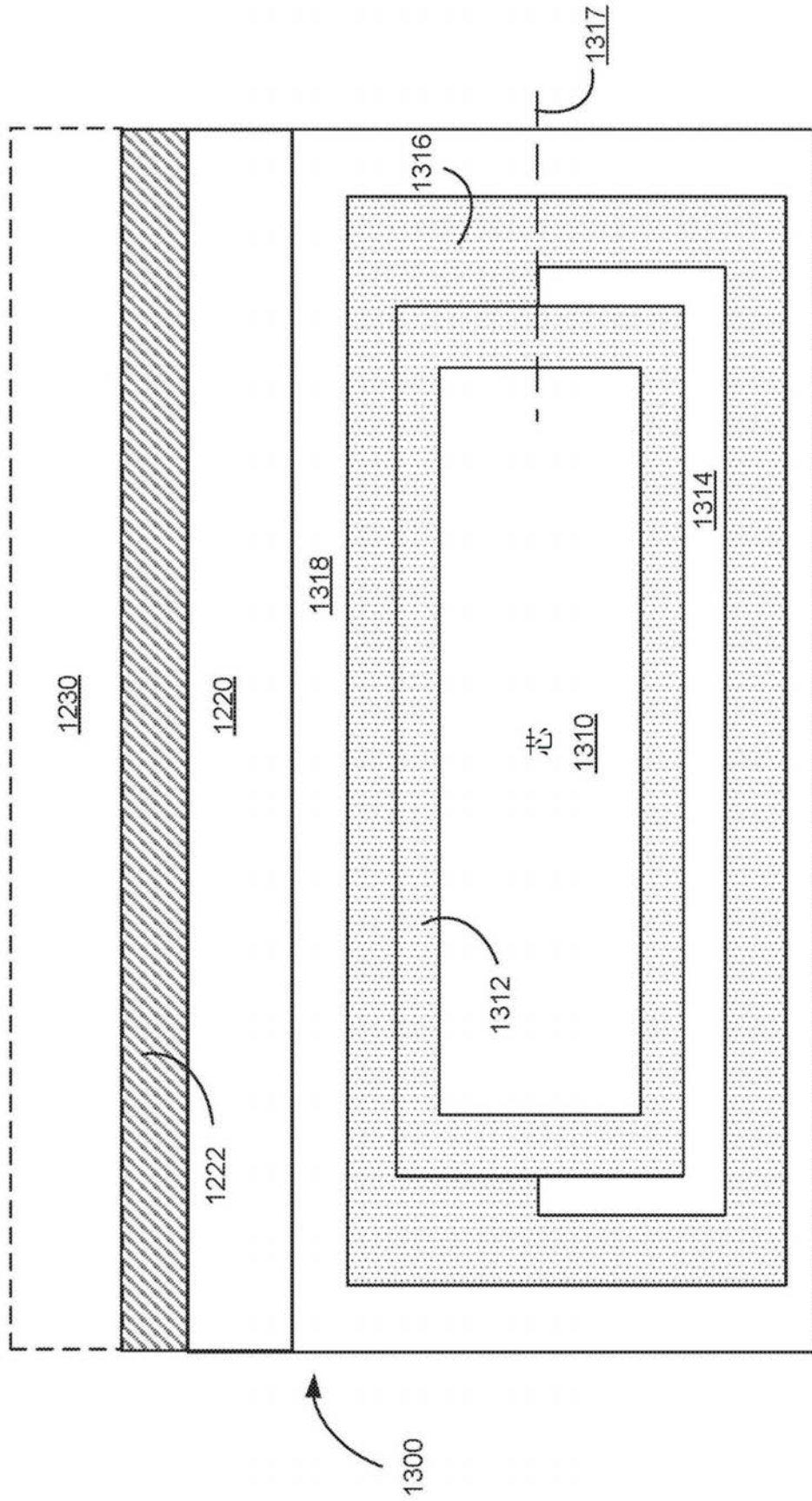


图13

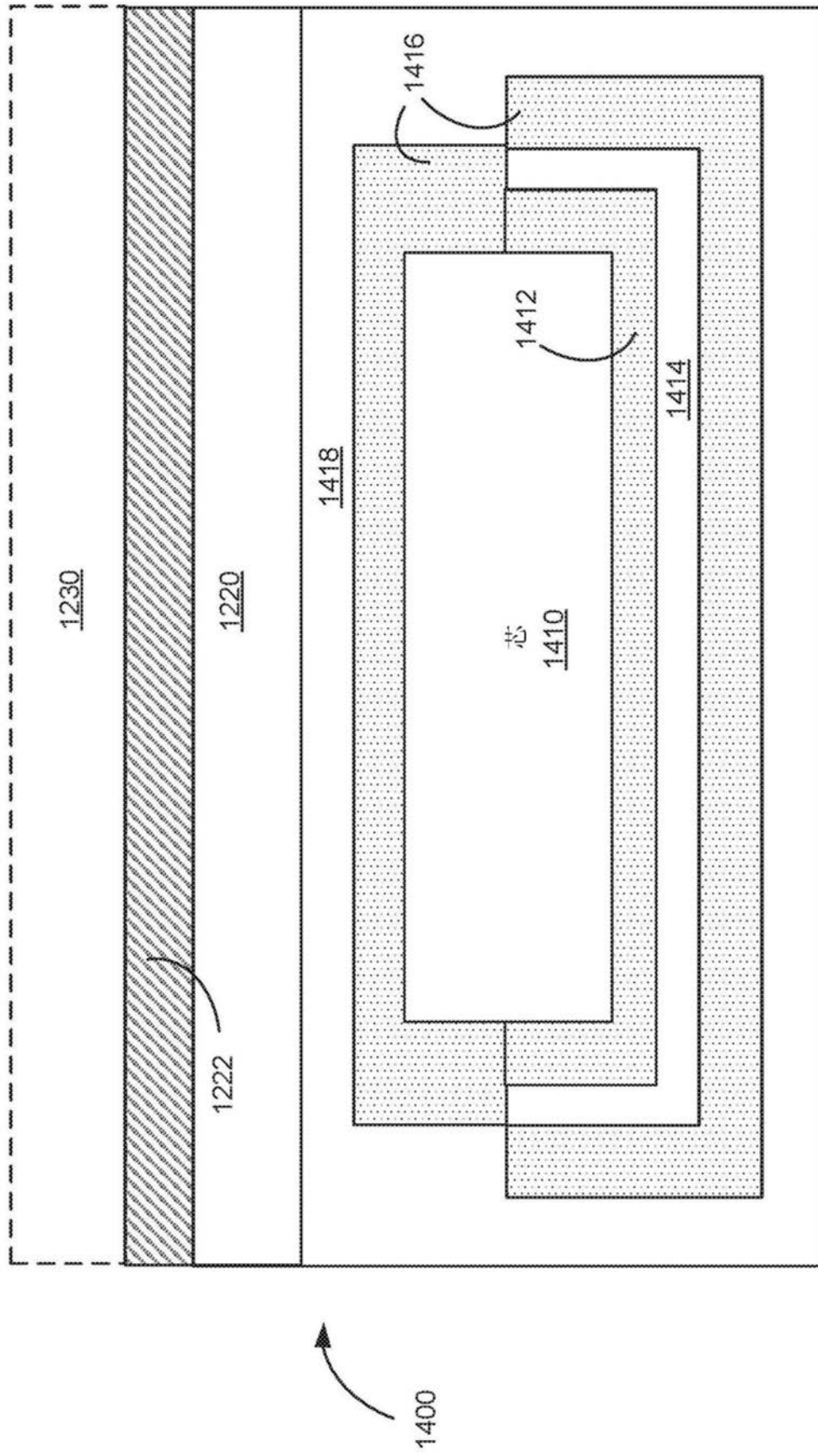


图14

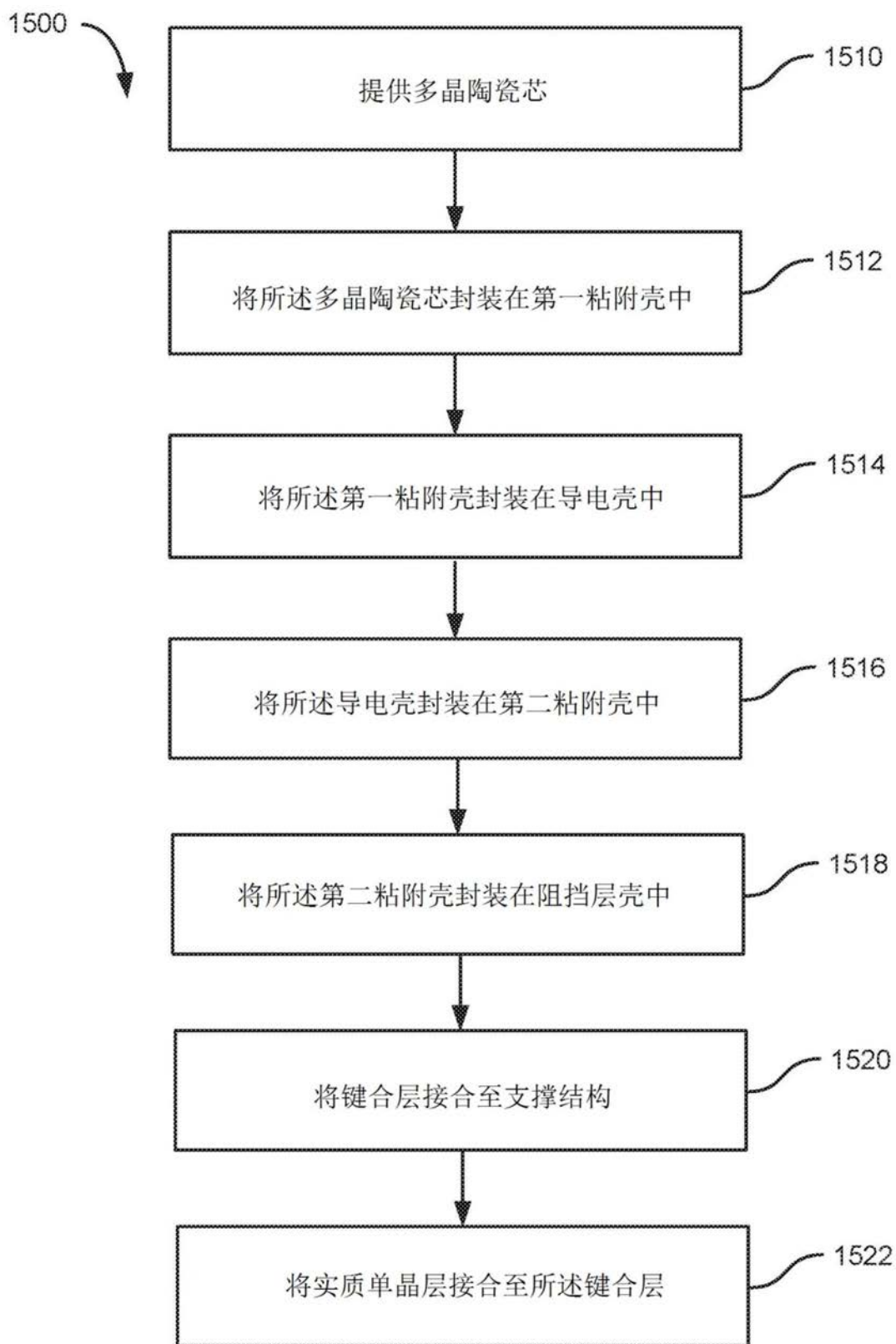


图15

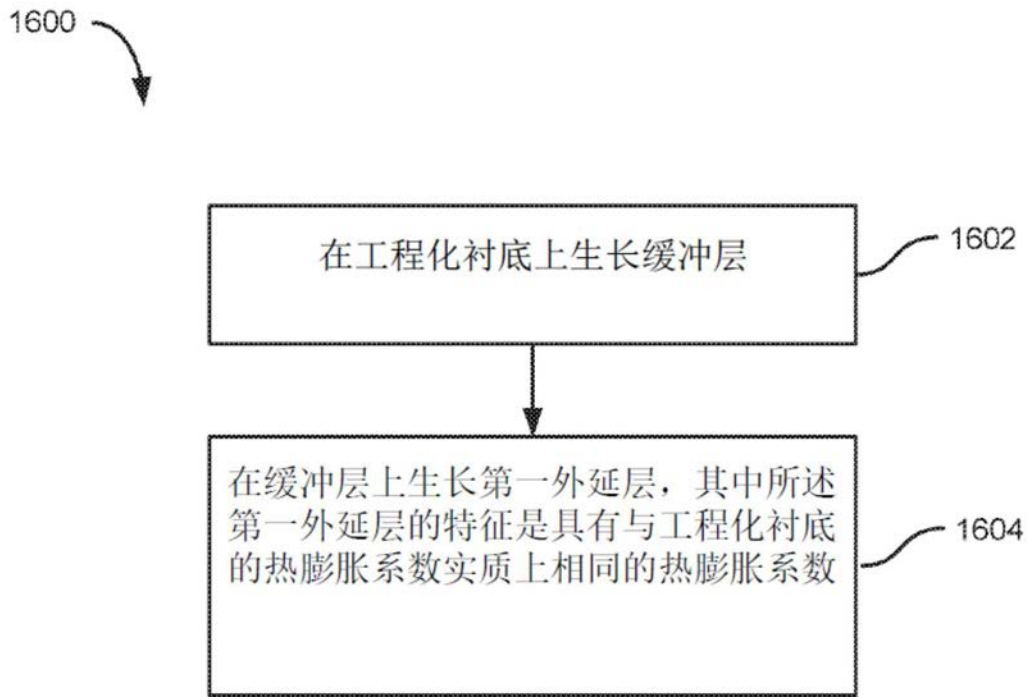


图16

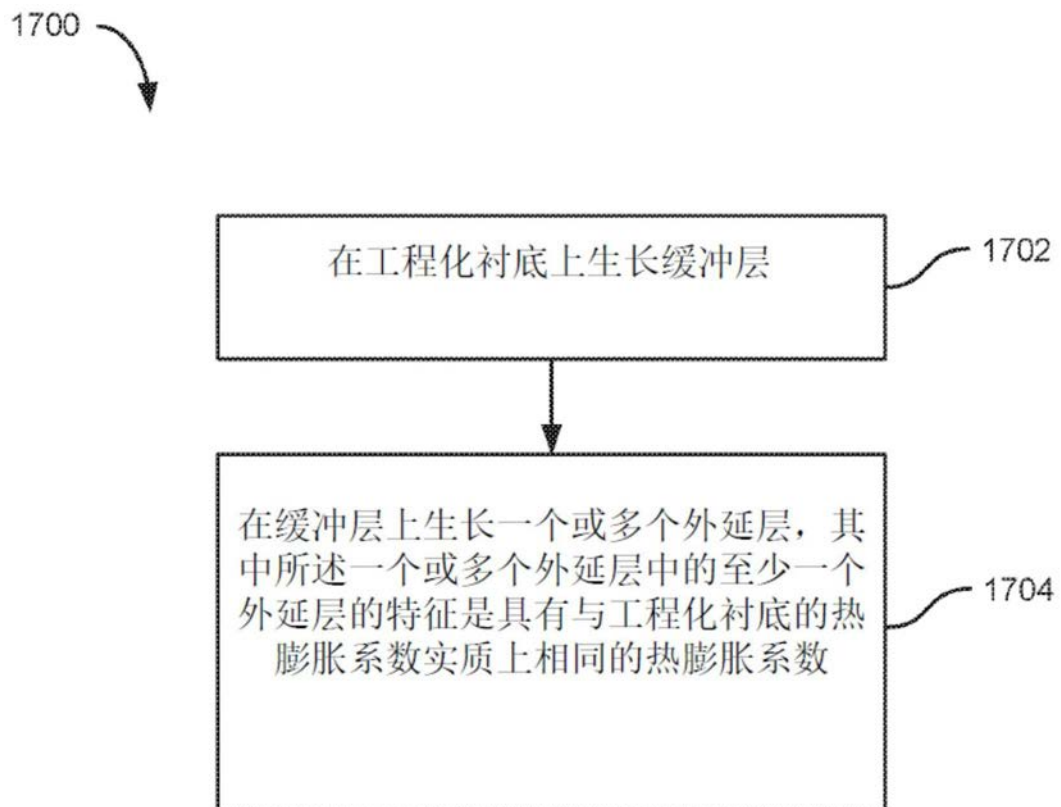


图17

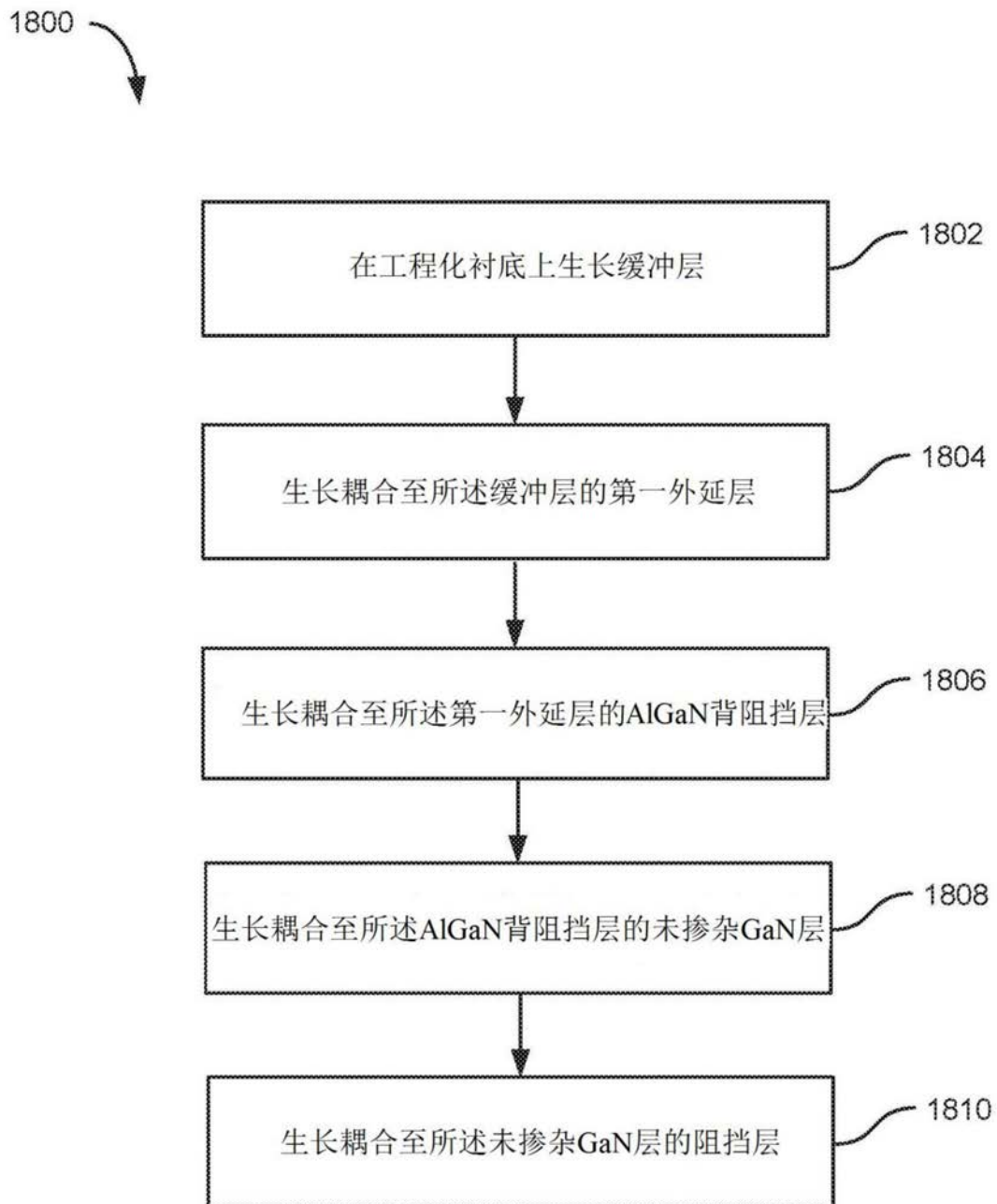


图18