(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3967493号
(P3967493)
(45)発行日　平成19年8月29日(2007.8.29)　(24)登録日　平成19年6月8日(2007.6.8)

(51)Int.Cl.　F I
*G11C 11/417 (2006.01)*　G11C 11/34 305

請求項の数 6 (全 11 頁)

(21)出願番号　特願平11-173218
(22)出願日　平成11年6月18日(1999.6.18)
(65)公開番号　特開2001-6372(P2001-6372A)
(43)公開日　平成13年1月12日(2001.1.12)
審査請求日　平成15年5月12日(2003.5.12)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100092820
弁理士　伊丹　勝
(72)発明者　川澄　篤
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

審査官　加藤　俊哉

(56)参考文献　特開平０９－２１３０８２（ＪＰ，Ａ）
特開平０６－２２３５７４（ＪＰ，Ａ）
特開平０８－００７５７５（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
ビット線とワード線が交差して配設され、その交差部にメモリセルが配置されたメモリセルアレイと、
前記ビット線に書き込みデータを転送すると共に、書き込み後低レベルになったビット線に高レベル電圧を供給してリカバリ動作を行う書き込みドライバと、
前記ビット線に読み出されるデータを検知増幅するセンスアンプと、
前記ビット線と電源端子との間に設けられてビット線電位により制御され、前記書込みドライバによるリカバリ動作においてビット線があるレベルまで電位回復することによりオンしてリカバリ動作を加速する電流源負荷とを有し、
前記電流源負荷は、ドレインがビット線に接続され、ソースが電源端子に接続されたＰＭＯＳトランジスタと、このＰＭＯＳトランジスタのゲートにビット線の電位を反転して与えるインバータとを有する
ことを特徴とする半導体記憶装置。
【請求項２】
前記電流源負荷は、ドレインがビット線に接続され、ソースが接地端子に接続され、ゲートに前記インバータの出力が与えられるＮＭＯＳトランジスタを更に備えたことを特徴とする請求項１記載の半導体記憶装置。
【請求項３】
前記電流源負荷は、前記ＰＭＯＳトランジスタに直列に接続されるＮＭＯＳトランジス

タを更に備え、
前記ＮＭＯＳトランジスタのドレインは、対応するビット線と前記ＰＭＯＳトランジスタのドレインの双方に接続され、
前記ＮＭＯＳトランジスタのソースは、第２の電源に接続されており、
前記ＮＭＯＳトランジスタのゲートは、前記インバータの出力を供給するために前記インバータに接続されていることを特徴とする請求項１記載の半導体記憶装置。
【請求項４】
前記電流源負荷は、
ドレインが第１の電源に接続され、ソースが前記対応するビット線に接続されたＮＭＯＳトランジスタと、
入力端子が前記対応するビット線に接続された第１のインバータと、
入力端子が前記第１のインバータの出力端子に接続され、出力端子が前記ＮＭＯＳトランジスタのゲートに接続された第２のインバータとを備えたことを特徴とする請求項１に記載の半導体記憶装置。
【請求項５】
前記インバータは、出力電圧振幅が抑圧されていることを特徴とする請求項１記載の半導体記憶装置。
【請求項６】
前記メモリセルはＳＲＡＭセルであり、前記センスアンプは流れ込む電流差を検知増幅する電流増幅型センスアンプであることを特徴とする請求項１乃至５のいずれかに記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体記憶装置に係り、特にＳＲＡＭにおけるビット線の電流源負荷に関する。
【０００２】
【従来の技術】
図９は、従来のＳＲＡＭのコア回路の構成を示している。メモリセルアレイ１は複数のビット線対ＢＬ，ｂＢＬ（ＢＬ０，ｂＢＬ０，ＢＬ１，ｂＢＬ１，…）と複数のワード線ＷＬ（ＷＬ０，ＷＬ１，…）の各交差部にメモリセルＭＣを配置して構成される。ビット線対ＢＬ，ｂＢＬの一端には電流源負荷４としてＰＭＯＳトランジスタＱＰ１，ＱＰ２が接続され、他端はカラムゲート５を介してデータ線対ＤＬ，ｂＤＬに接続される。データ線対ＤＬ，ｂＤＬにはデータ書き込みのための書き込みドライバ３が設けられ、またデータ読み出しのためのセンスアンプ２が設けられる。
【０００３】
データ書き込み時、図１０に示すように書き込み信号／ＷＥが“Ｌ”になり、書き込みデータＤＩＮに応じてデータ線対ＤＬ，ｂＤＬの一方が“Ｌ”、他方が“Ｈ”になる。これがカラムゲート５により選択されているビット線対ＢＬ，ｂＢＬに転送され、ワード線ＷＬにより選択されているメモリセルＭＣに書き込まれる。書き込みが終了すると、書き込み信号が／ＷＥ＝“Ｈ”になり、データ線対ＤＬ，ｂＤＬはともに“Ｈ”となって、ビット線対ＢＬ，ｂＢＬを次のデータ読み出しまたは書き込みに備えて共に“Ｈ”レベルにするライトリカバリ動作が行われる。リカバリ動作では、プリチャージ信号／ＰＣＨが“Ｌ”になり、ビット線負荷ＰＭＯＳトランジスタＱＰ１，ＱＰ２がオンとなる。
【０００４】
大容量化したＳＲＡＭではビット線容量及びデータ線容量が大きいため、書き込みドライバ３のみでリカバリ動作を行うことは、高速性能の点で問題がある。このため、リカバリ動作では、図１０に示すように、プリチャージ信号／ＰＣＨを“Ｌ”として、ビット線源負荷ＰＭＯＳトランジスタＱＰ１，ＱＰ２をオンにして、ビット線対ＢＬ，ｂＢＬの充電を加速するようにしている。データ書込み及び読出し動作では、プリチャージ信号は／Ｐ

ＣＨ＝“Ｈ”を保つ。

【０００５】

【発明が解決しようとする課題】

しかし、従来のビット線リカバリ制御の方式では、書き込みドライバ３のオンオフとビット線負荷ＰＭＯＳトランジスタＱＰ１，ＱＰ２のオンオフのタイミングを調整しなければならず、タイミングがずれると、書き込みデータの破壊や無駄な電力消費の原因となる。更にビット線負荷によるリカバリは、同一ワード線により選択される全てのビット線に対して行われるので、負荷のゲート容量の充放電でも多大の電力が消費される。

この発明は、書き込みドライバの制御のみで自動的にビット線リカバリ動作が行われるようにして、タイミングマージンの向上と消費電力低減を図った半導体記憶装置を提供することを目的とする。

【０００６】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、ビット線とワード線が交差して配設され、その交差部にメモリセルが配置されたメモリセルアレイと、前記ビット線に書き込みデータを転送すると共に、書き込み後低レベルになったビット線に高レベル電圧を供給してリカバリ動作を行う書き込みドライバと、前記ビット線に読み出されるデータを検知増幅するセンスアンプと、前記ビット線と電源端子との間に設けられてビット線電位により制御され、前記書込みドライバによるリカバリ動作においてビット線があるレベルまで電位回復することによりオンしてリカバリ動作を加速する電流源負荷とを有し、前記電流源負荷は、ドレインがビット線に接続され、ソースが電源端子に接続されたＰＭＯＳトランジスタと、このＰＭＯＳトランジスタのゲートにビット線の電位を反転して与えるインバータとを有することを特徴とする。

【０００７】

この発明において、ビット線の電流源負荷は、ビット線電位により自動的に制御され、書込みドライバによるリカバリ動作においてビット線があるレベルまで電位回復することによりオンしてリカバリ動作を加速するものとしている。従って、書込みドライバとの間でタイミング調整は要らないため、タイミングマージンが向上し、負荷の制御で消費されていた無駄な電力も削減される。

【０００８】

具体的に例えば、この発明における電流源負荷は、ドレインがビット線に接続され、ソースが電源端子に接続されたＰＭＯＳトランジスタと、このＰＭＯＳトランジスタのゲートにビット線の電位を反転して与えるインバータとを備えて構成される。これにより、書込みドライバによるリカバリ動作において、低レベル側に遷移したビット線の電位がインバータの回路しきい値まで回復すると自動的にＰＭＯＳトランジスタがオンして、そのビット線の高レベルへの回復を加速する動作が行われる。またデータ書込み時は、“Ｌ”レベルに遷移するビット線では、その電位がインバータの回路しきい値以下になると電流源ＰＭＯＳトランジスタがオフになり、無駄な電流を流すことなく、高速のデータ書込みが可能になる。

【０００９】

電流源負荷は更に、上述のＰＭＯＳトランジスタとインバータに加えて、ドレインがビット線に接続され、ソースが接地端子に接続され、ゲートに前記インバータの出力が与えられるＮＭＯＳトランジスタを備えることができる。これは、電流源負荷が、二つのインバータの入出力を逆並列接続したフリップフロップを構成したことになる。このような電流源負荷を用いると、データ書込み時、低レベル側に遷移するビット線側でＮＭＯＳトランジスタがオンとなり、そのビット線のレベル遷移が加速される。従って一層の高速データ書込みが可能になる。

別な具体的態様として、この発明の電流源負荷は、ドレインが第１の電源に接続され、ソースが前記対応するビット線に接続されたＮＭＯＳトランジスタと、入力端子が前記対応するビット線に接続された第１のインバータと、入力端子が前記第１のインバータの出力

端子に接続され、出力端子が前記ＮＭＯＳトランジスタのゲートに接続された第２のインバータとを備えることができる。

【００１０】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

［実施の形態１］

図１は、この発明の実施の形態１によるＳＲＡＭのコア回路構成を示している。その基本構成は、従来の図８と同様であり、メモリセルアレイ１は複数のビット線対ＢＬ，ｂＢＬ（ＢＬ０，ｂＢＬ０，ＢＬ１，ｂＢＬ１，…）と複数のワード線ＷＬ（ＷＬ０，ＷＬ１，…）の各交差部にメモリセルＭＣを配置して構成される。ビット線対ＢＬ，ｂＢＬの一端には電流源負荷４としてＰＭＯＳトランジスタＱＰ１，ＱＰ２が接続され、他端はカラムゲート５を介してデータ線対ＤＬ，ｂＤＬに接続される。データ線対ＤＬ，ｂＤＬにはデータ書き込みのための書き込みドライバ３が設けられ、またデータ読み出しのためのセンスアンプ２が設けられる。

【００１１】

メモリセルＭＣは、図２に示すように、インバータＩ１１，Ｉ１２を逆並列に接続してなるフリップフロップによるＳＲＡＭセルであり、そのノードＮ１，Ｎ２はワード線ＷＬにより駆動されるトランスファゲートＮＭＯＳトランジスタＱＮ１１，ＱＮ１２を介してそれぞれビット線ＢＬ，ｂＢＬに接続されている。

この実施の形態において、電流源負荷４は、ソースを電源端子ＶCCに接続し、ドレインをそれぞれビット線対ＢＬ，ｂＢＬに接続したＰＭＯＳトランジスタＱＰ１，ＱＰ２と、これらのゲートにそれぞれビット線対ＢＬ，ｂＢＬの電位を反転して与えるインバータＩ４とを備えて構成される。従って電流源負荷４は、制御端子を持たず、後に説明するように、データ書き込み後のリカバリ動作等において、ビット線対ＢＬ，ｂＢＬの電位により自動的にオンオフが制御されて、リカバリ動作を加速する動作が行われる。

【００１２】

データ線ＤＬ，ｂＤＬに接続される書込みドライバ３は、書込み信号／ＷＥにより制御されるＮＯＲゲートＧ１，Ｇ２を主体として構成される。ＮＯＲゲートＧ１，Ｇ２には書き込みデータＤＩＮとこれをインバータＩ３により反転したデータが入力される。従って、書込み信号／ＷＥが“Ｌ”にときに、書込みデータＤＩＮの“Ｈ”，“Ｌ”に応じて、データ線対ＤＬ，ｂＤＬに一方が“Ｈ”で他方が“Ｌ”となる相補信号が供給される。

【００１３】

データ線対ＤＬ，ｂＤＬに接続されるセンスアンプ２は、高速の増幅作用のために電流増幅型とすることが好ましい。具体的に電流増幅型のセンスアンプ２は例えば、図３のように構成される。ビット線対の一方ＢＬに接続されるセンス入力ノードＳＡＩＮ１と接地端子ＶSSの間に、ＰＭＯＳトランジスタＱＰ３１，ＱＰ３３が直列接続され、他方ｂＢＬに接続されるセンス入力ノードＳＡＩＮ２と接地端子ＶSSの間に、ＰＭＯＳトランジスタＱＰ３２，ＱＰ３４が直列接続される。ＰＭＯＳトランジスタＱＰ３３，ＱＰ３４のゲートには活性化信号／ＳＡが入る。ＰＭＯＳトランジスタＱＰ３１のゲートは、ＰＭＯＳトランジスタＱＰ３２とＱＰ３４の接続ノードＮ１２に接続され、ＰＭＯＳトランジスタＱＰ３２のゲートは、ＰＭＯＳトランジスタＱＰ３１とＱＰ３３の接続ノードＮ１１に接続される。接続ノードＮ１１，Ｎ１２がセンス出力ノードＳＡＯＵＴ１，ＳＡＯＵＴ２となる。

【００１４】

図３に示すセンスアンプ２では、選択されたメモリセルＭＣのデータに応じてセンス入力ノードＳＡＩＮ１，ＳＡＩＮ２に供給される電流の差が、ノードＮ１１，Ｎ１２の電位差となり、これがＰＭＯＳトランジスタＱＰ３１，ＱＰ３２に正帰還されることにより、電流差が増幅される。これにより、センス出力ノードＳＡＯＵＴ１，ＳＡＯＵＴ２に“Ｈ”，“Ｌ”出力が得られる。

【００１５】

電流増幅型のセンスアンプ２として、図４の構成を用いることもできる。これは、センス入力ノードＳＡＩＮ１，ＳＡＩＮ２と接地端子ＶSSの間に２系統の電流検出回路４１，４２が設けられ、これらの電流検出回路４１，４２の出力を反転増幅するインバータ４３，４４が設けられて構成される。一方の電流検出回路４１は、カレントミラーを構成するＰＭＯＳトランジスタＱＰ４１，ＱＰ４２と、これらのドレインと接地端子ＶSSの間に設けられたＮＭＯＳトランジスタＱＮ４１，ＱＮ４２により構成される。他方の電流検出回路４２は同様に、カレントミラーを構成するＰＭＯＳトランジスタＱＰ４３，ＱＰ４４と、これらのドレインと接地端子ＶSSの間に設けられたＮＭＯＳトランジスタＱＮ４３，ＱＮ４４により構成される。

【００１６】

但し、電流検出回路４１では、センス入力ノードＳＡＩＮ１側のＰＭＯＳトランジスタＱＰ４１のゲート・ドレインが接続されているのに対し、電流検出回路４２では逆に、センス入力ノードＳＡＩＮ２側のＰＭＯＳトランジスタＱＰ４３のゲート・ドレインが接続されている。また、電流検出回路４１では、ＮＭＯＳトランジスタＱＮ４２のゲート・ドレインが接続され、電流検出回路４２では、ＮＭＯＳトランジスタＱＮ４４のゲート・ドレインが接続されている。

【００１７】

図４のセンスアンプ回路では、センス入力ノードＳＡＩＮ１側の入力電流が大きいとすると、ＰＭＯＳトランジスタＱＰ４２はＰＭＯＳトランジスタＱＰ４１と同じ電流を流そうとする結果、そのソース・ドレイン間電圧が大きくなり、ノードＮ４１が電位低下する。逆に、センス入力ノードＮ２側の入力電流が大きい場合は、ノードＮ４２が電位低下する。これらのノードＮ４１，Ｎ４２の電位変化は、それぞれＮＭＯＳトランジスタＱＮ４１，ＱＮ４３ドレイン電位変化となり、ＰＭＯＳトランジスタＱＰ４２，ＱＰ４４に帰還される。以上の結果、データに応じてノードＮ４１，Ｎ４２の一方が“Ｈ”、他方が“Ｌ”となり、これらがインバータ４３，４４により反転されて出力される。

【００１８】

次に、図５を用いて、この実施の形態によるＳＲＡＭのデータ書込みとその後のリカバリ動作を説明する。書込み信号／ＷＥが“Ｌ”になることにより、書込みドライバ３は、書き込みデータＤＩＮに応じて、データ線ＤＬ，ｂＤＬの一方に“Ｈ”、他方に“Ｌ”を出力する。この相補信号はカラムゲート５により選択されたビット線対ＢＬ，ｂＢＬに転送され、ワード線ＷＬにより選択されたメモリセルＭＣに書き込まれる。ここまでは従来と変わらない書込み動作である。

【００１９】

以上のデータ書込動作において、ビット線対ＢＬ，ｂＢＬの一方ＢＬが“Ｈ”、他方ｂＢＬが“Ｌ”なるデータが与えられたとする。このとき、電流源負荷４のビット線ＢＬ側のＰＭＯＳトランジスタＱＰ１はオンを保ち、ビット線ＢＬを“Ｈ”に保つ。ビット線ｂＢＬは“Ｈ”に充電された状態から電位低下し、その電位がインバータＩ４の回路しきい値より低くなると、インバータＩ４の出力が“Ｈ”、従ってＰＭＯＳトランジスタＱＰ２はオフになる。即ち、ビット線ｂＢＬは電流源負荷４からの電流供給がなくなり、ほぼ接地電位ＶSSまで低下する。

【００２０】

書込み信号／ＷＥが“Ｈ”になることにより、ライリカバリ動作が行われる。このとき、書込みドライバ３の出力は共に“Ｈ”になり、これが書込みで選択されたビット線対ＢＬ，ｂＢＬに転送される。“Ｌ”レベル側のビット線ｂＢＬは、書込みドライバ３の出力により電位上昇し、これがインバータＩ４の回路しきい値を超えると、ＰＭＯＳトランジスタＱＰ２がオンする。従ってその後は、ＰＭＯＳトランジスタＱＰ２を通して電源ＶCCからビット線ｂＢＬに電流が供給されて、リカバリ動作が加速される。即ち、リカバリ動作は、書込みドライバ３と電流源負荷４の協働により行われる。リカバリ終了前にカラムゲート５が閉じても、ビット線のレベルがインバータの回路しきい値を超えていれば、ＰＭＯＳトランジスタＱＰ２がリカバリ動作を継続する。

【００２１】
以上のようにこの実施の形態によれば、ライトリカバリのタイミングは、書込みドライバ３のタイミング制御により自動的に決定され、従来のようにビット線電流源負荷の制御タイミングと書込みドライバのタイミングのズレを心配する必要はない。従ってタイミングマージンが大きいものとなる。また、データ書込み時、“Ｌ”レベルに遷移するビット線側では電流源負荷４が自動的にオフになり、無駄な電流を流すことはない。これにより、消費電力削減が図られる。
【００２２】
データ読み出し時は、ビット線対ＢＬ，ｂＢＬが初期状態で“Ｈ”であり、電流源負荷４がオンしている。しかし、センスアンプ２として、図３或いは図４に示したような電流増幅型センスアンプを用いれば、電流源負荷４をオフにすることなく、確実なデータセンスが可能である。即ち、選択されたメモリセルＭＣに流れ込む電流に応じて、電流源負荷４からビット線対ＢＬ，ｂＢＬを介してセンスアンプ２に流入する電流の差を検知増幅することにより、電流源負荷４をオフにすることなく、高速のセンスが可能である。
【００２３】
［実施の形態２］
図６は、実施の形態２によるＳＲＡＭのビット線電流源負荷４の構成を示している。図１と対応する部分には、図１と同じ符号を付してある。また図１におけるメモリセルアレイ１、センスアンプ２、書込みドライバ３の部分はこの実施の形態でも同じであり、図６では省略している。
【００２４】
この実施の形態では、電流源負荷４として、実施の形態１の構成に加えて、ＮＭＯＳトランジスタＱＮ５，ＱＮ６が設けられている。ＮＭＯＳトランジスタＱＮ５，ＱＮ６のドレインはそれぞれビット線対ＢＬ，ｂＢＬに接続され、ソースは接地端子ＶSSに接続されて、ゲートにはインバータＩ４の出力が与えられる。この電流源負荷４は、ＰＭＯＳトランジスタＱＰ１とＮＭＯＳトランジスタＱＮ５とがインバータＩ５を構成し、同様にＰＭＯＳトランジスタＱＰ２とＮＭＯＳトランジスタＱＮ６とがインバータＩ５を構成する。これらのインバータＩ５はインバータＩ４と逆並列接続されたことになり、従ってフリップフロップを構成したことになる。
【００２５】
この実施の形態での電流源負荷４の動作は、基本的に先の実施の形態１と同じである。但しこの実施の形態の場合、データ書込み時、“Ｌ”レベルに遷移するビット線側では、その電位がインバータＩ４の回路しきい値以下になると、ＮＭＯＳトランジスタＱＮ５又はＱＮ６がオンとなる。即ち、ビット線の“Ｌ”レベルへの遷移がＮＭＯＳトランジスタＱＮ５又はＱＮ６により加速されるから、高速のデータ書込みが可能になる。
従ってこの実施の形態によると、先の実施の形態１と同様の効果が得られる上、より高速書込みが可能になるという効果が得られる。
【００２６】
［実施の形態３］
図７は、実施の形態３によるＳＲＡＭの構成を、図１に対応させて示している。図１の実施の形態１では、図には示していないが、インバータＩ４は、電源電位ＶCC－接地電位ＶSSの電圧振幅を有する。これに対してこの実施の形態では、接地電位ＶSS側に、接地電位ＶSSより少し高い正電位ＶSS１を与えるようにしている。その他の構成は、図１と同じである。
【００２７】
この様な電流源負荷４の構成を用いることにより、データ読み出し時の高速性能が改善される。即ち、データ読み出し時、メモリセルＭＣはデータに応じてビット線対ＢＬ，ｂＢＬの一方例えばＢＬから電流を引き込み、他方ｂＢＬでは電流を引き込みがない。このとき、電流源負荷ＰＭＯＳトランジスタＱＰ１，ＱＰ２からビット線対ＢＬ，ｂＢＬを介して活性化されたセンスアンプ２に流入する電流は、メモリセルＭＣの引き込み電流をｉce

llとして、ビット線対ＢＬ，ｂＢＬ側でｉ、ｂＢＬ側でｉ－ｉcellとなる。但し、これは電流源負荷４が理想的な定電流源である場合である。

【００２８】

実際には、負荷ＰＭＯＳトランジスタＱＰ１，ＱＰ２のうち、セル電流ｉcellが流れる側のＰＭＯＳトランジスタＱＰ１では、そのセル電流ｉcellが流れる結果として、Δｉだけ電流が増大する。即ち、ＰＭＯＳトランジスタＱＰ１は、ゲート・ソース間バイアスが一定であるため、ドレイン・ソース間電圧｜Ｖｄｓ｜を増大させることにより、Δｉの電流増大を生じる。この結果、センスアンプ２に流入する電流は、ｉと、ｉ＋Δｉ－ｉcellとなり、理想的な電流源負荷の場合に比べて電流差が小さくなる。

ところがこの実施の形態の場合には、ＰＭＯＳトランジスタＱＰ１，ＱＰ２をオンさせるゲートの低レベル側電位を正電位ＶSS1としている。即ち、これらのＰＭＯＳトランジスタＱＰ１，ＱＰ２はオンのとき、ゲート・ソース間電圧｜Ｖｇｓ｜の小さい領域で５極管動作をする。この結果、ＰＭＯＳトランジスタＱＰ１側でセル電流ｉcellが流れたときのＰＭＯＳトランジスタＱＰ１による電流増大Δｉを抑制することができ、センスアンプ２への流入電流の差を大きく保つことができる。以上により、高速のデータ読出しが可能になる。

【００２９】

図には示さないが、フリップフロップ形式の電流源負荷４を用いる図６の実施の形態においても同様に、インバータＩ４の低レベル側電源として、接地電位ＶSSより高いＶSS1を用いることは有効である。

【００３０】

［実施の形態４］

図８は、実施の形態４によるＳＲＡＭの構成を、図１に対応させて示している。この実施の形態では、電流源負荷４として、ドレインを電源端子ＶCCに接続し、ソースをビット線対ＢＬ，ｂＢＬに接続したＮＭＯＳトランジスタＱＮ０１，ＱＮ０２を用いている。これらのＮＭＯＳトランジスタＱＮ０１，ＱＮ０２のゲートは、ビット線対ＢＬ，ｂＢＬの電位を２段のインバータＩ４１，Ｉ４２を介して駆動する。

この実施の形態によっても、基本的に実施の形態１と同様の原理で、データ書き込み後の自動的なライトリカバリ動作が行われる。但し、ビット線ＢＬ，ｂＢＬの充電レベルが、ＮＭＯＳトランジスタＱＮ０１，ＱＮ０２のしきい値電圧により制限される。

【００３１】

この発明は上記実施の形態に限られない。例えば実施の形態ではＳＲＡＭを説明したが、電流引き込み有無によりデータ記憶を行うメモリセルを用いるものであれば、例えば不揮発性半導体記憶装置等にも同様にこの発明を適用することができる。

【００３２】

【発明の効果】

以上述べたようにこの発明によれば、ビット線の電流源負荷は、ビット線電位により自動的にオンオフ制御され、データ書き込み動作により低レベルに遷移したビット線によりオフ、書込みドライバによるリカバリ動作においてビット線があるレベルまで電位回復することによりオンしてリカバリ動作を加速するものとしている。従って、書込みドライバとの間でタイミング調整は要らず、タイミングマージンが向上する。また書込動作でビット線電位があるレベルまで低下するとそのビット線の電流源負荷は自動的にオフになるため、負荷の制御で消費されていた無駄な電力も削減される。

【図面の簡単な説明】

【図１】この発明の実施の形態によるＳＲＡＭの構成を示す図である。

【図２】同実施の形態におけるメモリセルの構成を示す図である。

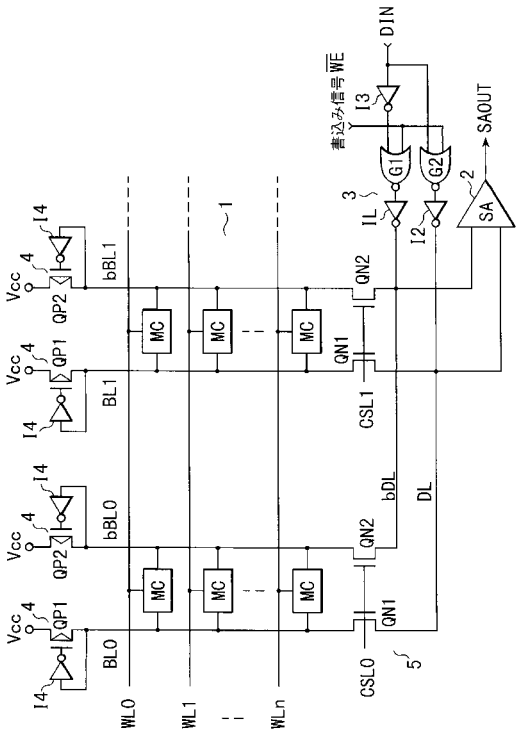
【図３】同実施の形態におけるセンスアンプの構成例を示す図である

【図４】同実施の形態におけるセンスアンプの他の構成例を示す図である。

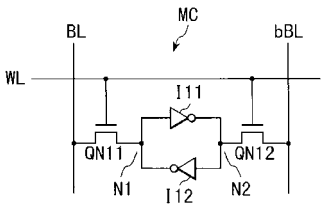
【図５】同実施の形態のＳＲＡＭのデータ書込みとライトリカバリ動作のタイミング図である。

【図６】この発明の他の実施の形態によるＳＲＡＭの電流源負荷の構成を示す図である。
【図７】この発明の他の実施の形態によるＳＲＡＭの構成を示す図である。
【図８】この発明の他の実施の形態によるＳＲＡＭの構成を示す図である。
【図９】従来のＳＲＡＭの構成を示す図である。
【図１０】従来のＳＲＡＭのデータ書込みとライトリカバリの動作タイミングを示す図である。
【符号の説明】
１…メモリセルアレイ、２…センスアンプ、３…書込みドライバ、４…電流源負荷、ＭＣ…メモリセル、ＢＬ，ｂＢＬ…ビット線対、ＷＬ…ワード線、ＱＰ１，ＱＰ２…ＰＭＯＳトランジスタ、Ｉ４…インバータ。

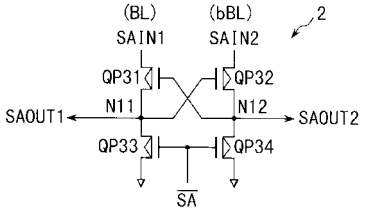
【図１】



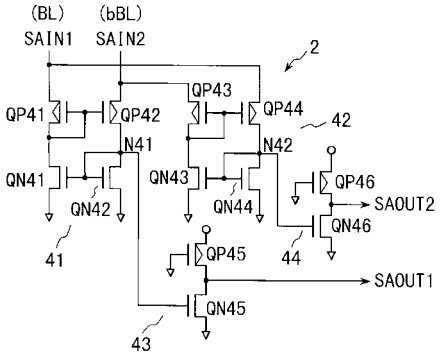

【図２】



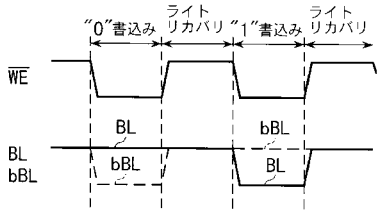

【図３】



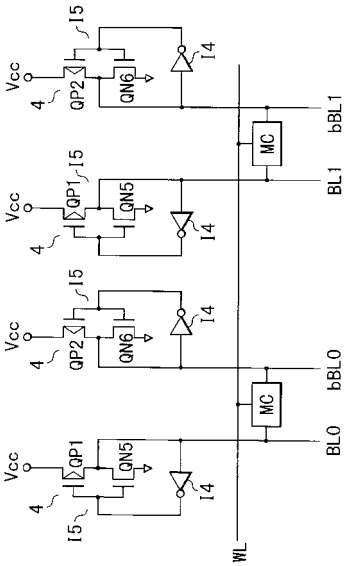
【図４】


(BL)
SAIN1
(bBL)
SAIN2
2
QP41
QP42
QP43
QP44
42
N41
N42
QN41
QN42
QN43
QN44
QP46
SAOUT2
QN46
41
QP45
44
SAOUT1
QN45
43

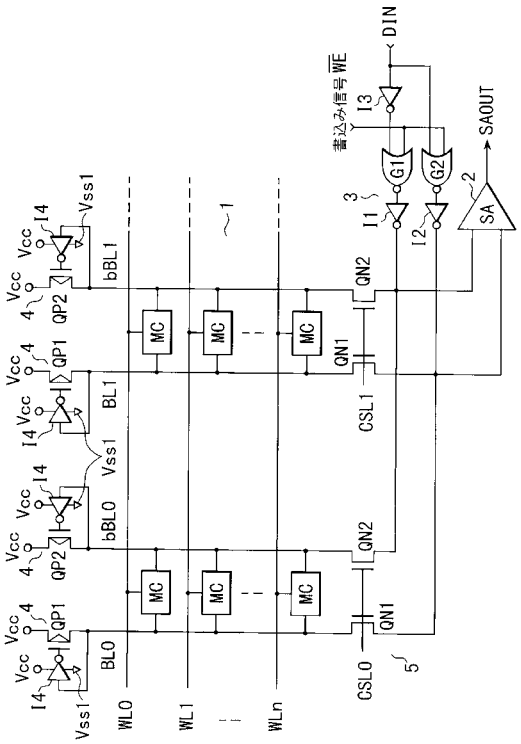
【図５】


"0"書込み
ライト
リカバリ
"1"書込み
ライト
リカバリ
WE
BL
bBL
BL
bBL
bBL
BL

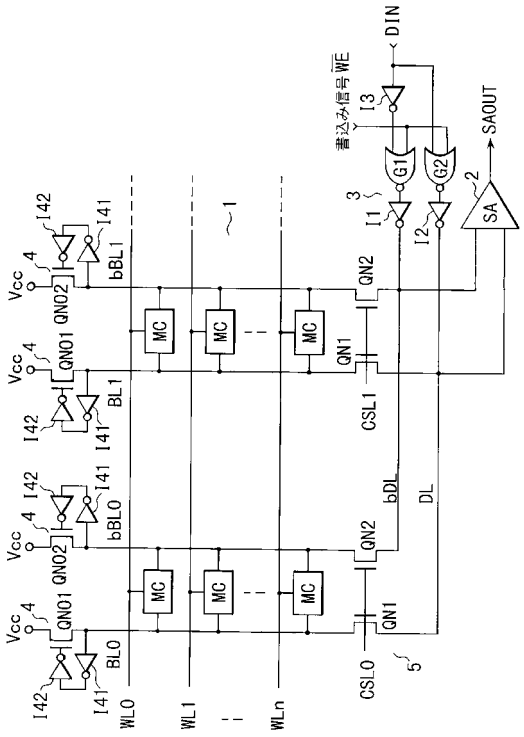
【図６】


Vcc
4
QP2
QN6
I5
I4
MC
bBL1
QP1
QN5
BL1
bBL0
BL0
WL

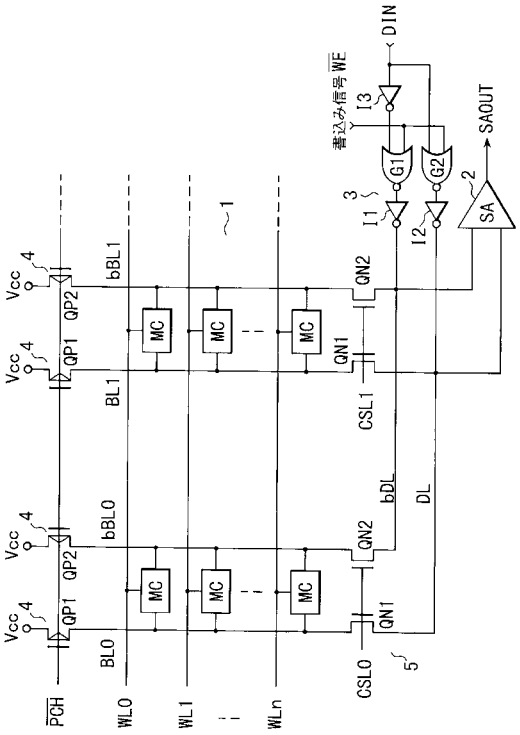
【図７】


DIN
書込み信号WE
I3
G1
G2
SAOUT
SA
I1
I2
3
2
1
Vcc
4
QP1
QP2
I4
Vss1
bBL1
BL1
bBL0
BL0
MC
QN1
QN2
CSL1
CSL0
5
WL0
WL1
WLn

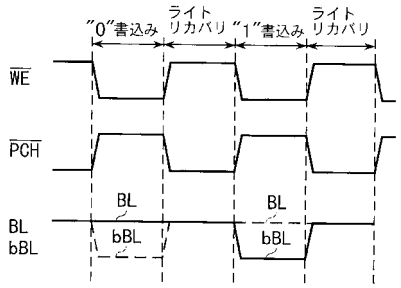
【図８】


DIN
書込み信号WE
I3
G1
G2
SAOUT
SA
I1
I2
3
2
1
Vcc
4
QN01
QN02
I41
I42
bBL1
BL1
bBL0
BL0
MC
QN1
QN2
CSL1
CSL0
bDL
DL
5
WL0
WL1
WLn

【図９】


DIN
書込み信号 WE
I3
G1
G2
SAOUT
SA
I1
I2
1
2
3
4
5
Vcc
QP1
QP2
QN1
QN2
MC
BL1
bBL1
BL0
bBL0
bDL
DL
CSL1
CSL0
PCH
WL0
WL1
WLn

【図１０】


"0"書込み
ライト リカバリ
"1"書込み
ライト リカバリ
WE
PCH
BL
bBL
BL
bBL

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
G11C 11/417