

發明專利說明書²⁰⁰⁵²⁴²⁸⁵

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93/100600

※申請日期：93-01-09 ※IPC 分類：H03L7/00

壹、發明名稱：(中文/英文)

晶體加速震盪電路

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

凌陽科技股份有限公司

代表人：(中文/英文) 黃洲杰

住居所或營業所地址：(中文/英文)

新竹縣科學園區創新一路 19 號

國 籍：(中文/英文) 中華民國

參、發明人：(共 1 人)

姓 名：(中文/英文)

林盟智

住居所地址：(中文/英文)

新竹市光復路一段 403 巷 8 弄 2-2 號 3 樓

國 籍：(中文/英文) 中華民國

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 無

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種晶體振盪電路，尤指一種可確保振盪之晶體加速振盪電路

5

【先前技術】

圖1顯示一傳統的晶體振盪電路(Crystal Oscillator)，其包括一反相放大器11、一回授電阻12、一石英振盪晶體13、一組電容對14、及一施密特觸發器16，其中，反相放大器11用於訊號放大，以提供整體晶體振盪迴路訊號增益(Gain)，施密特觸發器16係由反相放大器11產生之放大訊號所觸發而輸出時鐘訊號CLK，回授電阻12用於建立反相放大器11之直流工作偏壓，石英振盪晶體13用以產生具有一諧振(resonance)頻率之振盪訊號，電容對14用於使整體晶體振盪迴路之並聯諧振(Parallel resonance)非常接近串聯諧振(Series resonance)，而晶體振盪迴路之振盪頻率介於兩者之間。

以前述之晶體振盪電路，由於反相放大器11之訊號頻寬、放大增益會隨著工作電壓、製程參數、負載電容對變化，而這種變動在許多實際應用常會造成晶體振盪電路起振時間過長或甚至無法振盪。

為解決前述之問題，習知提出如圖2所示之改良晶體振盪電路，其係以並聯多個反相放大器11來達到使晶體振盪器快速起振之目的，圖3顯示其反相放大器11之切換方式，其

首先是在電源電壓起始時(步驟S301)，打開所有反相放大器11(此時稱為Strong mode)，由於此時的放大器11之放大增益非常高，故能達到使晶體振盪器快速起振之目的。但此時之放大器耗電也非常大，為了達到省電之需求，所以將產生之時鐘CLK送入N-bit計數器17(步驟S302)，在經過 2^N 個時鐘後，計數器17計時終了，只保留維持晶體振盪電路繼續振盪之一個基本反相放大器11(此時稱為Weak mode)，而將其餘之反相放大器11關閉(步驟S303)。

前述之改良晶體加速振盪電路雖可藉由並聯多個反相放大器11來達到快速起振之目的，然而，當起振之後，由於只保留了一個基本反相放大器11，因此，起振後之晶體振盪電路仍如同傳統的晶體振盪電路一般，會因為工作電壓、製程參數、負載電容對之變化，而導致晶體振盪電路不振盪之問題。

15

【發明內容】

本發明之一目的係在提供一種晶體加速振盪電路，其可確保一定會振盪，不會因製程、負載電容和電源電壓的變動而停止振盪。

20 本發明之另一目的係在提供一種晶體加速振盪電路，其能有效地縮短起振時間。

本發明之再一目的係在提供一種晶體加速振盪電路，其可將耗電流自動調整到最小。

本發明之又一目的係在提供一種晶體加速振盪電路，其可更換不同頻率之電晶體振盪器，而不會造成不振盪之問題或是耗電流過大之問題。

為達成上述目的，本發明之晶體加速振盪電路包括：一

5 石英振盪晶體，用以產生一振盪訊號；一放大器組，用以將該振盪訊號放大，而在其輸出端產生一放大振盪訊號，其中，在電源開啟時，該放大器組具有最大放大強度；一回授電阻，其跨接於該放大器組，用以建立該放大器組之直流工作偏壓；一第一觸發器，其輸入端連接於該放大器組之輸出

10 端，俾由該放大振盪訊號觸發該第一觸發器而產生一第一時鐘輸出；一第二觸發器，其輸入端連接於該放大器組之輸出端，俾由該放大振盪訊號觸發該第二觸發器而產生一第二時鐘輸出，其中，該第二觸發器具有一大於一預設值之遲滯電壓；以及，一放大器開關邏輯，其連接至該第二觸發器，以

15 當偵測出該第二觸發器有產生第二時鐘輸出時，逐漸減低該放大器組之放大強度。

【實施方式】

為能讓 貴審查委員能更瞭解本發明之技術內容，特舉

20 較佳具體實施例說明如下。

圖4為本發明之晶體加速振盪電路之一實施例，其包括一放大器組41、一回授電阻42、一石英振盪晶體43、一組電容對44、一第一觸發器46、一第二觸發器47、及一放大器開關邏輯48。其中，該放大器組41包括多數個並聯之放大器

411，用於訊號放大，以提供整體晶體振盪迴路訊號增益 (Gain)，該等放大器411較佳為反相放大器；該回授電阻42跨接於該放大器組41，用以建立放大器組之直流工作偏壓 (Direct current operation bias)；該石英振盪晶體43跨接於該回授電阻42及該放大器組41，用以產生一具有一諧振 (resonance) 頻率之振盪訊號；該電容對44之電容441及442分別連接於該石英振盪晶體43之兩端，以用於使整體晶體振盪迴路之串聯諧振 (Series resonance) 非常接近並聯諧振 (Parallel resonance)，而晶體振盪迴路之振盪頻率介於兩者之間。

前述之第一觸發器46係為一具有較小遲滯電壓之小振幅史密斯觸發器 (Small-swing Schmitt-trigger)，其輸入端連接於該放大器組41之輸出，俾由該放大器組41所輸出之放大訊號觸發而產生時鐘輸出CLK，此小振幅之史密斯觸發器亦可以一般之反相放大器替代。前述之第二觸發器47係為一具有較大遲滯電壓之大振幅史密斯觸發器 (Large-swing Schmitt-trigger)，其輸入端連接於該放大器組41之輸出，用以檢測該放大器組41之放大訊號輸出振幅，當其大於該第二施密特觸發器47之遲滯電壓時，則產生一增強時鐘輸出XCLK，以饋入該放大器開關邏輯48。

前述放大器開關邏輯48係用以調整開啟之反相放大器的數目，以節省耗電流，圖5顯示前述放大器開關邏輯48之切換方式，首先，在電源啟動時將該放大器組41此之所有反相放大器全部打開(步驟S501)，因此，晶體加速振盪電路將

很快地起振，而由於此時所有放大器411均打開而耗電流較大，且為避免一次關閉放大器411而導致晶體加速振盪電路在起振後又無法振盪之問題，因此，放大器開關邏輯48係在該第二觸發器47有產生增強時鐘輸出XCLK時(步驟S502)，

5 逐一減低該放大器組41之放大強度(步驟S503)，亦即，逐一關閉該放大器組41之放大器411，直到該第二觸發器47未有產生增強時鐘輸出XCLK或該放大器組41只剩一開啟之放大器411時(步驟S504)。

於前述之切換流程中，當開始沒有增強時鐘輸出XCLK

10 時，表示該放大器組41之放大強度已被減弱無法使第二觸發器47產生增強時鐘輸出XCLK，但由於前述第二觸發器47係為一大振幅史密斯觸發器，其遲滯電壓遠大於該第一觸發器46，因此，放大器組41之放大強度仍足以使第一觸發器46產生時鐘輸出CLK，因而確保在關閉反相放大器以節省耗電

15 流之後，晶體加速振盪電路仍可振盪。

前述之放大器開關邏輯48可為一N位元計數器，此計數器用以計數該增強時鐘輸出XCLK之時脈數，以當計數終了時，關閉該放大器組41之一反相放大器，再重置計數器並重新計數。

20 圖6顯示本發明之晶體加速振盪電路之另一實施例，其於前一實施例之不同處在於放大器組61係由多數個並聯之電流源611及一由該等電流源所控制之放大器612所構成，此放大器612較佳為一電流控制反相放大器，而該放大器開關

邏輯48係以逐一關閉該放大器組61之電流源611來達成逐一減低該放大器組61之放大強度的作用。

由以上之說明可知，本發明之晶體加速振盪電路係藉由以多數放大器同時啟動、且在大振幅之史密斯觸發器產生時鐘訊號時，逐一降低放大器之放大強度，直至大振幅之史密斯觸發器未有產生時鐘訊號，而達成振盪之目的，其具有下述之優點：

一、保證此振盪電路一定會振盪，不會因製程、負載電容和電源電壓的變動而停止振盪；

10 二、能有效地縮短振盪電路的起振時間；

三、振盪電路之開啟的反相放大器數目會自動調整到最少，故耗電流也會自動調整到最小；及

四、在某些應用需要更換不同頻率之石英振盪晶體，此架構仍可適用。

15 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

【圖式簡單說明】

20 圖1係顯示一傳統晶體振盪電路。

圖2係顯示一改良之傳統晶體振盪電路。

圖3係顯示改良之傳統晶體振盪電路的反相放大器之切換流程。

圖4係本發明之晶體加速振盪電路之一實施例。

圖5係本發明之晶體加速振盪電路的反相放大器之切換流程。

圖6係本發明之晶體加速振盪電路之另一實施例。

5 【圖號說明】

(11) 反相放大器

(12) 回授電阻

(13) 石英振盪晶體

(14) 電容對

10 (16) 施密特觸發器

(17) 計數器17

(41) 放大器組

(411) 放大器

(42) 回授電阻

15 (43) 石英振盪晶體

(44) 電容對

(441)(442) 電容

(46) 第一觸發器

(47) 第二觸發器

20 (48) 放大器開關邏輯

(61) 放大器組

(611) 電流源

(612) 放大器

伍、中文發明摘要：

本發明係有關於一種晶體加速振盪電路，其包括用以產生一振盪訊號之石英振盪晶體、放大器組、回授電阻、第一及第二觸發器、以及放大器開關邏輯。放大器組用以將該振盪訊號放大；回授電阻用以建立該放大器組之直流工作偏壓；第一觸發器之輸入端連接於該放大器組之輸出端，俾由放大之振盪訊號觸發該第一觸發器而產生一第一時鐘輸出；第二觸發器之輸入端連接於該放大器組之輸出端，俾由該放大之振盪訊號觸發該第二觸發器而產生一第二時鐘輸出，其中，該第二觸發器具有一大於一預設值之遲滯電壓；放大器開關邏輯連接至該第二觸發器，以當偵測出該第二觸發器有產生第二時鐘輸出時，逐漸減低該放大器組之放大強度。

陸、英文發明摘要：

拾、申請專利範圍：

1. 一種晶體加速振盪電路，包括：

一石英振盪晶體，用以產生一振盪訊號；

5 一放大器組，用以將該振盪訊號放大，而在其輸出端產生一放大振盪訊號，其中，在電源開啟時，該放大器組具有最大放大強度；

一回授電阻，其跨接於該放大器組，用以建立該放大器組之直流工作偏壓；

10 一第一觸發器，其輸入端連接於該放大器組之輸出端，俾由該放大振盪訊號觸發該第一觸發器而產生一第一時鐘輸出；

15 一第二觸發器，其輸入端連接於該放大器組之輸出端，俾由該放大振盪訊號觸發該第二觸發器而產生一第二時鐘輸出，其中，該第二觸發器具有一大於一預設值之遲滯電壓；以及

一放大器開關邏輯，其連接至該第二觸發器，以當偵測出該第二觸發器有產生第二時鐘輸出時，逐漸減低該放大器組之放大強度。

20 2. 如申請專利範圍第1項所述之晶體加速振盪電路，其中，該第一觸發器為一第一施密特觸發器，該第二觸發器為一第二施密特觸發器，該第二施密特觸發器之遲滯電壓大於該第一施密特觸發器之遲滯電壓。

3. 如申請專利範圍第1項所述之晶體加速振盪電路，其中，該第一觸發器為一反相放大器，該第二觸發器為一施密特觸發器。

4. 如申請專利範圍第2項所述之晶體加速振盪電路，其
5 更包含分別連接於該石英振盪晶體之兩端的一組電容對。

5. 如申請專利範圍第2項所述之晶體加速振盪電路，其中，該放大器組包括多數個並聯之反相放大器。

6. 如申請專利範圍第5項所述之晶體加速振盪電路，其中，該放大器開關邏輯係在偵測出該第二觸發器有產生第二
10 時鐘輸出時，逐一關閉該放大器組之反相放大器，直到該第二觸發器未有產生第二時鐘輸出或該放大器組只剩一開啟之反相放大器時。

7. 如申請專利範圍第6項所述之晶體加速振盪電路，其中，該放大器開關邏輯包括一計數器，該計數器用以計數該
15 第二時鐘輸出時，以當計數終了時，關閉該放大器組之一反相放大器。

8. 如申請專利範圍第2項所述之晶體加速振盪電路，其中，該放大器組包括多數個並聯之電流源及一電流控制反相
20 放大器，該電流控制反相放大器係由該等並聯之電流源所控制。

9. 如申請專利範圍第8項所述之晶體加速振盪電路，其中，該放大器開關邏輯係在偵測出該第二觸發器有產生第二
時鐘輸出時，逐一關閉該放大器組之電流源，直到該第二觸

發器未有產生第二時鐘輸出或該放大器組只剩一開啟之電
流源時。

10. 如申請專利範圍第9項所述之晶體加速振盪電路，
其中，該放大器開關邏輯包括一計數器，該計數器用以計數
5 該第二時鐘輸出時，以當計數終了時，關閉該放大器組之一
電流源。

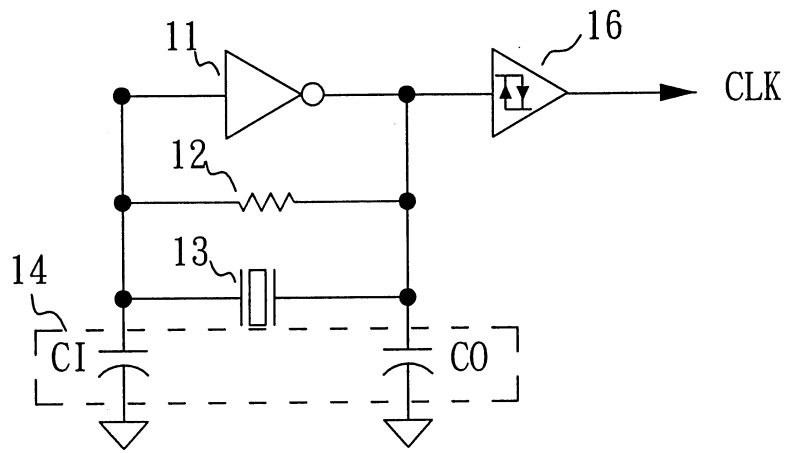


圖1

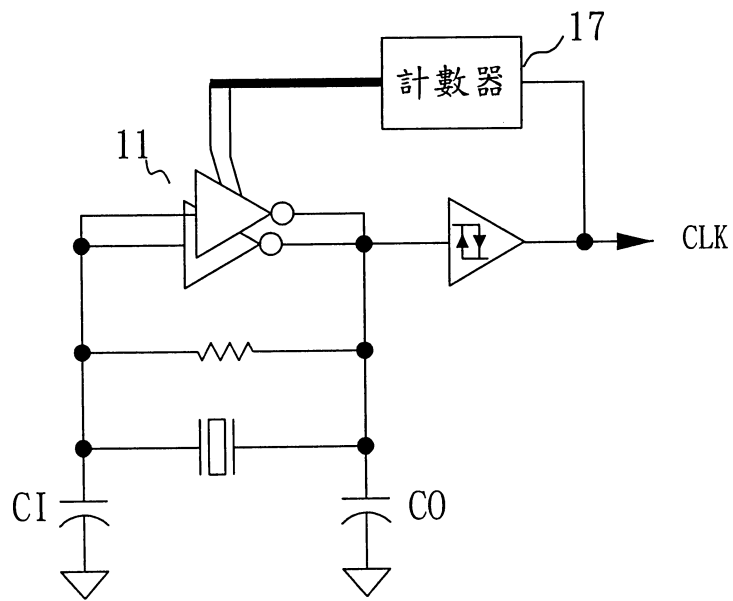


圖2

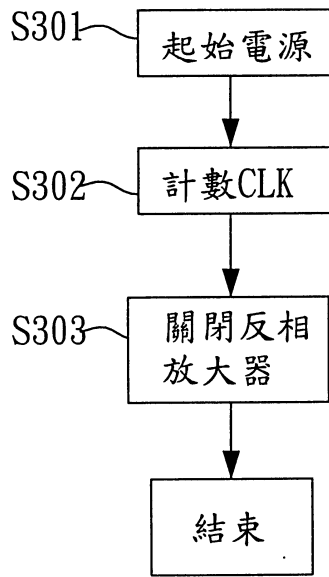


圖3

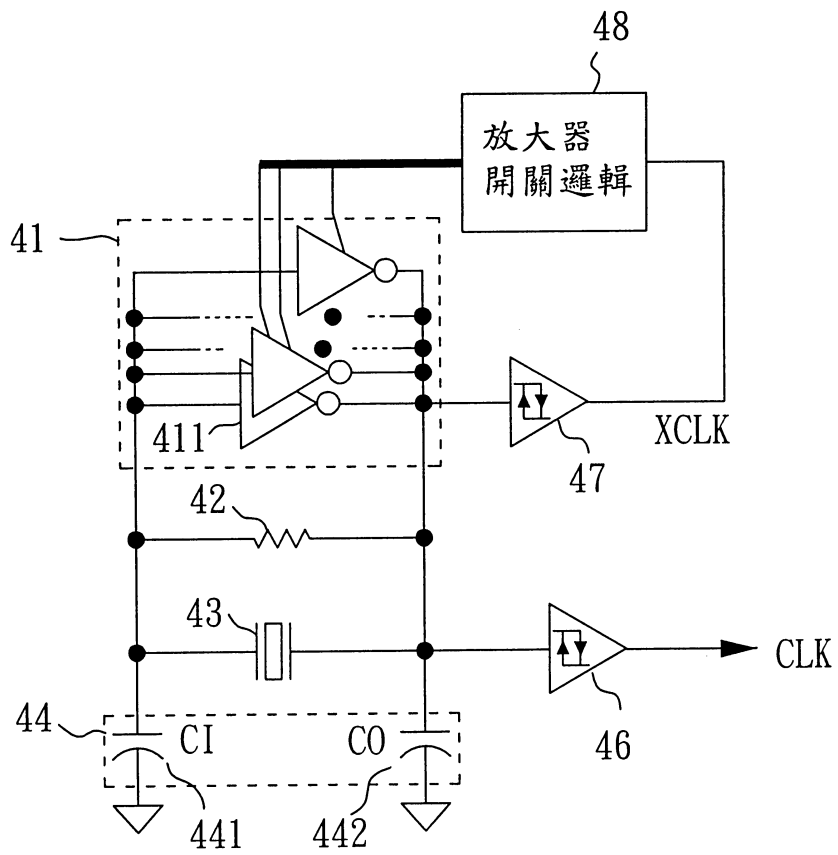


圖4

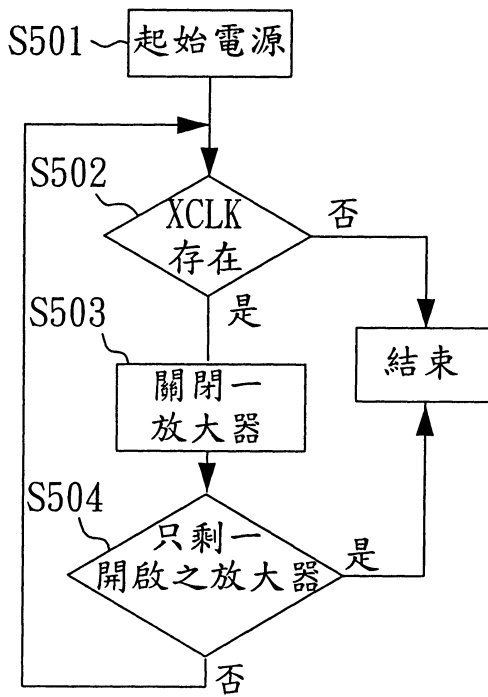


圖5

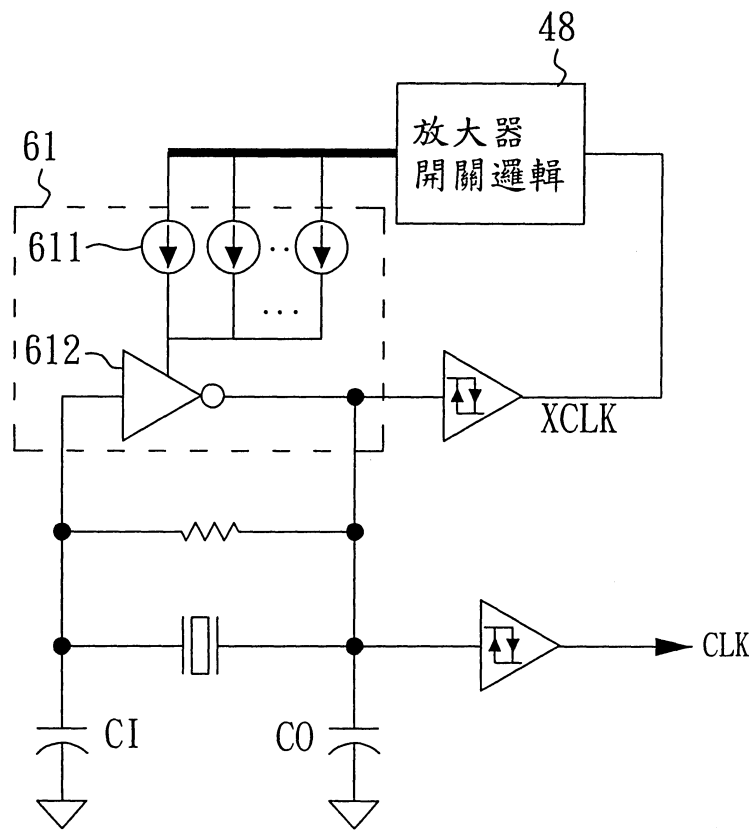


圖6

柒、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件代表符號簡單說明：

- (41) 放大器組
- (411) 放大器
- (42) 回授電阻
- (43) 石英振盪晶體
- (44) 電容對
- (441)(442) 電容
- (46) 第一觸發器
- (47) 第二觸發器
- (48) 放大器開關邏輯

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」