

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H03K 19/00	(45) 공고일자 2000년02월01일 (11) 등록번호 10-0244456 (24) 등록일자 1999년11월22일
(21) 출원번호 10-1997-0009982 (22) 출원일자 1997년03월22일	(65) 공개번호 특1998-0074246 (43) 공개일자 1998년11월05일

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 장성진
(74) 대리인	서울특별시 관악구 신림본동 10-133 박장원

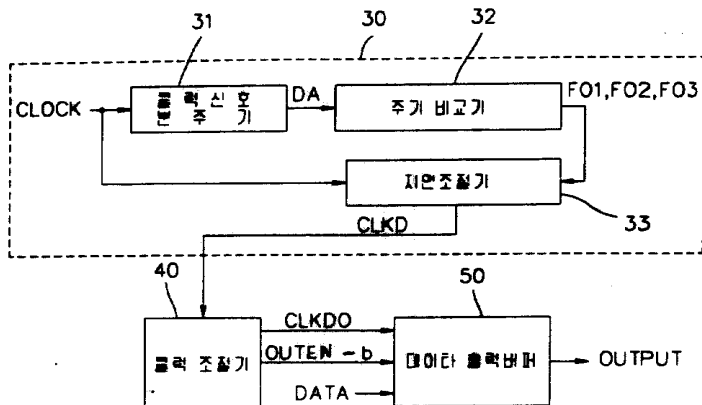
**심사관 : 김중화**

### (54) 데이터 출력 버퍼를 위한 클럭 조절 장치

#### 요약

본 발명은 데이터 출력 버퍼를 위한 클럭 조절 장치에 관한 것으로, 제1클럭신호(CLOCK)의 주기에 의해 조절된 주기를 갖는 제2클럭신호(CLKD)를 발생시키는 클럭신호 발생기와, 그 클럭신호 발생기로부터 인가된 제2클럭신호를 소정의 시간동안 지연시켜 제3클럭신호(CLKDO)를 발생하고 또한 출력 인에이블신호를 발생하는 클럭 조절기와, 데이터신호를 입력받아 상기 클럭 조절기로부터 인가된 제3클럭신호 및 출력 인에이블신호에 따라 버퍼링하여 출력신호를 발생하는 데이터 출력버퍼를 포함한다. 본 발명은 입력된 클럭신호의 주기에 따라 데이터 출력 버퍼의 데이터 액세스 시간 및 출력신호의 유지시간을 조절할 수 있다.

#### 대표도



#### 명세서

##### 도면의 간단한 설명

- 제1도는 종래 클럭 조절 장치의 블록도.
- 제2도는 제1도의 데이터 출력 버퍼의 상세 회로도.
- 제3도는 제1도의 클럭 조절 장치의 입출력 신호의 타이밍도.
- 제4도는 본 발명인 데이터 출력버퍼를 위한 클럭 조절 장치의 블록도.
- 제5도는 제4도에서 주기 비교기의 상세 구성도.
- 제6도는 제5도에서 지연기의 상세 구성도.
- 제7도는 제4도에서 지연 조절기의 상세 구성도.
- 제8도는 제4도에서 클럭신호 분주기와 주기 비교기의 입출력 타이밍도.
- 제9도는 제4도에서 클럭발생기의 입력 클럭신호의 주기가 작을 경우 데이터 출력 버퍼의 출력신호에 관한 타이밍도.
- 제10도는 제4도에서 클럭발생기의 입력 클럭신호의 주기가 클 경우 데이터 출력버퍼의 출력신호에 관한

타이밍도.

\* 도면의 주요부분에 대한 부호의 설명

10, 40 : 클럭 조절기	11, 50 : 데이터 출력 버퍼
20 : 데이터 래치부	21 : 출력 인에이블부
22 : 출력 구동부	30 : 클럭신호 발생기
31 : 클럭신호 분주기	32 : 주기 비교기
33 : 지연 조절기	

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 데이터 출력 버퍼를 위한 클럭 조절 장치에 관한 것으로, 입력된 클럭신호의 주기에 따라 데이터 출력 버퍼의 데이터 액세스 시간 및 출력신호 유지시간을 조절할 수 있도록 한 데이터 출력 버퍼를 위한 클럭 조절 장치에 관한 것이다.

일반적인 디램(DRAM)의 데이터 출력 버퍼를 위한 클럭 조절 장치는 제1도에 도시된 바와 같이, 입력받은 클럭신호(CLOCK를 소정의 시간동안 지연시켜 클럭신호(CLK0)를 발생하고 또한 출력 인에이블신호(OUTEN\_b)를 발생하는 클럭 조절기(10)와, 데이터(DATA)를 입력받아 상기 클럭 조절기(10)로부터 인가된 클럭신호(CLK0) 및 출력 인에이블신호(OUTEN\_b)에 따라 버퍼링하여 출력신호(OUTPUT)를 발생하는 데이터 출력 버퍼(11)를 포함한다.

상기 데이터 출력 버퍼(11)는 제2도에 도시된 바와 같이, 클럭신호(CLOCK)의 상승 에지에서 데이터(DAT A)를 래치하는 데이터 래치부(20)와, 그 데이터 래치부(20)로 부터 출력된 데이터(DATA)의 출력을 출력 인에이블신호(OUTEN\_b)에 따라 결정하는 출력 인에이블부(21)와, 그 출력 인에이블부(21)의 출력신호에 의해 구동되어 출력신호(OUTPUT)를 발생하는 출력 구동부(22)로 구성된다.

상기 데이터 래치부(20)는 클럭신호(CLK0)를 반전시켜 클럭신호(CA)를 발생하는 인버터(20a)와, 그 인버터(20a)로부터 출력된 클럭신호(CA)를 반지시켜 클럭신호(CB)를 발생하는 인버터(20b)와, 그 인버터(20b)로부터 출력된 클럭신호(CB) 및 상기 인버터(20a)로부터 출력된 클럭신호(CA)에 따라 데이터(DATA)를 스위칭하는 전송게이트(20c)와, 그 전송게이트(20c)의 출력신호를 순차적으로 반전시켜 래치하기 위한 인버터(20d), (20e)와, 그 인버터(20d)의 출력신호를 클럭신호(CA) 및 클럭신호(CB)에 따라 스위칭하는 전송게이트(20f)와, 그 전송게이트(20f)의 출력신호를 순차적으로 반전시켜 래치하기 위한 인버터(20g), (20h)로 구성된다.

상기 출력 인에이블부(21)는 출력 인에이블신호(OUTEN\_b)를 반전시키는 인버터(21c)와, 그 인버터(21c)의 출력신호 및 상기 데이터 래치부(20)에 포함된 인버터(20g)의 출력신호를 낸딩하는 낸드게이트(21a)와, 출력 인에이블신호(OUTEN\_b) 및 상기 데이터 래치부(20)에 포함된 인버터(20g)의 출력신호를 노아링하는 노아게이트(21b)로 구성된다.

상기 출력 구동부(22)는 상기 출력 인에이블부(21)에 포함된 낸드게이트(21a)의 출력신호를 입력받는 게이트, 전원전압(VCC)을 입력받는 소스, 그리고 출력신호(OUTPUT)를 발생하는 드레인을 갖는 피모스 트랜지스터(22a)와, 그 피모스 트랜지스터(22a)의 드레인과 연결된 드레인, 상기 출력 인에이블부(21)에 포함된 노아게이트(21b)의 출력신호를 입력받는 게이트, 그리고 접지전원(Vss)과 연결된 소스를 갖는 엔모스(NMOS) 트랜지스터(22b)로 구성된다.

상기와 같이 구성된 데이터 출력 버퍼(11)가 디램(DRAM)에 복수개 포함되고, 각각의 데이터 출력 버퍼는 할당된 데이터신호를 입력받고 출력 인에이블신호(OUTEN\_b) 및 클럭신호(CLK0)에 의해 조절된다.

이와 같이 구성된 종래의 클럭 조절기(10) 및 데이터 출력 버퍼(11)의 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

클럭 조절기(10)는 제3a도와 같은 클럭신호(CLOCK)를 소정의 시간동안 지연시켜 제3b도와 같은 클럭신호(CLK0)를 데이터 출력 버퍼(11)로 출력한다. 이때, 클럭 조절기(10)는 제3c도와 같은 출력 인에이블신호(OUTEN\_b)를 데이터 출력 버퍼(11)의 출력 인에이블부(21)로 출력한다.

그리고, 클럭신호(CLK0)가 로우레벨 일때 제3d도와 같은 데이터(DATA)가 전송게이트(20c)를 통과하여 클럭신호(CLK0)가 하이레벨로 천이되기전에 인버터(20d), (20e)에 의해 래치된다.

이와 같은 상태에서 제3c도와 같이, 출력 인에이블신호(OUTEN\_b)가 로우레벨로 천이되면 출력 인에이블부(21)의 낸드게이트(21a)는 인버터(20g), (20h)에 의해 래치되어 있던 DA 노드의 하이 데이터(DATA)가 출력 구동부(22)에 전송되어 출력을 하이 임피던스 상태에서 하이 상태로 만든다.

그리고, 출력 인에이블신호(OUTEN\_b)가 로우레벨로 변환 후 클럭신호(CLK0)가 하이레벨로 천이하면, 전송게이트(20c)는 턴오프, 전송게이트(20f)는 턴온되어 인버터(20d)에 래치되어 있던 데이터(DATA)는 인버터(20g)에 래치되어 DA노드를 로우레벨로 만든다.

따라서, 낸드게이트(21a)와 노아게이트(21b)의 출력이 하이레벨이 됨으로써, 피모스트랜지스터(22a)는 턴 오프, 엔모스트랜지스터(22b)는 턴온되어 출력은 하이에서 로우레벨이 된다. 결과적으로, 출력구동부(22)는 데이터(DATA)를 버퍼링하여 출력하게 된다.

그러나 상기와 같은 종래의 데이터 출력 버퍼(11)는 고주파수의 클럭신호(CLOCK)에 의한 데이터 액세스 시간(tAC)을 만족시키기 위하여 출력신호(OUTPUT)의 유지시간(tOH)(클럭신호 CLOCK의 상승에지에서 출력 로우전압  $V_{OL}$ 까지 도달하는 시간)을 데이터 액세스 시간(tAC)(클럭신호 CLOCK의 상승에지에서 출력하이전압  $V_{OH}$ 까지 도달하는 시간)보다 약 1-2ns 정도 작게 설정된다. 이러한 유지시간(tOH)은 클럭신호(CLOCK)의 주파수가 낮아지더라도 바뀌는 값이 아니므로 저주파수의 클럭신호(CLOCK)로써 메모리를 동작시키더라도 데이터(DATA)의 래치시간에 대한 여유는 고주파수의 클럭신호(CLOCK)에 비해 개선되지 않는다. 또한 종래의 데이터 출력 버퍼(11)에 따르면, 일정 주파수 이상의 고주파수의 클럭신호(CLOCK)에서는 데이터 액세스 시간(tAC)을 만족시키기 어려운 단점이 있었다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 단점을 해결하기 위하여, 본 발명은 입력된 클럭신호의 주기에 따라 데이터 출력 버퍼의 데이터 액세스 시간 및 출력신호 유지시간을 조절할 수 있도록 한 데이터 출력 버퍼를 위한 클럭 조절 장치를 제공함에 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명은 입력되는 제 3클럭신호(CLKD0) 및 출력 인에이블신호(OUTEN\_b)에 따라 입력데이터를 버퍼링하여 출력신호를 발생하는 데이터 출력 버퍼에서의, 상기 제3클럭신호 및 출력 인에이블 신호의 출력타이밍을 조절하는 데이터 출력 버퍼를 위한 클럭조절장치에 있어서, 제1클럭신호(CLOCK)의 주기에 따라 지연시간을 가변설정가능하고 그 제1클럭신호의 입력후 설정한 상기 지연시간후에 제2클럭신호(CLKD)를 발생시키는 클럭신호 발생기와, 그 클럭신호 발생기로부터 인가된 제2클럭신호(CLKD)를 미리 설정된 소정의 시간동안 지연시켜 상기 제3클럭신호(CLKD0)를 발생함과 아울러 상기 출력 인에이블신호(OUTEN\_b)를 발생하여 상기 데이터 출력버퍼에 출력하는 클럭 조절기로 구성됨을 특징으로 한다.

### 발명의 구성 및 작용

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

본 발명에 따른 데이터 출력 버퍼를 위한 클럭 조절 장치는 제4도에 도시된 바와 같이, 입력받는 클럭신호(CLOCK)를 분주하고 지연시켜 제2클럭신호(CLKD)를 발생시키는 클럭신호 발생기(30)와, 그 클럭신호 발생기(30)로부터 인가된 제2클럭신호(CLKD)를 소정의 시간동안 지연시켜 제3클럭신호(CLKD0)를 발생하고 또한 출력 인에이블신호(OUTEN\_b)를 발생하는 클럭 조절기(40)와, 데이터(DATA)를 입력받아 상기 클럭 조절기(40)로부터 인가된 클럭신호(CLKD0) 및 출력 인에이블신호(OUTEN\_b)에 따라 버퍼링하여 출력신호(OUTPUT)를 발생하는 데이터 출력 버퍼(50)로 구성된다.

상기 클럭신호 발생기(30)는 클럭신호(CLOCK)의 주기를 예를 들면 1/2로 분주하여 분주신호(DA)를 출력하는 클럭신호 분주기(31)와, 그 클럭신호 분주기(31)로부터 출력된 분주신호(DA)를 검출하여 제1, 제2, 제3주기검출신호(F01), (F02), (F03)를 발생하는 주기 비교기(32)와, 그 주기 비교기(32)로부터 출력된 각 주기검출신호(F01), (F02), (F03)에 따라 제1클럭신호(CLOCK)의 지연시간을 설정하여 제2 클럭신호(CLKD)를 상기 클럭 조절기(40)로 출력하는 지연조절기(32)로 구성된다.

상기 주기 비교기(32)는 제5도에 도시된 바와 같이, 상기 클럭신호 분주기(31)로부터 출력된 분주신호(DA)를 지연시켜 지연신호(DAn)를 출력하는 지연기(32a)와, 그 지연기(32a)로부터 출력된 지연신호(DAn)를 지연시켜 지연신호(DBn)를 출력하는 지연기(32b)와, 그 지연기(32b)로부터 출력된 지연신호(DBn)를 지연시켜 지연신호(DCn)를 출력하는 지연기(32c)와, 분주신호(DA)를 반전시키는 인버터(32m)와, 상기 지연기(32a)로부터 출력된 분주신호(DAn)를 순차적으로 반전시키는 인버터(32d), (32e)와, 그 인버터(32e)의 출력신호를 상기 인버터(32m)의 출력신호에 따라 래치하여 제1주기검출신호(F01)를 출력하는 제1플립플롭(32j)과, 상기 지연기(32b)로부터 출력된 지연신호(DBn)를 순차적으로 반전시키는 인버터(32f), (32g)와, 그 인버터(32g)의 출력신호를 상기 인버터(32m)의 출력신호에 따라 래치하여 제2주기검출신호(F02)를 출력하는 제2플립플롭(32k)과, 상기 지연기(32c)로부터 출력된 분주신호(DCn)를 순차적으로 반전시키는 인버터(32h), (32i)와, 그 인버터(32i)의 출력신호를 상기 인버터(32m)의 출력신호에 따라 래치하여 제3주기검출신호(F03)를 출력하는 제3 플립플롭(32l)으로 구성된다.

상기 주기 비교기(32)에 포함된 지연기(32a)는 제6도에 도시된 바와 같이, 분주신호(DA)를 순차적으로 반전시키는 인버터(60), (61)와 그 인버터(61)의 출력신호를 지연시켜 출력하는 제4지연기(62)와, 그 제4지연기(62)의 출력신호와 분주신호(DA)를 낸딩하는 제1낸드게이트(63)와, 그 제1낸드게이트(63)의 출력신호를 반전시켜 신호(DA1)를 생성하는 인버터(64)와, 그 인버터(64)의 출력신호(DA1)를 지연시켜 출력하는 지연기(65)와, 그 지연기(65)의 출력과 분주신호(DA)를 낸딩하는 제2낸드게이트(66)와, 그 낸드게이트(66)의 출력을 반전시켜 신호(DAn)를 생성하는 인버터(67)를 포함한다.

상기 지연기(32a)는 복수개의 지연기들을 포함하고 그 각각의 지연기의 출력단에는 리셋트를 위한 낸드로직이 포함된다.

상기 지연기(32b), (32c)는 상기 지연기(32a)와 동일한 구성을 가지나 그 지연 시간은 다를 수 있다.

상기 클럭신호 발생기(30)에 포함된 조절기(33)는 제7도에 도시된 바와 같이, 상기 주기 비교기(32)로부터 출력된 제1주기검출신호(F01)를 반전시켜 인에이블신호(EN)를 출력하는 인버터(33a)와, 그 인버터(33a)로부터 출력된 인에이블신호(EN)에 따라 제1클럭신호(CLOCK)를 네가티브(negative) 지연시키는 네가티브 지연기(33b)와, 제1클럭신호(CLOCK)를 순차적으로 지연시키는 제6, 제7지연기(33c), (33d)와, 상기 네가티브 지연기(33b)의 출력신호를 제1주기검출신호(F01), (F01b)에 따라 스위칭하여 제2클럭신호(CLKD)로 출력하는 전송게이트(33e)와, 제1클럭신호(CLOCK)를 후술의 신호(SW1), (SW1b)에 따라 스위칭하여 제2

클럭신호(CLKD)로 출력하는 전송게이트(33f)와, 상기 지연기(33c)의 출력신호를 후술의 신호(SW2), (SW2b)에 따라 스위칭하여 제2클럭신호(CLKD)로 출력하는 전송게이트(33g)와, 상기 지연기(33d)의 출력신호를 제3주기검출신호(F03), (F03b)에 따라 스위칭하여 제2클럭신호(CLKD)로 출력하는 전송게이트(33h)를 포함한다.

또한, 상기 지연 조절기(33)는 제1주기검출신호(F01)를 반전시켜 상기 신호(F01b)를 발생하는 인버터(33i)와, 상기 주기 비교기(32)로부터 출력된 제2주기검출신호(F02)를 반전시켜 신호(F02b)를 출력하는 인버터(33j)와, 그 인버터(33j)의 출력신호와 제1주기검출신호(F01)를 낸딩하여 상기 신호(SW1b)를 출력하는 낸드게이트(33k)와, 그 낸드게이트(33k)의 출력신호를 반전시켜 상기 신호(SW1)를 발생하는 인버터(33l)와, 제2주기검출신호(F02)와 신호(F03b)를 낸딩하여 상기 신호(SW2b)를 발생하는 낸드게이트(33m)와, 그 낸드게이트(33m)로부터 출력된 신호(SW2b)를 반전시켜 상기 신호(SW2)를 발생하는 인버터(33n)와, 제3주기검출신호(F03)를 반전시켜 상기 신호(F03b)를 발생하는 인버터(33o)를 포함한다.

이와 같이 구성된 본 발명의 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

클럭신호 분주기(31)는 제8a도와 같은 제1클럭신호(CLOCK)를 입력받아 1/2로 분주하여 제8b도와 같은 분주신호(DA)를 주기 비교기(32)로 출력한다.

주기 비교기(32)는 입력받은 분주신호(DA)를 지연시켜 제8c도, 제8d도와 같이 지연된 신호(DA1), (DAn)와, 제8e도, 제8f도와 같은 신호(DB1), (DBn)를 출력한다. 여기서, 주기 비교기(32)의 제1지연기(32a)에 의한 지연주기가 "P1"이고, 제2지연기(32b)에 의한 지연주기가 "P2"이며, 제3지연기(32c)에 의한 지연주기가 "P3"일 경우, 분주신호(DA)의 주기와 지연주기(P1-P3)의 차이에 따라 제1~제3주기검출신호(F01-F03)의 레벨이 결정된다.

즉, 분주신호(DA)의 주기가 지연주기(P1)보다 크고 지연주기(P2)보다 작을 경우, 지연신호(DAn)는 분주신호(DA)의 하이레벨 주기와 지연주기(P1)의 차이에 해당하는 시간만큼 하이레벨로 유지되고, 분주신호(DA)가 로우레벨로 천이되면 제6도의 낸드게이트(63), (66)의 출력신호가 함께 하이레벨로 천이되어, 신호(DA1), (DAn)는 함께 로우레벨로 천이된다. 이때 신호(DBn), (DCn)는 항상 로우레벨로 유지된다. 이 경우, 분주신호(DA)가 로우레벨로 천이될 때, 플립플롭(32j)은 하이레벨의 신호(DAn)를 래치하여 제8h도와 같은 하이레벨의 제1주기검출신호(F01)를 출력하고, 플립플롭(32k), (32L)은 제8i도, 제8j도와 같은 로우레벨의 제2, 제3주기검출신호(F02), (F03)를 각각 출력하게 된다.

상기와 같은 방식으로 분주신호(DA)의 주기가 지연주기(P2)보다 크고 지연주기(P3)보다 작을 경우, 제8d도, 제8f도에도 도시된 바와 같이 신호(DAn), (DBn)의 발생에 의해 제8h도, 제8i도에도 도시된 바와 같이 제1, 제2주기검출신호(F01), (F02)는 하이레벨로 되고 제8j도에도 도시된 바와 같이 제3주기검출신호(F03)는 로우레벨이 된다.

또한, 분주신호(DA)의 주기가 지연주기(P3)보다 클 경우 제1~제3주기신호(F01), (F02), (F03)는 모두 하이레벨이 되고, 분주신호(DA)의 주기가 지연주기(P1)보다 작을 경우 제1~제3주기검출신호(F01), (F02), (F03)가 모두 로우레벨이 된다.

따라서, 제8도는 분주신호(DA)의 주기가 지연주기(P2)보다 크고, 지연주기(P3)보다 작을 경우의 출력파형을 예시하고 있다.

제7도를 참조하면, 제1주기검출신호(F01)만이 하이레벨의 상태일 때, 전송게이트(33e), (33g), (33h)는 턴오프되고 인버터(33j), 낸드게이트(33k) 및 인버터(33L)에 의하여 전송게이트(33f)는 턴온되고, 제1클럭신호(CLOCK)가 제2클럭신호(CLKD)로서 출력된다.

또한, 제1, 제2주기검출신호(F01), (F02)가 하이레벨일 경우에는 전송게이트(33e), (33f), (33h)는 턴오프되고, 낸드게이트(33m)와 인버터(33n)에 의하여 전송게이트(33g)만이 턴온되고, 지연기(33c)에 의해 지연된 클럭신호(CLOCK)가 제2클럭신호(CLKD)로서 출력된다.

또한, 제3주기검출신호(F03)만이 하이레벨일 경우에는 전송게이트(33e), (33f), (33g)는 턴오프되고 인버터(33o)에 의하여 전송게이트(33h)만이 턴온되어, 지연기(33c), (33d)에 의해 지연된 클럭신호(CLOCK)가 제2클럭신호(CLKD)로서 출력된다.

또한, 제1~제3주기검출신호(F01), (F02), (F03)가 모두 로우레벨일 경우, 전송게이트(33f), (33g), (33h)는 턴오프되고 인버터(33i)에 의하여 전송게이트(33e)만이 턴온된다. 이때, 하이레벨의 인에이블신호(EN)에 의하여 네가티브 지연기(33b)가 동작되어 클럭신호(CLOCK)를 네가티브 지연시켜, 즉 제1클럭신호(CLOCK)보다 주파수가 빠른 신호를 제2클럭신호(CLKD)로서 출력한다.

결과적으로, 클럭신호 발생기(30)는 제1클럭신호(CLOCK)의 주기에 따라 그 제1클럭신호(CLOCK)의 지연량을 조절하여 제2클럭신호(CLKD)를 클럭조절기(40)로 출력한다.

제9도는 제1, 제2, 제3주기검출신호(F01), (F02), (F03)가 모두 로우레벨일 때 데이터 출력버퍼(50)의 출력신호(OUTPUT)에 관한 타이밍도이고, 제10도는 제1, 제2주기검출신호(F01), (F02)가 하이레벨일 때 출력신호(OUTPUT)에 관한 타이밍도이다.

즉, 클럭조절기(40)는 입력받은 제2클럭신호(CLKD)에 따라 제9b도 및 제10b도와 같은 제3클럭신호(CLKD0)와 제9c도 및 제10c도와 같은 출력 인에이블신호(OUTEN\_b)를 데이터 출력 버퍼(50)로 출력한다. 이때, 제9e도 및 제10e도에 각각 도시된 바와 같이, 출력신호(OUTPUT)의 유지시간(tOH)(클럭신호 CLOCK의 상승에지로부터 출력로우전압  $V_{OL}$ 까지 도달하는 시간)이 제1 클럭신호(CLOCK)의 주기에 따라 조절된다.

이와 같이 제1 클럭신호(CLOCK)의 주기에 따라 출력신호(OUTPUT)가 출력되는 시간이 조절될 수 있으므로, 데이터 액세스 시간(tAC)(클럭신호 CLOCK의 상승에지로부터 출력하이전압  $V_{OH}$ 까지 도달하는 시간) 및 출력신호(OUTPUT)의 유지시간(tOH)이 제1 클럭신호(CLOCK)의 주기에 따라 가변조절될 수 있게 된다.

한편, 에스디램(SDRAM)의 경우 칼럼 어드레스 스트로브(Column Address Strobe) 신호의 대기 시간

(latency time)에 따라 다른 주기라도 동일한 유지시간( $t_{OH}$ )을 필요한 경우가 있으므로, 클럭신호 발생기 (30)는 칼럼 어드레스 스트로브 신호의 대기시간을 조절하는 회로를 포함할 수 있다.

### 발명의 효과

이상에서 상세히 설명한 바와 같이 본 발명은 입력된 클럭신호의 주기에 따라 데이터 출력 버퍼의 데이터 액세스 시간 및 출력신호의 유지시간을 조절할 수 있다.

즉, 본 발명은 낮은 주파수의 클럭신호에 의하여 메모리가 동작될 경우 출력신호의 유지시간을 길게 함으로써, 버퍼링된 데이터가 여유있게 출력되도록 하고, 높은 주파수의 클럭신호에 의하여 메모리가 동작될 경우에는 데이터 액세스 시간을 빠르게 하는 효과를 갖는다.

### (57) 청구의 범위

#### 청구항 1

입력받은 제3클럭신호(CLK0) 및 출력인에이블신호(OUTEN\_b)에 따라 입력데이터를 버퍼링하여 출력신호를 발생하는 출력 데이터 버퍼에서의, 상기 제3클럭신호 및 출력인에이블 신호의 출력 타이밍을 조절하는 데이터 출력버퍼를 위한 클럭조절장치에 있어서, 제1클럭신호(CLOCK)의 주기에 따라 지연시간을 가변설정가능하고 상기 제1클럭신호의 입력후 설정한 상기 지연 시간후에 제2클럭신호(CLKD)를 발생시키는 클럭신호 발생기와, 그 클럭신호 발생기로부터 상기 제2클럭신호를 입력받은후 미리설정된 시간동안 지연시켜 상기 제3클럭신호 및 출력 인에이블신호를 발생하여 상기 데이터 출력버퍼에 출력하는 클럭 조절기를 구비하여 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절 장치.

#### 청구항 2

제1항에 있어서, 상기 클럭신호 발생기는 상기 제1클럭신호를 분주하여 분주신호를 출력하는 클럭신호 분주기와, 그 클럭신호 분주기에서 출력된 분주신호에 따라 상기 제1클럭신호의 주기를 검출하여 검출주기에 따라 제1-제3주기검출신호(F01,F02,F03)를 발생하는 주기 비교기와, 그 주기 비교기로부터 출력된 제1-제3주기검출신호(F01,F02,F03)에 따라 지연시간을 가변설정하고 상기 제1클럭신호의 입력으로부터 설정 지연시간후에 상기 제2클럭신호를 상기 클럭 조절기로 출력하는 지연조절기로 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절 장치.

#### 청구항 3

제2항에 있어서, 상기 주기 비교기는 상기 클럭신호 분주기의 출력신호를 지연시키는 제1지연기와, 그 제1지연기의 출력신호를 지연시켜 제2지연기와, 그 제2지연기의 출력신호를 지연시키는 제3지연기와, 상기 클럭신호 분주기의 출력신호를 반전시키는 인버터와, 상기 제1지연기의 출력신호를 상기 인버터의 출력신호에 따라 래치하여 상기 제1주기 검출신호(F01)를 출력하는 제1플립플롭과, 상기 제2지연기의 출력신호를 상기 인버터의 출력신호에 따라 래치하여 제2주기검출신호(F02)를 출력하는 제2플립플롭과, 상기 제3지연기의 출력신호를 상기 인버터의 출력신호에 따라 래치하여 제3주기검출신호(F03)를 출력하는 제3플립플롭으로 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절 장치.

#### 청구항 4

제3항에 있어서, 상기 제1플립플롭은 상기 제1지연기의 출력신호를 짝수개의 인버터를 통하여 입력받고, 상기 제2플립플롭은 상기 제2지연기의 출력신호를 짝수개의 인버터를 통하여 입력받으며, 상기 제3플립플롭은 제3지연기의 출력신호를 짝수개의 인버터를 통하여 입력받게 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절장치.

#### 청구항 5

제3항 또는 제 4항에 있어서, 상기 제1내지 제3지연기는 입력된 분주신호를 순차적으로 반전시키는 짝수개의 인버터와, 그 인버터의 출력신호를 지연시키는 제4지연기와, 그 제4지연기의 출력신호와 상기 입력된 분주신호를 낸딩하는 낸드게이트와, 그 낸드게이트의 출력신호를 반전시키는 인버터와, 그 인버터의 출력신호를 지연시키는 제5지연기와, 그 제5지연기의 출력과 상기 분주신호를 낸딩하는 낸드게이트 및 그 낸드게이트의 출력신호를 반전시키는 인버터로 각기 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절 장치.

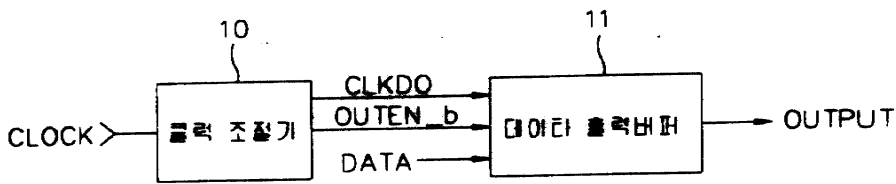
#### 청구항 6

제2항에 있어서, 상기 지연 조절기는 제1클럭신호를 네가티브 지연시키는 네가티브 지연기와, 상기 제1클럭신호를 순차적으로 지연시키는 제6 및 제7지연기와, 상기 네가티브 지연기의 출력신호를 스위칭하여 제2클럭신호로 출력하는 제1전송게이트와, 상기 제1클럭신호를 스위칭하여 제2클럭신호로 출력하는 제2전송게이트와, 상기 제6지연기의 출력신호를 스위칭하여 제2클럭신호로 출력하는 제3전송게이트와, 상기 제7지연기의 출력신호를 스위칭하여 제2클럭신호로 출력하는 제4전송게이트와, 제1주기검출신호(F01)를 반전시켜 인에이블신호로 상기 네가티브 지연기에 인가하는 제1인버터와, 상기 제1주기검출신호(F01)를 반전시키는 제2인버터와, 제2주기검출신호(F02)를 반전시키는 제3인버터와, 그 제3인버터의 출력신호와 상기 제1주기검출신호(F01)를 낸딩하는 제3낸드게이트와, 그 제3낸드게이트의 출력신호를 반전시키는 제4인버터와, 제3주기검출신호(F03)를 반전시키는 제5인버터와, 그 제5인버터의 출력신호와 상기 제2주기검출신호(F02)를 낸딩하는 제4낸드게이트와, 그 제4낸드게이트의 출력신호를 반전시키는 제6인버터를 구비하여, 상기 제1전송게이트의 반전단자에 제1주기검출신호(F01)를 직접 인가하고 비반전단자에 상기 제2인버터의 출력을 인가하며, 상기 제2전송게이트의 반전단자에 상기 제3낸드게이트의 출력을 인가하고 비반전단자에 상기 제4인버터의 출력을 인가하며, 상기 제3전송게이트의 반전단자에 상기 제4낸드게이트의 출력을 인가하고 비반전단자에 상기 제6인버터의 출력을 인가하며, 제4전송게이트의 비반전단자에 상기 제5인버터의

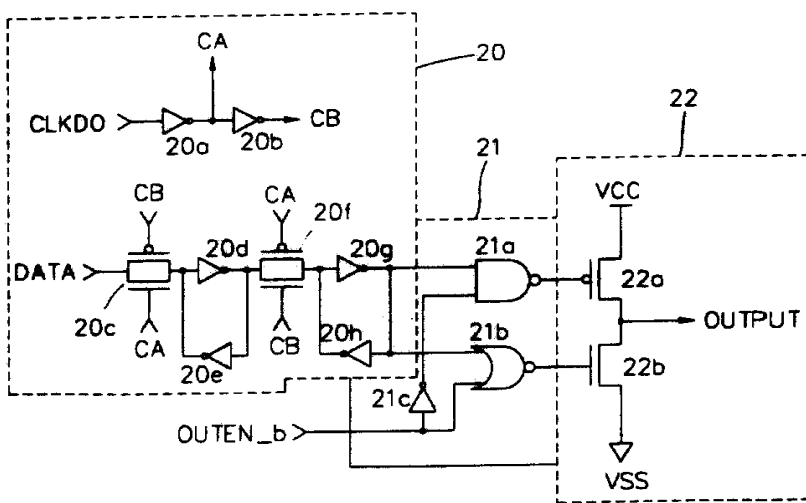
출력을 인가하고 비반전단자에 제3주기검출신호(F03)를 직접 인가하게 구성된 것을 특징으로 하는 데이터 출력 버퍼를 위한 클럭 조절 장치.

도면

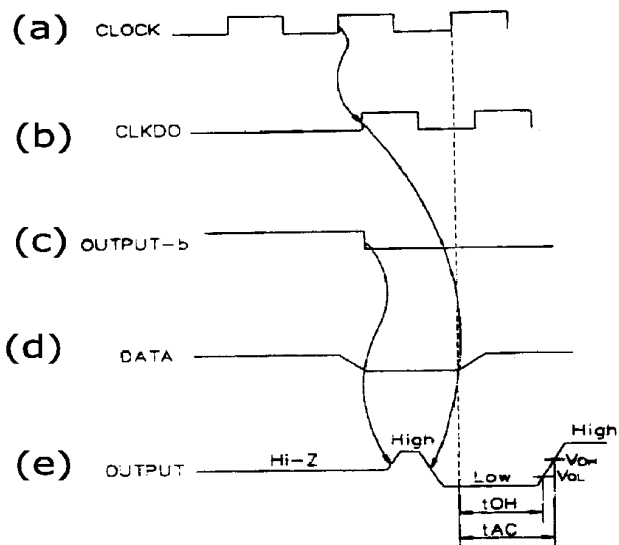
도면1



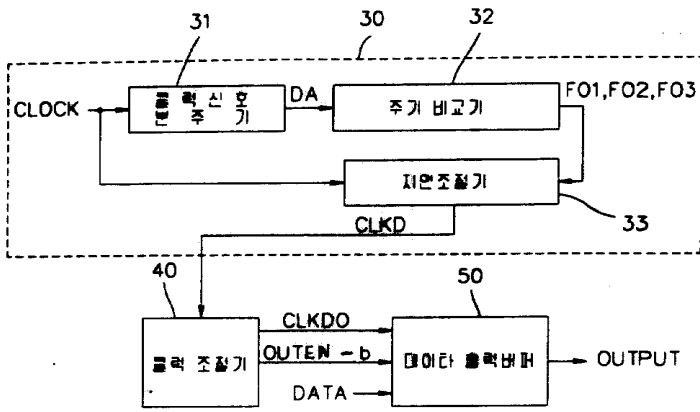
도면2



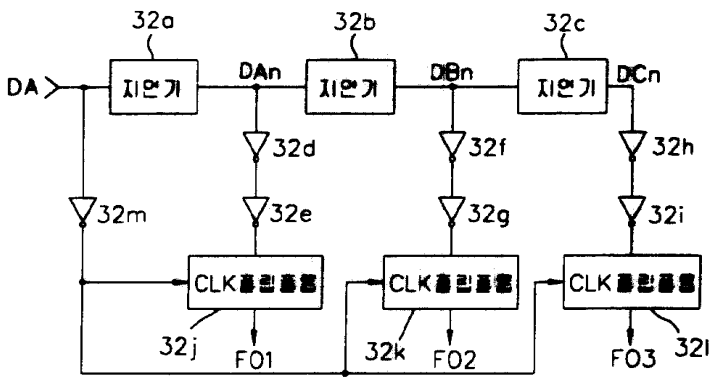
도면3



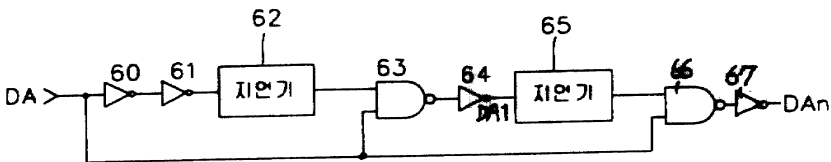
도면4



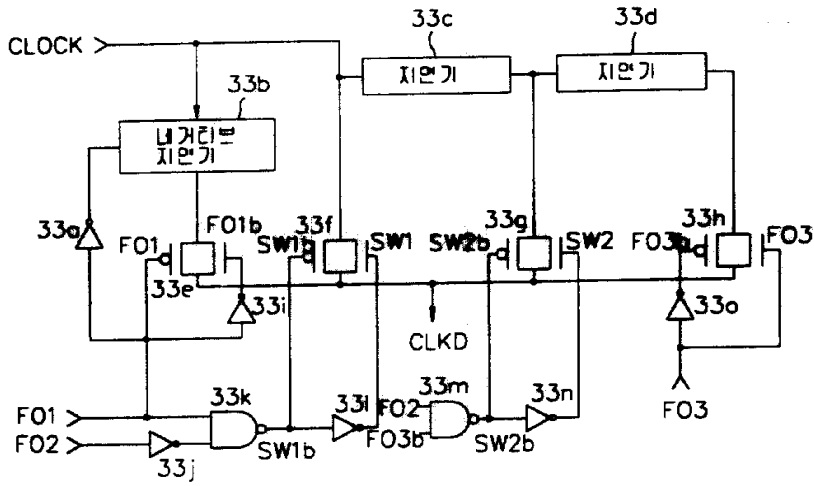
도면5



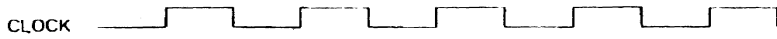
도면6



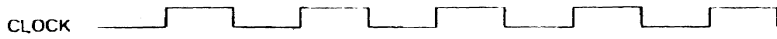
도면7



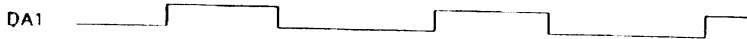
도면8a



도면8b



도면8c



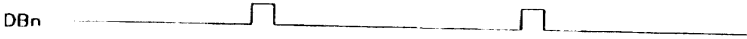
도면8d



도면8e



도면8f



도면8g





도면8h



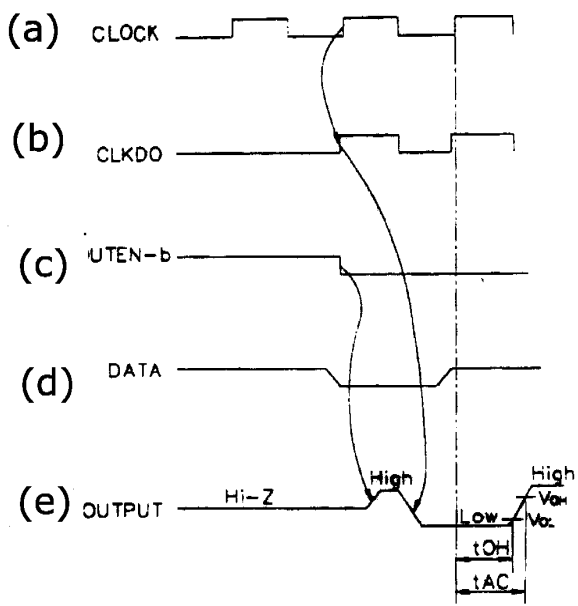
도면8i



도면8j



도면9



도면 10

