

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 1 部門第 2 区分
 【発行日】平成 18 年 7 月 27 日 (2006.7.27)

【公開番号】特開 2002-369927 (P2002-369927A)
 【公開日】平成 14 年 12 月 24 日 (2002.12.24)
 【出願番号】特願 2002-130222 (P2002-130222)
 【国際特許分類】

A 6 3 F 7/02 (2006.01)

【F I】

A 6 3 F 7/02 3 1 5 Z

A 6 3 F 7/02 3 3 4

【手続補正書】

【提出日】平成 18 年 6 月 14 日 (2006.6.14)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】制御装置および、その制御装置を備えた遊技機

【特許請求の範囲】

【請求項 1】

遊技機の制御に使用される乱数値を生成するための乱数生成手段と、その乱数生成手段により生成された値を所定の契機に読み出して遊技の制御を行う制御手段とを備えた制御装置において、

前記乱数生成手段は、前記乱数値として使用される生成値を記憶する生成値記憶手段を有し、

前記制御手段は、プログラムに従って所定時間ごとに定期的に実行される定期処理において前記生成値記憶手段に記憶される生成値を所定の契機に読み出して遊技の制御を行うものであって、その定期処理は前記制御装置外の装置である外部装置に対して動作信号を出力する出力処理を含み、

前記乱数生成手段は、

前記生成値記憶手段に記憶される生成値の更新範囲に対する範囲情報を記憶する範囲記憶手段と、

その範囲記憶手段によって記憶される更新範囲内で前記生成値記憶手段に記憶される生成値を前記定期処理が繰り返される間隔より短く且つ等間隔の時間間隔で更新する生成値更新手段と、

その生成値更新手段によって前記生成値がその生成値の総個数の n 倍回更新される場合に各生成値の生成回数を n 回ずつとすると共に、前記更新範囲内の数値順とは異なる生成順序にする生成値変化手段とを備えていることを特徴とする制御装置。

【請求項 2】

請求項 1 記載の制御装置と、

所定の契機を検出する検出手段とを備え、

前記制御装置の制御手段は、前記乱数生成手段によって生成された値を所定の契機に読み出し、その読み出した値が予め定められた値と一致する場合に、遊技者に所定条件下で所定の遊技価値を付与することを特徴とする遊技機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パチンコ遊技機などに使用される制御装置およびその制御装置を備えた遊技機に関し、特に、「ぶら下げ基板」等による不正行為を防止することができる制御装置およびその制御装置を備えた遊技機に関するものである。

【0002】

【従来の技術】 遊技機的一种であるパチンコ遊技機は、複数種類の図柄を変動表示可能な表示装置を備えており、遊技領域に打ち込まれた打球が図柄作動ゲートを通過することにより、変動表示を開始するように構成されている。この変動表示が予め定められた図柄の組み合わせと一致して停止すると、大当たりとなって、遊技者に所定の遊技価値が付与され、大量の遊技球が払出可能な状態となる。

【0003】

かかる大当たりの発生の有無は、打球が図柄作動ゲートを通過するタイミングで決定される。即ち、1カウントずつ定期的に一定の範囲で（例えば、1カウントずつ、2ms毎に、0から346の範囲で）更新されるカウンタを備え、打球が図柄作動ゲートを通過したときに、そのカウンタの値を読み出し、読み出されたカウンタの値が、例えば「7」などの所定値と一致する場合に、大当たりを発生させている。

【0004】

【発明が解決しようとする課題】 ところが、最近、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が報告されている。この不正行為は、制御基板と表示装置の表示用基板との間等に、不正な基板をぶら下げて（不正な「ぶら下げ基板」を取り付けて）、不当に大当たりを発生させるというものである。具体的には、前記したパチンコ遊技機に設けられる大当たりを決定するためのカウンタと同様の働きをするカウンタ（1カウントずつ定期的に一定の範囲で更新されるカウンタ）を「ぶら下げ基板」内に設け、そのカウンタの値をパチンコ遊技機の電源投入に合わせてリセット（0クリア）することにより、「ぶら下げ基板」内で大当たりの発生タイミングを把握する。そして、その把握した大当たりの発生タイミングに合わせて、「ぶら下げ基板」内で打球の図柄作動ゲート通過信号を不正に生成し、これをパチンコ遊技機の制御基板へ出力して、不当に大当たりを発生させるというものである。遊技場などでは、この「ぶら下げ基板」を用いた不正行為により、多大な被害を被っているという問題点があった。

【0005】

本発明は上述した問題点を解決することができる制御装置を提供するものである。また「ぶら下げ基板」等による大当たりの発生タイミングの把握を不可能にして、かかる「ぶら下げ基板」等を用いた不正行為を防止することができる制御装置を備えた遊技機を提供するものである。

【0006】

【課題を解決するための手段】 この目的を達成するために請求項1記載の制御装置は、遊技機の制御に使用される乱数値を生成するための乱数生成手段と、その乱数生成手段により生成された値を所定の契機に読み出して遊技の制御を行う制御手段とを備えており、前記乱数生成手段は、前記乱数値として使用される生成値を記憶する生成値記憶手段を有し、前記制御手段は、プログラムに従って所定時間ごとに定期的に行われる定期処理において前記生成値記憶手段に記憶される生成値を所定の契機に読み出して遊技の制御を行うものであって、その定期処理は前記制御装置外の装置である外部装置に対して動作信号を出力する出力処理を含み、前記乱数生成手段は、前記生成値記憶手段に記憶される生成値の更新範囲に対する範囲情報を記憶する範囲記憶手段と、その範囲記憶手段によって記憶される更新範囲内で前記生成値記憶手段に記憶される生成値を前記定期処理が繰り返される間隔より短く且つ等間隔の時間間隔で更新する生成値更新手段と、その生成値更新手段によって前記生成値がその生成値の総個数のn倍回更新される場合に各生成値の生成回数をn回ずつとすると共に、前記更新範囲内の数値順とは異なる生成順序にする生成値変化手段とを備えている。

【0007】

請求項2記載の遊技機は、請求項1記載の制御装置と、所定の契機を検出する検出手段

とを備え、前記制御装置の制御手段は、前記乱数生成手段によって生成された値を所定の契機に読み出し、その読み出した値が予め定められた値と一致する場合に、遊技者に所定条件下で所定の遊技価値を付与するものである。

【0008】

【発明の実施の形態】 以下、本発明の好ましい実施例について、添付図面を参照して説明する。本実施例では、遊技機の一例としてパチンコ遊技機、特に、第1種パチンコ遊技機を用いて説明する。なお、本発明を第3種パチンコ遊技機や他の遊技機に用いることは、当然に可能である。

【0009】

図1は、パチンコ遊技機Pの遊技盤の正面図である。遊技盤1の周囲には、打球が入賞することにより5個から15個の遊技球が払い出される複数の入賞口2が設けられている。また、遊技盤1の中央には、複数種類の識別情報としての図柄などを表示する液晶(LCD)ディスプレイ3が設けられている。このLCDディスプレイ3の表示画面は横方向に3分割されており、3分割された各表示領域において、それぞれ図柄の変動表示が行われる。

【0010】

LCDディスプレイ3の下方には、図柄作動ゲート(第1種始動口)4が設けられている。打球がこの図柄作動ゲート4を通過することにより、前記したLCDディスプレイ3の変動表示が開始される。図柄作動ゲート4の下方には、特定入賞口(大入賞口)5が設けられている。この特定入賞口5は、LCDディスプレイ3の変動後の表示結果が予め定められた図柄の組み合わせの1つと一致する場合に、大当たりとなって、打球が入賞しやすいように所定時間(例えば、30秒経過するまで、あるいは、打球が10個入賞するまで)開放される入賞口である。この特定入賞口5内には、Vゾーン5aが設けられており、特定入賞口5の開放中に、打球がVゾーン5a内を通過すると、継続権が成立して、特定入賞口5の閉鎖後、再度、その特定入賞口5が所定時間(又は、特定入賞口5に打球が所定個数入賞するまで)開放される。この特定入賞口5の開閉動作は、最高で16回(16ラウンド)繰り返し可能にされており、開閉動作の行われ得る状態が、いわゆる所定の遊技価値の付与された状態(特別遊技状態)である。

【0011】

図2は、かかるパチンコ遊技機Pの電氣的構成を示したブロック図である。パチンコ遊技機Pの制御部Cは、演算装置であるCPU11と、そのCPU11によって実行される各種の制御プログラムなどを記憶したROM12と、各種のデータ等を一時的に記憶するためのメモリであるRAM13と、パチンコ遊技機Pの制御に使用される乱数を生成し出力する乱数IC14とを備えている。なお、図5のフローチャートに示すリセット割込処理は、ROM12内に記憶されている。

【0012】

図3は、乱数IC14の電氣的構成を示したブロック図である。乱数IC14は、乱数用カウンタ31と、最大値レジスタ32と、コンパレータ33と、乱数レジスタ34と、出力レジスタ35と、フラグレジスタ36と、フラグコントローラ37とを備えている。

【0013】

乱数用カウンタ31は、CPU11から出力されるオペコード・フェッチの信号であるM1信号11aの立ち下がり毎に1カウントずつカウントアップを行う10ビットのカウンタであり、カウント値を「0～1023」の範囲で更新可能にされている。最大値レジスタ32は、その乱数用カウンタ31で更新されるカウント値の最大値+1を記憶するためのレジスタであり、乱数用カウンタ31の更新範囲+1である「1～1024」のいずれかの値が、CPU11によって書き込まれる。コンパレータ33は、最大値レジスタ32の値と乱数用カウンタ31のカウント値とを比較して、両値が一致する場合に、クリア信号33aを乱数用カウンタ31へ出力して、乱数用カウンタ31のカウント値を「0」クリアする。

【0014】

このように乱数用カウンタ31は、M1信号11aが出力される度に、「0」から最大値レジスタ32に記憶された値-1の範囲内で、1カウントずつカウントアップを行うのである。なお、本実施例では、乱数用カウンタ31が「0~346」の範囲でカウント値の更新を行うように、CPU11により最大値レジスタ32に「347」が書き込まれる。

【0015】

乱数レジスタ34は、乱数用カウンタ31が未だ出力レジスタ35にラッチされていない値をカウントする場合に、そのカウント値をラッチするレジスタである。具体的には、乱数レジスタ34は、後述するフラグコントローラ37から出力される第1ラッチ信号37bが入力された時の乱数用カウンタ31のカウント値をラッチする。第1ラッチ信号37bは、乱数用カウンタ31のカウント値に対応するフラグレジスタ36のフラグがオフである場合に、フラグコントローラ37によって出力される。

【0016】

出力レジスタ35は、乱数IC14から乱数値として出力される値をラッチするレジスタであり、フラグコントローラ37から出力される第2ラッチ信号37cが入力された時の乱数レジスタ34の値をラッチする。後述するように、第2ラッチ信号37cは、CPU11に対して2ms毎にリセット割込処理を実行させるためのCPUリセット信号11bを入力することにより、フラグコントローラ37によって出力される。このため出力レジスタ35の値、即ち、乱数IC14の出力乱数値は、CPUリセット信号11bに対応して、2ms毎に切り替えられるのである。なお、CPUリセット信号11bは、図示しないゲートアレイにより、2ms間隔で出力される。

【0017】

フラグレジスタ36は、出力レジスタ35にラッチ済みの値を記憶するためのフラグであり、乱数用カウンタ31の各値に対応する1024ビットのフラグを備えている。例えば、出力レジスタ35に「5」がラッチされた場合には、フラグレジスタ36の5番目のフラグがオンされ、「100」がラッチされた場合には、フラグレジスタ36の100番目のフラグがオンされる。一旦オンされたフラグレジスタ36の各フラグは、フラグコントローラ37から出力されるクリア信号37aによって、一斉にオフされる。

【0018】

フラグコントローラ37は、次の4つの機能を備えたコントローラである。第1は、乱数用カウンタ31のカウント値を入力して、そのカウント値に対応するフラグレジスタ36のフラグのオンオフ状態を調べ、かかるフラグがオフされている場合、即ち、入力された乱数用カウンタ31のカウント値が未だ出力レジスタ35にラッチされていない値である場合に、第1ラッチ信号37bを乱数レジスタ34へ出力する機能である。これにより、そのときの乱数用カウンタ31のカウント値が乱数レジスタ34にラッチされる。

【0019】

第2は、CPU11に対して2ms毎にリセット割込処理を実行させるためのCPUリセット信号11bを入力して、第2ラッチ信号37cを出力レジスタ35へ出力する機能である。これにより、乱数レジスタ34にラッチされている値を、2ms毎に出力レジスタ35にラッチさせることができる。即ち、2ms毎に出力レジスタ35の値(乱数IC14の出力乱数値)を切り替えることができるのである。

【0020】

第3は、第2ラッチ信号37cにより出力レジスタ35にラッチされた値を入力して、その値に対応するフラグレジスタ36のフラグをオンする機能である。この機能と第1の機能とが相まって、フラグレジスタ36のフラグがオフされるまでの間、出力レジスタ35にラッチ済みの値を、再び乱数レジスタ34(および出力レジスタ35)へラッチさせないようにしている。

【0021】

第4は、前記CPUリセット信号11bの回数をカウントして、その回数が最大値レジスタ32に記憶される値と一致した場合に、フラグレジスタ36へクリア信号37aを出

力する機能である。このクリア信号 37 a により、フラグレジスタ 36 のフラグが一斉にオフされる。

【0022】

前記したように、CPUリセット信号 11 b を入力する度に出力レジスタ 35 にラッチされる値が切り替えられ（第2の機能）、かつ、一度、出力レジスタ 35 にラッチされた値は、フラグレジスタ 36 のフラグがオフされるまで出力レジスタ 35 にはラッチされない（第1～3の機能）。しかも、乱数用カウンタ 31 は、M1 信号 11 a によりカウンタの更新を行うので、後述するように、CPUリセット信号 11 b の出力間隔である 2 ms のうちに一回り以上のカウンタの更新を行っている。よって、出力レジスタ 35 の値を切り替える第2ラッチ信号 37 c の出力回数が最大値レジスタ 32 に記憶されている値と一致するということは、すべての乱数値が出力レジスタ 35 にラッチされたということ、即ち、すべての乱数値が乱数 IC 14 の乱数値として出力されたということである。従って、かかる場合には、乱数 IC 14 からの乱数値の出力を再度繰り返すために、クリア信号 37 a をフラグレジスタ 36 へ出力して、フラグレジスタ 36 のすべてのフラグをオフするのである。

【0023】

ここで図4を参照して、乱数用カウンタ 31 の更新トリガーとなる M1 信号 11 a について説明する。M1 信号 11 a は、CPU 11 から出力されるオペコードをフェッチするための信号であり、T1 クロックの立ち上がりとはほぼ同時に立ち下がり、T3 クロックの立ち上がり後、ほぼ同時に立ち上がる信号である。M1 信号 11 a は、CPU 11 による各命令の実行時に必ず1回以上出力される。例えば、CPU 11 が第1オペコードのみの命令を実行する場合には、その命令の実行時に M1 信号 11 a は1回出力されるだけであるが、第2オペコードまで有する命令を実行する場合には、その命令の実行時に、M1 信号 11 a は2回出力される。加えて、1つの命令を構成するマシンサイクル数は、命令によって異なっている。このため M1 信号 11 a は、CPU 11 による命令の実行時に必ず出力されるが、その出力間隔は一定ではない。即ち、CPU 11 により実行される命令に応じて（パチンコ遊技機 P の遊技状態に応じて）、M1 信号 11 a の出力間隔は変化するのである。

【0024】

しかも、M1 信号 11 a は、CPUリセット信号 11 b の出力間隔である 2 ms のうちに、約 1000 回以上出力される信号である。例えば、CPU 11 の動作クロックを 8 MHz とすると、1クロックは 125 ns である。そこで、1命令を実行するための平均クロック数を約 16 クロックとして計算すると、1命令の実行時間は約 2 μ s となるので、2 ms のうちに約 1000 命令が実行される。このため M1 信号 11 a は、CPUリセット信号 11 b の出力間隔である 2 ms のうちに、約 1000 回以上出力されるのである。

【0025】

よって、本実施例では、かかる M1 信号 11 a により乱数用カウンタ 31 の値を「0～346」の範囲で更新しているので、出力乱数値をラッチする出力レジスタ 35 の値が切り替えられる 2 ms の間に、乱数用カウンタ 31 のカウンタ値の更新を非等間隔に、かつ、確実に一回り以上行うことができるのである。

【0026】

図2に示すように、これらの CPU 11、ROM 12、RAM 13、乱数 IC 14 は、バスライン 17 を介して互いに接続されている。バスライン 17 は、また、入出力ポート 15 にも接続されており、この入出力ポート 15 は表示装置 D や他の入出力装置 16 と接続されている。制御部 C は、入出力ポート 15 を介して、表示装置 D や他の入出力装置 16 へ動作コマンドを送り、それら各装置を制御する。LCD ディスプレイ 3 の変動表示や特定入賞口 5 の開閉動作も、この動作コマンドに基づいて制御される。

【0027】

表示装置 D は、CPU 21 と、プログラム ROM 22 と、ワーク RAM 23 と、ビデオ RAM 24 と、キャラクタ ROM 25 と、画像コントローラ 26 と、入出力ポート 27 と

、ＬＣＤディスプレイ３とを備えている。表示装置ＤのＣＰＵ２１は、制御部Ｃから出力される動作コマンドに応じて、ＬＣＤディスプレイ３の表示制御（変動表示）を行うものであり、プログラムＲＯＭ２２には、このＣＰＵ２１により実行されるプログラムが記憶されている。ワークＲＡＭ２３は、ＣＰＵ２１によるプログラムの実行時に使用されるワークデータが記憶されるメモリである。

【００２８】

ビデオＲＡＭ２４は、ＬＣＤディスプレイ３に表示されるデータが記憶されるメモリであり、このビデオＲＡＭ２４の内容を書き換えることにより、ＬＣＤディスプレイ３の表示内容が変更される。即ち、各表示領域における図柄の変動表示は、ビデオＲＡＭ２４の内容が書き換えられることにより行われる。キャラクタＲＯＭ２５は、ＬＣＤディスプレイ３に表示される図柄などのキャラクタデータを記憶するメモリである。画像コントローラ２６は、ＣＰＵ２１、ビデオＲＡＭ２４、入出力ポート２７のそれぞれのタイミングを調整して、データの読み書きを介在するとともに、ビデオＲＡＭ２４に記憶される表示データをキャラクタＲＯＭ２５を参照して所定のタイミングでＬＣＤディスプレイ３に表示させるものである。

【００２９】

次に、上記のように構成されたパチンコ遊技機Ｐで実行される各処理を、図５のフローチャートを参照して説明する。図５は、ＣＰＵリセット信号１１ｂにより、パチンコ遊技機Ｐの制御部Ｃにおいて、２ｍｓ毎に実行されるリセット割込処理のフローチャートである。このリセット割込処理により、パチンコ遊技機Ｐの遊技が制御される。

【００３０】

リセット割込処理では、まず、その処理が電源投入後、最初に実行された処理であるか否かが調べられる（Ｓ１）。最初に実行された処理であれば（Ｓ１：Ｙｅｓ）、ＲＡＭ１３の初期化を行った後に（Ｓ２）、乱数の更新範囲の上限を定めるため、乱数ＩＣ１４の最大値レジスタ３２に「３４７」を書き込む（Ｓ３）。これにより乱数ＩＣ１４の乱数用カウンタ３１は「０～３４６」の範囲でカウントアップを行うので、乱数ＩＣ１４から出力される乱数値は「０～３４６」となる。

【００３１】

Ｓ３の処理後、又は、Ｓ１の処理において電源投入後２回目以降に実行されたりセット割込処理であると判断された場合には（Ｓ１：Ｎｏ）、打球が図柄作動ゲート４を通過していれば（Ｓ４：Ｙｅｓ）、乱数ＩＣ１４の出力乱数値を記憶する出力レジスタ３５の値を読み出し（Ｓ５）、その読み出した値が当たり値（例えば「７」）の１つと一致するかどうかを判断する（Ｓ６）。当たり値の１つと一致する場合には（Ｓ６：Ｙｅｓ）、大当たりと判定して、大当たり処理を実行する（Ｓ７）。大当たり処理では、大当たりコマンドが制御部Ｃから後述する表示装置Ｄへ送られて、表示装置Ｄにより、この大当たりコマンドに基づいて、ＬＣＤディスプレイ３の変動表示が大当たりの状態に制御されるのである。

【００３２】

一方、Ｓ４の処理において、打球が図柄作動ゲート４を通過しなかった場合は（Ｓ４：Ｎｏ）、乱数ＩＣ１４の値を読み出すことなく、また、Ｓ６の処理において、読み出した乱数ＩＣ１４の出力レジスタ３５の値がいずれの当たり値とも一致しない場合には（Ｓ６：Ｎｏ）、ハズレであるので、大当たり処理を行うことなく、Ｓ８の処理へ移行する。

【００３３】

Ｓ８の処理において、パチンコ遊技機Ｐの遊技状態に応じた各処理を実行した後、今回のリセット割込処理を終了して、次回のリセット割込処理を待機する。

【００３４】

ここで、大当たりの判定に用いられる乱数値を出力する乱数ＩＣ１４の動作について説明する。乱数ＩＣ１４の乱数用カウンタ３１は、ＣＰＵ１１から出力されるＭ１信号１１ａの立ち下がり毎にカウントアップを行い、カウント値が最大値レジスタ３２に記憶される「３４７」に達すると、コンパレータ３３からクリア信号３３ａが乱数用カウンタ３１

へ出力されて、カウンタ値が「0」クリアされる。よって、乱数用カウンタ31は、M1信号11aにより、「0～346」の範囲でカウンタアップを繰り返すのである。

【0035】

この乱数用カウンタ31のカウンタ値は、フラグコントローラ37に入力されている。フラグコントローラ37では、その都度、乱数用カウンタ31のカウンタ値に対応するフラグレジスタ36のフラグを調べ、そのフラグがオフされていれば、第1ラッチ信号37bを出力して、かかるカウンタ値を乱数レジスタ34へラッチさせる。

【0036】

フラグコントローラ37は、また、リセット割込処理(図5)の実行の契機となるCPUリセット信号11bを入力することにより、第2ラッチ信号37cを出力し、そのタイミングで乱数レジスタ34にラッチされている値を出力レジスタ35へラッチさせる。この出力レジスタ35にラッチされた値が、乱数IC14の出力乱数値として、リセット割込処理のS5の処理により読み出され、大当たりの判定に用いられる(S6)。

【0037】

出力レジスタ35にラッチされた値は、フラグコントローラ37へも出力され、フラグコントローラ37によって、その値に対応するフラグレジスタ36のフラグがオンされる。このフラグのオン操作により、次回からその値の乱数レジスタ34へのラッチが禁止されるので、乱数IC14の出力乱数値として、「0～346」のすべての値を出力するまでに、いずれかの値を2回以上出力してしまうことを防止することができる。

【0038】

なお、乱数用カウンタ31をカウンタアップさせるM1信号11aは、CPUリセット信号11bの出力間隔である2msの間に、約1000回以上出力されるので、CPUリセット信号11bの出力後、次の信号11bが出力されるまでに、乱数用カウンタ31は一回り以上の更新を行う。よって、出力レジスタ35にラッチされていない値のみを、2ms毎に切り替えて、出力レジスタ35にラッチさせることができるのである。

【0039】

CPUリセット信号11bの出力回数が最大値レジスタ32の値である「347」と一致すると、「0～346」の347個のすべての値が1回ずつ出力レジスタ35にラッチされ、乱数値として用いられたことになる。よって、この場合には、フラグコントローラ37からクリア信号37aをフラグレジスタ36へ出力して、フラグレジスタ36のすべてのフラグを一斉にオフして、乱数値の出力を再び繰り返す。

【0040】

以上説明したように、本実施例のパチンコ遊技機Pでは、乱数IC14から出力される乱数値を用いて大当たりを判定している。この乱数IC14から出力される乱数値は、乱数の一様性(連続で取得した場合、同じ値を取得することがなく、しかも、すべての値が同じ確率で取得できる)を備えつつ、ランダムになっている。このランダムな値は、パチンコ遊技機Pの遊技状態に応じて、その出力間隔が変化するM1信号11aに基づいて生成されている。よって、「ぶら下げ基板」では、かかる乱数IC14の出力乱数値を把握することができない。従って、「ぶら下げ基板」による大当たりの発生タイミングの把握を不可能にして、「ぶら下げ基板」を用いた不正行為を防止することができるのである。

【0041】

以上、実施例に基づき本発明を説明したが、本発明は上記実施例に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良変形が可能であることは容易に推察できるものである。

【0042】

例えば、本実施例では、乱数IC14はCPU11と別体に構成されたが、乱数IC14をCPU11に内蔵しても良い。乱数IC14をCPU11に内蔵することにより、乱数IC14自体を交換するといった不正行為を防止することができるので、不正行為の防止効果を一層向上することができる。しかも、乱数IC14をCPUに内蔵し、その乱数IC14の乱数用カウンタ31を更新するための信号(本実施例では、M1信号11a)

を、CPU 11の外部へ出力しないように構成すれば、CPU 11の外部から乱数用カウンタ31の更新タイミングが全くわからなくなるので、「ぶら下げ基板」等による出力乱数値の把握を一層困難なものにすることができる。

【0043】

また、フラグレジスタ36のフラグをカウンタに変更しても良い。例えば、乱数用カウンタ31で更新される各値に対して2ビットずつのカウンタを設ければ、各値の出力レジスタ35へのラッチ回数を3回までカウントすることができる。よって、かかる構成を採用することにより、各乱数値が3回りする範囲において、乱数の一様性を保つようにすることができる。

【0044】

更に、乱数用カウンタ31のカウントアップを行う信号は、必ずしもM1信号11aに限られるものではなく、第2ラッチ信号37cの出力間隔に、乱数用カウンタ31の更新を一回り以上行わせることができるスピードの信号であれば、M1信号11aに代えて使用することができる。よって、例えば、CPU 11の動作クロックφをM1信号11aに代えて使用することもできる。

【0045】

また、かかる信号が高速であるだけでなく、不等間隔に絶えず出力される信号であれば、M1信号11aのように、「ぶら下げ基板」対策を一層効果的なものとすることができる。例えば、CPU 11から出力されるメモリ・リクエスト信号、I/Oリクエスト信号、リード信号、ライト信号、リフレッシュ信号、ウェイト信号、バス・リクエスト信号、バス・アクノリッジ信号、いずれかのアドレスバス信号、または、いずれかのデータバス信号などを、M1信号11aに代えて使用することができる。更に、これら複数の信号を組み合わせて使用するようにしても良いのである。

【0046】

本実施例では、乱数レジスタ34および出力レジスタ35は別々のラッチ回路で構成されたが、これらを単一のフリップフロップで構成するようにしても良い。即ち、第1ラッチ回路および第2ラッチ回路を単一のフリップフロップで構成しても良い。

【0047】

以下に本発明の変形例を示す。請求項1記載の遊技機用乱数生成回路において、前記カウンタ回路は、1の第2ラッチ信号とその次の第2ラッチ信号との間に、すべての乱数値の更新を一回り以上行うことを特徴とする遊技機用乱数生成回路1。

【0048】

請求項1記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路1において、前記記憶回路は、各乱数値毎に設けられたフラグ($n = 1$ の場合)、または、各乱数値毎に設けられたカウンタ($n = 2$ 以上の整数の場合)により構成されていることを特徴とする遊技機用乱数生成回路2。第2ラッチ回路に記憶された乱数値を直接記憶する場合に比べて、記憶回路の容量を少容量化して、回路コストを低減することができる。

【0049】

請求項1記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路1、2において、前記カウンタ回路のカウント値の更新トリガとなる信号は、この遊技機用乱数生成回路の搭載される回路基板が外部装置と接続されるコネクタ上の信号以外の信号で構成されることを特徴とする遊技機用乱数生成回路3。よって、「ぶら下げ基板」等を該コネクタに接続しても、「ぶら下げ基板」等では、カウンタ回路のカウント値の更新トリガを入力することができず、遊技機用乱数生成回路から出力される乱数値を把握することができない。

【0050】

請求項1記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路1から3のいずれかにおいて、CPUに内蔵されていることを特徴とする遊技機用乱数生成回路4。遊技機用乱数生成回路をCPUに内蔵することにより、遊技機用乱数生成回路のみの不正な取り替えを防止して、不正行為の防止を強化することができる。また、遊技機用乱数生成回

路をCPUに内蔵し、かつ、カウンタ回路のカウント値の更新トリガとなる信号をCPUの内部の信号を用い、その信号をCPUの外部へ出力しないように構成すれば、「ぶら下げ基板」等によるカウンタ回路のカウント値の更新を把握できなくすることができる。

【0051】

請求項1記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路1から4のいずれかにおいて、前記カウンタ回路は、非等間隔に絶えず出力される信号に基づいてカウント値の更新を行うことを特徴とする遊技機用乱数生成回路5。カウンタ回路の更新は非等間隔に絶えず行われるので、「ぶら下げ基板」等による乱数値の把握を一層不可能にすることができる。

【0052】

請求項1記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路1から5のいずれかにおいて、前記カウンタ回路は、CPUの動作クロック信号、M1信号（オペコードフェッチ信号）、メモリ・リクエスト信号、I/Oリクエスト信号、リード信号、ライト信号、リフレッシュ信号、ウエイト信号、バス・リクエスト信号、バス・アクノリッジ信号、少なくとも1本のアドレスバス信号、または、少なくとも1本のデータバス信号のうち、いずれかの信号に基づいてカウント値を更新することを特徴とする遊技機用乱数生成回路6。これらの信号であれば、該信号の発生回路を別途設ける必要がなく、回路コストを低減することができる。CPUの動作クロック信号を除く上記各信号は、遊技機の制御状態に応じて、いずれも非等間隔に絶えず出力されるので、「ぶら下げ基板」等による乱数値の把握を一層不可能にすることができる。なお、CPUの動作クロック信号も含め、前記した信号のうち、いくつかの信号を組み合わせ使用しても良い。

【0053】

【発明の効果】 本発明の制御装置によれば、乱数値として使用される生成値がすべてn回分出力されるまで、n回を超えて出力される生成値を生じさせることなく、しかも、生成値の出力順をランダムにすることができる。よって、この制御装置を用いた遊技機によればこの制御装置から出力される生成値を「ぶら下げ基板」等では把握することができない。従って、「ぶら下げ基板」等による大当たりの発生タイミングの把握を不可能にして、「ぶら下げ基板」等を用いた不正行為を防止することができるという効果がある。なお、nは自然数である。

【図面の簡単な説明】

【図1】 本発明の一実施例であるパチンコ遊技機の遊技盤の正面図である。

【図2】 パチンコ遊技機の電氣的構成を示したブロック図である。

【図3】 乱数ICの電氣的構成を示したブロック図である。

【図4】 M1サイクル（オペコード・フェッチ・サイクル）のタイミングチャートである。

【図5】 リセット割込処理を示したフローチャートである。

【符号の説明】

1 1	制御部のCPU（ <u>制御手段</u> ）
1 1 a	M1信号
1 1 b	CPUリセット信号
1 4	乱数IC（ <u>乱数生成手段</u> ）
1 6	他の入出力装置（ <u>外部装置</u> ）
3 1	乱数用カウンタ（ <u>生成値変化手段の一部</u> ）
3 2	最大値レジスタ（ <u>範囲記憶手段</u> ）
3 3	コンパレータ
3 3 a	クリア信号
3 4	乱数レジスタ（ <u>生成値変化手段の一部</u> ）
3 5	出力レジスタ（ <u>生成値記憶手段</u> ）
3 6	フラグレジスタ（ <u>生成値変化手段の一部</u> ）
3 7	フラグコントローラ（ <u>生成値更新手段、生成値変化手段の一部</u> ）

3 7 a	クリア信号
3 7 b	第 1 ラッチ信号
3 7 c	第 2 ラッチ信号
C	制御部 (制御装置)
D	表示装置 (外部装置)
P	パチンコ遊技機 (遊技機)
S 4	検出手段