

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)



(10) 国际公布号
WO 2025/001587 A1

(51) 国际专利分类号:
G09G 3/3225 (2016.01)

成都市高新区(西区)合作路 1188 号,
Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2024/093251

(22) 国际申请日: 2024 年 5 月 15 日 (15.05.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310799140.9 2023 年 6 月 30 日 (30.06.2023) CN

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

(72) 发明人: 胡明(HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。高文辉(GAO, Wenhui); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。郭永林(GUO, Yonglin); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。于子阳(YU, Ziyang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张跳梅(ZHANG, Tiaomei); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王苗(WANG, Miao); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。谷泉泳(GU, Quanyong); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王

(54) Title: PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, DISPLAY PANEL, AND DISPLAY DEVICE

(54) 发明名称: 像素电路及其驱动方法、显示面板、显示装置

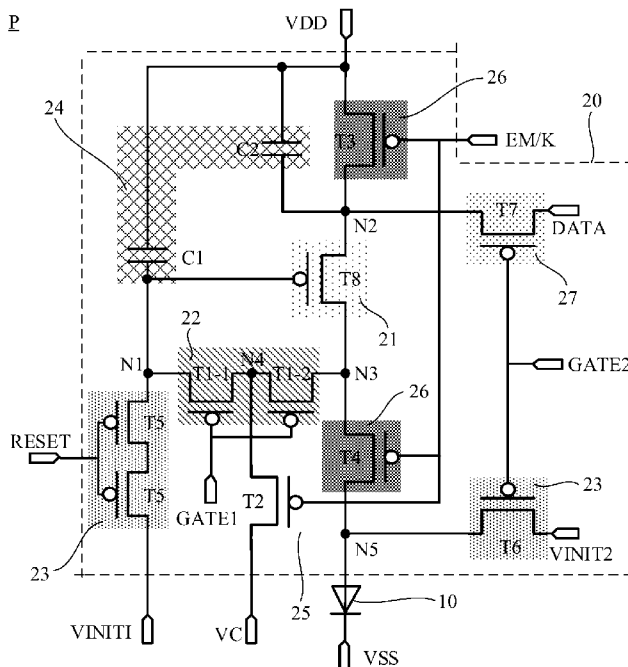


图 9B

(57) Abstract: A pixel circuit, comprising a driving sub-circuit, a compensation sub-circuit, a reset sub-circuit and a storage sub-circuit. The driving sub-circuit is configured to control the connection and disconnection of a circuit between a second node and a third node under the control of the voltage of a first node. The compensation sub-circuit is configured to, in response to a first scanning signal received by a first scanning signal end, control the connection and disconnection of a circuit between the first node and the third node. The reset sub-circuit is configured to, in response to a reset signal received by a reset signal end, transmit to the first node a first

世龙(WANG, Shilong); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。张竞文(ZHANG, Jingwen); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。李健(LI, Jian); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。吴建鹏(WU, Jianpeng); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。承天一(CHENG, Tianyi); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。蒋志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。宋江(SONG, Gukhwan); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。郑海(ZHENG, Hai); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。青海刚(QING, Haigang); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。董向丹(DONG, Xiangdan); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。张毅(ZHANG, Yi); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。汪锐(WANG, Rui); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。谢涛峰(XIE, Taofeng); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。邱海军(QIU, Haijun); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(74) 代理人:北京中博世达专利商标代理有限公司(BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

initialization signal received by a first initialization signal end. The storage sub-circuit is coupled to a first voltage signal end, the first node and the second node. The storage sub-circuit is configured to store the voltages of the first node and the second node.

(57) 摘要: 一种像素电路, 包括驱动子电路、补偿子电路、复位子电路和存储子电路。驱动子电路被配置为, 在第一节点的电压的控制下, 控制第二节点和第三节点之间的电路的导通和截止。补偿子电路被配置为, 响应于第一扫描信号端处接收的第一扫描信号, 控制第一节点和第三节点之间的电路的导通和截止。复位子电路被配置为, 响应于复位信号端处接收的复位信号, 将第一初始化信号端处接收的第一初始化信号传输至第一节点。存储子电路与第一电压信号端、第一节点和第二节点耦接。存储子电路被配置为, 存储第一节点和第二节点的电压。

像素电路及其驱动方法、显示面板、显示装置

本申请要求于 2023 年 06 月 30 日提交的、申请号为 202310799140.9 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、显示面板、显示装置。

背景技术

随着显示技术的飞速发展，显示装置已经逐渐遍及在人们的生活中。其中，有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 由于具有自发光、低功耗、宽视角、响应速度快、高对比度以及柔性显示等优点，因而被广泛的应用于手机、电视、笔记本电脑等智能产品中。

发明内容

一方面，提供一种像素电路。所述像素电路包括驱动子电路、补偿子电路、复位子电路和存储子电路。

所述驱动子电路与第一节点、第二节点和第三节点耦接。所述驱动子电路被配置为，在所述第一节点的电压的控制下，控制所述第二节点和所述第三节点之间的电路的导通和截止。

所述补偿子电路与第一扫描信号端、所述第一节点和所述第三节点耦接。所述补偿子电路被配置为，响应于所述第一扫描信号端处接收的第一扫描信号，控制所述第一节点和所述第三节点之间的电路的导通和截止。

所述复位子电路与第一初始化信号端、复位信号端和所述第一节点耦接。所述复位子电路被配置为，响应于所述复位信号端处接收的复位信号的工作电压，将所述第一初始化信号端处接收的第一初始化信号传输至所述第一节点。

所述存储子电路与第一电压信号端、所述第一节点和所述第二节点耦接。所述存储子电路被配置为，存储所述第一节点和所述第二节点的电压。

在一些实施例中，所述存储子电路包括第一存储电容器和第二存储电容器，所述第一存储电容器的第一极板与所述第一电压信号端连接，所述第一存储电容器的第二极板与所述第一节点连接。所述第二存储电容器的第一极板与所述第一电压信号端连接，所述第二存储电容器的第二极板与所述第二节点连接。

在一些实施例中，所述补偿子电路包括串联的第一子晶体管和第二子晶体管，所述第一子晶体管的第一端与所述第一节点连接，所述第一子晶体管的第二端和/或所述第二子晶体管第一端连接第四节点，所述第二子晶体管的第二端与所述第三节点连接，且所述第一

子晶体管和所述第二子晶体管的控制极与所述第一扫描信号端连接。所述像素电路还包括防漏子电路，所述防漏子电路与控制信号端、恒定电压端和所述第四节点耦接。所述防漏子电路被配置为，响应于所述控制信号端处接收的控制信号的工作电压，将所述恒定电压端处接收的恒定电压信号传输至所述第四节点。

在一些实施例中，所述像素电路还包括发光控制子电路，所述发光控制子电路与第一电压信号端、使能信号端、所述第二节点、所述第三节点和第五节点耦接。所述第五节点与发光器件的阳极连接。所述发光控制子电路被配置为，响应于所述使能信号端处接收的使能信号，控制所述第一电压信号端和所述第二节点之间的电路导通与截止；以及，控制所述第三节点和所述第五节点之间的电路导通与截止；其中，所述使能信号端和所述控制信号端处接收的信号相同。

在一些实施例中，所述的像素电路还包括数据写入子电路，所述数据写入子电路与数据信号端、第二扫描信号端和所述第二节点耦接。所述数据写入子电路被配置为，响应于所述第二扫描信号端处接收的第二扫描信号的第一工作电压，将所述数据信号端处接收的数据信号传输至所述第二节点；以及，响应于所述第二扫描信号端处接收的第二扫描信号的第二工作电压，将所述数据信号端处接收的数据刷新信号传输至所述第二节点；所述数据刷新信号为其他行像素电路接收的数据信号。

在一些实施例中，所述第二扫描信号的第一工作电压的截止时间，位于所述第一扫描信号的工作电压的截止时间之前。且，所述第二扫描信号的第一工作电压的截止时间，与所述第一扫描信号的工作电压的截止时间的时间间隔大于或等于一个行扫描时段。所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

在一些实施例中，所述第二扫描信号的第一工作电压的开始时间，位于所述复位信号的工作电压的截止时间之后。且，所述第二扫描信号的第一工作电压的开始时间，与所述复位信号的工作电压的截止时间的时间间隔大于或等于1个行扫描时段。所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

在一些实施例中，所述补偿子电路包括晶体管为P型晶体管。所述第一扫描信号的工作电压的持续时长大于或等于4个行扫描时段。所述第一扫描信号工作后的第一个行扫描时段的电压，大于所述第一扫描信号工作后的第二个行扫描时段的电压。所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。所述第二扫描信号的第一工作电压的时间，与所述第一扫描信号的工作电压的第 $2N$ 个行扫描时段重合， $N \geq 2$ ，且 N 为整数。

在一些实施例中，所述第二扫描信号的第二工作电压的起止时间，位于所述第一扫描信号的工作电压的截止时间和使能信号的工作电压的开始时间之间。且，所述第二扫描信号的第二工作电压的开始时间，与所述第一扫描信号的工作电压的截止时间的的时间间隔大于或等于一个行扫描时段。所述第二扫描信号的第二工作电压的截止时间与所述使能信号

的工作电压的开始时间的时间间隔大于或等于一个所述行扫描时段。所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

在一些实施例中，所述数据写入子电路还被配置为，响应于所述第二扫描信号端处接收的第二扫描信号的第三工作电压，将所述数据信号端处接收的数据保持信号传输至所述第二节点。

在一些实施例中，所述复位子电路还与第二初始化信号端、第三扫描信号端和第五节点耦接。所述复位子电路还被配置为，在所述第三扫描信号端处接收的第三扫描信号的工作电压的控制下，将所述第二初始化信号端处接收的第二初始化信号传输至所述第五节点。

在一些实施例中，所述复位信号的工作电压的开始时间，位于所述第一扫描信号的工作电压的开始时间之前。且，所述复位信号的工作电压的开始时间，与所述第一扫描信号的工作电压的开始时间的时间间隔大于或等于3个行扫描时段。和/或；所述复位信号的工作电压的截止时间，位于所述第一扫描信号的工作电压的开始时间之后；且，所述复位信号的工作电压的截止时间，与所述第一扫描信号的工作电压的开始时间的时间间隔大于或等于2个行扫描时段。

另一方面，提供一种像素电路的驱动方法。所述像素电路的驱动方法用于驱动如上述任一实施例所述的像素电路。一个显示帧包括一个刷新帧，所述刷新帧包括第一复位阶段和第二复位阶段。

在所述第一复位阶段，复位子电路响应于复位信号端的复位信号的工作电压，将第一初始化信号端处接收的第一初始化信号传输至第一节点。且，存储子电路存储第二节点在上一帧结束后的电压。在所述第二复位阶段，复位子电路响应于复位信号端的复位信号的工作电压，将第一初始化信号端处接收的第一初始化信号传输至第一节点。补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第一节点的电压传输至所述第三节点。以及，驱动子电路在所述第一节点的电压的控制下，将所述第三节点的电压传输至所述第二节点。

在一些实施例中，所述像素电路还包括数据写入子电路，所述刷新帧还包括第一数据写入阶段和在第二数据写入阶段。

在所述第一数据写入阶段，所述数据写入子电路响应于第二扫描信号端处接收的第二扫描信号的第一工作电压，将数据信号端处接收的数据信号传输至所述第二节点，并写入所述存储子电路。所述驱动子电路在所述第一节点的电压的控制下，将所述第二节点的电压传输至所述第三节点。所述补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第三节点的电压传输至所述第一节点。

在第二数据写入阶段，所述存储子电路放电，将存储的数据信号传输至所述第二节点。所述驱动子电路在所述第一节点的电压的控制下，将所述第二节点的电压传输至所述第三

节点。所述补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第三节点的电压传输至所述第一节点。

在一些实施例中，所述补偿子电路包括晶体管为P型晶体管；所述第二复位阶段包括至少3个行扫描时段。在所述第二复位阶段，所述第一扫描信号工作后的第一个行扫描时段的电压，大于所述第一扫描信号工作后的第二个行扫描时段的电压。所述第一数据写入阶段位于所述第二复位阶段之后，且与所述第二复位阶段的开始时间后的第 $2N$ 个行扫描时段重合， $N \geq 2$ ，且 N 为整数。

在一些实施例中，所述像素电路包括数据写入子电路，所述刷新帧还包括第三复位阶段和第一发光阶段，所述第三复位阶段位于所述第二数据写入阶段和所述第一发光阶段之间。在所述第三复位阶段，所述数据写入子电路响应于所述第二扫描信号端处接收的第二扫描信号的第二工作电压，将所述数据信号端处接收的数据刷新信号传输至所述第二节点。

在一些实施例中，所述第三复位阶段的开始时间，与所述第二数据写入阶段的截止时间的差值大于或等于一个行扫描时段。和/或，所述第三复位阶段的截止时间，与所述第一发光阶段的开始时间的差值大于或等于一个行扫描时段。

在一些实施例中，所述第一复位阶段的开始时间，与所述第一复位阶段所在的一帧的开始时间的差值大于或等于两个行扫描时段。

在一些实施例中，所述像素电路包括数据写入子电路、防漏子电路和发光控制子电路。所述像素电路具有第一刷新频率和第二刷新频率，所述第二刷新频率小于所述第一刷新频率。在所述第一刷新频率，一个显示帧包括一个刷新帧；在所述第二刷新频率，一个显示帧包括一个刷新帧和至少一个保持帧。所述保持帧包括插黑阶段、第四复位阶段和第二发光阶段。

在所述插黑阶段，所述发光控制子电路被配置为，响应于所述使能信号端处接收的使能信号的非工作电压，控制传输所述驱动电流信号的电路截止。

在所述第四复位阶段，所述数据写入子电路响应于所述第二扫描信号端处接收的第二扫描信号的第三工作电压，将所述数据信号端处接收的数据保持信号传输至所述第二节点。

在所述第二发光阶段，所述发光控制子电路响应于所述使能信号端处接收的使能信号的工作电压，将所述第一电压信号端处接收的第一电压信号，传输至所述第二节点；所述驱动子电路根据所述第一节点的电压和所述第二节点的电压，生成驱动电流信号；且，所述发光控制子电路响应于所述使能信号端处接收的使能信号的工作电压，将所述驱动电流信号传输至发光器件；所述防漏子电路响应于控制信号端处接收的控制信号的工作电压，将恒定电压端处接收的恒定电压信号传输至第四节点。

在一些实施例中，所述第四复位阶段的截止时间，与所述第二发光阶段的开始时间的差值大于或等于一个行扫描时段。

再一方面，提供一种显示面板。所述显示装置包括多个如上述任一实施例所述的像素电路。多个像素电路排列为M行N列，每行包括沿第一方向排列的N个像素电路，每列包括沿第二方向排列的M个像素电路， $M > 1$ ， $N > 1$ ，且M、N均为整数。

在一些实施例中，沿所述第二方向，从第一行像素电路到最后一行像素电路，M行像素电路分别为第1~第M行像素电路。

所述显示面板还包括第一栅极驱动电路，所述第一栅极驱动电路包括M+Q个级联的第一移位寄存器，从第一级第一移位寄存器到最后一级第一移位寄存器，M+Q个第一移位寄存器分别为第1~第M+Q个第一移位寄存器；每个所述第一移位寄存器包括第一信号输出端。其中，第P行像素电路的第一扫描信号端与第P+Q个第一移位寄存器的第一信号输出端连接；第P行像素电路的复位信号端与第P个第一移位寄存器的第一输出端连接； $P \leq M$ ， $Q > 0$ ，且P、Q均为整数。

在一些实施例中，沿所述第二方向，从第一行像素电路到最后一行像素电路，M行像素电路分别为第1~第M行像素电路。

所述显示面板还包括第二栅极驱动电路和第三栅极驱动电路。所述第二栅极驱动电路包括M个级联的第二移位寄存器，从第一级第二移位寄存器到最后一级第二移位寄存器，M个第二移位寄存器分别为第1~第M个第二移位寄存器。每个所述第二移位寄存器包括第二信号输出端。其中，第P行像素电路的第一扫描信号端与第P个第二移位寄存器的第二信号输出端连接， $P \leq M$ ，且P为整数；

所述第三栅极驱动电路包括M个级联的第三移位寄存器，从第一级第三移位寄存器到最后一级第三移位寄存器，M个第三移位寄存器分别为第1~第M个第三移位寄存器。每个所述第三移位寄存器包括第三信号输出端。其中，第P行像素电路的复位信号端与第P个第三移位寄存器的第三信号输出端连接， $P \leq M$ ，且P为整数。

又一方面，提供一种显示装置。所述显示装置包括如上述任一实施例所述的显示面板。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图1为根据一些实施例的一种显示装置的结构图；

图2为根据一些实施例的另一种显示装置的结构图；

图3为图1中沿剖面线A-A'处的一种剖视图；

图4为根据一些实施例的显示面板的结构图；

- 图 5 为图 4 中沿剖面线 C-C' 处的一种剖视图；
- 图 6 为根据一些实施例的一种像素电路的结构框图；
- 图 7 为图 6 所示的像素电路的电路图；
- 图 8A 为根据一些实施例的另一种像素电路的结构框图；
- 图 8B 为根据一些实施例的又一种像素电路的结构框图；
- 图 9A 为图 8A 所示的像素电路的电路图；
- 图 9B 为图 8B 所示的像素电路的电路图；
- 图 10 为根据一些实施例的一种显示面板的栅极驱动电路的结构图；
- 图 11 为根据一些实施例的另一种显示面板的栅极驱动电路的结构图；
- 图 12 为根据一些实施例的又一种显示面板的栅极驱动电路的结构图；
- 图 13 为根据一些实施例的像素电路的一种时序图；
- 图 14 为根据一些实施例的像素电路的另一种时序图；
- 图 15 为根据一些实施例的像素电路的又一种时序图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示例性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。术语“耦接”例如表明两个或两个以上部件

有直接物理接触或电接触。术语“耦接”或“通信耦合(communicatively coupled)”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文中所使用，根据上下文，术语“如果”任选地被解释为意思是“当……时”或“在……时”或“响应于确定”或“响应于检测到”。类似地，根据上下文，短语“如果确定……”或“如果检测到[所陈述的条件或事件]”任选地被解释为是指“在确定……时”或“响应于确定……”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

另外，“基于”的使用意味着开放和包容性，因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

考虑到所讨论的测量和与特定数量的测量相关联的误差(即，测量系统的限制)，如本文中所使用的“约”、“近似”或“大致”包括所陈述的值并且意味着在如由本领域普通技术人员所确定的针对特定值的可接受偏差范围内。例如，“约”可意味着在一个或多个标准偏差内，或在所陈述的值的 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5% 。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层的厚度和区域的面积。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的

区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

在本说明书中，除非另有定义，否则这里使用的所有术语(包括技术术语和科学术语)具有与本发明所属领域的普通技术人员所通常理解的意思相同的意思。将进一步理解，除非这里明确定义，否则术语(例如在通用的字典中定义的术语)应该被解释为具有与它们在该领域的背景中的意思一致的意思，并且不应解释为理想的或过于形式化的意思。

在本公开中，诸如“下”、“下方”、“上方”和“上”等类似词的术语用于解释附图中所示的部件的关系关联。术语可为相对概念并且基于附图中表示的方向来描述，也可以基于工艺步骤形成的先后顺序来描述，但是不限于此。

术语“相对”意味着第一元件可与第二元件直接或间接相对。在第三元件介于第一元件和第二元件之间的情况下，尽管仍然彼此相对，但是第一元件和第二元件可被理解为彼此间接相对。

在本公开的实施例中，所采用的晶体管可以为薄膜晶体管(Thin Film Transistor，简称 TFT)、场效应晶体管(metal oxide semiconductor，简称 MOS)或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。

在本公开的实施例中，所采用的各薄膜晶体管的控制极为晶体管的栅极，第一极为薄膜晶体管的源极和漏极中一者，第二极为薄膜晶体管的源极和漏极中另一者。由于薄膜晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的，也就是说，本公开的实施例中的薄膜晶体管的第一极和第二极在结构上可以是没有区别的。示例性地，在晶体管为 P 型晶体管的情况下，晶体管的第一极为源极，第二极为漏极；示例性地，在晶体管为 N 型晶体管的情况下，晶体管的第一极为漏极，第二极为源极。

在本公开的实施例中，电容器可以通过工艺制程单独制作的电容器件，例如通过制作专门的电容电极来实现电容器件，该电容器的各个电容电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现。电容器也可以是晶体管之间的寄生电容，或者通过晶体管本身与其他器件、线路来实现，又或者利用电路自身线路之间的寄生电容来实现。

本公开的实施例中，第一节点、第二节点、第一控制节点、第二控制节点等节点并非表示实际存在的部件，而是表示电路图中相关电连接的汇合点，也就是说，这些节点是由电路图中相关电连接的汇合点等效而成的节点。

本公开的实施例中，“工作电压”指的是能够使得其包括的被操作晶体管被导通的电压；相应地，“非工作电压”指的是不能使得其包括的被操作晶体管被导通的电压。

本公开的实施例中，“低电平”指的是能够使得其包括的被操作 P 型晶体管被导通的电压，并不能使得其包括的被操作 N 型晶体管被导通(即，该 N 型晶体管被截止)的电压；

相应地，“高电平”指的是能够使得其包括的被操作 N 型晶体管被导通的电压，并不能使得其包括的被操作 P 型晶体管被导通（即，该 P 型晶体管被截止）的电压。

如图 1 和图 2 所示，本公开的一些实施例提供了一种显示装置 1000，显示装置 1000 可以是显示不论运动(例如，视频)还是固定(例如，静止图像)的且不论文字还是的图像的任何装置。

示例性地，该显示装置 1000 可以为电视机、笔记本电脑、平板电脑、手机、个人数字助理(Personal Digital Assistant 简称 PDA)、导航仪、可穿戴设备、虚拟现实(Virtual Reality, 简称 VR)设备等任何具有显示功能的产品或者部件。

例如，如图 1 所示，该显示装置 1000 可以为便携式显示产品；如，该显示装置 1000 可以为图 1 所示的手机。又例如，参阅图 2，该显示装置 1000 可以为可穿戴设备；如，该显示装置 1000 可以为图 2 中所示的手表。

下面以上述显示装置 1000 为图 1 所示的手机为例，对本公开的一些实施例进行示意性说明，但是本公开的实施方式不限于此。

在一些实施例中，参阅图 3，显示装置 1000 包括显示面板 100。

其中，显示面板 100 包括相对设置的出光侧和非出光侧。出光侧为显示面板 100 用于显示的一侧，即图 3 中的上侧。

示例性地，如图 3 所示，上述显示装置 1000 还可以包括壳体 200、盖板 300 和电路板 400 以及其他电子配件。

参阅图 3，盖板 300 可以为单层的玻璃盖板，也可以包括多层子盖板堆叠，本公开实施例在此不做具体限定。

如图 3 所示，壳体 200 的纵截面例如可以呈 U 型，显示面板 100 和电路板 400 设置于壳体 200 内，盖板 300 设置于壳体 200 的开口处。其中，电路板 400 设置于显示面板 100 远离盖板 300 的一侧，且电路板 400 与显示面板 100 连接，以向显示面板 100 提供所需的显示信号。

上述显示面板 100 的类型包括多种，可以根据实际需要选择设置。

示例性地，上述显示面板 100 可以为：有机发光二极管(Organic Light Emitting Diode, 简称 OLED)显示面板、量子点发光二极管(Quantum Dot Light Emitting Diode 简称 QLED)显示面板等，本公开实施例在此不做具体限定。

下面以上述显示面板 100 为 OLED 显示面板为例，对本公开的一些实施例进行示意性的说明。

在一些实施例中，参阅图 5，显示面板 100 包括显示基板 110 和用于封装显示基板 110 的封装层 120。

其中，封装层 120 可以为封装薄膜，也可以为封装基板，本公开实施例在此不做具体

限定。

在一些实施例中，参阅图 4，显示面板 100 具有显示区 A，显示区 A 为显示图像的区域，被配置为设置多个子像素 P。

示例性地，参阅图 4，显示面板 100 包括衬底 11 和设置在衬底 11 的一侧，且位于显示区 A 的多个子像素 P。

上述衬底 11 的类型包括多种，可以根据实际需要选择设置。

例如，衬底 11 可以为刚性衬底。例如，该刚性衬底可以为玻璃衬底或聚甲基丙烯酸甲酯（Polymethyl Methacrylate，简称 PMMA）衬底等。

又例如，衬底 11 可以为柔性衬底。例如，该柔性衬底可以为聚对苯二甲酸乙二醇酯（Polyethylene Terephthalate，简称 PET）衬底、聚萘二甲酸乙二醇酯（Polyethylene Naphthalate Two Formic Acid Glycol Ester，简称 PEN）衬底或聚酰亚胺（Polyimide，简称 PI）衬底等。

其中，参阅图 4 和图 5，每个子像素 P 包括发光器件 10 和像素电路 20。像素电路 20 包括多个薄膜晶体管 30。

如图 5 所示，薄膜晶体管 30 包括半导体沟道 31、源极 32、漏极 33 和栅极 34，源极 32 和漏极 33 均与半导体沟道 31 接触。

如图 5 所示，发光器件 10 包括第一电极 11、发光功能层 12 以及第二电极 13，第一电极 11 和一个薄膜晶体管 30 的源极 32 或漏极 33 电连接，图 5 中以第一电极 11 和薄膜晶体管 30 的漏极 33 电连接为例进行示意。

需要说明的是，上述发光功能层 12 可以仅包括发光层，也可以除包括发光层外，还包括电子传输层（Electron Transporting Layer，简称 ETL）、电子注入层（Electron Injection Layer，简称 EIL）、空穴传输层（Hole Transporting Layer，简称 HTL）和空穴注入层（Hole Injection Layer，简称 HIL）中的至少一者。

目前，显示装置采用可变刷新率的显示面板，以满足用户低功耗和高刷新率的需求。然而，在低频率显示时，显示面板的帧频降低，使得人眼对显示面板的闪烁的感知更加敏感，导致人眼能够感知到显示画面出现闪烁。

经研究发现，像素电路中的驱动晶体管的沟道本身因缺陷态多，而显现出明显的迟滞效应，导致上一时刻（前一个帧周期）的图像往往会保留在下一时刻的图像显示中，从而导致显示画面产生闪烁的显示问题。

需要说明的是，迟滞效应指的是在一定的偏压下，驱动晶体管的电特性所表现出来的不确定性，即驱动晶体管的电流的大小不仅与当前的偏压有关，还与前一时段的偏压状态相关。

基于此，参阅图 6，本公开的一些实施例提供的像素电路 20，包括驱动子电路 21、补

偿子电路 22、复位子电路 23 和存储子电路 24。

在一些示例中，如图 6 所示，驱动子电路 21 与第一节点 N1、第二节点 N2 和第三节点 N3 耦接。驱动子电路 21 被配置为，在第一节点 N1 的电压的控制下，控制第二节点 N2 和第三节点 N3 之间的电路的导通和截止；以及，根据第一节点 N1 的电压和第二节点 N2 的电压，生成驱动电流信号。

示例性地，如图 7 所示，驱动子电路 21 包括第八晶体管 T8（即上面提到的驱动晶体管），第八晶体管 T8 的第一极与第二节点 N2 连接，第八晶体管 T8 的第二极与第三节点 N3 连接，第八晶体管 T8 的控制极与第一节点 N1 连接。

在一些示例中，如图 6 所示，补偿子电路 22 与第一扫描信号端 GATE1、第一节点 N1 和第三节点 N3 耦接。补偿子电路 22 被配置为，响应于第一扫描信号端 GATE1 处接收的第一扫描信号，控制第一节点 N1 和第三节点 N3 之间的电路的导通和截止。

示例性地，参阅图 7，补偿子电路 22 包括串联的第一子晶体管 T1-1 和第二子晶体管 T1-2，第一子晶体管 T1-1 的第一端与第一节点 N1 连接，第一子晶体管 T1-1 的第二端和/或第二子晶体管 T1-2 第一端连接第四节点 N4，第二子晶体管的第二端与第三节点 N3 连接，且第一子晶体管 T1-1 和第二子晶体管 T1-2 的控制极与第一扫描信号端 GATE1 连接。

需要说明的是，第一子晶体管 T1-1 和第二子晶体管 T1-2 之间，还可以有其他串联的晶体管，即补偿子电路 22 还可以包括串联的三个、四个或更多个晶体管，本公开实施例在此不作具体限定。

下面以补偿子电路 22 包括串联的第一子晶体管 T1-1 和第二子晶体管 T1-2 为例，对本公开的一些实施例进行示意性说明，但是本公开的实施方式不限于此，并且也可以考虑补偿子电路 22 包括串联的三个、四个或更多个晶体管，只要应用相同的技术思想即可。

在一些示例中，如图 6 所示，复位子电路 23 与第一初始化信号端 VINIT1、复位信号端 RESET 和第一节点 N1 耦接。复位子电路 23 被配置为，响应于复位信号端 RESET 处接收的复位信号的工作电压，将第一初始化信号端 VINIT1 处接收的第一初始化信号传输至第一节点 N1，以对第一节点 N1 的电压进行复位。

示例性地，参阅图 7，复位子电路 23 包括串联的多个第五晶体管 T5，多个第五晶体管 T5 的一端与第一初始化信号端 VINIT1 连接，另一端与第一节点 N1 连接，且每个第五晶体管 T5 的控制极与复位信号端 RESET 连接。

例如，如图 7 所示，复位子电路 23 包括串联的两个第五晶体管 T5，两个第五晶体管 T5 形成双栅晶体管，以减小漏电流。

其中，参阅图 13、图 14 和图 15，复位信号的工作电压的开始时间，位于第一扫描信号的工作电压的开始时间之前；且，复位信号的工作电压的开始时间，与第一扫描信号的工作电压的开始时间的时间间隔大于或等于 3 个行扫描时段。图 13 中以复位信号的工作

电压的开始时间，与第一扫描信号的工作电压的开始时间的时间间隔为 8 个行扫描时段为例进行示意。

此外，参阅图 13、图 14 和图 15，复位信号的工作电压的截止时间，位于第一扫描信号的工作电压的开始时间之后。且，复位信号的工作电压的截止时间，与第一扫描信号的工作电压的开始时间的时间间隔大于或等于 2 个行扫描时段。图 13 中以复位信号的工作电压的截止时间，与第一扫描信号的工作电压的开始时间的时间间隔为 3 个行扫描时段为例进行示意。

在一些示例中，如图 6 所示，存储子电路 24 与第一电压信号端 VDD、第一节点 N1 和第二节点 N2 耦接。存储子电路 24 被配置为，存储第一节点 N1 和第二节点 N2 的电压。

示例性地，如图 7 所示，存储子电路 24 包括第一存储电容器 C1 和第二存储电容器 C2，第一存储电容器 C1 的第一极板与第一电压信号端 VDD 连接，第一存储电容器 C1 的第二极板与第一节点 N1 连接。第二存储电容器 C2 的第一极板与第一电压信号端 VDD 连接，第二存储电容器 C2 的第二极板与第二节点 N2 连接。

在这种情况下，在一帧显示开始后，存储子电路 24 可以存储上一帧显示结束后在第二节点 N2 的电压，使得第二节点 N2 保持一个较为稳定的第一电压信号对应的电势，从而使得驱动子电路 21 的第一节点 N1 和第三节点 N3 产生稳定的较大的偏压，改善驱动子电路 21 的迟滞特性，从而改善子像素 P 的残像表现，降低显示面板 100 的闪烁值，改善人眼能够感知到显示画面出现闪烁的问题。

也就是说，在一帧显示开始后，第二存储电容器 C2 可以存储上一帧显示结束后在第二节点 N2（即第八晶体管 T8 的第一极）的电压，使得第二节点 N2 保持一个较为稳定的第一电压信号对应的电势，从而使得第八晶体管 T8 的第一极（第二节点 N2）和控制极（第三节点 N3）产生稳定的较大的偏压，改善第八晶体管 T8 的迟滞特性，从而改善子像素 P 的残像表现，降低显示面板 100 的闪烁值，改善人眼能够感知到显示画面出现闪烁的问题。

在一些实施例中，如图 8A 所示，像素电路 20 还包括防漏子电路 25。

在一些示例中，如图 8A 和图 9B 所示，防漏子电路 25 与控制信号端 K、恒定电压端 VC 和第四节点 N4 耦接。防漏子电路 25 被配置为，响应于控制信号端 K 处接收的控制信号的工作电压，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4。

其中，恒定电压信号的电压为 -7V~7V。如，恒定电压信号的电压为 -7V、-6V、-5V、-4V、-3V、-2V、-1V、0V、1V、2V、3V、4V、5V、6V 和 7V 中的任一者，具体可以根据实验测试，获取防漏电效果较好的电压值作为恒定电压信号的实际电压值，本公开实施例在此不做具体限定。

示例性地，如图 9B 所示，防漏子电路 25 包括第二晶体管 T2，第二晶体管 T2 的第一极与恒定电压端 VC 连接，第二晶体管 T2 的第二极与第四节点 N4 连接，第二晶体管 T2

的控制极与控制信号端 K 连接。

在这种情况下，在发光阶段，防漏子电路 25 可以响应于控制信号端 K 处接收的控制信号的工作电压，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4，以减小第四节点 N4 与第一节点 N1 之间的压差，降低第一节点 N1 漏电的风险，从而降低显示面板 100 的闪烁值，改善人眼能够感知到显示画面出现闪烁的问题。

在一些实施例中，如图 8A 所示，像素电路 20 还包括发光控制子电路 26。

在一些示例中，如图 8A 所示，发光控制子电路 26 与第一电压信号端 VDD、使能信号端 EM、第二节点 N2、第三节点 N3 和第五节点 N5 耦接。发光控制子电路 26 被配置为，响应于使能信号端 EM 处接收的使能信号，控制第一电压信号端 VDD 和第二节点 N2 之间的电路导通与截止；以及，控制第三节点 N3 和第五节点 N5 之间的电路导通与截止。

此处，第一电压信号可以为直流电源的正极的信号，例如，第一电压信号可以为 5V。

需要说明的是，第五节点 N5 与发光器件 10 的阳极连接，以使得驱动电流信号可以传输至发光器件 10。

示例性地，如图 9B 所示，发光控制子电路 26 包括第三晶体管 T3 和第四晶体管 T4。第三晶体管 T3 的第一极与第一电压信号端 VDD 连接，第三晶体管 T3 的第二极与第二节点 N2 连接，第三晶体管 T3 的控制极与使能信号端 EM 连接。第四晶体管 T4 的第一极与第三节点 N3 连接，第四晶体管 T4 的第二极与第五节点 N5 连接，第四晶体管 T4 的控制极与使能信号端 EM 连接。

在此基础上，如图 9B 所示，使能信号端 EM 和控制信号端 K 处接收的信号相同。这样的话，使能信号端 EM 和控制信号端 K 可以连接同一条信号线，例如下面提到的一条栅线，以简化电路结构。即，在发光阶段，防漏子电路 25 响应于使能信号端 EM 处接收的控制信号的工作电压，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4，以减小第四节点 N4 与第一节点 N1 之间的压差，降低第一节点 N1 漏电的风险，从而降低显示面板 100 的闪烁值，改善人眼能够感知到显示画面出现闪烁的问题。

在一些实施例中，如图 8A 所示，像素电路 20 还包括数据写入子电路 27。

在一些示例中，如图 8A 所示，数据写入子电路 27 与数据信号端 DATA、第二扫描信号端 GATE2 和第二节点 N2 耦接。数据写入子电路 27 被配置为，响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第一工作电压，将数据信号端 DATA 处接收的数据信号传输至第二节点 N2；以及，响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第二工作电压，将数据信号端 DATA 处接收的数据刷新信号传输至第二节点 N2。该数据刷新信号为其他行像素电路 20 接收的数据信号，例如相邻的下一行的像素电路 20 接收的数据信号。

需要说明的是，第二扫描信号的第一工作电压和第二工作电压的大小可以相同，但第

一工作电压和第二工作电压的时序并不相同。

示例性地，参阅图 13、图 14 和图 15，第二扫描信号的第一工作电压的截止时间，位于第一扫描信号的工作电压的截止时间之前。且，第二扫描信号的第一工作电压的截止时间，与第一扫描信号的工作电压的截止时间的的时间间隔大于或等于一个行扫描时段 H。

需要说明的是，行扫描时段 H 为第二扫描信号的一个工作电压的持续时长。

例如，如图 13 所示，第二扫描信号的第一工作电压的截止时间，与第一扫描信号的工作电压的截止时间的的时间间隔为 5 个行扫描时段 H。

示例性地，参阅图 13、图 14 和图 15，第二扫描信号的第一工作电压的开始时间，位于复位信号的工作电压的截止时间之后。且，第二扫描信号的第一工作电压的开始时间，与复位信号的工作电压的截止时间的的时间间隔大于或等于 1 个行扫描时段 H。

例如，如图 13 所示，第二扫描信号的第一工作电压的开始时间，与复位信号的工作电压的截止时间的的时间间隔为 2 个行扫描时段 H。

在一些实施例中，参阅图 9B，上述补偿子电路 22 包括晶体管为 P 型晶体管。且，结合图 13、图 14 和图 15，第一扫描信号的工作电压的持续时长大于或等于 4 个行扫描时段 H。第一扫描信号工作后的第一个行扫描时段 H 的电压，大于第一扫描信号工作后的第二个行扫描时段 H 的电压。该行扫描时段 H 为第二扫描信号的一个工作电压的持续时长。也就是说，第偶数个行扫描时段 H 输出的第一扫描信号的稳定性，大于第奇数个行扫描时段 H 的稳定性。

在本公开中，第一扫描信号工作后的第一个行扫描时段 H 的电压，可以理解为第一扫描信号的有效电平开始输入后的第一个时段，即图 13 中第一扫描信号端 GATE1 的第一下降沿后的第一个行扫描时段 H，也即第二复位阶段 P12 的从左向右数的第一个行扫描时段 H；或者，理解为用于将图 9A 中的第一子晶体管 T1-1 开启的电平输入后的第一个时段。

在本公开中，第一扫描信号工作后的第二个行扫描时段 H 的电压，可以理解为第一扫描信号的有效电平开始输入后的第二个时段，即图 13 中第一扫描信号端 GATE1 的第一下降沿后的第二个行扫描时段 H，也即第二复位阶段 P12 的从左向右数的第二个行扫描时段 H；或者，理解为用于将图 9A 中的第一子晶体管 T1-1 开启的电平输入后的第二个时段。

在此基础上，第二扫描信号的第一工作电压的时间，与第一扫描信号的工作电压的第 $2N$ 个行扫描时段 H 重合， $N \geq 2$ ，且 N 为整数。

示例性地，如图 13 所示，第一扫描信号的工作电压的持续时长为 11 个行扫描时段 H，第二扫描信号的第一工作电压的时间，与第一扫描信号的工作电压的第 6 个行扫描时段 H 重合，即 $N = 3$ 。

此外，参阅图 13、图 14 和图 15，第二扫描信号的第二工作电压的起止时间，位于第一扫描信号的工作电压的截止时间和使能信号的工作电压的开始时间之间。

且，第二扫描信号的第二工作电压的开始时间，与第一扫描信号的工作电压的截止时间的的时间间隔大于或等于一个行扫描时段 H。第二扫描信号的第二工作电压的截止时间与使能信号的工作电压的开始时间的的时间间隔大于或等于一个行扫描时段 H。

示例性地，如图 13 所示，第二扫描信号的第二工作电压的开始时间，与第一扫描信号的工作电压的截止时间的的时间间隔为 2 个行扫描时段 H。第二扫描信号的第二工作电压的截止时间与使能信号的工作电压的开始时间的的时间间隔为 1 个行扫描时段 H。

在一些实施例中，如图所示，数据写入子电路 27 还被配置为，响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第三工作电压，将数据信号端 DATA 处接收的数据保持信号传输至第二节点 N2。

此处，数据保持信号的电压的范围为 $0\text{ V} \sim V_{\text{GMP}}$ 。其中， V_{GMP} 指的是子像素 P 的黑态电压，黑态电压即当一个子像素 P 的目标灰阶为 0 时，直接将黑态电压作为该子像素 P 对应的驱动电压，使得对应的子像素不发光。

示例性地，数据保持信号的电压的范围为 $0\text{V} \sim 7\text{V}$ ，如，数据保持信号的电压为 0V 、 1V 、 2V 、 3V 、 4V 、 5V 、 6V 和 7V 中的任一者。这里，数据保持信号的电压值具体可以根据实验测试，将闪烁值较低的电压值作为数据保持信号的实际电压值，本公开实施例在此不做具体限定。

需要说明的是，第二扫描信号的第一工作电压、第二工作电压和第三工作电压的大小可以相同，但第一工作电压、第二工作电压和第三工作电压的时序并不相同。

在一些实施例中，如图 9B 所示，数据写入子电路 27 包括第七晶体管 T7，第七晶体管 T7 的第一极与数据信号端 DATA 连接，第七晶体管 T7 的第二极与第二节点 N2 连接，第七晶体管 T7 的控制极与第二扫描信号端 GATE2 连接。

在一些实施例中，如图 8A 所示，复位子电路 23 还与第二初始化信号端 VININT2、第三扫描信号端 GATE3 和第五节点 N5 耦接。复位子电路 23 还被配置为，在第三扫描信号端 GATE3 处接收的第三扫描信号的工作电压的控制下，将第二初始化信号端 VINIT 处接收的第二初始化信号传输至第五节点 N5，以对发光器件 10 的阳极（第五节点 N5）复位。

示例性地，如图 9A 所示，复位子电路 23 还包括第六晶体管 T6，第六晶体管 T6 的第一极与第二初始化信号端 VINIT2 连接，第六晶体管 T6 的第二极与第五节点 N5 连接，第六晶体管 T6 的控制极与第三扫描信号端 GATE3 连接。

在这种情况下，对发光器件 10 的阳极（第五节点 N5）复位的第六晶体管 T6 的控制极，可以通过第三扫描信号端 GATE3 控制，可以对发光器件 10 的阳极（第五节点 N5）复位，提升发光效率。

此外，上述第三扫描信号端 GATE3 可以与第二扫描信号端 GATE2 连接同一信号线，即第三扫描信号端 GATE3 和第二扫描信号端 GATE2 处接收的信号可以相同，第三扫描信

号端 GATE3 也可以称为第二扫描信号端 GATE2。

此时，如图 8B 所示，复位子电路 23 与第二初始化信号端 VININT2、第二扫描信号端 GATE2 和第五节点 N5 耦接。复位子电路 23 被配置为，在第二扫描信号端 GATE2 处接收的第三扫描信号的工作电压的控制下，将第二初始化信号端 VINIT 处接收的第二初始化信号传输至第五节点 N5，以对发光器件 10 的阳极（第五节点 N5）复位。

例如，如图 9B 所示，复位子电路 23 还包括第六晶体管 T6，第六晶体管 T6 的第一极与第二初始化信号端 VINIT2 连接，第六晶体管 VINIT2 的第二极与第五节点 N5 连接，第六晶体管 T6 的控制极与第二扫描信号端 GATE2 连接。

在这种情况下，对发光器件 10 的阳极（第五节点 N5）复位的第六晶体管 T6 的控制极，与第七晶体管 T7 的控制极，可以均通过第二扫描信号端 GATE2 控制，从而在数据写入的过程中，同时对发光器件 10 的阳极（第五节点 N5）复位，简化电路结构。

下面以第三扫描信号端 GATE3 与第二扫描信号端 GATE2 连接同一信号线为例，对本公开的一些实施例进行示意性说明，但是本公开的实施方式不限于此。

在一些实施例中，如图 4 所示，所有的像素电路 20 排列为多行多列，每行包括沿第一方向 X 排列的多个像素电路 20，每列包括沿第二方向 Y 排列的多个像素电路 20。其中，第一方向 X 与第二方向 Y 大致垂直。

需要说明的是，第一方向 X 例如可以为多个像素电路 20 排列的行方向，第二方向 Y 例如可以为多个像素电路 20 排列的列方向。

下面以所有的像素电路 20 排列为多行多列为例，对本公开的一些实施例进行示例性的说明，但是本公开的实施方式不限于此。并且，将沿第一方向 X 排列的多个像素电路 20 称为一行像素电路 20，沿第二方向 Y 排列的多个像素电路 20 称为一列像素电路 20。

在此基础上，显示面板 100 还包括多条栅线 GL、多条数据线 DL、多条第一电源线 VDL 和多条第一初始化信号线 VL1、多条第二初始化信号线 VL2 和多条恒定电压信号线 VCL。

如图 4 所示，每条栅线 GL 大致沿第一方向 X 延伸，且被配置为传输第一扫描信号、第二扫描信号、复位信号和使能信号（控制信号）中的任一者。其中，一条栅线 GL 例如可以与一行像素电路 20 的第一扫描信号端 GATE1、第二扫描信号端 GATE2、复位信号端 RESET 和使能信号端 EN（控制信号端 K）中的任一者连接。

如图 4 所示，数据线 DL 大致沿第二方向 Y 延伸，且被配置为传输数据信号。一条数据线 DL 例如可以与一列像素电路 20 的数据信号端 DATA 连接。

如图 4 所示，第一电源线 VDL 大致沿第二方向 Y 延伸，且被配置为传输第一电源电压信号。一条第一电源线 VDL 例如可以与一列像素电路 20 的第一电压信号端 VDD 连接。

如图 4 所示，第一初始化信号线 VL1 大致沿第一方向 X 延伸，且被配置为传输第一

初始化信号。一条第一初始化信号线 VL1 例如可以与一行像素电路 20 的第一初始化信号端 VINIT1 连接。

如图 4 所示, 第二初始化信号线 VL2 大致沿第一方向 X 延伸, 且被配置为传输第二初始化信号。一条第二初始化信号线 VL2 例如可以与一行像素电路 20 的第二初始化信号端 VINIT2 连接。

如图 4 所示, 恒定电压信号线 VCL 大致沿第二方向 Y 延伸, 且被配置为传输恒定电压信号。一条恒定电压信号线 VCL 例如可以与一行像素电路 20 的恒定电压信号端 VC 连接。

如图 5 所示, 沿垂直于衬底 11, 且远离衬底 11 的方向, 显示面板 100 包括衬底 11、半导体层 ACT、第一栅绝缘层 GI1、第一栅导电层 GT1、第二栅绝缘层 GI2、第二栅导电层 GT2、层间绝缘层 ILD、第一源漏导电层 SD1、第一平坦层 PLN1、第二源漏导电层 SD2 和第二平坦层 PLN2。

在此基础上, 参阅图 4 和图 5, 晶体管的半导体沟道 31 例如可以位于半导体层 ACT, 栅线 GL、晶体管的栅极 34 和电容器 (第一电容器 C1 和第二电容器 C2) 的第一极板例如可以位于第一栅导电层 GT1。电容器 (第一电容器 C1 和第二电容器 C2) 的第二极板、第一初始化信号线 VL1 和第二初始化信号线例如可以位于第二栅导电层 GT2。晶体管的源极 32、漏极 33、第一电源线 VDL 和恒定电压信号线 VCL 例如可以位于第一源漏导电层 SD1。数据线 DL 例如可以位于第二源漏导电层 SD2。

在一些实施例中, 如图 5 所示, 显示面板 100 还包括像素界定层 PDL, 像素界定层 PDL 设有多个开口, 一个发光器件 10 位于一个开口内。

在一些实施例中, 如图 5 所示, 显示面板 100 还包括隔垫物 PS, 隔垫物 PS 可以设置于像素界定层 PDL 和发光器件 10 的第一电极 11 之间, 以支撑工艺过程中的掩膜版, 使得掩膜版与像素界定层 PDL 之间的间隙均匀。

在一些实施例中, 参阅图 4, 显示面板 100 还具有周边区 B, 周边区 B 设置在显示区 A 的至少一侧。图 4 中以周边区 B 围绕显示区 A 设置为例进行示意。

如图 4 所示, 周边区 B 包括第一边框区 B1、第二边框区 B2、第三边框区 B3 和第四边框区 B4, 沿第一方向 X, 第一边框区 B1 和第二边框区 B2 位于显示区 A 的相对两侧, 沿第二方向 Y, 第三边框区 B3 和第四边框区 B4 位于显示区 A 的另外相对两侧。

其中, 周边区 B 为不显示图像的区域, 被配置为设置栅极驱动电路 130 和源极驱动电路 140 等。

在一些实施例中, 参阅图 9B 和图 10, 栅极驱动电路 130 包括第一栅极驱动电路 131, 第一栅极驱动电路 131 包括多个级联的第一移位寄存器 RS1, 每个第一移位寄存器 RS1 包括第一信号输出端, 每个第一移位寄存器 RS1 的第一信号输出端与至少一行像素电路 20

的第一扫描信号端 GATE1 和/或复位信号端 RESET 连接。

示例性地,如图 9B 和图 10 所示,多个像素电路 20 排列为 M 行 N 列,每行包括沿第一方向 X 排列的 N 个像素电路 20,每列包括沿第二方向 Y 排列的 M 个像素电路 20, $M > 1$, $N > 1$, 且 M、N 均为整数。且,沿第二方向 Y,从第一行像素电路 20 到最后一行像素电路 20, M 行像素电路 20 分别为第 1~第 M 行像素电路 20。图 10 中以 2480 行像素电路 20 为例进行示意。

其中,第一栅极驱动电路 131 包括 M+Q 个级联的第一移位寄存器 RS1,从第一级第一移位寄存器 RS1 到最后一级第一移位寄存器 RS1, M+Q 个第一移位寄存器 RS1 分别为第 1~第 M+Q 个第一移位寄存器 RS1。图 10 中以 Q 等于 8 为例进行示意。

在此基础上,第 P 行像素电路 20 的第一扫描信号端 GATE1 与第 P+Q 个第一移位寄存器 RS1 的第一信号输出端连接。第 P 行像素电路 20 的复位信号端 RESET 与第 P 个第一移位寄存器 RS1 的第一信号输出端连接。且, $P \leq M$, $Q > 0$, 且 P、Q 均为整数。

在这种情况下,第一栅极驱动电路 131 可以向所有的像素电路 20 的第一扫描信号端 GATE1 和复位信号端 RESET 分别提供第一扫描信号和复位信号。也就是说,一个像素电路 20 的第一扫描信号端 GATE1 和复位信号端 RESET 可以共用一个栅极驱动电路 130,有利于显示装置 1000 (参见图 1) 的窄边框设计。

在一些示例中,如图 10 所示,沿第一方向 X,第一栅极驱动电路 131 设置于在显示区 A (参见图 4) 的一侧,且从显示区 A (参见图 4) 的单侧逐行依次驱动各行像素电路 20,即单侧驱动。

在另一些示例中,如图 11 所示,沿第一方向 X,两个第一栅极驱动电路 131 设置于显示区 A (参见图 4) 的相对两侧,且通过两个第一栅极驱动电路 131,同时从显示区 A (参见图 4) 的相对两侧逐行依次驱动各行像素电路 20,即双侧驱动。

在另一些实施例中,参阅图 12,栅极驱动电路 130 包括第二栅极驱动电路 132 和第三栅极驱动电路 133。

其中,如图 9B 和图 12 所示,第二栅极驱动电路 132 包括多个级联的第二移位寄存器 RS2,每个第二移位寄存器 RS2 包括第二信号输出端,每个第二移位寄存器 RS2 的第二信号输出端与至少一行像素电路 20 的第一扫描信号端 GATE1 连接。

示例性地,如图 12 所示,多个像素电路 20 排列为 M 行 N 列,每行包括沿第一方向 X 排列的 N 个像素电路 20,每列包括沿第二方向 Y 排列的 M 个像素电路 20, $M > 1$, $N > 1$, 且 M、N 均为整数。且,沿第二方向 Y,从第一行像素电路 20 到最后一行像素电路 20, M 行像素电路 20 分别为第 1~第 M 行像素电路 20。图 12 中以 2480 行像素电路 20 为例进行示意。

其中,第二栅极驱动电路 132 包括 M 个级联的第二移位寄存器 RS2,从第一级第二移

位寄存器 RS2 到最后一级第二移位寄存器 RS2，M 个第二移位寄存器 RS2 分别为第 1~第 M 个第二移位寄存器 RS2。每个第二移位寄存器 RS2 包括第二信号输出端。

在此基础上，第 P 行像素电路 20 的第一扫描信号端 GATE1 与第 P 个第二移位寄存器 RS2 的第二信号输出端连接， $P \leq M$ ，且 P 为整数。

此外，如图 9B 和图 12 所示，第三栅极驱动电路 133 包括多个级联的第三移位寄存器 RS3，每个第三移位寄存器 RS3 包括第三信号输出端，每个第三移位寄存器 RS3 的第三信号输出端与至少一行像素电路 20 的复位信号端 RESET 连接。

示例性地，如图 12 所示，多个像素电路 20 排列为 M 行 N 列，每行包括沿第一方向 X 排列的 N 个像素电路 20，每列包括沿第二方向 Y 排列的 M 个像素电路 20， $M > 1$ ， $N > 1$ ，且 M、N 均为整数。且，沿第二方向 Y，从第一行像素电路 20 到最后一行像素电路 20，M 行像素电路 20 分别为第 1~第 M 行像素电路 20。图 12 中以 2480 行像素电路 20 为例进行示意。

其中，第三栅极驱动电路 133 包括 M 个级联的第三移位寄存器 RS3，从第一级第三移位寄存器 RS3 到最后一级第三移位寄存器 RS3，M 个第三移位寄存器 RS3 分别为第 1~第 M 个第三移位寄存器 RS3。每个第三移位寄存器 RS3 包括第三信号输出端。

在此基础上，第 P 行像素电路的复位信号端 RESET 与第 P 个第三移位寄存器 RS3 的第三信号输出端连接， $P \leq M$ ，且 P 为整数。

在这种情况下，第二栅极驱动电路 132 可以向所有的像素电路 20 的第一扫描信号端 GATE1 提供第一扫描信号，第三栅极驱动电路 133 可以向所有的像素电路 20 的复位信号端 RESET 提供复位信号。在这种情况下，像素电路 20 的第一扫描信号端 GATE1 接收的第一扫描信号的时长，和复位信号端 RESET 接收的复位信号的时长的比例，可以任意调节，有利于改善残像表现，降低闪烁，从而提高显示画质。

在一些示例中，如图 12 所示，沿第一方向 X，第二栅极驱动电路 132 和第三栅极驱动电路 133 分别设置于显示区 A（参见图 4）的相对两侧，即，第二栅极驱动电路 132 和第三栅极驱动电路 133 分别设置于第一边框区 B1（参见图 4）和第二边框区 B2（参见图 4），且从分别从显示区 A（参见图 4）的单侧逐行依次驱动各行像素电路 20，有利于缩减显示装置 1000（参见图 1）的边框，提高屏占比。

在一些实施例中，参阅图 10~图 12，栅极驱动电路 130 还包括第四栅极驱动电路 134。

其中，如图 9B 和图 10 所示，第四栅极驱动电路 134 包括多个级联的第四移位寄存器 RS4，每个第四移位寄存器 RS4 包括第四信号输出端，每个第四移位寄存器 RS4 的第四信号输出端与至少一行像素电路 20 的使能信号端 EM 连接。

示例性地，如图 10 所示，多个像素电路 20 排列为 M 行 N 列，每行包括沿第一方向 X 排列的 N 个像素电路 20，每列包括沿第二方向 Y 排列的 M 个像素电路 20， $M > 1$ ， $N > 1$ ，

且 M、N 均为整数。且，沿第二方向 Y，从第一行像素电路 20 到最后一行像素电路 20，M 行像素电路 20 分别为第 1~第 M 行像素电路 20。图 10 中以 2480 行像素电路 20 为例进行示意。

其中，第四栅极驱动电路 134 包括 M 个级联的第四移位寄存器 RS4，从第一级第四移位寄存器 RS4 到最后一级第四移位寄存器 RS4，M 个第四移位寄存器 RS4 分别为第 1~第 M 个第四移位寄存器 RS4。每个所述第四移位寄存器 RS4 包括第四信号输出端。

在此基础上，第 P 行像素电路 20 的使能信号端 EM，与第四栅极驱动电路 134 的第 P 个第四移位寄存器 RS4 的第四信号输出端连接， $P \leq M$ ，且 P 为整数。

如图 10 所示，在显示面板 100 包括一个第一栅极驱动电路 131 的情况下，第一栅极驱动电路 131 和第四栅极驱动电路 134 分别设置于第一边框区 B1（参见图 4）和第二边框区 B2（参见图 4），这样有利于显示装置 1000（参见图 1）的窄边框设计。

如图 11 所示，在显示面板 100 包括两个第一栅极驱动电路 131，且两个第一栅极驱动电路 131 分别设置于第一边框区 B1 和第二边框区 B2 的情况下，第奇数个第四移位寄存器 RS4 和第偶数个第四移位寄存器 RS4 可以分别设置于第一边框区 B1 和第二边框区 B2，形成交叉驱动，以充分利用第一边框区 B1 和第二边框区 B2 的区域，提高画面显示的均一性。

如图 12 所示，在显示面板 100 包括第二栅极驱动电路 132 和第三栅极驱动电路 133 的情况下，第奇数个第四移位寄存器 RS4 和第偶数个第四移位寄存器 RS4 分别设置于第一边框区 B1 和第二边框区 B2，形成交叉驱动，以充分利用第一边框区 B1 和第二边框区 B2 的区域，提高画面显示的均一性。

在一些实施例中，参阅图 10~图 12，栅极驱动电路 130 还包括第五栅极驱动电路 135。

其中，如图 9B 和图 12 所示，第五栅极驱动电路 135 包括多个级联的第五移位寄存器 RS5，每个第五移位寄存器 RS5 包括第五信号输出端，每个第五移位寄存器 RS5 的第五信号输出端与至少一行像素电路 20 的第二扫描信号端 GATE2 连接。

示例性地，如图 12 所示，多个像素电路 20 排列为 M 行 N 列，每行包括沿第一方向 X 排列的 N 个像素电路 20，每列包括沿第二方向 Y 排列的 M 个像素电路 20， $M > 1$ ， $N > 1$ ，且 M、N 均为整数。且，沿第二方向 Y，从第一行像素电路 20 到最后一行像素电路 20，M 行像素电路 20 分别为第 1~第 M 行像素电路 20。图 12 中以 2480 行像素电路 20 为例进行示意。

其中，第五栅极驱动电路 135 包括 M 个级联的第五移位寄存器 RS5，从第一级第五移位寄存器 RS5 到最后一级第五移位寄存器 RS5，M 个第五移位寄存器 RS5 分别为第 1~第 M 个第五移位寄存器 RS5。每个第五移位寄存器 RS5 包括第五信号输出端。

在此基础上，第 P 行像素电路 20 的使能信号端 EM，与第五栅极驱动电路 135 的第 P 个第五移位寄存器 RS5 的第五信号输出端连接， $P \leq M$ ，且 P 为整数。

在一些示例中，如图 10~图 12 所示，显示面板 100 包括两个第五栅极驱动电路 135，两个第五栅极驱动电路 135 分别设置于第一边框区 B1（参见图 4）和第二边框区 B2（参见图 4）。即，第 P 行像素电路 20 的第二扫描信号端 GATE2，与两个第五栅极驱动电路 135 的第 P 个第五移位寄存器 RS5 的第五信号输出端连接，形成双侧驱动， $P \leq M$ ，且 P 为整数。以这种方式设置，可以减小压降对第二扫描信号的影响，从而提高显示画面的亮度均匀性。

本公开的一些实施例还提供一种像素电路 20 的驱动方法，用于驱动如上述任一实施例的像素电路 20。

其中，如图 13 所示，一个显示帧 F 包括一个刷新帧 F1，刷新帧 F1 包括第一复位阶段 P11 和第二复位阶段 P12。

在第一复位阶段 P11，复位子电路 23 响应于复位信号端 RESET 的复位信号的工作电压，将第一初始化信号端 VINIT1 处接收的第一初始化信号传输至第一节点 N1，以对第一节点 N1 进行复位。且，存储子电路 24 存储第二节点 N2 在上一帧结束后的电压，以使得第二节点 N2 可以形成较为稳定的电势（第二电压信号的电压）。

也就是说，如图 9B 所示，第五晶体管 T5 在复位信号端 RESET 处接收的复位信号的控制下导通，将第一初始化信号端 VINIT1 处接收的第一初始化信号传输至第一节点 N1。且，第二存储电容器 C2 存储第二节点 N2 在上一帧结束后的电压。

此时，在第一复位阶段 P11，第二节点 N2 和第一节点 N1 之间可以形成较大的偏压，即使得第八晶体管 T8 的源端和控制端之间，产生稳定的较大的偏压，改善第八晶体管 T8 的迟滞特性，从而改善子像素 P 的残像表现，降低显示面板 100 的闪烁值，改善人眼能够感知到显示画面出现闪烁的问题。

需要说明的是，第一复位阶段 P11 的开始时间，与第一复位阶段 P11 所在的一帧 F 的开始时间的差值大于或等于两个行扫描时段 H，以避免上一帧 F 结束时与第一复位阶段 P11 的各个信号的上升沿与下降沿产生交错，对第一复位阶段 P11 造成影响。

在第二复位阶段 P12，复位子电路 23 响应于复位信号端 RESET 的复位信号的工作电压，将第一初始化信号端 VINIT1 处接收的第一初始化信号传输至第一节点 N1。补偿子电路 22 响应于第一扫描信号端 GATE1 处接收的第一扫描信号的工作电压，将第一节点 N1 的电压传输至第三节点 N3。以及，驱动子电路 21 在第一节点 N1 的电压的控制下，将第三节点 N3 的电压传输至第二节点 N2，以对第三节点 N3 和第二节点 N2 依次进行复位。

也就是说，如图 9B 所示，第一子晶体管 T1-1 和第二子晶体管 T1-2 在第一扫描信号端 GATE1 处接收的第一扫描信号的控制下导通，将第一节点 N1 的电压传输至第三节点 N3。且，第八晶体管 T8 在第一节点 N1 的电压的控制下导通，将第三节点 N3 的电压传输至第二节点 N2。

此时，在第二复位阶段 P12，可以对第二节点 N2 和第三节点 N3 进行复位，以降低上一帧的残留电压对这一帧的数据写入造成影响，从而提高显示画面的亮度均一性。

在一些实施例中，如图 13 所示，刷新帧 F1 还包括第一数据写入阶段 P21 和在第二数据写入阶段 P22。

在第一数据写入阶段 P21，数据写入子电路 27 响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第一工作电压，将在数据信号端 DATA 处接收的数据信号传输至第二节点 N2，并写入存储子电路 24。驱动子电路 21 在第一节点 N1 的电压的控制下，将第二节点 N2 的电压传输至第三节点 N3。补偿子电路 22 响应于第一扫描信号端 GATE1 处接收的第一扫描信号的工作电压，将第三节点 N3 的电压传输至第一节点 N1。

也就是说，如图 9B 所示，第七晶体管 T7 在第二扫描信号端 GATE2 处接收的第二扫描信号的第一工作电压的控制下导通，将在数据信号端 DATA 处接收的数据信号传输至第二节点 N2。第二存储电容器 C2 存储第二节点 N2 写入的数据信号的电压。

且，第八晶体管 T8 在第一节点 N1 的电压的控制下导通，将第三节点 N3 的电压传输至第二节点 N2。第一子晶体管 T1-1 和第二子晶体管 T1-2 在第一扫描信号端 GATE1 处接收的第一扫描信号的工作电压的控制下导通，将第三节点 N3 的电压传输至第一节点 N1。

此时，在第一数据写入阶段 P21，可以将数据信号写入第一节点 N1 以及第二存储电容器 C2。

在第二数据写入阶段 P22，存储子电路 24 放电将存储的数据信号传输至第二节点 N2。驱动子电路 21 在第一节点 N1 的电压的控制下，将第二节点 N2 的电压传输至第三节点 N3。补偿子电路 22 响应于第一扫描信号端 GATE1 处接收的第一扫描信号的工作电压，将第三节点 N3 的电压传输至第一节点 N1。

也就是说，如图 9B 所示，第二存储电容器 C2 放电，将第一数据写入阶段 P21 写入的数据信号，传输至第二节点 N2。第八晶体管 T8 在第一节点 N1 的电压的控制下导通，将第三节点 N3 的电压传输至第二节点 N2。第一子晶体管 T1-1 和第二子晶体管 T1-2 在第一扫描信号端 GATE1 处接收的第一扫描信号的工作电压的控制下导通，将第三节点 N3 的电压传输至第一节点 N1。

此时，在第二数据写入阶段 P22，第二存储电容器 C2 可以持续放电，以将数据信号持续写入至第一节点 N1，增加数据写入时间，有利于提高显示画面的亮度均一性，提升显示效果。

在一些实施例中，如图 9B 和图 13 所示，补偿子电路 22 包括晶体管为 P 型晶体管。且，第二复位阶段 P12 包括至少 3 个行扫描时段 H。

在第二复位阶段 P12，第一扫描信号工作后的第一个行扫描时段 H 的电压，大于第一扫描信号工作后的第二个行扫描时段 H 的电压。即，第偶数个行扫描时段 H 输出的第一扫

描信号 H 的稳定性，大于第奇数个行扫描时段 H 的稳定性。

示例性地，第一移位寄存器 RS1 的第一信号输出端的第一扫描信号由时钟信号线输出，在第二复位阶段 P12 的第一个行扫描时段 H，第一信号输出端输出时钟信号线的高电平信号。在第二复位阶段 P12 的第二个行扫描时段 H，第一信号输出端输出时钟信号线的低电平信号。

且，在第二复位阶段 P12 中的其他的第奇数个行扫描时段 H，第一信号输出端为浮空状态。在第二复位阶段 P12 中的其他的第偶数个行扫描时段 H，第一信号输出端为输出时钟信号线的低电平信号。此时，第偶数个行扫描时段 H 输出的第一扫描信号的稳定性，大于第奇数个行扫描时段 H 的稳定性。

在此基础上，第一数据写入阶段 P21 位于第二复位阶段 P12 之后，且与第二复位阶段 P12 的开始时间后的第 $2N$ 个行扫描时段 H 重合， $N \geq 2$ ，且 N 为整数。

在这种情况下，在第一数据写入阶段 P21 在第一扫描信号的稳定性较高的第偶数个行扫描时段 H 进行，可以提高数据信号写入的准确度，从而提高显示画面的亮度均一性。尤其是，在显示面板 100 包括第一栅极驱动电路 131 的情况下，可以降低最后几行子像素 P 相较于其他子像素 P 发亮的风险，提高显示画面的亮度均一性。

例如，如图 13 所示，第二复位阶段 P12 包括 3 个行扫描时段 H。此时，在第一数据写入阶段 P21 与第二复位阶段 P12 的开始时间后的第 6 个行扫描时段 H 重合，即在第一扫描信号的稳定性较高的第六数个行扫描时段 H 进行。

且，第二扫描信号的下降沿与复位信号的上升沿可以错开两个行扫描时段 H，避免第二复位阶段 P12 对数据写入造成影响，且显示画面的亮度均一性较高。

在一些实施例中，如图 13 所示，刷新帧 F 还包括第一发光阶段 P3。

在第一发光阶段 P3，发光控制子电路 26 响应于使能信号端 EM 处接收的使能信号的工作电压，将第一电压信号端 VDD 处接收的第一电压信号，传输至第二节点 N2。驱动子电路 21 根据第一节点 N1 的电压和第二节点 N2 的电压，生成驱动电流信号。

且，发光控制子电路 26 响应于使能信号端 EM 处接收的使能信号的工作电压，将驱动电流信号传输至发光器件 10。防漏子电路 25 响应于控制信号端 K 处接收的控制信号的工作电压，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4。

也就是说，如图 9B 所示，第三晶体管 T3 在使能信号端 EM 处接收的使能信号的控制下导通，将第一电压信号端 VDD 处接收的第一电压信号，传输至第二节点 N2。第八晶体管 T8 根据第一节点 N1 的电压和第二节点 N2 的电压，生成驱动电流信号。

且，第三晶体管 T3 和第四晶体管 T4，均在使能信号端 EM 处接收的使能信号的控制下导通，将驱动电流信号传输至发光器件 10，以驱动发光器件 10 发光。第二晶体管 T2 在使能信号端 EM 处接收的使能信号的控制下导通，将恒定电压端 VC 处接收的恒定电压

信号传输至第四节点 N4, 以减小第一节点 N1 的漏电流, 从而提高显示画面的亮度均一性。

在此基础上, 如图 13 所示, 刷新帧 F 还可以包括第三复位阶段 P13, 第三复位阶段 P13 位于第二数据写入阶段 P22 和第一发光阶段 P3 之间。

在第三复位阶段 P13, 数据写入子电路 27 响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第二工作电压, 将数据信号端 DATA 处接收的数据刷新信号传输至第二节点 N2。

也就是说, 如图 9B 所示, 第七晶体管 T7 在第二扫描信号端 GATE2 处接收的第二扫描信号的控制下导通, 将数据信号端 DATA 处接收的数据刷新信号传输至第二节点 N2, 这样可以复用其它行的像素电路 20 接收的数据信号, 对第二节点 N2 和第四节点 N4 再次进行复位, 以提高显示画面的亮度均一性, 无需更改电路结构, 结构简单。

在一些示例中, 参阅图 13、图 14 和图 15, 第三复位阶段 P13 的开始时间, 与第二数据写入阶段 P22 的截止时间的差值大于或等于 1 个行扫描时段 H, 以降低第三复位阶段 P13 与第二数据写入阶段 P22 中各个信号的上升沿与下降沿产生交错的风险, 从而对数据写入或复位造成影响。

例如, 如图 13 所示, 第三复位阶段 P13 的开始时间, 与第二数据写入阶段 P22 的截止时间的差值为 2 个行扫描时段 H, 以避免第三复位阶段 P13 与第二数据写入阶段 P22 中各个信号的上升沿与下降沿产生交错, 对数据写入或复位造成影响。

在一些示例中, 参阅图 13、图 14 和图 15, 第三复位阶段 P13 的截止时间, 与第一发光阶段 P3 的开始时间的差值大于或等于一个行扫描时段 H, 以避免第三复位阶段 P13 与第一发光阶段 P3 中各个信号的上升沿与下降沿产生交错, 对数据写入或发光造成影响。

例如, 如图 13 所示, 第三复位阶段 P13 的开始时间, 与第二数据写入阶段 P22 的截止时间的差值为 1 个行扫描时段 H, 以避免第三复位阶段 P13 与第二数据写入阶段 P22 中各个信号的上升沿与下降沿产生交错, 对数据写入或复位造成影响。

在一些实施例中, 参阅图 9B 和图 13, 像素电路 20 具有第一刷新频率和第二刷新频率, 第二刷新频率小于第一刷新频率。在第一刷新频率, 一个显示帧 F 包括一个刷新帧 F1。在第二刷新频率, 一个显示帧 F 包括一个刷新帧 F1 和至少一个保持帧 F2。

此时, 该显示面板 100 例如可以 30Hz、40 Hz、60 Hz 和 120Hz 的高低变频显示, 或, 40Hz、55Hz、82Hz 和 165Hz 的高低变频显示, 本公开实施例不限于此。

其中, 如图 13 所示, 保持帧 F2 包括插黑阶段 P4、第四复位阶段 P5 和第二发光阶段 P6。

在插黑阶段 P4, 发光控制子电路 26 被配置为, 响应于使能信号端 EM 处接收的使能信号的非工作电压, 控制传输驱动电流信号的电路截止。

也就是说, 如图 9B 所示, 第三晶体管 T3 和第四晶体管 T4 在使能信号端 EM 处接收

的使能信号的控制下截止，从而控制传输驱动电流信号的电路截止。

此时，在刷新帧 F1 的第一发光阶段 P3 之后，可以插入黑画面，为发光器件 10 提供休息时间，避免长时间的偏压造成发光器件 10 发光异常，提高图像显示效果和延长发光器件 10 使用寿命。

在第四复位阶段 P5，数据写入子电路 27 响应于第二扫描信号端 GATE2 处接收的第二扫描信号的第三工作电压，将数据信号端 DATA 处接收的数据保持信号传输至第二节点 N2。

需要说明的是，数据保持信号的电压的范围为 $0\text{ V} \sim V_{\text{GMP}}$ 。其中， V_{GMP} 指的是子像素 P 的黑态电压，黑态电压即当一个子像素 P 的目标灰阶为 0 时，直接将黑态电压作为该子像素 P 对应的驱动电压，使得对应的子像素不发光。示例性地，数据保持信号的电压的范围为 $0\text{ V} \sim 7\text{ V}$ ，如，数据保持信号的电压为 0 V 、 1 V 、 2 V 、 3 V 、 4 V 、 5 V 、 6 V 和 7 V 中的任一者。这里，数据保持信号的电压值具体可以根据实验测试，将闪烁值较低的电压值作为数据保持信号的实际电压值，本公开实施例在此不做具体限定。

也就是说，如图 9B 所示，第七晶体管 T7 在第二扫描信号端 GATE2 处接收的第二扫描信号的控制下导通，将数据信号端 DATA 处接收的数据保持信号传输至第二节点 N2，以对第二节点 N2 进行复位。

在第二发光阶段 P6，发光控制子电路 26 响应于使能信号端 EM 处接收的使能信号的工作电压，将第一电压信号端 VDD 处接收的第一电压信号，传输至第二节点 N2。驱动子电路 21 根据第一节点 N1 的电压和第二节点 N2 的电压，生成驱动电流信号。

且，发光控制子电路 26 响应于使能信号端 EM 处接收的使能信号的工作电压，将驱动电流信号传输至发光器件 10。防漏子电路 25 响应于控制信号端 K 处接收的控制信号的工作电压，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4。

也就是说，如图 9B 所示，第三晶体管 T3 在使能信号端 EM 处接收的使能信号的控制下导通，将第一电压信号端 VDD 处接收的第一电压信号，传输至第二节点 N2。第八晶体管 T8 根据第一节点 N1 的电压和第二节点 N2 的电压，生成驱动电流信号。

且，第三晶体管 T3 和第四晶体管 T4，均在使能信号端 EM 处接收的使能信号的控制下导通，将驱动电流信号传输至发光器件 10，以驱动发光器件 10 发光。第二晶体管 T2 在使能信号端 EM 处接收的使能信号的控制下导通，将恒定电压端 VC 处接收的恒定电压信号传输至第四节点 N4，以减小第一节点 N1 的漏电流，从而提高显示画面的亮度均一性。

在一些示例中，参阅图 13、图 14 和图 15，第四复位阶段 P5 的截止时间，与第二发光阶段 P6 的开始时间的差值大于或等于一个行扫描时段 H，以避免第四复位阶段 P5 与第二发光阶段 P6 中各个信号的上升沿与下降沿产生交错，对复位或发光造成影响。

例如，如图 13 所示，第四复位阶段 P5 的截止时间，与第二发光阶段 P6 的开始时间

的差值为一个行扫描时段 H，以避免第四复位阶段 P5 与第二发光阶段 P6 中各个信号的上升沿与下降沿产生交错，对复位或发光造成影响。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

1、一种像素电路，包括：

驱动子电路，与第一节点、第二节点和第三节点耦接；所述驱动子电路被配置为，在所述第一节点的电压的控制下，控制所述第二节点和所述第三节点之间的电路的导通和截止；

补偿子电路，与第一扫描信号端、所述第一节点和所述第三节点耦接；所述补偿子电路被配置为，响应于所述第一扫描信号端处接收的第一扫描信号，控制所述第一节点和所述第三节点之间的电路的导通和截止；

复位子电路，与第一初始化信号端、复位信号端和所述第一节点耦接；所述复位子电路被配置为，响应于所述复位信号端处接收的复位信号的工作电压，将所述第一初始化信号端处接收的第一初始化信号传输至所述第一节点；

存储子电路，与第一电压信号端、所述第一节点和所述第二节点耦接；所述存储子电路被配置为，存储所述第一节点和所述第二节点的电压。

2、根据权利要求1所述的像素电路，其中，所述存储子电路包括：

第一存储电容器，所述第一存储电容器的第一极板与所述第一电压信号端连接，所述第一存储电容器的第二极板与所述第一节点连接；

第二存储电容器，所述第二存储电容器的第一极板与所述第一电压信号端连接，所述第二存储电容器的第二极板与所述第二节点连接。

3、根据权利要求1或2所述的像素电路，其中，所述补偿子电路包括：

串联的第一子晶体管和第二子晶体管，所述第一子晶体管的第一端与所述第一节点连接，所述第一子晶体管的第二端和/或所述第二子晶体管第一端连接第四节点，所述第二子晶体管的第二端与所述第三节点连接，且所述第一子晶体管和所述第二子晶体管的控制极与所述第一扫描信号端连接；

所述像素电路还包括：

防漏子电路，与控制信号端、恒定电压端和所述第四节点耦接；所述防漏子电路被配置为，响应于所述控制信号端处接收的控制信号的工作电压，将所述恒定电压端处接收的恒定电压信号传输至所述第四节点。

4、根据权利要求3所述的像素电路，还包括：

发光控制子电路，与第一电压信号端、使能信号端、所述第二节点、所述第三节点和第五节点耦接；所述第五节点与发光器件的阳极连接；所述发光控制子电路被配置为，响应于所述使能信号端处接收的使能信号，控制所述第一电压信号端和所述第二节点之间的电路导通与截止；以及，控制所述第三节点和所述第五节点之间的电路导通与截止；其中，所述使能信号端和所述控制信号端处接收的信号相同。

5、根据权利要求1~4中任一项所述的像素电路，还包括：

数据写入子电路，与数据信号端、第二扫描信号端和所述第二节点耦接；所述数据写入子电路被配置为，响应于所述第二扫描信号端处接收的第二扫描信号的第一工作电压，将所述数据信号端处接收的数据信号传输至所述第二节点；以及，响应于所述第二扫描信号端处接收的第二扫描信号的第二工作电压，将所述数据信号端处接收的数据刷新信号传输至所述第二节点；所述数据刷新信号为其他行像素电路接收的数据信号。

6、根据权利要求5所述的像素电路，其中，所述第二扫描信号的第一工作电压的截止时间，位于所述第一扫描信号的工作电压的截止时间之前；

且，所述第二扫描信号的第一工作电压的截止时间，与所述第一扫描信号的工作电压的截止时间的时间间隔大于或等于一个行扫描时段；所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

7、根据权利要求5或6所述的像素电路，其中，所述第二扫描信号的第一工作电压的开始时间，位于所述复位信号的工作电压的截止时间之后；

且，所述第二扫描信号的第一工作电压的开始时间，与所述复位信号的工作电压的截止时间的的时间间隔大于或等于1个行扫描时段；所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

8、根据权利要求5~7中任一项所述的像素电路，其中，所述补偿子电路包括晶体管为P型晶体管；

所述第一扫描信号的工作电压的持续时长大于或等于4个行扫描时段；所述第一扫描信号工作后的第一个行扫描时段的电压，大于所述第一扫描信号工作后的第二个行扫描时段的电压；所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长；

所述第二扫描信号的第一工作电压的时间，与所述第一扫描信号的工作电压的第 $2N$ 个行扫描时段重合， $N \geq 2$ ，且 N 为整数。

9、根据权利要求5~8中任一种所述的像素电路，其中，所述第二扫描信号的第二工作电压的起止时间，位于所述第一扫描信号的工作电压的截止时间和使能信号的工作电压的开始时间之间；

且，所述第二扫描信号的第二工作电压的开始时间，与所述第一扫描信号的工作电压的截止时间的的时间间隔大于或等于一个行扫描时段；所述第二扫描信号的第二工作电压的截止时间与所述使能信号的工作电压的开始时间的的时间间隔大于或等于一个所述行扫描时段；所述行扫描时段为所述第二扫描信号的一个工作电压的持续时长。

10、根据权利要求5~7中任一项所述的像素电路，其中，所述数据写入子电路还被配置为，响应于所述第二扫描信号端处接收的第二扫描信号的第三工作电压，将所述数据信号端处接收的数据保持信号传输至所述第二节点。

11、根据权利要求5~8中任一项所述的像素电路，其中，所述复位子电路还与第二初

始化信号端、第三扫描信号端和第五节点耦接；所述复位子电路还被配置为，在所述第三扫描信号端处接收的第三扫描信号的工作电压的控制下，将所述第二初始化信号端处接收的第二初始化信号传输至所述第五节点。

12、根据权利要求 1~11 中任一项所述的像素电路，其中，所述复位信号的工作电压的开始时间，位于所述第一扫描信号的工作电压的开始时间之前；且，所述复位信号的工作电压的开始时间，与所述第一扫描信号的工作电压的开始时间的时间间隔大于或等于 3 个行扫描时段；

和/或；

所述复位信号的工作电压的截止时间，位于所述第一扫描信号的工作电压的开始时间之后；且，所述复位信号的工作电压的截止时间，与所述第一扫描信号的工作电压的开始时间的时间间隔大于或等于 2 个行扫描时段。

13、一种像素电路的驱动方法，用于驱动如权利要求 1~12 中任一项所述的像素电路，一个显示帧包括一个刷新帧，所述刷新帧包括第一复位阶段和第二复位阶段；

在所述第一复位阶段，复位子电路响应于复位信号端的复位信号的工作电压，将第一初始化信号端处接收的第一初始化信号传输至第一节点；且，存储子电路存储第二节点在上一帧结束后的电压；

在所述第二复位阶段，复位子电路响应于复位信号端的复位信号的工作电压，将第一初始化信号端处接收的第一初始化信号传输至第一节点；补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第一节点的电压传输至所述第三节点；以及，驱动子电路在所述第一节点的电压的控制下，将所述第三节点的电压传输至所述第二节点。

14、根据权利要求 13 所述的驱动方法，其中，所述像素电路还包括数据写入子电路，所述刷新帧还包括第一数据写入阶段和在第二数据写入阶段；

在所述第一数据写入阶段，所述数据写入子电路响应于第二扫描信号端处接收的第二扫描信号的第一工作电压，将数据信号端处接收的数据信号传输至所述第二节点，并写入所述存储子电路；所述驱动子电路在所述第一节点的电压的控制下，将所述第二节点的电压传输至所述第三节点；所述补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第三节点的电压传输至所述第一节点；

在第二数据写入阶段，所述存储子电路放电，将存储的数据信号传输至所述第二节点；所述驱动子电路在所述第一节点的电压的控制下，将所述第二节点的电压传输至所述第三节点；所述补偿子电路响应于第一扫描信号端处接收的第一扫描信号的工作电压，将所述第三节点的电压传输至所述第一节点。

15、根据权利要求 14 所述的驱动方法，其中，所述补偿子电路包括晶体管为 P 型晶体管；所述第二复位阶段包括至少 3 个行扫描时段；

在所述第二复位阶段，所述第一扫描信号工作后的第一个行扫描时段的电压，大于所述第一扫描信号工作后的第二个行扫描时段的电压；

所述第一数据写入阶段位于所述第二复位阶段之后，且与所述第二复位阶段的开始时间后的第 $2N$ 个行扫描时段重合， $N \geq 2$ ，且 N 为整数。

16、根据权利要求 13~15 中任一项所述的驱动方法，其中，所述像素电路包括数据写入子电路，所述刷新帧还包括第三复位阶段和第一发光阶段，所述第三复位阶段位于所述第二数据写入阶段和所述第一发光阶段之间；

在所述第三复位阶段，所述数据写入子电路响应于所述第二扫描信号端处接收的第二扫描信号的第二工作电压，将所述数据信号端处接收的数据刷新信号传输至所述第二节点。

17、根据权利要求 16 所述的驱动方法，其中，所述第三复位阶段的开始时间，与所述第二数据写入阶段的截止时间的差值大于或等于一个行扫描时段；和/或，所述第三复位阶段的截止时间，与所述第一发光阶段的开始时间的差值大于或等于一个行扫描时段。

18、根据权利要求 13~17 中任一项所述的驱动方法，其中，所述像素电路包括数据写入子电路、防漏子电路和发光控制子电路；所述像素电路具有第一刷新频率和第二刷新频率，所述第二刷新频率小于所述第一刷新频率；在所述第一刷新频率，一个显示帧包括一个刷新帧；在所述第二刷新频率，一个显示帧包括一个刷新帧和至少一个保持帧；所述保持帧包括插黑阶段、第四复位阶段和第二发光阶段；

在所述插黑阶段，所述发光控制子电路被配置为，响应于所述使能信号端处接收的使能信号的非工作电压，控制传输驱动电流信号的电路截止；

在所述第四复位阶段，所述数据写入子电路响应于所述第二扫描信号端处接收的第二扫描信号的第三工作电压，将所述数据信号端处接收的数据保持信号传输至所述第二节点；

在所述第二发光阶段，所述发光控制子电路响应于所述使能信号端处接收的使能信号的工作电压，将所述第一电压信号端处接收的第一电压信号，传输至所述第二节点；所述驱动子电路根据所述第一节点的电压和所述第二节点的电压，生成所述驱动电流信号；且，所述发光控制子电路响应于所述使能信号端处接收的使能信号的工作电压，将所述驱动电流信号传输至发光器件；所述防漏子电路响应于控制信号端处接收的控制信号的工作电压，将恒定电压端处接收的恒定电压信号传输至第四节点。

19、根据权利要求 18 所述的驱动方法，其中，所述第四复位阶段的截止时间，与所述第二发光阶段的开始时间的差值大于或等于一个行扫描时段。

20、一种显示面板，包括：

多个如权利要求 1~12 中任一项所述的像素电路，多个像素电路排列为 M 行 N 列，每行包括沿第一方向排列的 N 个像素电路，每列包括沿第二方向排列的 M 个像素电路， $M > 1$ ， $N > 1$ ，且 M 、 N 均为整数。

21、根据权利要求 20 所述的显示面板，其中，沿所述第二方向，从第一行像素电路到最后一行像素电路， M 行像素电路分别为第 1~第 M 行像素电路；

所述显示面板还包括：

第一栅极驱动电路，包括 $M+Q$ 个级联的第一移位寄存器，从第一级第一移位寄存器到最后一级第一移位寄存器， $M+Q$ 个第一移位寄存器分别为第 1~第 $M+Q$ 个第一移位寄存器；每个所述第一移位寄存器包括第一信号输出端；

其中，第 P 行像素电路的第一扫描信号端与第 $P+Q$ 个第一移位寄存器的第一信号输出端连接；第 P 行像素电路的复位信号端与第 P 个第一移位寄存器的第一信号输出端连接； $P \leq M$ ， $Q > 0$ ，且 P 、 Q 均为整数。

22、根据权利要求 20 所述的显示面板，其中，沿所述第二方向，从第一行像素电路到最后一行像素电路， M 行像素电路分别为第 1~第 M 行像素电路；

所述显示面板还包括：

第二栅极驱动电路，包括 M 个级联的第二移位寄存器，从第一级第二移位寄存器到最后一级第二移位寄存器， M 个第二移位寄存器分别为第 1~第 M 个第二移位寄存器；每个所述第二移位寄存器包括第二信号输出端；其中，第 P 行像素电路的第一扫描信号端与第 P 个第二移位寄存器的第二信号输出端连接， $P \leq M$ ，且 P 为整数；

第三栅极驱动电路，包括 M 个级联的第三移位寄存器，从第一级第三移位寄存器到最后一级第三移位寄存器， M 个第三移位寄存器分别为第 1~第 M 个第三移位寄存器；每个所述第三移位寄存器包括第三信号输出端；其中，第 P 行像素电路的复位信号端与第 P 个第三移位寄存器的第三信号输出端连接， $P \leq M$ ，且 P 为整数。

23、一种显示装置，包括：

如权利要求 20~22 中任一项所述的显示面板。

1000



图 1

1000



图 2

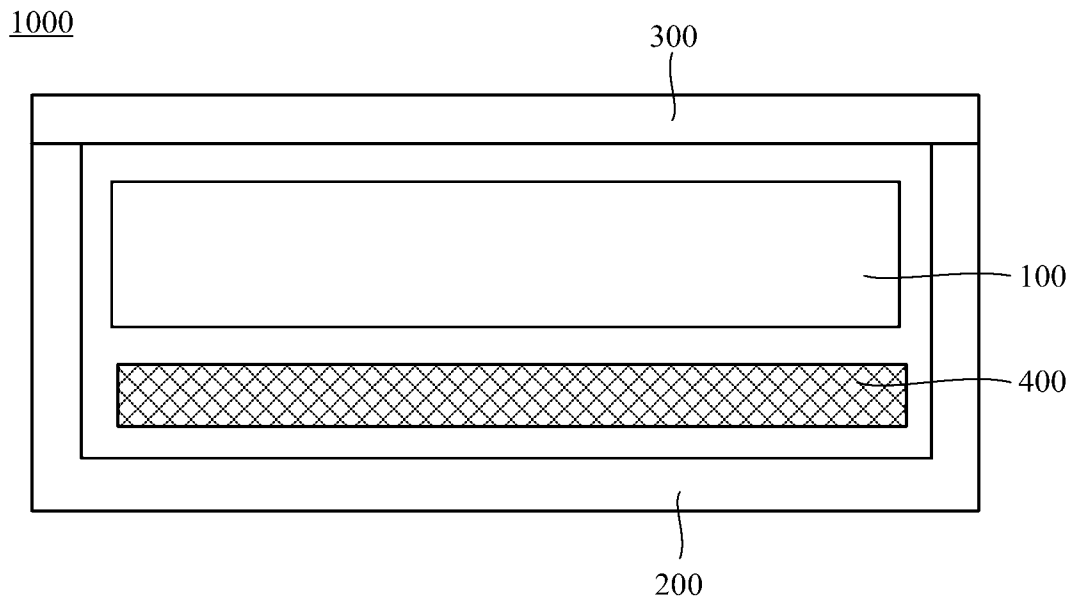


图 3

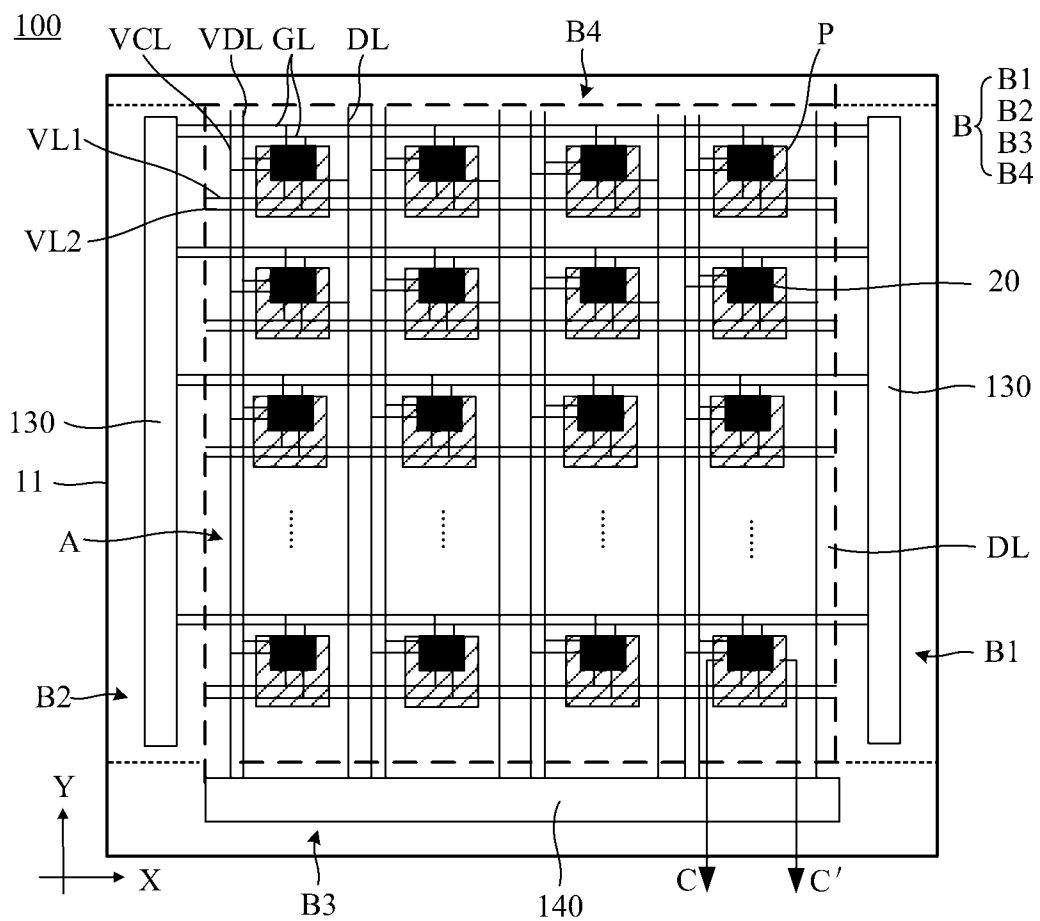


图 4

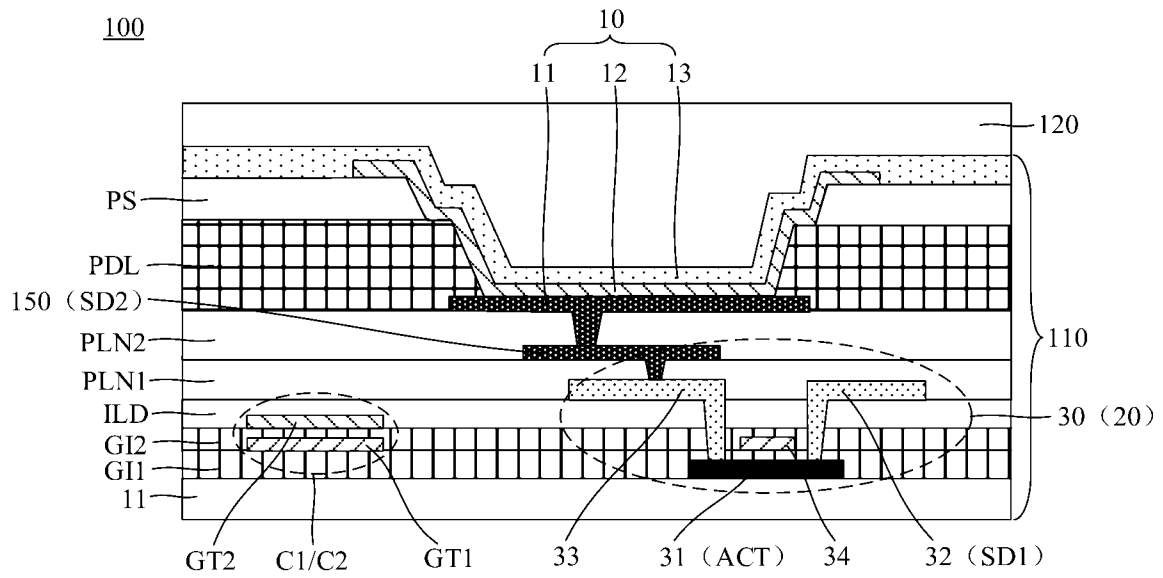


图 5

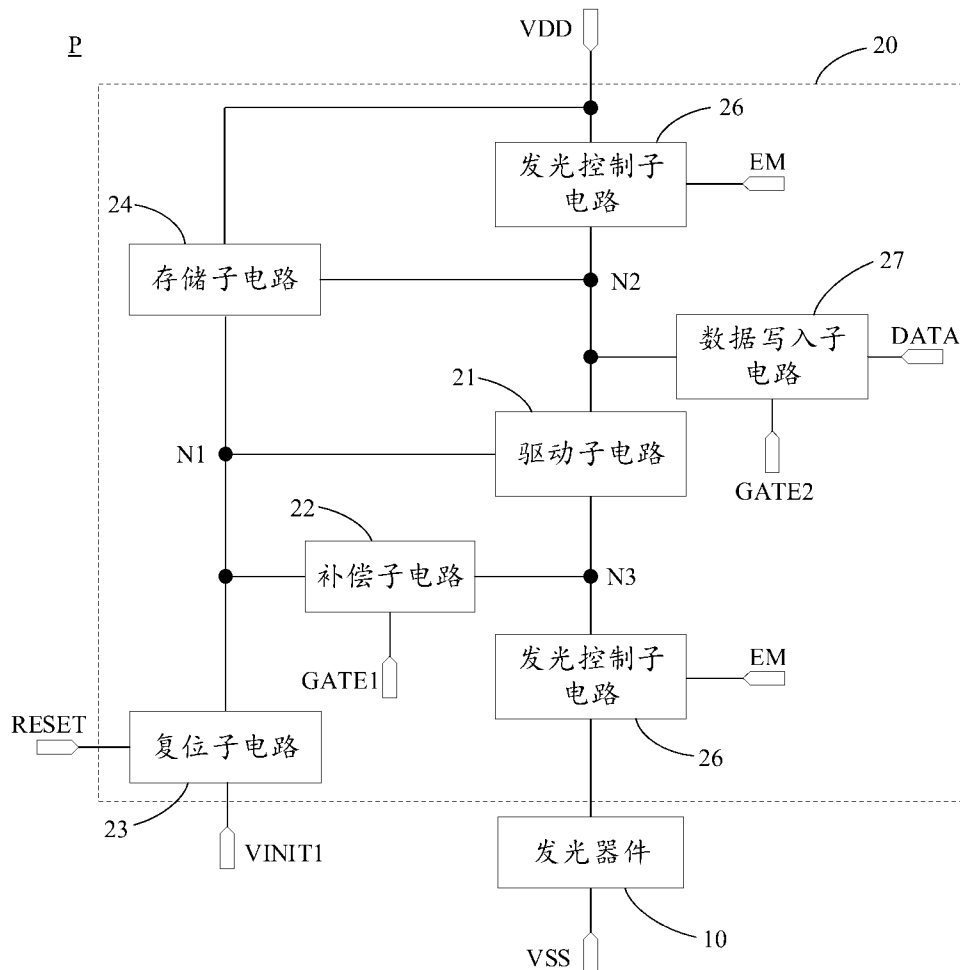


图 6

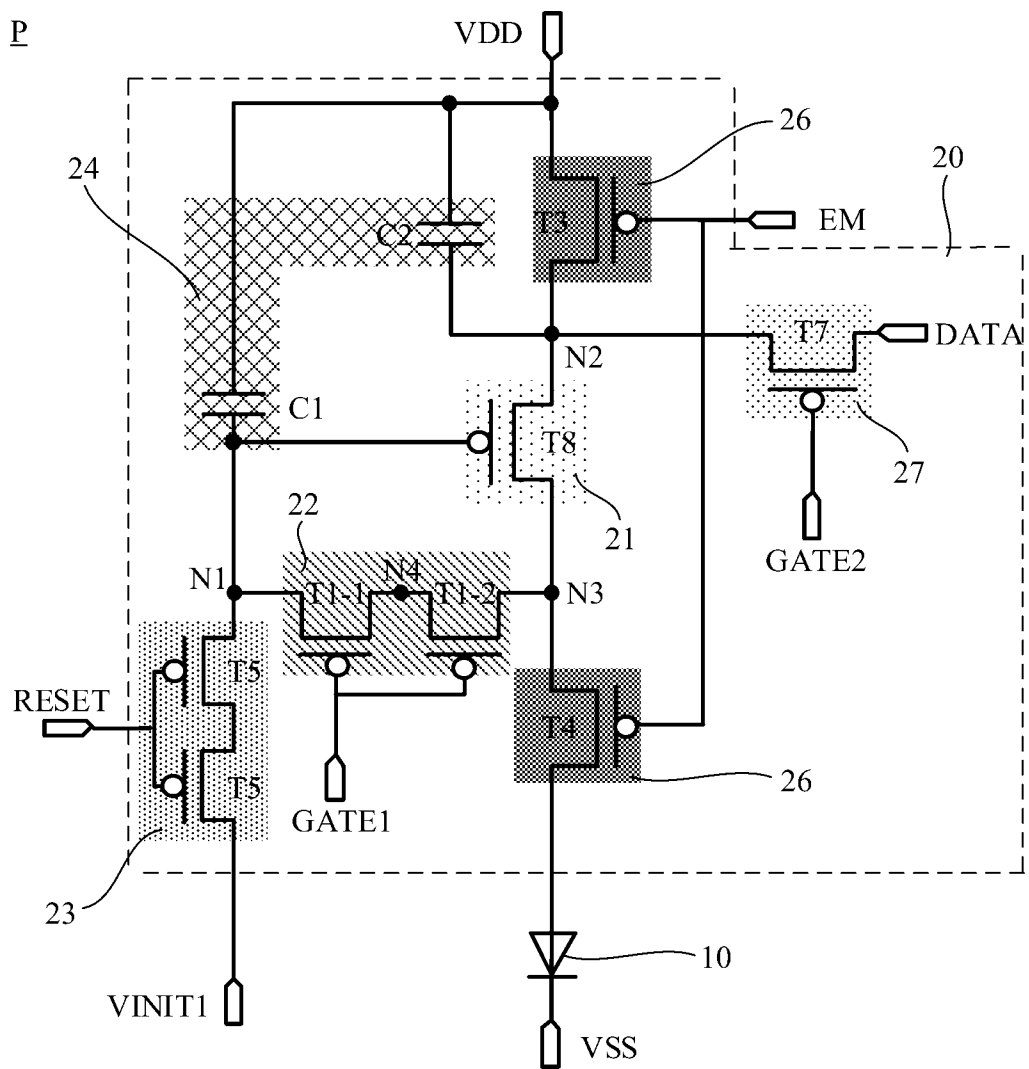


图 7

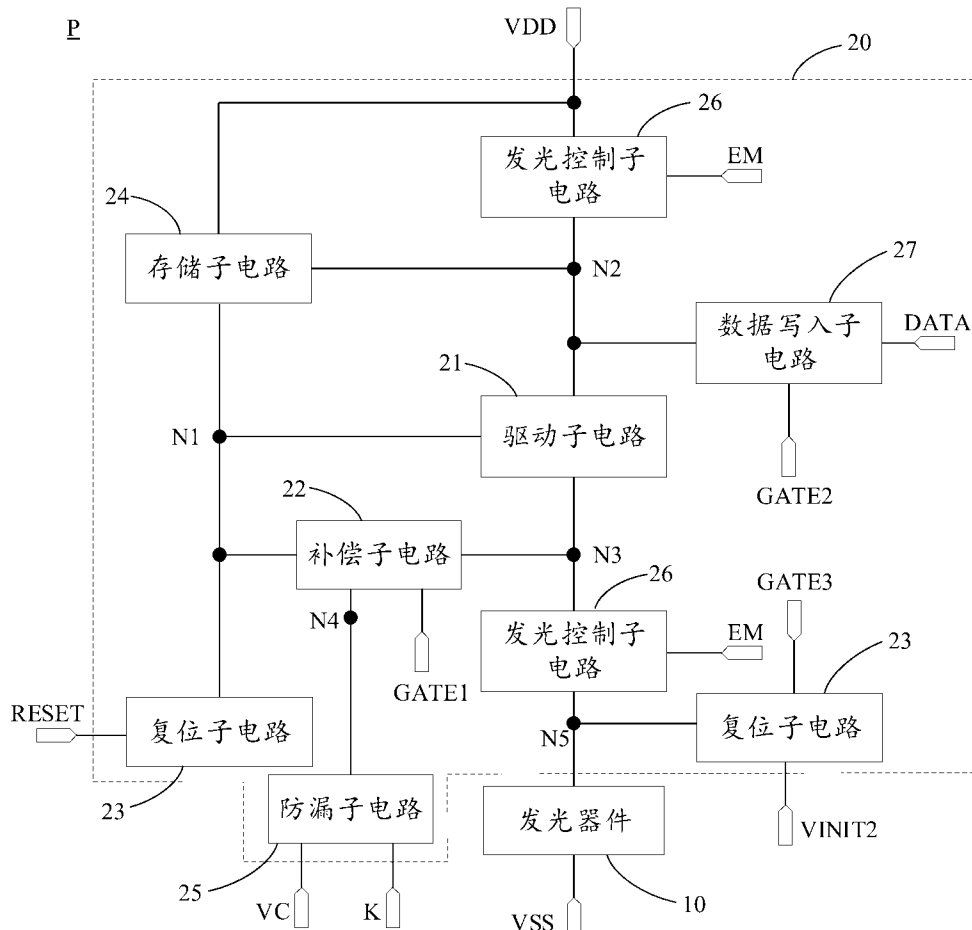


图 8A

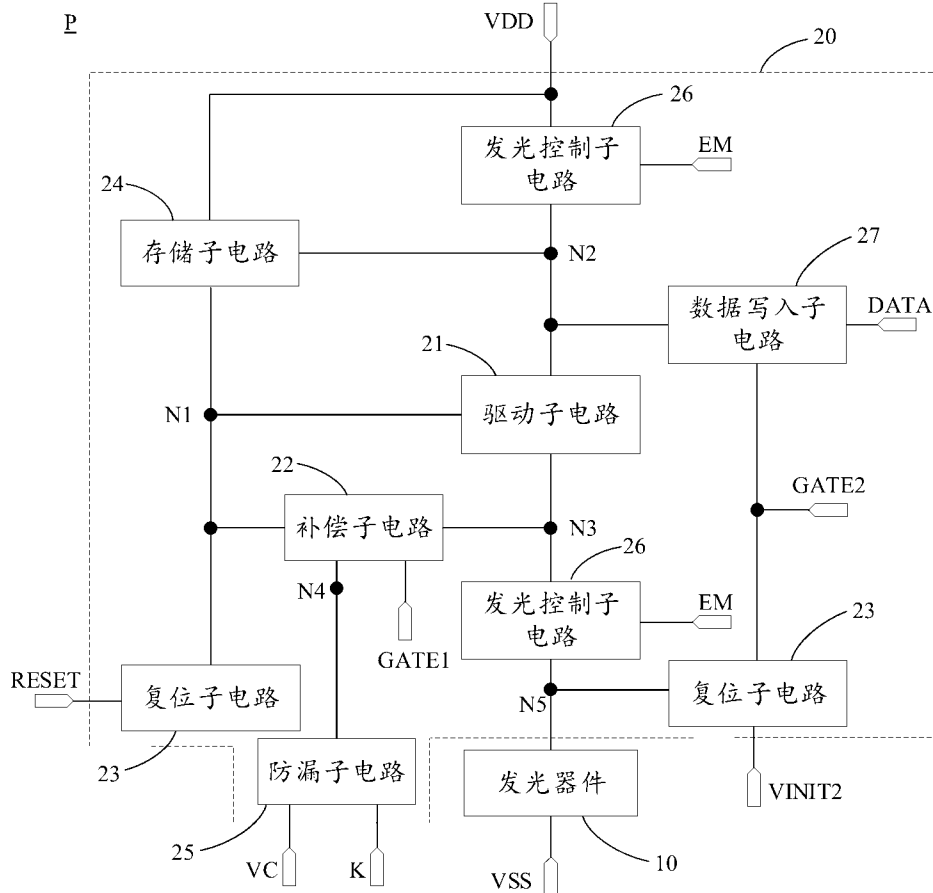


图 8B

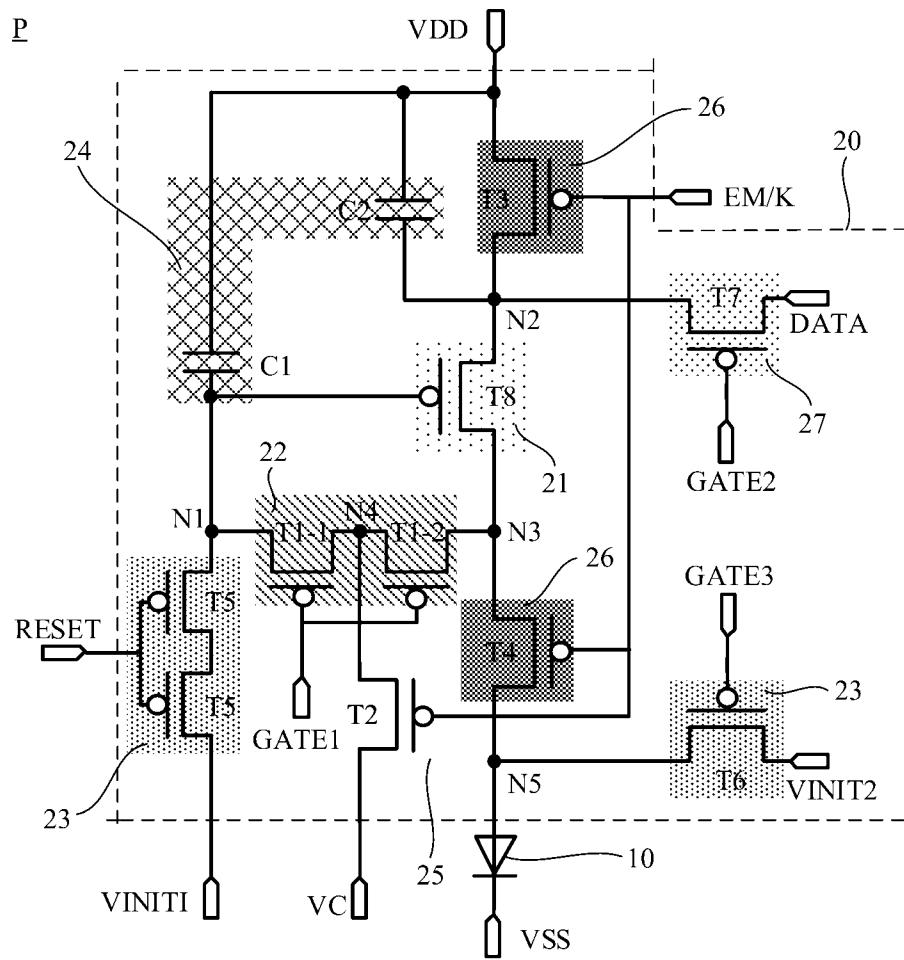


图 9A

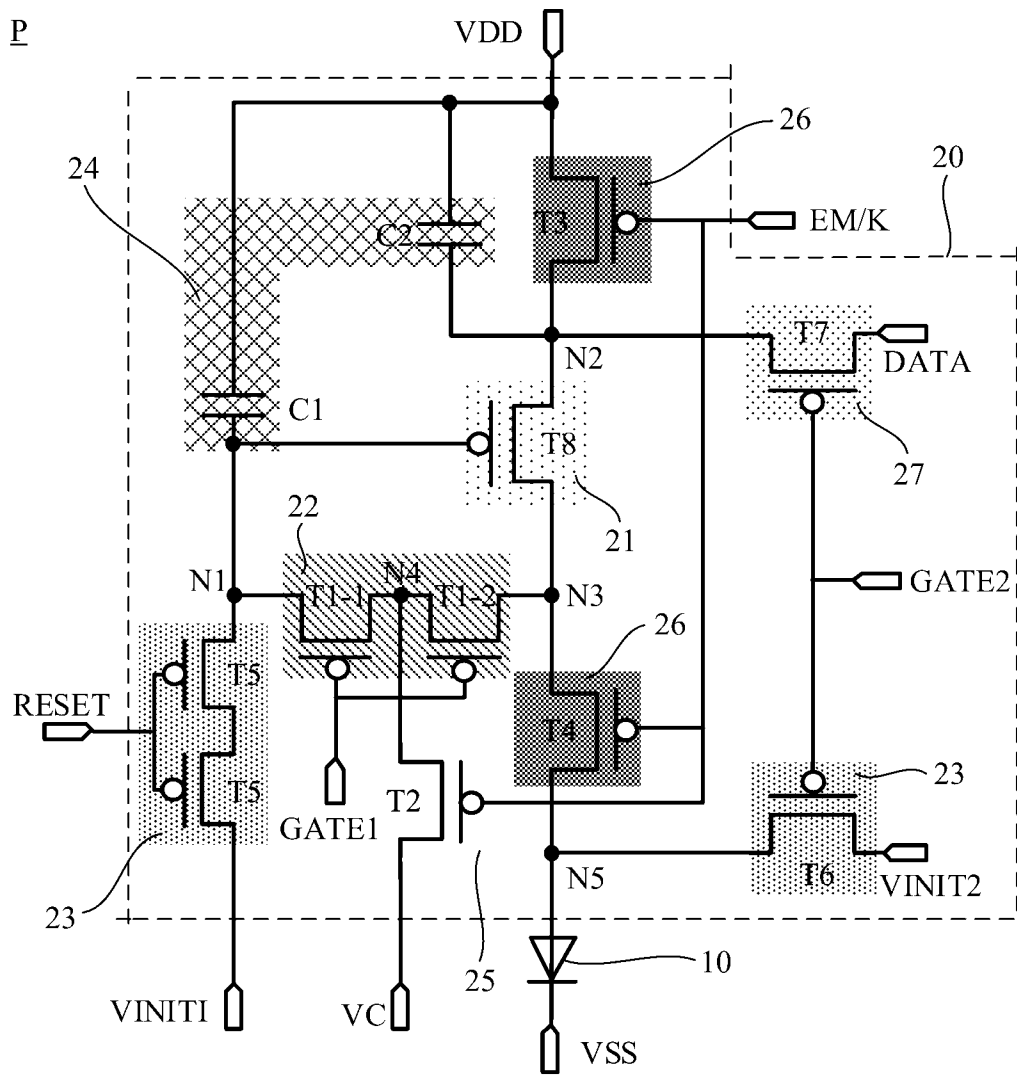


图 9B

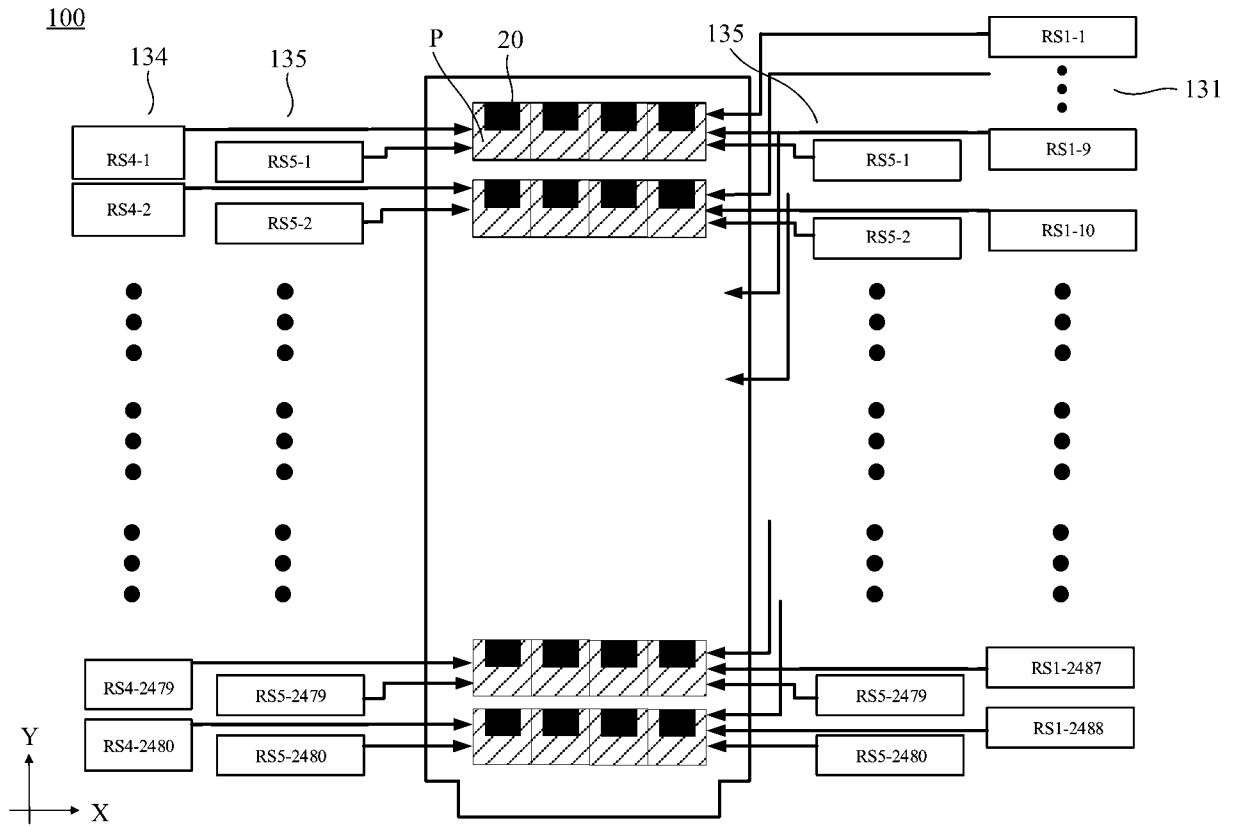


图 10

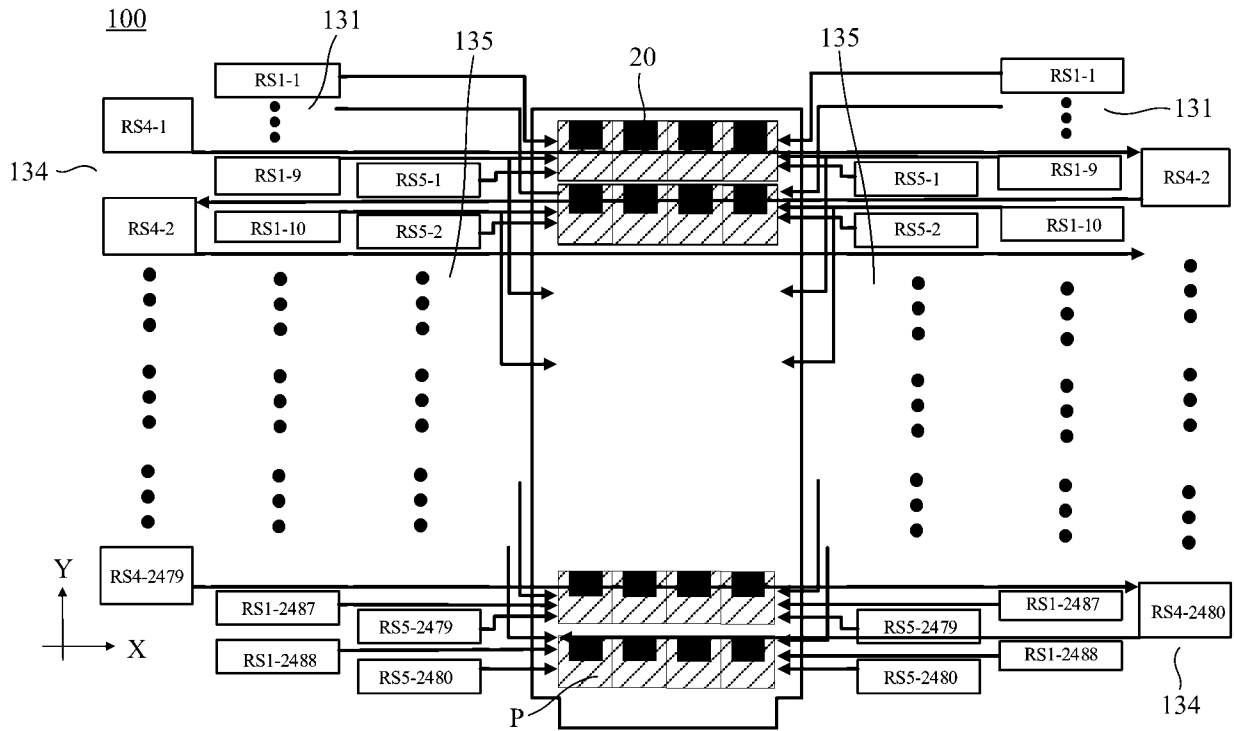


图 11

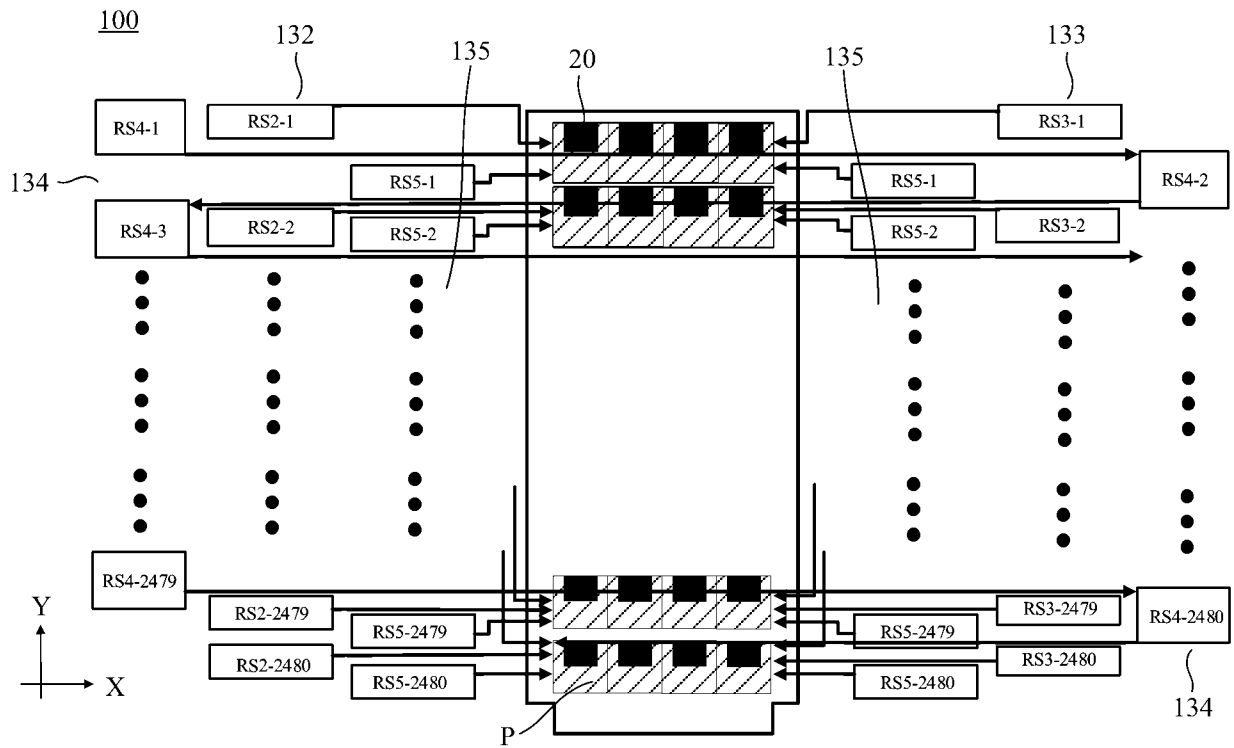


图 12

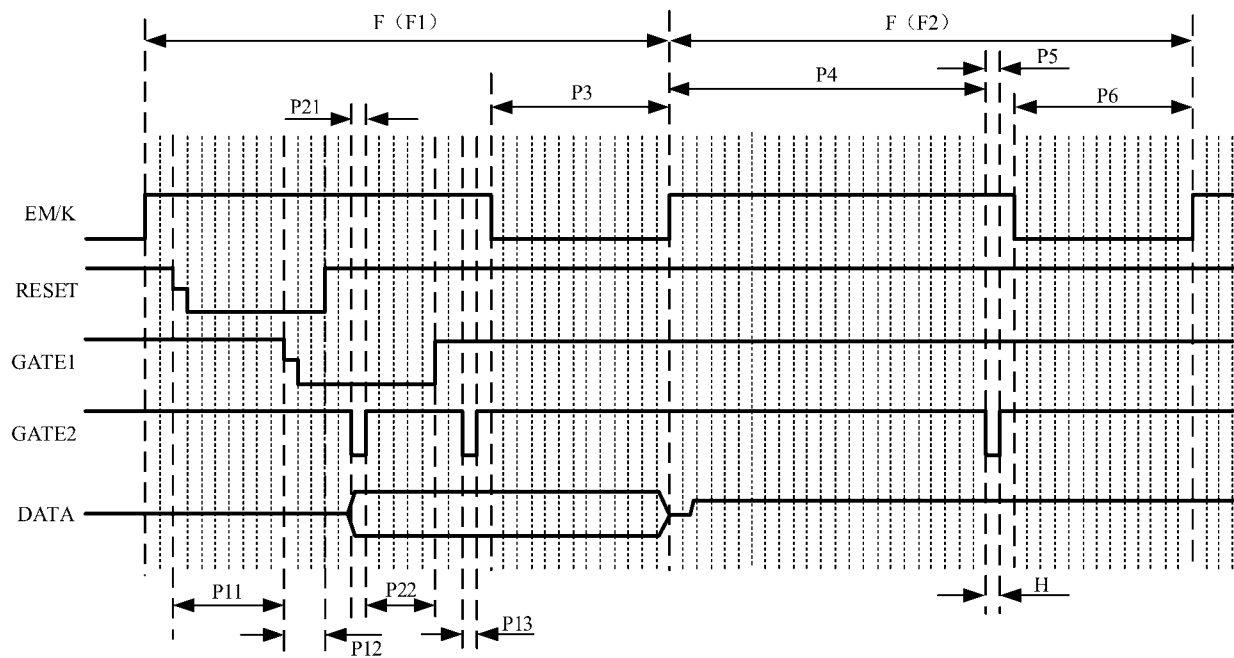


图 13

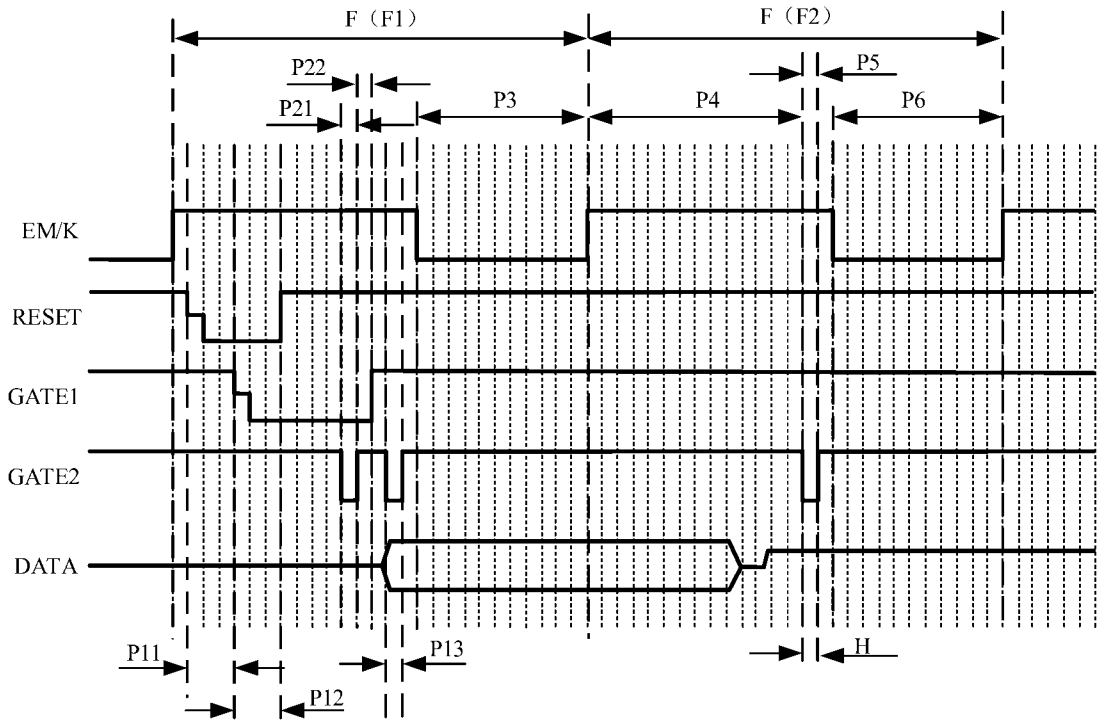


图 14

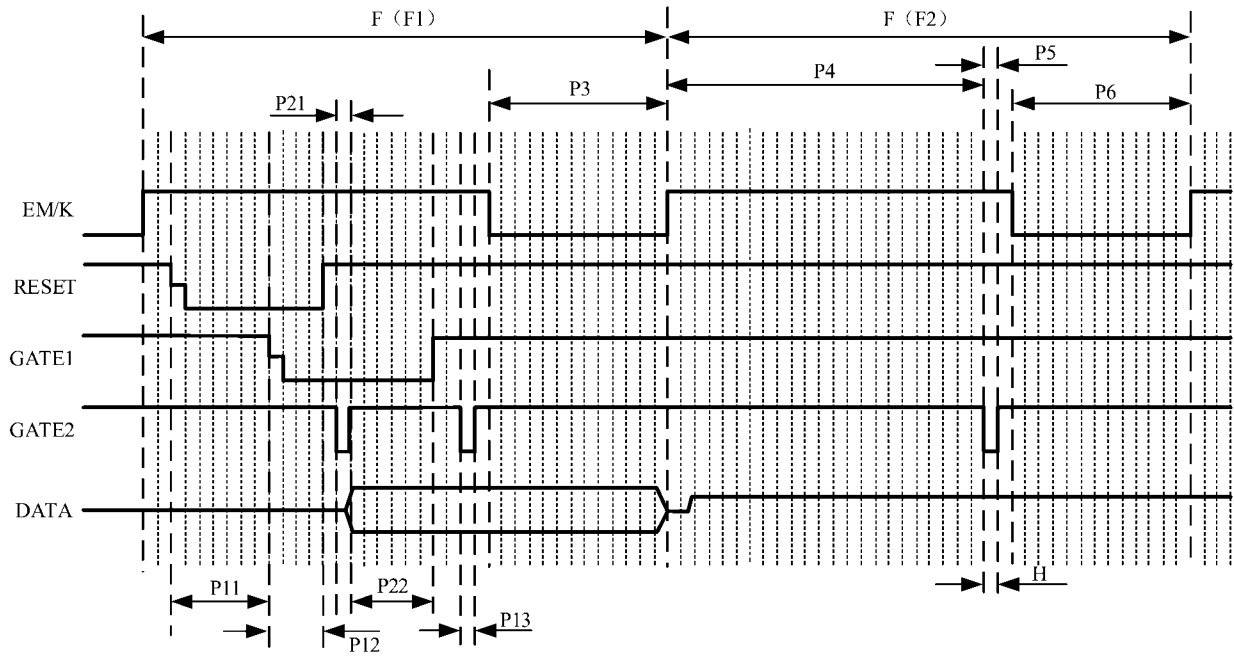


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/093251

A. CLASSIFICATION OF SUBJECT MATTER G09G3/3225(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:G09G3/- Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNKI, CNTXT, ENTXTC, DWPI: 显示, 像素, 驱动, 补偿, 复位, 初始化, 存储, 储能, 写入, 电容, 节点, 第二, 第2, 防漏, 电压, 扫描, 信号, 时间, 发光, 栅极驱动, 移位寄存, display, pixel?, driv+, compensa+, reset+, storage, writ+, capacitance, second, node, anticreep+, leakage, proof, voltage, scan+, signal, time, light, emit+, shift register, SR, GOA		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	WO 2024000547 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 04 January 2024 (2024-01-04) description, page 10, paragraph 2 to page 31, paragraph 4, and figures 1-16	1-5, 10-11, 13, 20-23
Y	CN 115376461 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 November 2022 (2022-11-22) description, paragraphs [0051]-[0159], and figures 1-8	1-7, 10-11, 13, 20-23
Y	CN 112397026 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 23 February 2021 (2021-02-23) description, paragraphs [0068]-[0185], and figures 3-21	1-7, 10-11, 13, 20-23
Y	CN 113516951 A (KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD.) 19 October 2021 (2021-10-19) description, paragraphs [0030]-[0056], and figures 1-10	3-4
A	KR 20210084097 A (LG DISPLAY CO., LTD.) 07 July 2021 (2021-07-07) entire document	1-23
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 July 2024		Date of mailing of the international search report 25 July 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/093251

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113990259 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 January 2022 (2022-01-28) entire document	1-23

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/093251

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2024000547	A1	04 January 2024	CN	117678010	A	08 March 2024
CN	115376461	A	22 November 2022	None			
CN	112397026	A	23 February 2021	US	2022180810	A1	09 June 2022
				US	11961477	B2	16 April 2024
CN	113516951	A	19 October 2021	None			
KR	20210084097	A	07 July 2021	KR	102663402	B1	08 May 2024
CN	113990259	A	28 January 2022	None			

A. 主题的分类

G09G3/3225(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CNTEXT,ENTXTC,DWPI: 显示, 像素, 驱动, 补偿, 复位, 初始化, 存储, 储能, 写入, 电容, 节点, 第二, 第2, 防漏, 电压, 扫描, 信号, 时间, 发光, 栅极驱动, 移位寄存, display, pixel?, driv+, compensa+, reset+, storage, writ+, capacitance, second, node, anticreep+, leakage, proof, voltage, scan+, signal, time, light, emit+, shift register, SR, GOA

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	WO 2024000547 A1 (京东方科技集团股份有限公司 等) 2024年1月4日 (2024 - 01 - 04) 说明书第10页第2段至第31页第4段、图1-16	1-5, 10-11, 13, 20-23
Y	CN 115376461 A (京东方科技集团股份有限公司 等) 2022年11月22日 (2022 - 11 - 22) 说明书第[0051]-[0159]段、图1-8	1-7, 10-11, 13, 20-23
Y	CN 112397026 A (上海天马有机发光显示技术有限公司) 2021年2月23日 (2021 - 02 - 23) 说明书第[0068]-[0185]段、图3-21	1-7, 10-11, 13, 20-23
Y	CN 113516951 A (昆山工研院新型平板显示技术中心有限公司) 2021年10月19日 (2021 - 10 - 19) 说明书第[0030]-[0056]段、图1-10	3-4
A	KR 20210084097 A (LG DISPLAY CO., LTD.) 2021年7月7日 (2021 - 07 - 07) 全文	1-23
A	CN 113990259 A (京东方科技集团股份有限公司 等) 2022年1月28日 (2022 - 01 - 28) 全文	1-23

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月17日

国际检索报告邮寄日期

2024年7月25日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

杨婷

电话号码 (+86) 010-53962415

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/093251

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
WO	2024000547	A1	2024年1月4日	CN	117678010	A	2024年3月8日
CN	115376461	A	2022年11月22日	无			
CN	112397026	A	2021年2月23日	US	2022180810	A1	2022年6月9日
				US	11961477	B2	2024年4月16日
CN	113516951	A	2021年10月19日	无			
KR	20210084097	A	2021年7月7日	KR	102663402	B1	2024年5月8日
CN	113990259	A	2022年1月28日	无			