

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本、 2006/03/30、 2006-093827

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

相關申請案之對照參考資料

- 此申請案係基於並主張來自先前於2006年3月30日提
申的日本專利申請案第2006-093827號之優先權的好處，其
5 整個內容於此被併入參考。

【發明所屬之技術領域】

發明領域

本發明有關一種需要週期性的復新以保存資料的動態
半導體記憶體、及其復新控制方法。

10 【先前技術】

相關技藝說明

- 近年來，已發現到廣泛使用能被整合在一邏輯晶片
(SoC記憶體：晶片系統記憶體)的動態記憶體。在與一分離
的(單一)記憶體比較下，該SoC記憶體能達到更高的資傳輸
15 率因為該資料輸入/輸出位元寬度能被增加。它亦給予降低
系統電流消耗的優點，因為用於邏輯至記憶體連接的線路
負載被大大地降低。

- 更具體地，例如，當一分離的動態半導體記憶體
(DRAM)被使用諸如一用於一個人電腦的記憶體時，存取速
20 度是低的且電力消耗增加、但當一DRAM被嵌入到一SoC
時，不僅該存取速度能被增加與降低該電力消耗，而且大
小係能減少且功效被增加。

然而，在該SoC記憶體的情況下，與一分離的動態半導體
記憶體比較下，難以增加一用於保留資料之電容器的大

小、並同樣地，該晶胞漏電流相對上是大的；由於這些與其它原因，該SoC記憶體的記憶體晶胞保留時間(t_{REF})通常是短的。

此處，當該動態半導體記憶體的總位元計數係表示以
5 T、且一個復新(資料保留)操作中所存取的位元數量係表示以R，然後該復新操作必須在該 t_{REF} 時間中被執行 T/R 次。這意謂，因為 t_{REF} 變得更短，而每單位時間的復新操作之數量必須被增加。

在該習知技藝SoC記憶體中，此問題已被提出，例如，
10 藉由與一分離的記憶體比較儘可能多地降低T(該總位元計數)或藉由增加R(在一個復新操作中所存取的位元數量)、並且該降低的 t_{REF} 時間算不上是一大問題。另外，該問題係已藉由以一分時方式執行普通的記憶體存取與復新存取並不藉由請求一外部復新命令來執行。

15 在該習知技藝中，日本未審查專利公報(Kokia)第2003-173676號揭露一種半導體儲存裝置其中，當論點發生在對於相同資料的一復新操作與一外部存取請求時，該外部存取係在一明顯等於一個記憶體核心操作之時間中完成；未達成此，具有相同位址之資料的複數位元被分佈遍
20 及多數個記憶體晶胞區塊，並且該等多數個記憶體晶胞區塊的該等復新操作係彼此獨立地控制以至於一第一記憶體晶胞區塊與一第二記憶體晶胞區塊的的該等復新操作係隨著不同的時序來執行。

另外，在該習知技藝中，日本未審查專利公報(Kokai)

第2000-163956揭露一種半導體儲存裝置其允許要被同時執行至相同儲庫的一存取操作與一復新操作；在此裝置中，多數個位元線群係經由第一開關機構分別連接至多數個第一感測線群並且亦經由第二開關機構連接至多數個第二感測線、並且該第一與第二開關機構係彼此獨立地控制以便能使資料被讀出藉由一特定啟動之字線同時選出的記憶體晶胞。

該習知技藝與其相關問題稍後將參考該等附圖來說明。

10 【發明內容】

發明概要

本發明的一目標是提供一種動態半導體記憶體其能降低一復新命令要求發生的頻率並且其不需要一分時操作、以及一種用於該動態半導體記憶體的復新控制方法。

15 根據本發明，提供有一種具有多數個記憶體區塊之動態半導體記憶體，該等記憶體區塊每一個具有一感測放大器與一形成自位在連接至該感測放大器的多數個字線與多數個位元線間之交叉點的記憶體晶胞，其中該等記憶體區塊，藉由選擇每一字線並藉由同時啟動該等連接至所選字線
20 的記憶體晶胞，被該感測放大器連續地復新，該動態半導體記憶體包含有：一第一復新計數器其輸出一第一內部復新候選位址；及一第二復新計數器其輸出一不同於該第一內部復新候選位址的第二內部復新候選位址，其中在一復新操作中，當一外部存取位址與該第一內部復新候選位

址一致時，一復新操作係開始從該第二內部復新候選位址來執行。

該第一復新計數器可包含一第一計數器其計算一第一計數信號並輸出該第一內部復新候選位址，及該第二復新計數器可包含一第二計數器其計算一第二輸出信號、及一補數轉換電路其將該第二計數器的一輸出轉換成它的補數並輸出該補數作為該第二內部復新候選位址。

該第一復新計數器可包含一第一字線位址計數器其計算一第一計數信號並輸出一第一字線內部復新候選位址、及一第一區塊位址計數器其計算一由該第一字線位址計數器所產生的進位信號並輸出一第一區塊記憶體內部復新候選信號，及該第二復新計數器可包含一第二字線位址計數器其計算一第二計數信號並輸出一第二字線內部復新候選位址、及一第二區塊位址計數器其計算一由該第二字線位址計數器所產生的進位信號並輸出一第二區塊記憶體內部復新候選位址。

該第一字線位址計數器與該第一區塊位址計數器起初可被設定來分別指示一字線位元與一區塊位址的最低階位元、並根據該第一計數信號被增加，及該第二字線位址計數器與該第二區塊位址計數器起初可被設定來分別指示一字線位元與一區塊位址的最高階位元、並根據該第二計數信號被減少。在一復新操作中，當一外部存取的區塊位址與該第一區塊記憶體內部復新候選位址不一致時，該復新操作係開始從該第一內部復新候選位址來執行，及在該復

新操作中，當該外部存取的區塊位址與該第一區塊記憶體內部復新候選位址一致時，該復新操作係開始從該第二內部復新候選位址來執行。

該復新操作係可根據一基於一週期性的控制信號所產生的復新信號來執行。該動態半導體記憶體可進一步包含一第一除頻器，其藉由將該週期性的控制信號除頻以一第一除法因數來產生一第一時脈信號，其中該復新信號係與該第一時脈信號同時產生。

該週期性的控制信號可以是一自該動態半導體記憶體外面所施加的系統時脈信號。該動態半導體記憶體可進一步包含一第二除頻器，其藉由將該週期性的控制信號除頻以一不同於該第一除法因數的第二除法因數來產生一第二時脈信號。

該動態半導體記憶體可進一步包含一第二除頻器，其藉由除頻一不同於該週期性的控制信號之週期控制信號來產生一第二時脈信號。該不同的週期控制信號可以是一時脈信號。

該動態半導體記憶體可進一步包含一振盪器，其產生一第二時脈信號。該復新操作係根據該第二時脈信號開始、並當所有記憶體晶胞根據該第一時脈信號完成該復新操作時，之後該復新操作可直到該第二時脈信號下一次被施加才被執行。該復新操作係可與一至該動態半導體記憶體的外部存取操作同時執行。

另外，根據本發明，提供有一種用於一動態半導體記

憶體的復新控制方法，該動態半導體記憶體包含多數個記憶體區塊，該等記憶體區塊每一個具有一記憶體晶胞陣列及一共感測放大器群之感測放大器其在一復新操作中同時被啟動，其中第一與第二不同復新區塊候選係預選自該等多數個記憶體區塊、且該復新操作係執行在該第一與第二記憶體區塊的一個或另一個。

該復新操作係可根據一基於一週期性的控制信號所產生的復新信號來執行，該週期性的控制信號可是一施加自該動態半導體記憶體外部的系統時脈。該復新信號係可與一藉由將該週期性的控制信號除頻以一第一除法因數所產生之第一時脈信號同步產生。

該復新操作係根據一藉由將該週期性的控制信號除頻以一不同於該第一除法因數之第二除法因數所產生的第二時脈信號開始，然後該復新操作係根據該第一時脈信號連續地執行在所有記憶體晶胞、並當所有記憶體晶胞完成該復新操作時，之後該復新操作直到該第二時脈信號下一次被施加才被執行。

一在頻率上不同於該第一時脈信號的第二時脈信號被產生，並且其中該復新操作係根據該第二時脈信號開始，然後該復新操作係根據該週期性的控制信號連續地執行在所有記憶體晶胞，並且當所有記憶體晶胞完成該復新操作時，之後該復新操作直到該第二時脈信號下一次被施加才被執行。第二時脈信號係可根據一不同於該週期性的控制信號之週期控制信號而產生，該不同的週期控制信號係可

施加自該動態半導體記憶體外部，該不同的週期控制信號是一時脈信號。

該不同的週期控制信號係可在該動態半導體記憶體中產生，該不同的週期控制信號可以是一包含在該動態半導體記憶體中之振盪器的一輸出信號。

該復新操作係可與一至該動態半導體記憶體的外部存取操作同時執行。當一至該動態半導體記憶體的外部存取操作與該預選的第一與第二復新區塊候選其中一個不一致時，該復新操作係可執行在該第一復新區塊候選。當該動態半導體記憶體中的一外部存取之區塊與該第二復新區塊候選一致時，該復新操作係可執行在該第一復新操作區塊候選。當該動態半導體記憶體中的一外部存取之區塊與該第一復新區塊候選一致時，該復新操作係可執行在該第二復新操作區塊候選。

此外，根據本發明，提供有一種用於一動態半導體記憶體的復新控制方法，該動態半導體記憶體包含多數個記憶體區塊，該等記憶體區塊每一個具有一記憶體晶胞陣列及一共感測放大器群之感測放大器其在一復新操作中同時被啟動，其中在該等記憶體區塊的每一個中，一被選擇來復新一列記憶體晶胞的字線之邏輯位址被稱作一復新字線位址、並且要被復新的一記憶體區塊位址與要被復新的一字線共同地被稱作一復新位址，並且一第一復新位址與一第二復新位址係分別由一第一復新計數器與一第二復新計數器，其每一個具有一獨立的重置功能，來產生。

該第一與第二復新計數器每一個可包含有一字線位址計數器，其產生一字線內部復新候選位址；及一區塊位址計數器，其藉由計算由該字線位址計數器所產生的一進位信號來產生一區塊記憶體內部復新候選位址。一計數信號

5 可被施加至產生該第一復新位址的第一復新計數器或產生該第二復新位址的第二復新計數器，不管哪一個對應該復新記憶體區塊。

該第一復新計數器與該第二復新計數器起初可被設定來分別指示一最低階位元與一最高階位元。當一計數信號

10 被輸入至該該復新計數器其起初被設定來指示該最低階位元時，該復新計數器係增加、並當一計數信號被輸入至該復新計數器其起初被設定來指示該最高階位元時，該復新計數器係減少。

該第一復新計數器可包含一第一計數器其計算一第一

15 計數信號並輸出該第一內部復新候選位址、並且該第二復新計數器可包含一第二計數器其計算一第二計數信號、及一補數轉換電路其將該第二計數器的一輸出轉換成它的補數並輸出該補數作為該第二內部復新候選位址。當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址時、

20 且當該區塊中的所有字線位址完成該復新操作時，該第一與第二復新計數器可被重置。當該第一復新計數器已上數至該位址其與由該第二復新區塊所指示的區塊位址所指示之區塊位址一致，之後僅該第二復新位址被採納為一復新位址候選直到該第一與第二復新計數器被重置。當該第二

復新位址與一外部存取的區塊位址一致時，該復新操作可不被執行。

當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址時，一忙碌信號可被繼續輸出直到該區塊中的所有記憶體晶胞完成該復新操作。

當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址、並當一第二時脈信號被施加時，一忙碌信號可被連續輸出直到該區塊中的所有記憶體晶胞完成該復新操作。該第二時脈信號之週期係可不長於該動態半導體記憶體的資料保留時間。

一復新命令隨著一等於 $t_{REF}/2 - t_{CY} \times (M - 1) \times N$ 之時間可被要求 N 次，其中 M 是復新區塊的總數、 N 是每一區塊中字線的總數、 t_{REF} 是該記憶體晶胞資料保留時間、及 t_{CY} 是一第一區塊之週期。一忙碌信號係可以一不長於 $\{t_{REF}/2 - t_{CY} \times (M - 1) \times N\}/N$ 之週期自動地且週期性地輸出。

圖式簡單說明

本發明將從參考該等附圖如以下所提出的該等較佳實施例之說明被更清楚地了解，其中：

第1圖是一方塊圖顯示一動態半導體記憶體的一個範例；

第2圖是一圖顯示經由範例之第1圖所示之動態半導體記憶體中之一個記憶體區塊之組織；

第3圖是一圖用以說明第1圖所示之動態半導體記憶體

中的一復新操作的一個範例；

第4A與第4B圖是方塊圖顯示根據本發明一動態半導體記憶體的一第一實施例之必要部分；

第5圖是一方塊圖顯示根據本發明之動態半導體記憶體的一個範例中的復新計數器；

第6圖是一方塊圖顯示根據第5圖所示的本發明之每一復新計數器的計數器部分的一個範例；

第7圖是一流程圖用以說明根據本發明之動態半導體記憶體的復新控制方法的一個範例；

第8圖是一時序圖(部分1)用以說明根據本發明該動態半導體記憶體之復新控制方法的一個範例；

第9圖是一時序圖(部分2)用以說明根據本發明該動態半導體記憶體之復新控制方法的一個範例；

第10圖是一圖用以說明根據本發明之動態半導體記憶體的一個範例中之復新位址產生；

第11圖是一時序圖用以說明存取係集中在根據本發明之動態半導體記憶體的一個範例中的一特別記憶體區塊的情況；

第12圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第二實施例的一必要部分；及

第13圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第三實施例的一必要部分。

【實施方式】

較佳實施例之詳細說明

在詳細說明本發明之實施例之前，該動態半導體記憶體的一個範例與其相關問題將參考第1至第3圖來說明。

第1圖是一方塊圖顯示一動態半導體記憶體的一個範例。在第1圖中，參考數字100是該動態半導體記憶體、101是週邊電路、102是一記憶體核心、及121是一記憶體區塊陣列。當本發明系適合對SoC記憶體諸如整合在邏輯晶片上的DRAM之應用，本發明不必要被限制到SoC記憶體而能被應用至不同種類的動態半導體記憶體。

如第1圖所示，該傳統動態半導體記憶體100包含該週邊電路101，諸如一記憶體核心控制電路與一電源供應器電路、及建構自該等多數個記憶體區塊121的記憶體核心102。

該週邊電路101根據一供應自該半導體記憶體100外部的控制信號藉由控制該記憶體核心102之操作來控制至與自該外面世界之資料的轉換、或控制對於該記憶體核心102與該週邊電路101之操作所需之電源的供應。該記憶體核心102包含該等多數個記憶體區塊121，例如，256個記憶體區塊121。

第2圖是一圖顯示經由範例之第1圖所示之動態半導體記憶體中之一個記憶體區塊之組織。

如第2圖所示，該記憶體區塊121包含一感測放大器1211以及一形成自位在多數個字線WL與多數個連接至該感測放大器1211的位元線BL間之交叉點的記憶體晶胞陣列1212。該感測放大器1211被提供來放大(經由一位元線BL)讀取自一由一字線(列選擇線)所選出的記憶體晶胞MC之資

料、或寫入外部供應的資料或復新儲存於該記憶體晶胞MC的資料。

在該動態半導體記憶體100中，每一記憶體晶胞，例如，其包含一電晶體與一電容器，儲存以一儲存在該電容器的電荷(或沒有電荷)之形式的資料；因為此晶胞結構，儲存在該電容器之電荷必定洩漏掉、且喪失的電荷必須在預定的時間間隔下被重新注入(被重寫)。此在預定時間間隔下所執行的重寫操作是該復新操作。

即，在該動態半導體記憶體100中，藉由一字線WL所選出的每一記憶體晶胞MC中之資料經由一位元線BL被該感測放大器放大、並且因此該資料被重寫到由該字線WL所選出的記憶體晶胞MC。

該感測放大器1211，其實際上是一群集的感測放大器，對於該記憶體晶胞區塊121中的該等多數個記憶體晶胞MC是共有的。更具體地，該記憶體晶胞區塊121中連接任一給予之感測放大器1211之該等記憶體晶胞MC係藉由一字線WL在一時間下選出一個。換言之，在相同區塊121當中，僅該等共同連接至一個字線WL之該等記憶體晶胞在一時間在能被復新、並且該復新係不能藉由同時選擇兩個或更多個字線WL來執行。

此處，當該半導體記憶體100中的記憶體區塊121之總數係表示以M、且每一記憶體區塊121中字線WL的總數為N時，然後該復新操作必須被執行 $M \times N$ 次以便復新該半導體記憶體100中所包含的所有記憶體晶胞MC。因為每一晶

胞必須在tREF (該記憶體晶胞資料保留時間)當中被復新，
超過該時間保留於該記憶體晶胞係喪失，該復新操作必須
在tREF當中被連續執行 $M \times N$ 或更多次。

於是，若該復新操作係藉由施加一外部命令來被執
5 行，該復新命令之輸入在該記憶體晶胞資料保留時間tREF
當中將必須被請求 $M \times N$ 或更多次。另一方面，當在該半
導體記憶體100中自動地執行內部復新時，一分時操作變成
必要的以避免在一外部存取區塊與一復新區塊之間的衝
突。

10 第3圖是一圖用以說明第1圖所示之動態半導體記憶體
中的一復新操作的一個範例，即，該分時操作。

該自動執行在該半導體記憶體100中的復新(內部復新)
係藉由週期性地執行有關由一規定計數器所自動產生之復
新位址之復新操作來完成；因此，難以避免能由於一隨機
15 所給予之外部存取而發生的一存取區塊衝突。

更具體地，如第3圖所示，當一衝突發生在被該外部命
令所存取(所指定)的記憶體區塊(121)與由在該半導體記憶
體中所自動產生之內部復新位址所指定的記憶體區塊之間
時，該記憶體區塊的復新，例如，係藉由延遲如所示之時
20 序來執行。於是，藉由事先假設能發生在由該外部命令所
存取之記憶體區塊與由該內部復新所存取之記憶體區塊之
間之間的衝突，該分時操作係隨著諸如第3圖所示之時序來
執行。

近年來，為增加SoC記憶體之容量與降低週期時間的需

要已快速成長。然而，例如，若在一個復新(資料保留)操作中要被存取的位元數量(在稍早說明中表示以R)係增加，則於該存取期間的電流消耗增加，使得難以設計出能操作它的電源供應器。

5 另一方面，隨著在一個存取操作中連續地執行普通存取與一復新存取之方法，該週期時間(存取時間)增加。降低在該存取時間之增加的一個可能方法會減少該等字線WL與位元線BL的長度，但在此情況下，該記憶體核心102的全部大小(面積)將增加，即，製造成本會增加。

10 根據本發明的一種動態半導體記憶體之該等實施例及其復新控制方法將參考該等附圖詳細說明在下。

 第4A與第4B圖是方塊圖顯示根據本發明一動態半導體記憶體的一第一實施例之必要部分。在第4A與第4B圖中，參考數字11是一第一除頻器、12是一第二除頻器、21
15 是一第一復新計數器、及22是一第二復新計數器。

 如第4A圖所示，一系統時脈信號CLK (例如，100 MHz)被供應至該半導體記憶體(100)；此系統時脈信號CLK被該第一除頻器11除頻(例如，以一2之因數)以產生一第一時脈信號CLK1 (例如，50 MHz)，並且該第一除頻器11之輸出信號(CLK1)進一步被該第二除頻器12除頻(例如，以一 10^4 之
20 因數)以產生一第二時脈信號CLK2 (例如，5 KHz)。

 此處，該第二時脈信號CLK2係亦能藉由直接除頻該系統時脈信號CLK來產生。100 MHz的系統時脈信號CLK、50 MHz的第一時脈信號CLK1、及5 KHz的第二時脈信號CLK2

僅為範例、並且這些時脈信號頻率係能依照所希望來選擇。另外，代替該等除頻器，PLL (鎖相迴路) 電路或此類者可被用來產生希望頻率的時脈信號；此外，例如，該第二時脈信號CLK2係可分開地自外部施加。然而，所要求的是

5 至少該關係 $P0 \leq P1 \leq P2$ 保留在該系統時脈信號CLK的期間P0、該第一時脈信號CLK1的期間P1及該第二時脈信號CLK2之期間P2中。

在第4B圖中，參考特性R1與R2指示內部復新候選位址(第一與第二復新區塊候選)、且該等內部復新候選位址

10 R1與R2係分別輸出自該第一與第二復新計數器21與22。該第一與第二復新計數器21與22係分別供應有計數信號CONT1與CONT2、並同樣地係供應有一共重置信號RST。

該等內部復新候選位址R1與R2每一個包含一字線WL之位址(字線位址)與一區塊12之位址(區塊位址)。此處，該

15 等區塊位址有關用於選擇於該動態半導體積體記憶體的該等多數個記憶體區塊中的一個，例如，256個記憶體區塊0置255中所指定的一個，的位址信號，而該字線位址有關用於選擇於一個記憶體區塊該等多數個字線中的一個，例如，一個記憶體區塊121中所包含的16個字線0置15中所指

20 定的一個，的位址信號。

在該內部復新候選位址R1中，用於指定，例如，該記憶體區塊0或該字線0之LSB (最低效位元，最低階位元)被設定為該初始值、並且在該內部復新候選位址R2中，用於指定，例如該記憶體區塊255或該字線15之MSB (最高效位

元，最高階位元)被設定為該初始值。

第5圖是一方塊圖顯示根據本發明之動態半導體記憶體的一個範例中的復新計數器、且第6圖是一方塊圖顯示根據第5圖所示的本發明之每一復新計數器的計數器部分的一個範例。

如第5圖所示，該第一復新計數器21包含一計數器210，該第一計數信號CNT1與該重置信號RST作為輸出被施加至該第一計數器210、且該第二復新計數器22包含一計數器220，該第二計數信號CNT2與該重置信號RST作為輸入被施加至該計數器220、及一補數轉換電路221其接收該計數器220之輸出並將它轉換成它的補數。

如第6圖所示，該計數器210 (220)包含一字線位址計數器32，該重置信號RST與該計數信號CNT1作為輸入被施加至該字線位址計數器32、及一區塊位址計數器31，該重置信號RST由該字線位址計數器32產生的一進位信號作為輸入被施加至該區塊位址計數器31。

當該重置信號RST被施加時，該字線位址計數器32將該字線內部復新候選位址R[WL]重置到，例如，該LSB (最低效位元位址：全部0)、並當該計數信號CNT1被施加時，該字線位址計數器32增加該字線內部復新候選位址R[WL]。

該字線位址計數器32不僅輸出該字線內部復新候選位址R[WL]而且輸出該進位信號C。當該字線內部復新候選位址R[WL]被上增到該MSB (最高效位元位址：全部1)之後回

到該LSB時，該進位信號C被輸出、並且此進位信號C被供應至該區塊位址計數器31。

該區塊位址計數器31計算供應自該字線位址計數器32的進位信號C、並輸出該區塊記憶體內部復新候選位址R[區塊]。

此處，該重置信號RST被施加至該區塊位址計數器31與該字線位址計數器32二者、但該計數信號CNT1 (CNT2) 僅被施加至該字線位址計數器32的計數端。

如第5圖所示，該第一復新計數器21全體包含第6圖所示之計數器210、並且該重置信號RST與該第一計數信號CNT1被輸入至該計數器210，其然後輸出該字線內部復新候選位址R[WL]與該區塊記憶體內部復新候選位址R[區塊]作為該內部復新候選位址R1。

另一方面，該第二復新計數器22包含第6圖所示之計數器210及該補數轉換電路221、並且該重置信號RST與該第二計數信號CNT2被輸入至該計數器210，它的輸出信號被轉換成其補數以便輸出該字線內部復新候選位址R[WL]與該區塊記憶體內部復新候選位址R[區塊]作為該內部復新候選位址R2。例如，在一4-位元信號的情況下，當該計數器210的輸出信號是“0000”時，該補數轉換電路221輸出“1111”、當該信號是“1000”時則輸出“0111”、且當該信號是“0100”時則輸出“1011”。

第7圖是一流程圖用以說明根據本發明之動態半導體記憶體的復新控制方法的一個範例、及第8與第9圖是時序

圖用以說明根據本發明該動態半導體記憶體之復新控制方法的一個範例。為說明簡化，第7至第9圖所示之範例假設情況其中該記憶體核心102係建構自4個記憶體區塊121（記憶體區塊0至3，指定以2-位元位址“00”至“11”）每一個包含4個字線WL（字線0至3，指定以2-位元位址“00”至11“）。第8與第9圖顯示於該第二時脈信號CLK2的一個週期間每一信號波形的時序、並且第8圖中的(α)持續至第9圖中的(α)，而第9圖中的(β)持續至第8圖中的(β)。

如第8圖所示，該第一內部復新候選位址R1的起始狀態指示出該第一區塊記憶體復新候選位址R1[區塊]是“0”（最低階位元“00”）並且該第一字線內部復新候選位址R2指示出該第二區塊記憶體內部復新候選位址R2[區塊]是“3”（最高階位元“11”）及該第二字線內部復新候選位址R2[WL]是“3”（最高階位元“11”）。

如第7與第8圖所示，當根據本發明之動態半導體記憶體之復新控制處理係開始時，首先處理等待於步驟ST1用於具有最長時脈週期（例如，一5-KHz時脈）的第二時脈信號CLK2之到達，並且當該第二時脈信號CLK2的上升緣到達時，該復新操作與該第一時脈信號（例如，一50-MHz時脈）同時開始。該復新操作係根據一基於，例如該週期性的第一時脈信號CLK2所產生的復新信號來執行。

在該復新操作中，如步驟ST2所示，對於該第一時脈CLK1的每一施加，該外部存取區塊（由該外部存取位址所指定的記憶體區塊）之位址係與要被執行有該第一復新的

記憶體區塊(由該第一內部復新候選位址R1所指定之記憶體區塊)之位址比較。若步驟ST2中決定出該外部位址與R1不一致，則該處理繼續進行到步驟ST3。

更具體地，如第8圖所示，當由該外部存取位址所指定的記憶體區塊以3，2，1，0，0，1等的次序改變時，R1[區塊]繼續指示該區塊0；因此，在於該外部存取位址所指定之記憶體區塊從3改變到2至1 (指示以第8圖中的AA1)之期間中，該外部存取記憶體區塊與由R1[區塊]所指定的區塊0不一致、並且因此該處理繼續進行至步驟ST3。

在步驟ST3中，由R1所指定之記憶體區塊(區塊0)被復新、並且該處理繼續進行到步驟ST4，其中R1在前進至步驟ST5之前被增加。

即，在第8圖的範例中，該第一外部存取區塊是“3”其與由R1[區塊]所指定之區塊(=“0”)不一致；因此，該復新操作有關R1，而同時，允許一要被完成對該外部存取位址的存取(步驟ST3)，並在那之後，R1[WL]被增加(“0”→“1”：步驟ST4)。在下一個時脈時序，因為該第一時脈信號CLK1未被施加，僅對該外部存取位址的存取操作被執行、且R1與R2的位址被保持不改變。

然後，在下一時脈時序，因為該第一時脈信號CLK1被施加，如第8圖所示，該外部存取區塊(=“1”)係與R1[區塊](=“0”)比較(步驟ST2)、並再度，它們不匹配(步驟ST2中否定)；因此，如同於該先前的復新操作，該復新操作係執行有關R1，而在同時，允許一要被完成對該外部存取位址

的存取(步驟ST3)，並在那之後，R1[WL]被增加(“1” → “2”：步驟ST4)。

在下一個時脈時序，因為該第一時脈信號CLK1未被施加，僅對該外部存取位址的存取操作被執行、且R1與R2的位址被保持不改變。然後，在下一時脈時序，因為該第一時脈信號CLK1被施加，該外部存取區塊(= “0”)係與R1(= “0”)比較(步驟ST2)、並在此情況下，它們匹配(步驟ST2中肯定)；因此，該復新操作係執行有關R2，而在同時，允許一要被完成對該外部存取位址的存取(步驟ST10)，並在那之後，R2[WL] (該字線內部復新候選位址)被增加(在此情況下，從 “3” 減少至 “2”：步驟ST11)。

之後，以上的操作順序被重複直到R1匹配R2 (步驟ST5與ST12)、並且若決定出R1不匹配R2 (否定)，則處理回到步驟ST2。

此處，例如，在該第一內部復新候選位址R1中，當該第一字線內部復新候選位址R1[WL]於步驟ST1係從該等最低階位元 “00” 連續上增至該等最高階位元 “11” 並且進一部被增加以會到該等最低階位元 “00” 時，該進位信號(指示以第6圖中的參考字元C)被輸入、且該第一區塊記憶體內部復新候選位址R1[區塊]係從該等最低階位元 “00” 增加到 “01” (記憶體區塊 “0” 至 “1”)。

若因此增加的R1[區塊] (該第一內部復新候選位址R1中的區塊記憶體內部復新候選位址)例如與起出設定至該等最高階位元 “11” 的R2[區塊] (該第二肺部復新候選位

址R2中的區塊記憶體內部復新候選位址)一致，然後於步驟ST5決定出R1匹配R2 (肯定)、且該處理繼續進行至步驟ST6。

此處，當因此增加的R1匹配由R2所指定的區塊時(步驟ST5中肯定)，於是之後僅R2的位址被採納為該復新候選(步驟ST6至ST9)。

於是，例如，當由該外部存取位址所指定之記憶體區塊是“區塊2”(第9圖中的AA3)時，因為它與R2[區塊] (= “2”)一致(步驟ST6中肯定)，優先權係給予該存取區塊、並且該復新操作不被執行(第9圖中的BB1)。當所有記憶體區塊中的所有字線(所有WL)完成該復新時(步驟ST9中肯定)，R1與R2被重置(第9圖中的RST)、並且該復新操作被擱置直到下一個第二時脈信號被施加。

即，於步驟ST6，對於該第一時脈信號CLK1的每一施加，該外部存取位址係與R2比較。若於步驟ST6決定出該外部存取位址與R2一致(肯定)，則該復新操作不被執行、且該處理等待該下一個復新時序的到來；若決定出該外部存取位址與R2不一致(否定)，則該處理繼續進行到步驟ST7。

在步驟ST7中，由R2所指定之記憶體區塊(區塊3)被復新、且該處理繼續進行到步驟ST8其中R2在進行至步驟ST9之前被增加(若R2起初被設定至該等最高階位元則被減少)。

於步驟ST9，決定出是否該目前記憶體區塊中的所有字

線WL完成該復新、並且若決定出該目前記憶體區塊中所有字線WL係還未完成該復新(否定)，則從步驟ST6致ST9的處理被重複；另一方面，若決定出該目前記憶體區塊中所有字線WL係完成該復新(肯定)，則處理進行至步驟ST17。

5 另一方面，若於步驟ST2，其對於該第一時脈信號CLK1的每一施加被執行，決定出該外部存取位址與R1一致，則該處理進行至步驟ST10其中由R2所指定之記憶體區塊被復新，在其後，該處理進行至步驟ST11其中R2在進行至步驟ST12之前被增加(被減少)。

10 更具體地，如稍早參考第8圖所說明的，當由該外部存取位址所指定之記憶體區塊以3，2，1，0，0，1等之順序改變時，R1[區塊]繼續指示該區塊0；因此，在由該外部存取位址所指定之記憶體區塊從3改變到2至1的期間中(指示以第8圖中的AA1)，該外部存取記憶體區塊與由R1[區塊]
15 所指定之區塊0不一致。

然而，在由該外部存取位址所指定之記憶體區塊是“區塊0”的期間中(指示以第8圖中的AA2)，該外部存取記憶體區塊與由R1[區塊]所指定之區塊0一致；因此，該區塊0不被復新，而由R2所指定之記憶體區塊被復新。即，因為
20 R2[區塊]繼續指示該區塊3如第8圖所示，該記憶體區塊3，其係不同於由該外部存取位址所指定之記憶體區塊0，被復新。

此處，如先前所述，R1 (該第一內部復新候選位址)的初始狀態指示出R1[區塊] (該第一區塊記憶體內部復新候

選位址)是“0”(最低階位元“00”)並且R1[WL](該第一字線內部復新候選位址)是“0”(最低階位元“00”),而R2(該第二區塊記憶體內部復新候選位址)的初始狀態指示出R2[區塊](該第二區塊記憶體內部復新候選位址)是“3”

5 (最高階位元“11”)並且R2[區塊](該第二字線內部復新候選位址)是“3”(最高階位元“11”);結果,當該外部位址與R1一致時,該外部位址總是與R2不一致、並因此,由R2所指示之記憶體區塊被復新。

上述步驟ST10至ST12的處理與之後所述之步驟ST13

10 致ST16的處理係分別相同如稍早所述步驟ST3至ST5之處理與步驟ST3至ST5之處理,除了R1與R2被互換。

於步驟ST12,決定出是否R1匹配R2、並且若被決定出它們不匹配,則處理回到步驟ST2以重複相同處理;另一方面,若被決定出它們匹配,則該處理進行至步驟ST13。

15 此處,於R2,例如,當R2[WL]於步驟ST11從該等最高階位元“11”被連續增加(減少)、並且R2[WL]從該等最低階位元“00”被減少以回到該等最高階位元“11”時,該進位信號被輸出、且R2[區塊]從該等最高階位元“11”被減少(該記憶體區塊“3”)。

20 若因此減少的R2[區塊],例如,與初始設定至該等最低階位元“00”之R1中的區塊記憶體內部復新候選位址R1[區塊]一致,於是步驟ST12中決定出R1匹配R2、且該處理進行至步驟ST13。

於步驟ST13,對於該第一時脈信號CLK1的每一施加該

外部存取位址係與R1比較。若於步驟ST13決定出該外部存取位址與R1一致，則步驟ST13中的處理被重複、並且若決定出該外部存取位址與R1不一致，則該處理進行至步驟ST14。

- 5 於步驟ST14，由R1所指定之記憶體區塊被復新、且該處理進行至步驟ST16其中R1係在進行至步驟ST16之前被增加。

10 於步驟ST16，係決定是否該目前記憶體區塊中的所有字線WL完成該復新、並且步驟ST13至ST16之處理被重複直到該目前記憶體區塊中的所有字線WL完成該復新；然後，當決定出該目前記憶體區塊中所有字線WL完成該復新時，該處理進行至步驟ST17。

- 15 於步驟ST17，該第一與第二復新計數器21與22被重置、並且該處理等待直到下一個第二時脈CLK2被施加。即，R1 (R1[區塊]與R1[WL])與R2 (R2[區塊]與R2[WL])被重置到它們的初始狀態。

20 依照從以上說明所能了解的，該復新操作本身係同步於該第一時脈信號CLK1、但當操作序列被完成時，該復新操作被擱置直到下一個第二時脈信號CLK2被施加。即，復新操作的序列係隨著該第二時脈信號CLK2的期間重複。

為了說明的簡化，藉由假設記憶體的數量是4由於每一記憶體區塊包含4個字線WL的情況已說明第7至第9圖所示的範例，但將被領會的是不同的組織，例如，記憶體區塊的數量為256由於每一記憶體區塊包含16個字線，根據所需

的動態半導體記憶體規格而能被利用。

第10圖是一圖用以說明根據本發明之動態半導體記憶體的一個範例中之復新位址產生；此處該圖顯示一用於實施該第一與第二控制信號CNT1與CNT2之產生與該第一與
5 第二內部復新候選位址R1與R2之結構的範例。

一比較器41在與該第一時脈信號CLK1之施加的同步地比較該輸入外部存取區塊位址與R1中的區塊記憶體內部復新候選位址R1[區塊]、並輸出一匹配信號HIT或一不匹配信號MISS作為該比較結果。

10 該匹配信號HIT與該不匹配信號MISS係分別用來作為該第一與第二記數信號CNT1與CNT2如同R1與R2的計數信號。此處，該第一時脈信號CLK2與該重置信號RST亦被輸入至該比較器41，該重置信號RST係相同如施加至參考第4B與第5圖所述之第一與第二復新計數器21與22的重置信
15 號、並且該比較操作係與在該第二時脈信號CLK2被施加之後的第一時脈信號CLK1的施加同步來執行；另一方面，當該重置信號RST被施加時，該比較器41被放置在一待命狀態(不執行該比較操作)直到該下一個第二時脈信號CLK2被施加。

20 而不是執行此控制，該比較操作能係僅僅與該第一時脈信號CLK1同步來執行，但既然那樣，無關於該復新操作的比較操作亦會被執行。

一選擇器42選擇R1或是R2用於輸出，取決於該匹配信號HIT及/或該不匹配信號MISS的狀態。更具體地，於參考

第7至第9圖所述的範例中，當該比較器41輸出該匹配信號(HIT)時，R2被選擇、並當該比較器41輸出該不匹配信號(MISS)時，R1被選擇，並且因此選擇的位址被輸出作為該復新位址。

- 5 在以上操作中，發生有一問題，例如，當外部存取總是集中在相同的記憶體區塊時；於參考第7至第9圖所示的範例，考慮該情況其中位不存取繼續發生到該記憶體區塊0。首先，該外部存取與該復新操作被同時執行、而R2繼續減少、並當該記憶體區塊1的復新被完成時，該第一與第二
- 10 內部復新候選位址R1與R2二者指示相同的記憶體區塊0；一旦此發生，則該復新操作不再能被執行(因為外部存取繼續發生至該記憶體區塊0)。

- 有兩個主要方式來對付此問題。一個是自該半導體記憶體輸出一忙碌係號，隨著當該忙碌信號是被輸出同時不
- 15 接收外部存取所作出的供應，因此能使該復新操作被優先地執行。另一個是提供用於該半導體記憶體之規格中一復新命令的一週期性輸入以至於該復新操作在該復新命令被輸入時被優先執行。由於這些供應，變得可能執行復新在所有記憶體晶胞甚至在一情況其中外部存取繼續集中在相
- 20 同的記憶體區塊。

 第11圖是一時序圖用以說明存取係集中在根據本發明之動態半導體記憶體的一個範例中的一特別記憶體區塊的情況。參考第11圖，更詳細的說明將給予如何處理以上情況其中外部存取繼續集中在相同的記憶體區塊。

於第11圖，假設 $CLK = CLK1$ (除法因數=1)，記憶體區塊之數量=M、每一記憶體區塊中的字線WL之數量=N、LSB (最低階位元)=0、及MSB (最高效位元)= $M \times N - 1$ 。

於第11圖，當外部存取係集中在位址0 (=LCB)時，因為該LCB “00” 對應該區塊0，在該復新操作開始之後的位址比較總是產生有關R1 (該第一內部復新候選位址)的一HIT(匹配)結果，以至於該復新操作藉由利用R2之位址(該第二內部復新候選位址)來進行。

即，利用R2，該復新從MSB開始並以MSB-1，MSB-2等的順序來進行、並且該外部存取與該復新操作同時進行直到N被達到。然而，當對於R2=N完成該復新時，因為R2中的區塊位址指示該區塊0，與該外部存取位址的比較產生一HIT結果，以至於之後該復新操作繼續被擱置。於第11圖，除了區塊0以外的該等其它記憶體區塊之復新經由該時間TT0已被完成。

第11圖顯示該情況其中該復新命令Ref係於期間A外部給予，為了確保仍是未復新的最後區塊(區塊0)被復新無失敗。

在第11圖所示之範例中，因為一個記憶體區塊中字線WL的數量是N，所以只要該復新命令Ref在下一個CLK2時序到達前於該期間A係給予N次，則全部記憶體晶胞能被復新。

此處，當CLK之週期係表示以 t_{CY} 、且CLK2之週期係表示以 t_{CY2} 時，該期間A的長度係給予以 $t_{CY2} - t_{CY} \times$

$(M - N) \times N (= tR)$ 。此顯示了該復新命令Ref係應給予在 $tR/N (= tCY2/N - tCY \times (M - N))$ 的平均間隔。

接著，考慮該情況其中外部存取在該期間A之後係集中在MSB $(= M \times N - 1)$ 。當外部存取係集中在MSB時，因為
 5 MSB對應該區塊“M-1”，則在該復新操作開始後該位址比較總是產生一有關R1的MISS (不匹配)結果，以至於該復新操作藉由利用R1之位址來進行。

即，利用R1，該復新從LSB開始且以0，1，2等的順序進行、並且該外部存取與該復新操作同時進行直到 $(M - 1) \times N - 1$ 被達到，因為R1中的區塊位址指示該區塊“M-1”，
 10 則與該外部存取位址之比較產生一HIT結果，以至於之後該復新操作繼續被擱置。

如同於稍早所述的情況，該復新命令Ref係於期間B外部給予，為了確保仍是未復新的最後區塊被復新無失敗。
 15 即，只要該復新命令Ref在下一個CLK2時序到達前於該期間B係給予N次，則全部記憶體晶胞能被復新。

此處，當注意力放在對應MSB之區塊被復新時所在的間距時，係能看見的是對於此區塊的復新間距是 $2 \times tCY$ 。因為 $(2 \times tCY)$ 的長度需要短於該記憶體晶胞資料保留時間 $tREF$ ，所以關係 $tCY2 \leq tREF/2$ 必須被滿足。
 20

此意謂只要該復新命令Ref在 $(tREF/2 - tCY \times (M - 1) \times N)$ 的期間被發出N次，則該記憶體晶胞中的資料能被保留。即，對於任何X需要的是，在第X個復新命令與第 $(X+N)$ 個復新之間的時間間距是不長於 $(tREF/2 - tCY \times (M - 1) \times N)$ 。

× N)之期間。

在以上所述的第一實施例中，該第二時脈信號CLK2已被說明如藉由除頻該系統時脈CLK而得到，但CLK之頻率依所使用的系統而不同，而另一方面，CLK2的期間必須依照考慮該記憶體晶胞資料保留時間來設定；因此，若CLK2之期間依CLK之期間而變化，則一問題可能發生。

在此情況下，CLK2係能藉由一不同於CLK的時脈來產生如同於第12與第13圖所示之第二與第三實施例。

第12圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第二實施例的一必要部分、且第13圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第三實施例的一必要部分。

如第12圖所示，在該第二實施例之動態半導體記憶體中，該第一時脈信號CLK1係藉由以一除頻器511除該系統時脈信號CLK之頻率而產生、並且該第二時脈信號CLK2係藉由以一除頻器512除一時脈信號TCLK之頻率而產生。此處，該時脈TCLK是共同提供於一應用本發明之動態半導體記憶體的裝置，例如，一資訊裝置諸如一可攜式電話，的時脈、並且該第二時脈信號CLK2係從此時脈TCLK得到。

如第13圖所示，在該第三實施例之動態半導體記憶體中，該第一時脈信號CLK1係藉由以一除頻器511除該系統時脈信號CLK之頻率而產生，而該第二時脈信號CLK2係直接利用一振盪器513來產生。此處，例如，該振盪器513係能藉由連接一奇數數量的反相器而建構自一環振盪器。

第11圖已顯示一範例其中該復新命令Ref被插入使用該半導體記憶體之系統，為確保該仍是未復新的最後區塊被復新無失敗；另一方面，作為一選擇的範例，一忙碌信號係可週期性地以 $tR/N (= tCY2/N - tCY \times (M - N))$ 之間距

5 輸出自該半導體記憶體，具有作出不接收外部存取但優先執行該內部復新操作的供應同時該忙碌信號是被輸出。

或者是，控制可被執行以輸出忙碌信號，開始從R1與R2指示相同區塊的時間，直到所有記憶體晶胞的復新被完成。既然這樣，該忙碌信號連續被輸出N次。

10 供應亦可被作成以至於，當該下一個CLK2到達而仍有記憶體晶胞仍是未復新的時，忙碌信號連續被輸出直到所有剩下的記憶體晶胞之復新被完成。既然這樣，因為保持未被復新之位址數量在最大值上是N，所以該忙碌信號係連續輸出N次的一最大值；然而，當該等外部存取位址係未集

15 中在任何特別位址而是隨機分佈時，直到該下一個CLK2到達仍是未復新的任何位址之機率是極低的、並且既然這樣，能期望在存取效率上的增進因為幾乎無任何需要來輸出忙碌信號。然而，於此方法，因為仍是未復新之區塊在該下一個CLK2到達之後被復新，所以CLK2之期間必須被

20 設定以滿足該關係 $tCY2 \leq tREF/2 - tCY1 \times N$ 。

此處，直到該下一個CLK2到達仍是未復新的任何位址之機率能被獲得如以下所示的情況其中該等外部存取位址係未集中在任何特別位址而是隨機分佈。在一特定範例中，當 $M = 128$ 、 $N = 32$ 、 $tREF = 200 \mu \text{ sec}$ 、及 $tCY = tCY1 =$

10 ns時，於是

該期間A的長度從 $t_{REF}/2 - t_{CY} \times (M - 1) \times N$ 被計算如
 $160 \mu sec$ 、且於該期間A之存取數量是16,000。當至除了未
 復新區塊(=一個區塊)之存取的數量是0到N-1時，所有未復

5 新位址在期間A中不能被復新。更具體地，例如，

數量是0的機率是

$$COMBIN\{16000, 0\} \times (1/128)^{16000} \times (127/128)^0,$$

數量是1的機率是

$$COMBIN\{16000, 1\} \times (1/128)^{15999} \times (127/128)^0,$$

10 數量是2的機率是

$$COMBIN\{16000, 2\} \times (1/128)^{15998} \times (127/128)^0,$$

數量是3的機率是

$$COMBIN\{16000, 3\} \times (1/128)^{15997} \times (127/128)^0,$$

...

15 數量是31的機率是

$$COMBIN\{16000, 31\} \times (1/128)^{15969} \times (127/128)^0.$$

以上的總和是所有未復新位址在該期間A中不能被復
 新的機率；當計算時，該機率幾乎是零。即，當該等外部
 存取位址係非集中在任何特別位址而是隨機分佈時，任何
 20 在該期間A(期間B)中不能被復新的未復新位址之機率幾乎
 是零。因此，在該方法之情況下，其中當該下一個CLK2到
 達而仍有記憶體晶胞仍是未復新的時，忙碌信號被連續輸
 出直到所有剩下的記憶體晶胞之復新被完成，所能見到
 的是實際被輸出的忙碌信號之機率幾乎是零。

如以上詳細所說明，根據本發明，藉由控制該復新區塊以便避免不論何時可能在該外部存取區塊與該復新區塊之間的衝突、並且因此允許該外部存取與該復新操作同時被執行，依照可能的情況，例如，當該復新操作在一分時方式下被執行時，防止該週期時間增加變得有可能。另外，若有用於復新操作的任何記憶體區塊，在不會招致衝突下，不能被執行，於是復新命令係僅給予此記憶體區塊以完成該復新；利用此策略，在與需要給予復新命令給所有記憶體區塊以完成該復新之習知技藝比較下，命令輸入的頻率係能徹底降低。

在此方式下，根據本發明，是有可能提供一種能降低復新命令請求之發生頻率且不需一分時操作的動態半導體記憶體、以及其復新控制方法。

在本發明適合於對SoC記憶體諸如整合在邏輯晶片的DRAM之應用的同時，本發明係並非必要地限制到SoC記憶體而能被應用至不同種類的動態半導體記憶體。

本發明許多不同的實施例在不脫離本發明之範圍下可被建構、並應被理解的是本發明不被限制到此說明書中所述的特定實施例，除非依照該等附屬申請專利範圍中所定義者。

【圖式簡單說明】

第1圖是一方塊圖顯示一動態半導體記憶體的一個範例；

第2圖是一圖顯示經由範例之第1圖所示之動態半導體

記憶體中之一個記憶體區塊之組織；

第3圖是一圖用以說明第1圖所示之動態半導體記憶體中的一復新操作的一個範例；

第4A與第4B圖是方塊圖顯示根據本發明一動態半導體記憶體的一第一實施例之必要部分；

第5圖是一方塊圖顯示根據本發明之動態半導體記憶體的一個範例中的復新計數器；

第6圖是一方塊圖顯示根據第5圖所示的本發明之每一復新計數器的計數器部分的一個範例；

第7圖是一流程圖用以說明根據本發明之動態半導體記憶體的復新控制方法的一個範例；

第8圖是一時序圖(部分1)用以說明根據本發明該動態半導體記憶體之復新控制方法的一個範例；

第9圖是一時序圖(部分2)用以說明根據本發明該動態半導體記憶體之復新控制方法的一個範例；

第10圖是一圖用以說明根據本發明之動態半導體記憶體的一個範例中之復新位址產生；

第11圖是一時序圖用以說明存取係集中在根據本發明之動態半導體記憶體的一個範例中的一特別記憶體區塊的情況；

第12圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第二實施例的一必要部分；及

第13圖是一方塊圖顯示根據本發明之動態半導體記憶體的一第三實施例的一必要部分。

【主要元件符號說明】

11...第一除頻器	1212...記憶體晶胞陣列
12...第二除頻器	MC...記憶體晶胞
21...第一復新計數器	BL...位元線
22...第二復新計數器	WL...字線
31...區塊位址計數器	ST1-ST17...步驟
41...比較器	
42...選擇器	
32...字線位址計數器	
100...動態半導體記憶體	
101...週邊電路	
102...記憶體核心	
121...記憶體區塊(陣列)	
210...計數器	
220...計數器	
221...補數轉換電路	
511...除頻器	
512...除頻器	
513...振盪器	
1211...感測放大器	

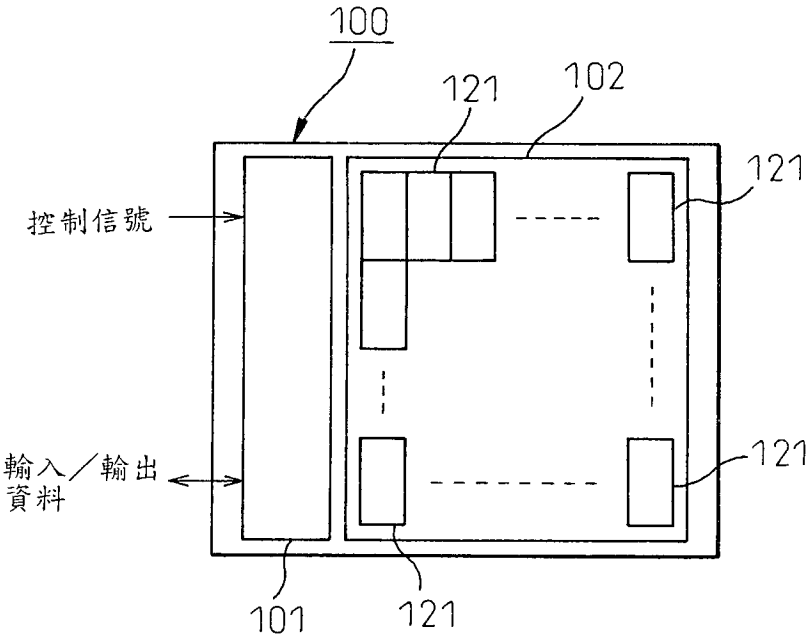
五、中文發明摘要：

一種動態半導體記憶體具有多數個記憶體區塊與一記憶體核心，每個記憶體區塊具有一感測放大器、且該記憶體核心係形成自位在連接至該感測放大器的多數個字線與多數個位元線之間的交叉點的記憶體晶胞。該等記憶體區塊，藉由選擇每一字線並藉由同時啟動該等連接至所選字線的記憶體晶胞，被該感測放大器連續地復新。該動態半導體記憶體具有一第一復新計數器其輸出一第一內部復新候選位址、及一第二復新計數器其輸出一不同於該第一內部復新候選位址的第二內部復新候選位址。當一外部存取位址與該第一內部復新候選位址一致時，一復新操作係開始從該第二內部復新候選位址來執行。

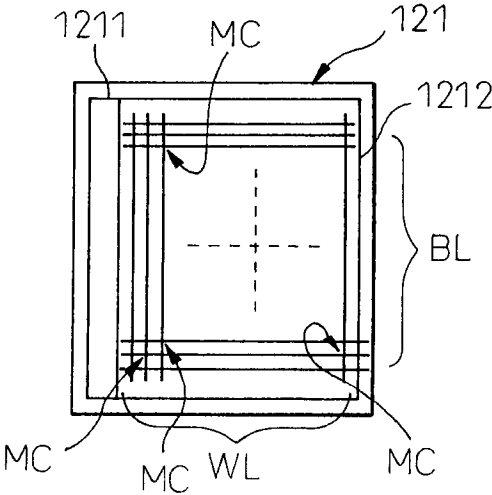
六、英文發明摘要：

A dynamic semiconductor memory has a plurality of memory blocks and a memory core. Each of the memory blocks has a sense amplifier, and the memory core is formed from memory cells located at intersections between a plurality of word lines and a plurality of bit lines connected to the sense amplifier. The memory blocks are sequentially refreshed by selecting each of the word lines and by simultaneously activating the memory cells connected to the selected word line by the sense amplifier. The dynamic semiconductor memory has a first refresh counter which outputs a first internal refresh candidate address, and a second refresh counter which output a second internal refresh candidate address that is different from the first internal refresh candidate address. When an externally accessed address coincides with the first internal refresh candidate address, a refresh operation is performed starting from the second internal refresh candidate address.

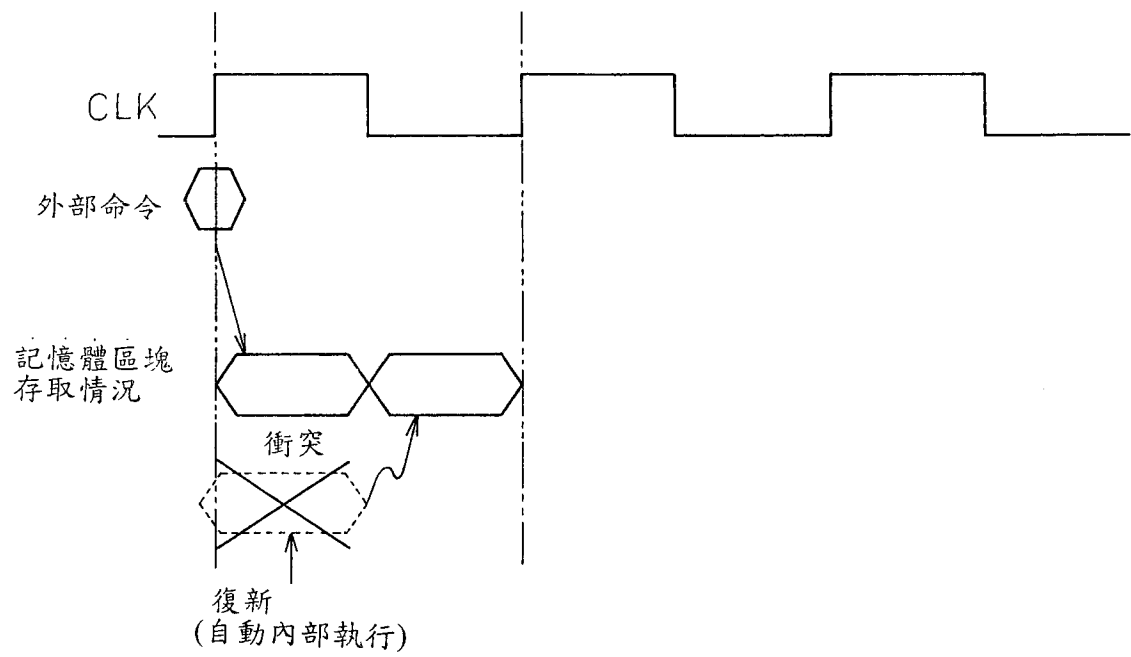
第 1 圖



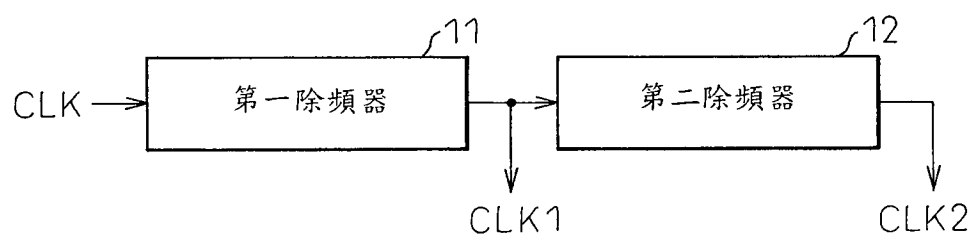
第 2 圖



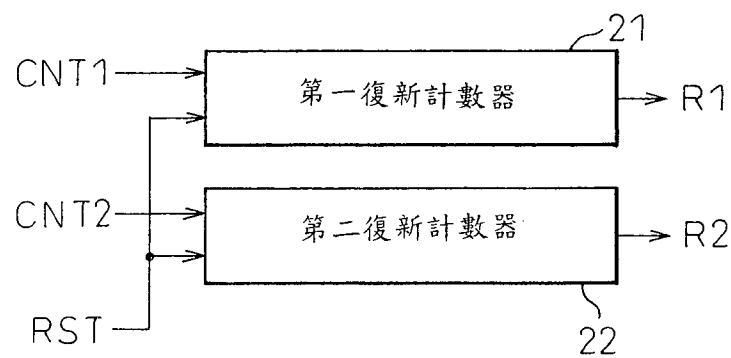
第 3 圖



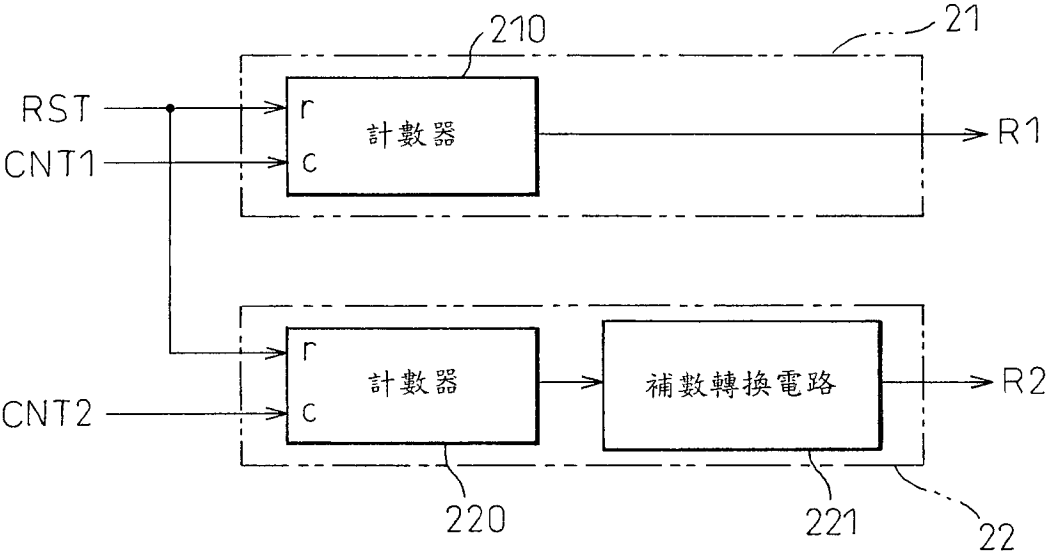
第 4A 圖



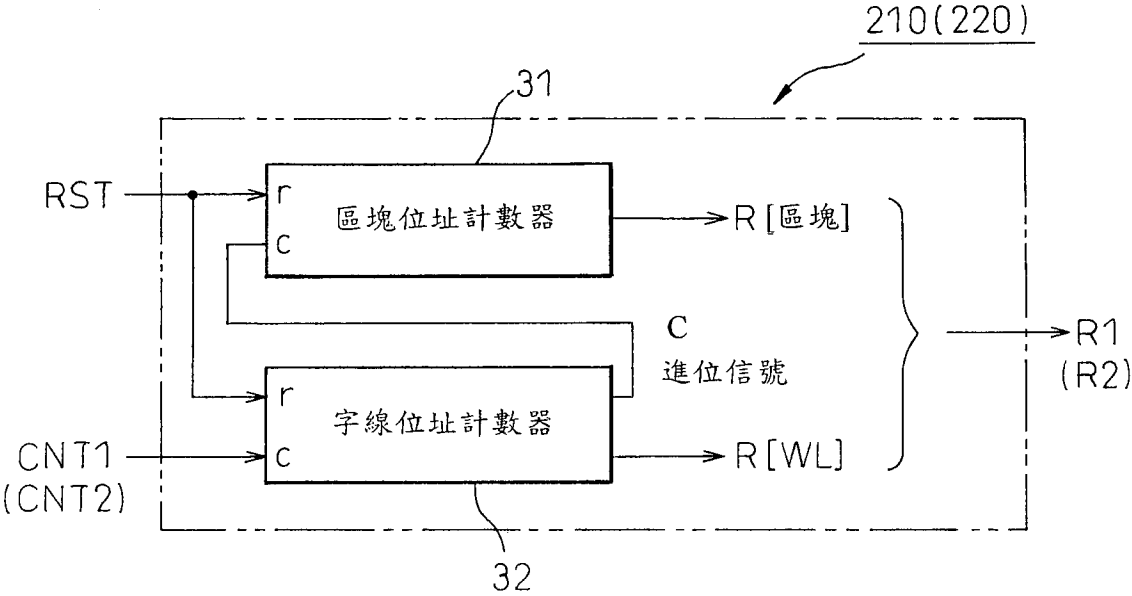
第 4B 圖



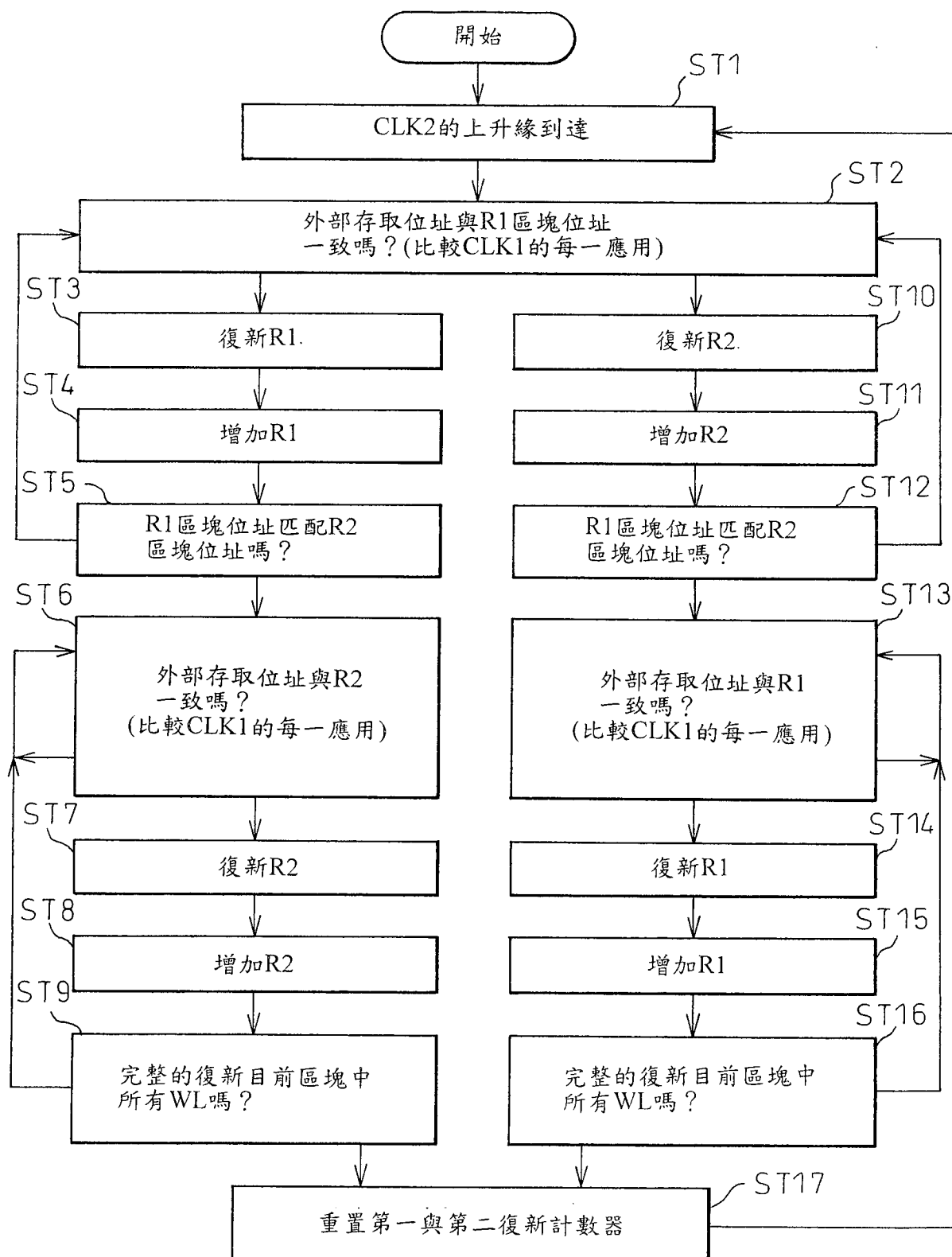
第 5 圖



第 6 圖



第 7 圖



第 8 圖

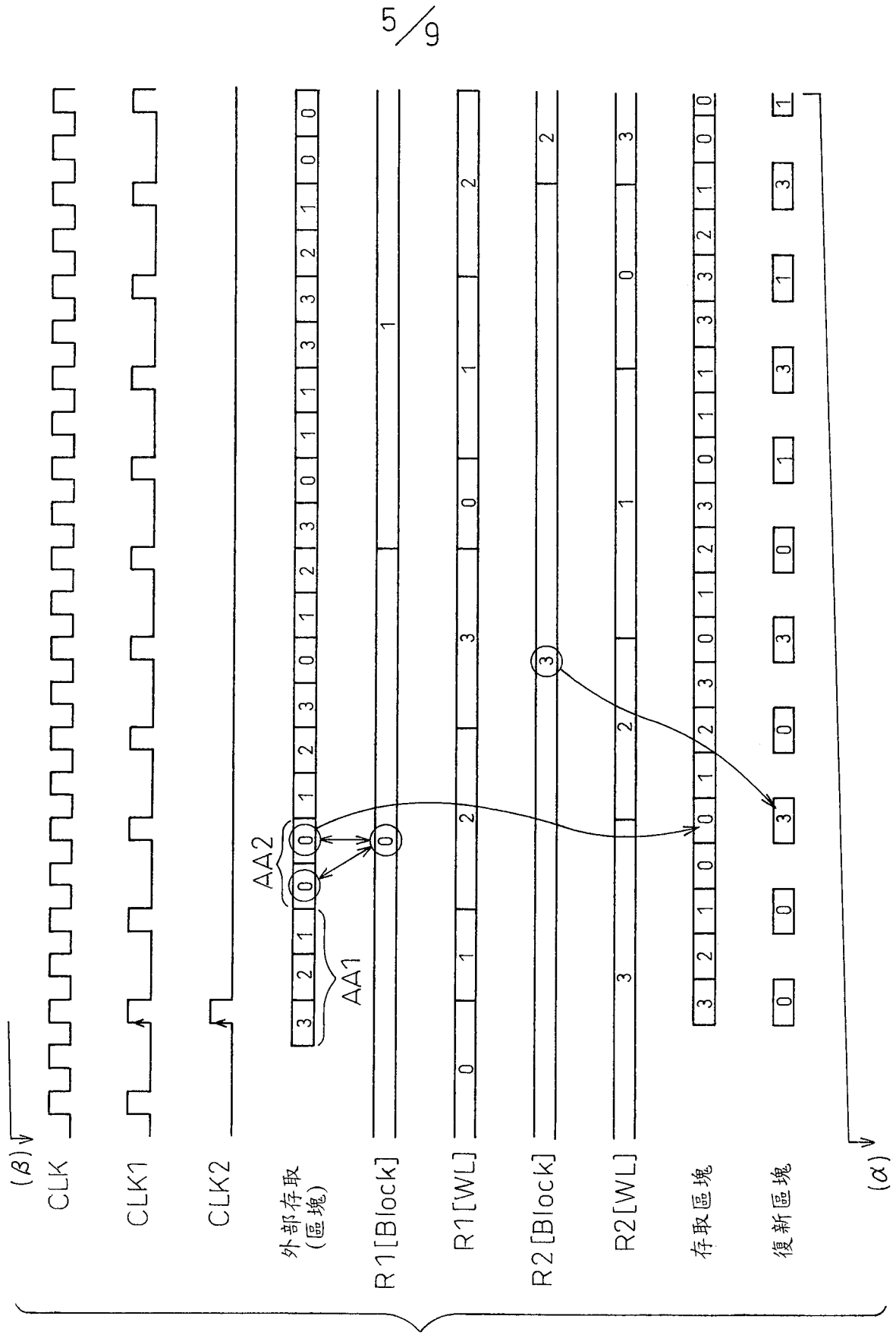
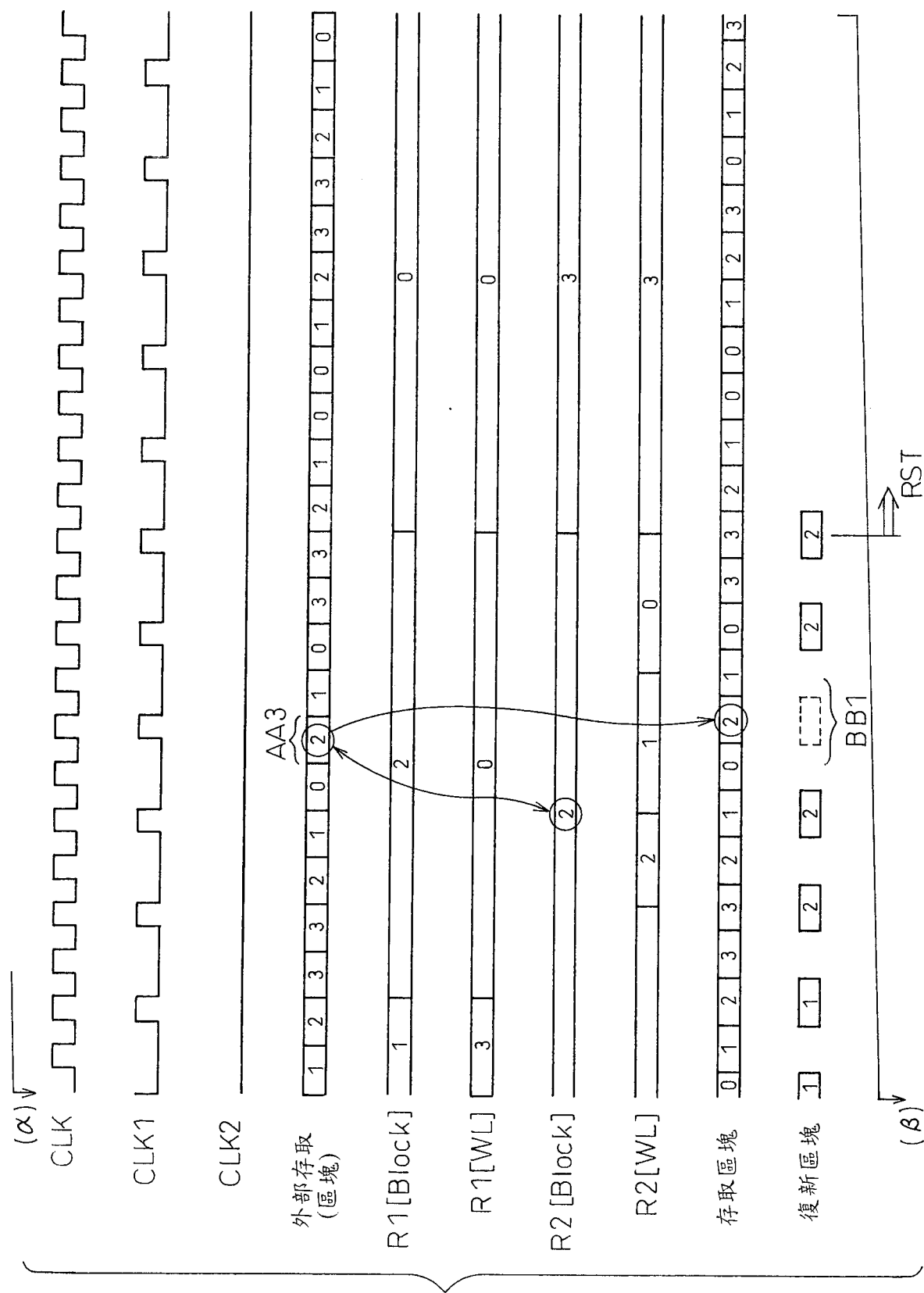
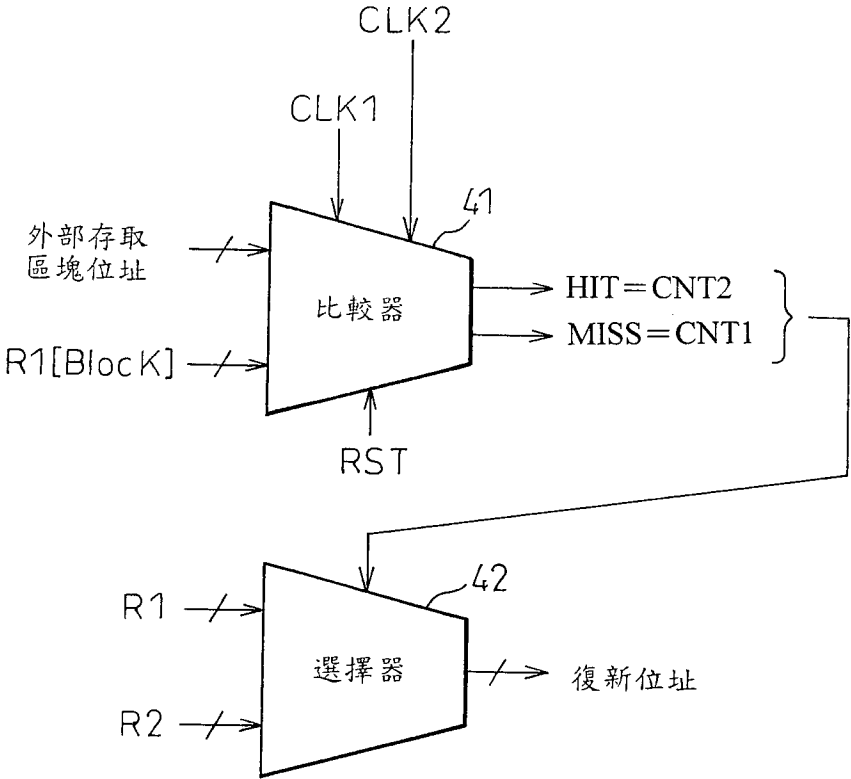


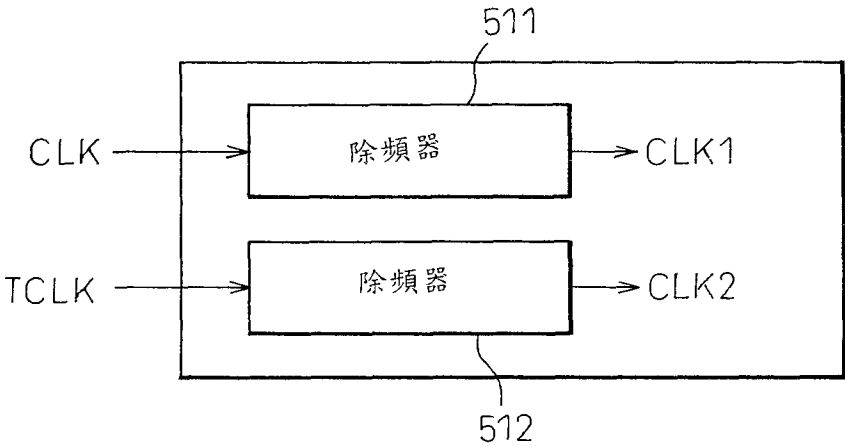
圖
9
策



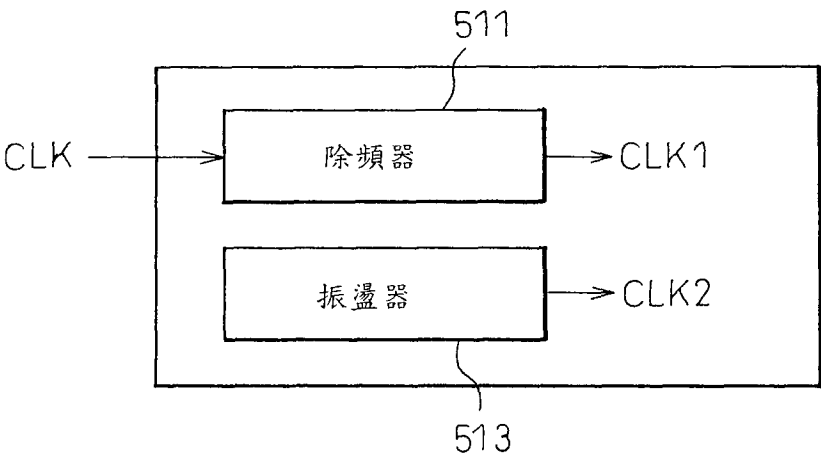
第 10 圖



第 12 圖



第 13 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (4A) 圖。

(二)本代表圖之元件符號簡單說明：

11...第一除頻器

12...第二除頻器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95120834

※ 申請日期： 95.6.12

※IPC 分類： G11C 11/406 (2006.01)

G11C 11/401 (2006.01)

一、發明名稱：(中文/英文)

降低復新命令請求發生頻率之動態半導體記憶體及其復新控制方法

DYNAMIC SEMICONDUCTOR MEMORY REDUCING THE FREQUENCY OF OCCURRENCE OF
REFRESH COMMAND REQUEST AND REFRESH CONTROL METHOD THEREOF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通微電子股份有限公司 / FUJITSU MICROELECTRONICS LIMITED

代表人：(中文/英文)

岡田晴基 / OKADA, HARUKI

住居所或營業所地址：(中文/英文)

日本國東京都新宿區西新宿二丁目 7 番 1 號

7-1, NISHI-SHINJUKU 2-CHOME, SHINJUKU-KU, TOKYO 163-0722 JAPAN

國 籍：(中文/英文)

日本 / JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

江渡聰 / ETO, SATOSHI

國 籍：(中文/英文)

日本 / JAPAN

十、申請專利範圍：

98年3月1日修正替換頁

- 1.一種動態半導體記憶體，具有多數個記憶體區塊，該等
記憶體區塊中的每一個具有一感測放大器、及一形成自
位在連接至該感測放大器的多數個字線與多數個位元線
5 間之交叉點的記憶體晶胞，其中該等記憶體區塊，藉由
選擇每一字線並藉由同時啟動該等連接至所選字線的記
憶體晶胞，被該感測放大器連續地復新，該動態半導體
記憶體包含有：

一第一復新計數器，其輸出一第一內部復新候選位
10 址；及

一第二復新計數器，其輸出一不同於該第一內部復新
候選位址的第二內部復新候選位址，其中在一復新操作
中，當一外部存取位址與該第一內部復新候選位址一致
時，一復新操作係開始從該第二內部復新候選位址來執
15 行。

- 2.如申請專利範圍第 1 項所述之動態半導體記憶體，其中

該第一復新計數器包含一第一計數器其計算一第一
計數信號並輸出該第一內部復新候選位址；及

該第二復新計數器包含一第二計數器其計算一第二
20 輸出信號、及一補數轉換電路其將該第二計數器的一輸
出轉換成它的補數並輸出該補數作為該第二內部復新候
選位址。

- 3.如申請專利範圍第 1 項所述之動態半導體記憶體，其中

該第一復新計數器包含一第一字線位址計數器其計

算一第一計數信號並輸出一第一字線內部復新候選位址、及一第一區塊位址計數器其計算一由該第一字線位址計數器所產生的進位信號並輸出一第一區塊記憶體內部復新候選信號，及

- 5 該第二復新計數器包含一第二字線位址計數器其計算一第二計數信號並輸出一第二字線內部復新候選位址、及一第二區塊位址計數器其計算一由該第二字線位址計數器所產生的進位信號並輸出一第二區塊記憶體內部復新候選位址。

- 10 4.如申請專利範圍第3項所述之動態半導體記憶體，其中

 該第一字線位址計數器與該第一區塊位址計數器起初被設定來分別指示一字線位元與一區塊位址的最低階位元、並根據該第一計數信號被增加，及

- 該第二字線位址計數器與該第二區塊位址計數器起初被設定來分別指示一字線位元與一區塊位址的最高階位元、並根據該第二計數信號被減少。
- 15

- 5.如申請專利範圍第3項所述之動態半導體記憶體，其中

 在一復新操作中，當一外部存取的區塊位址與該第一區塊記憶體內部復新候選位址不一致時，該復新操作係開始從該第一內部復新候選位址來執行，及

20

 在該復新操作中，當該外部存取的區塊位址與該第一區塊記憶體內部復新候選位址一致時，該復新操作係開始從該第二內部復新候選位址來執行。

- 6.如申請專利範圍第1項所述之動態半導體記憶體，其中

該復新操作係根據一基於一週期性的控制信號所產生的復新信號來執行。

7.如申請專利範圍第 6 項所述之動態半導體記憶體，更包含有：

5 一第一除頻器，其藉由將該週期性的控制信號除頻以一第一除法因數來產生一第一時脈信號，其中該復新信號係與該第一時脈信號同時產生。

8.如申請專利範圍第 7 項所述之動態半導體記憶體，其中該週期性的控制信號是一自該動態半導體記憶體外面所施加的系統時脈信號。

9.如申請專利範圍第 7 項所述之動態半導體記憶體，更包含有：

 一第二除頻器，其藉由將該週期性的控制信號除頻以一不同於該第一除法因數的第二除法因數來產生一第二時脈信號。

10.如申請專利範圍第 9 項所述之動態半導體記憶體，其中該復新操作係根據該第二時脈信號開始、並當該復新操作係根據該第一時脈信號完成所有記憶體晶胞時，該復新操作之後直到該第二時脈信號下一次被施加才被執行。

11.如申請專利範圍第 10 項所述之動態半導體記憶體，其中其中該復新操作與一至該動態半導體記憶體的外部存取操作同時被執行。

12.如申請專利範圍第 7 項所述之動態半導體記憶體，更包

含有：

一第二除頻器，其藉由將一不同於該週期性控制信號的週期性控制信號除頻來產生一第二時脈信號。

13.如申請專利範圍第 12 項所述之動態半導體記憶體，其中該不同的週期性控制信號是一時脈信號。

14.如申請專利範圍第 12 項所述之動態半導體記憶體，其中該復新操作係根據該第二時脈信號開始、並當該復新操作係根據該第一時脈信號完成所有記憶體晶胞時，該復新操作之後直到該第二時脈信號下一次被施加才被執行。

15.如申請專利範圍第 14 項所述之動態半導體記憶體，其中該復新操作與一至該動態半導體記憶體的外部存取操作同時被執行。

16.如申請專利範圍第 7 項所述之動態半導體記憶體，更包含有：

一振盪器，其產生一第二時脈信號。

17.如申請專利範圍第 16 項所述之動態半導體記憶體，其中該復新操作係根據該第二時脈信號開始、並當所有記憶體晶胞根據該第一時脈信號完成該復新操作時，之後該復新操作直到該第二時脈信號下一次被施加才被執行。

18.如申請專利範圍第 17 項所述之動態半導體記憶體，其中該復新操作與一至該動態半導體記憶體的外部存取操作同時被執行。

19.一種用於一動態半導體記憶體之復新控制方法，該動態半導體記憶體包含多數個記憶體區塊，該等記憶體區塊每一個具有一記憶體晶胞陣列及一具感測放大器群之感測放大器其在一復新操作中同時被啟動，其中

5 第一與第二不同復新區塊候選係預選自該等多數個記憶體區塊，及

 該復新操作係執行在該第一與第二記憶體區塊的一個或另一個。

20.如申請專利範圍第 19 項所述之動態半導體記憶體之復
10 新控制方法，其中該復新操作係根據一基於一週期性的控制信號所產生的復新信號來執行。

21.如申請專利範圍第 20 項所述之動態半導體記憶體之復新控制方法，其中該週期性的控制信號是一施加自該動態半導體記憶體外部的系統時脈。

15 22.如申請專利範圍第 20 項所述之動態半導體記憶體之復新控制方法，其中該復新信號係與一藉由將該週期性的控制信號除頻以一第一除法因數所產生之第一時脈信號同步產生。

23.如申請專利範圍第 22 項所述之動態半導體記憶體之復
20 新控制方法，其中該復新操作係根據一藉由將該週期性的控制信號除頻以一不同於該第一除法因數之第二除法因數所產生的第二時脈信號開始，然後該復新操作係根據該第一時脈信號連續地執行在所有記憶體晶胞、並當所有記憶體晶胞完成該復新操作時，之後該復新操作直

到該第二時脈信號下一次被施加才被執行。

24.如申請專利範圍第 22 項所述之動態半導體記憶體之復新控制方法，其中

5 一在頻率上不同於該第一時脈信號的第二時脈信號被產生，及其中

該復新操作係根據該第二時脈信號開始，然後該復新操作係根據該週期性的控制信號連續地執行在所有記憶體晶胞，並且當所有記憶體晶胞完成該復新操作時，之後該復新操作直到該第二時脈信號下一次被施加才被執行。

25.如申請專利範圍第 24 項所述之動態半導體記憶體之復新控制方法，其中該第二時脈信號係根據一不同於該週期性的控制信號之週期控制信號而產生。

26.如申請專利範圍第 25 項所述之動態半導體記憶體之復新控制方法，其中該不同的週期控制信號係施加自該動態半導體記憶體外部。

27.如申請專利範圍第 26 項所述之動態半導體記憶體之復新控制方法，其中該不同的週期控制信號是一時脈信號。

28.如申請專利範圍第 25 項所述之動態半導體記憶體之復新控制方法，其中該不同的週期控制信號係在該動態半導體記憶體中產生。

29.如申請專利範圍第 28 項所述之動態半導體記憶體之復新控制方法，其中該不同的週期控制信號是一包含在該動態半導體記憶體中之振盪器的一輸出信號。

30.如申請專利範圍第 19 項所述之動態半導體記憶體之復新控制方法，其中該復新操作係與一至該動態半導體記憶體的外部存取操作同時執行。

5 31.如申請專利範圍第 19 項所述之動態半導體記憶體之復新控制方法，其中當一至該動態半導體記憶體的外部存取操作與該預選的第一與第二復新區塊候選其中一個不一致時，該復新操作係執行在該第一復新區塊候選。

10 32.如申請專利範圍第 31 項所述之動態半導體記憶體之復新控制方法，其中當該動態半導體記憶體中的一外部存取之區塊與該第二復新區塊候選一致時，該復新操作係執行在該第一復新操作區塊候選。

15 33.如申請專利範圍第 31 項所述之動態半導體記憶體之復新控制方法，其中當該動態半導體記憶體中的一外部存取之區塊與該第一復新區塊候選一致時，該復新操作係執行在該第二復新操作區塊候選。

34.一種用於一動態半導體記憶體的復新控制方法，該動態半導體記憶體包含多數個記憶體區塊，該等記憶體區塊每一個具有一記憶體晶胞陣列及一共感測放大器群之感測放大器其在一復新操作中同時被啟動，其中

20 在該等記憶體區塊的每一個中，一被選擇來復新一列記憶體晶胞的字線之邏輯位址被稱作一復新字線位址、並且要被復新的一記憶體區塊位址與要被復新的一字線共同地被稱作一復新位址，及

一第一復新位址與一第二復新位址係分別由一第一

復新計數器與一第二復新計數器，其每一個具有一獨立的重置功能，來產生。

35.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中該第一與第二復新計數器每一個包含
5 有：

一字線位址計數器，其產生一字線內部復新候選位址；及

一區塊位址計數器，其藉由計算由該字線位址計數器所產生的一進位信號來產生一區塊記憶體內部復新候選
10 位址。

36.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中一計數信號被施加至產生該第一復新位址的第一復新計數器或產生該第二復新位址的第二復新計數器，不管哪一個對應該復新記憶體區塊。

15 37.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中該第一復新計數器與該第二復新計數器起初被設定來分別指示一最低階位元與一最高階位元。

38.如申請專利範圍第 37 項所述之動態半導體記憶體之復
20 新控制方法，其中

當一計數信號被輸入至一開始被設定來指示該最低階位元的該第一或第二復新計數器之其中一者時，該被設定之復新計數器係增加，及

當一計數信號被輸入至一開始被設定來指示該最高

階位元的該第一或第二復新計數器之另一者時，該被設定之另一復新計數器係減少。

39.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中

5 該第一復新計數器包含一第一計數器其計算一第一計數信號並輸出一第一內部復新候選位址，及

 該第二復新計數器包含一第二計數器其計算一第二計數信號、及一補數轉換電路其將該第二計數器的一輸出轉換成它的補數並輸出該補數作為一第二內部復新候選位址。

10

40.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址時、並當該區塊中的所有字線位址完成該復新操作時，該第一與第二復新計數器被重置。

15

41.如申請專利範圍第 40 項所述之動態半導體記憶體之復新控制方法，其中當該第一復新計數器已上數至該位址其與由該第二復新區塊所指示的區塊位址所指示之區塊位址一致，之後僅該第二復新位址被採納為一復新位址候選直到該第一與第二復新計數器被重置。

20

42.如申請專利範圍第 41 項所述之動態半導體記憶體之復新控制方法，其中當該第二復新位址與一外部存取的區塊位址一致時，該復新操作不被執行。

43.如申請專利範圍第 34 項所述之動態半導體記憶體之復

新控制方法，其中當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址時，一忙碌信號被繼續輸出直到該區塊中的所有記憶體晶胞完成該復新操作。

44.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中當一第一復新區塊與一第二復新區塊二者指示相同的區塊位址、並當一第二時脈信號被施加時，一忙碌信號被連續輸出直到該區塊中的所有記憶體晶胞完成該復新操作。

45.如申請專利範圍第 44 項所述之動態半導體記憶體之復新控制方法，其中該第二時脈信號之週期係不長於該動態半導體記憶體的資料保留時間。

46.如申請專利範圍第 34 項所述之動態半導體記憶體之復新控制方法，其中一復新命令隨著一等於 $t_{REF}/2 - t_{CY} \times (M - 1) \times N$ 之時間被要求 N 次，其中 M 是復新區塊的總數、 N 是每一區塊中字線的總數、 t_{REF} 是該記憶體晶胞資料保留時間、及 t_{CY} 是一第一區塊的之週期。

47.如申請專利範圍第 46 項所述之動態半導體記憶體之復新控制方法，其中一忙碌信號係以一不長於 $\{t_{REF}/2 - t_{CY} \times (M - 1) \times N\}/N$ 之週期自動地且週期性地輸出。