



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I829193 B

(45)公告日：中華民國 113 (2024) 年 01 月 11 日

(21)申請案號：111121591

(22)申請日：中華民國 111 (2022) 年 06 月 10 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L23/522 (2006.01)

H01L21/60 (2006.01)

(30)優先權：2021/08/20

中國大陸

202110963300.X

(71)申請人：中國大陸商長鑫存儲技術有限公司 (中國大陸) CHANGXIN MEMORY
TECHNOLOGIES, INC. (CN)

中國大陸

(72)發明人：吳鐵將 WU, TIEH-CHIANG (TW)；朱玲欣 ZHU, LINGXIN (CN)

(74)代理人：李宗德

(56)參考文獻：

TW 518696B

TW I735139B

TW 202101599A

US 2006/0063378A1

審查人員：陳昇聰

申請專利範圍項數：10 項 圖式數：8 共 32 頁

(54)名稱

半導體結構及其製備方法

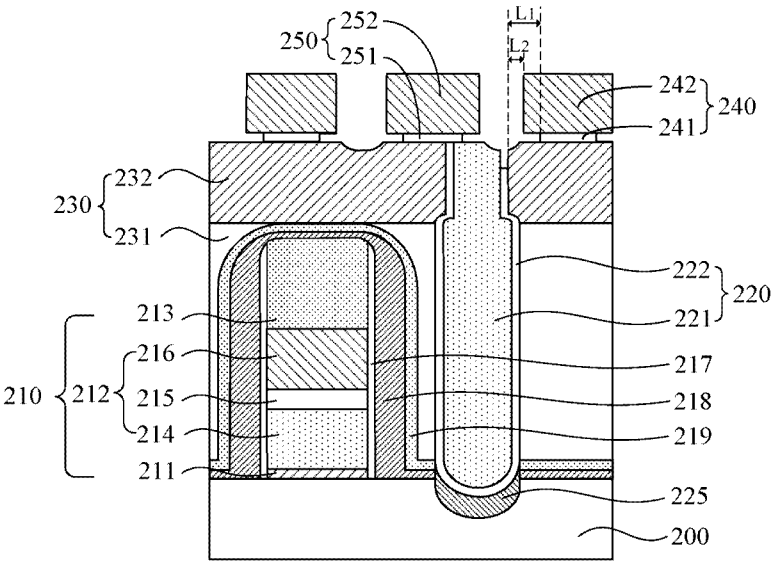
(57)摘要

本公開實施例涉及半導體領域，特別涉及一種半導體結構及其製備方法，半導體結構包括：位於基底上的閘極，閘極兩側具有源極或汲極；位於基底上的介電層；接觸結構，接觸結構貫穿介電層並與源極或汲極電連接；間隔設置的第一電連接部和第二電連接部，第一電連接部與第二電連接部位於介電層頂面，第二電連接部與接觸結構的部分頂面接觸，第一電連接部包括堆疊設置的第一阻擋層和第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構間的距離為第二距離，第一距離大於第二距離。本公開實施例有利於降低半導體結構的短路風險。

The embodiments of the present disclosure relate to a semiconductor field, and in particular to a semiconductor structure and method for preparing the same. The semiconductor structure includes a gate located on the substrate, a source or a drain being provided in the substrate located at either side of the gate; a dielectric layer located on the substrate; a contact structure penetrating through the dielectric layer and electrically connected with the source or the drain; a first electrical connection part and a second electrical connection part arranged at intervals. The first electrical connection part and the second electrical connection part are both located on a top surface of the dielectric layer. The second electrical connection part is also in contact with a partial top surface of the contact structure. The first electrical connection part includes a first barrier layer and a first conductive layer which are stacked. In a direction from the source to the drain, a distance between the sidewall of the first barrier layer facing the contact structure and the contact structure is a first distance, and a distance between the sidewall of the first conductive layer facing the contact structure and the contact structure is a second distance, the first distance being greater than the second distance. The

embodiments of the present disclosure are beneficial to reduce the risk of short circuit of the semiconductor structure.

指定代表圖：



【圖 2】

符號簡單說明：

- 200:基底
- 210:閘極
- 211:閘極介電層
- 212:閘極導電層
- 213:閘極蓋層
- 214:第一閘極導電層
- 215:阻擋層
- 216:第二閘極導電層
- 217:第一側牆層
- 218:第二側牆層
- 219:蝕刻停止層
- 220:接觸結構
- 221:導電主體部
- 222:擴散阻擋層
- 225:金屬矽化層
- 230:介電層
- 231:第一介電層
- 232:第二介電層
- 240:第一電連接部
- 241:第一阻擋層
- 242:第一導電層
- 250:第二電連接部
- 251:第二阻擋層
- 252:第二導電層
- L₁:第一距離
- L₂:第二距離



I829193

【發明摘要】

【中文發明名稱】 半導體結構及其製備方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR PREPARING SAME

【中文】

本公開實施例涉及半導體領域，特別涉及一種半導體結構及其製備方法，半導體結構包括：位於基底上的閘極，閘極兩側具有源極或汲極；位於基底上的介電層；接觸結構，接觸結構貫穿介電層並與源極或汲極電連接；間隔設置的第一電連接部和第二電連接部，第一電連接部與第二電連接部位於介電層頂面，第二電連接部與接觸結構的部分頂面接觸，第一電連接部包括堆疊設置的第一阻擋層和第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構間的距離為第二距離，第一距離大於第二距離。本公開實施例有利於降低半導體結構的短路風險。

【英文】

The embodiments of the present disclosure relate to a semiconductor field, and in particular to a semiconductor structure and method for preparing the same. The semiconductor structure includes a gate located on the substrate, a source or a drain being provided in the substrate located at either side of the gate; a dielectric layer located on the substrate; a contact structure penetrating through the dielectric layer and electrically connected with the source or the drain; a first electrical connection part and a second electrical connection part arranged at intervals. The first electrical connection part and the second electrical connection part are both located on a top surface of the

dielectric layer. The second electrical connection part is also in contact with a partial top surface of the contact structure. The first electrical connection part includes a first barrier layer and a first conductive layer which are stacked. In a direction from the source to the drain, a distance between the sidewall of the first barrier layer facing the contact structure and the contact structure is a first distance, and a distance between the sidewall of the first conductive layer facing the contact structure and the contact structure is a second distance, the first distance being greater than the second distance. The embodiments of the present disclosure are beneficial to reduce the risk of short circuit of the semiconductor structure.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

200	基底
210	閘極
211	閘極介電層
212	閘極導電層
213	閘極蓋層
214	第一閘極導電層
215	阻擋層
216	第二閘極導電層
217	第一側牆層
218	第二側牆層
219	蝕刻停止層
220	接觸結構
221	導電主體部
222	擴散阻擋層

225	金屬矽化層
230	介電層
231	第一介電層
232	第二介電層
240	第一電連接部
241	第一阻擋層
242	第一導電層
250	第二電連接部
251	第二阻擋層
252	第二導電層
L ₁	第一距離
L ₂	第二距離

【發明說明書】

【中文發明名稱】 半導體結構及其製備方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR
PREPARING SAME

【技術領域】

[相關申請的交叉引用]

【0001】 本公開要求在2021年08月20日提交中國專利局、申請號為202110963300.X、申請名稱為“半導體結構及其製備方法”的中國專利申請的優先權，其全部內容通過引用結合在本公開中。

【0002】 本公開實施例涉及但不限於一種半導體結構及其製備方法。

【先前技術】

【0003】 記憶體是一種常見的半導體結構，在記憶體內部有許多微小的導電結構單元，譬如，閘極、位線以及源/汲極等。為了將這些微小導電結構引出來，通常會在導電結構上製備金屬互連結構。

【0004】 使用金屬互聯結構將導電結構引出，不僅可以提升記憶體的工作速率，還能增加記憶體的集成度。通常，在半導體結構中，會設置多個位於介電層中的接觸結構以及與接觸結構相連的電連接部作為金屬互聯結構。並且，每個金屬互連結構間隔設置，將相互隔離的導電結構各自引出。

【0005】 然而，隨著記憶體體積越來越小，記憶體內部的接觸結構以及電連接部設置得越來越緊密，這容易造成半導體結構內部發生短路的問題。

【發明內容】

【0006】本公開實施例一方面提供一種半導體結構，包括：基底；位於部分基底上的閘極，且閘極兩側的基底內具有源極或汲極；位於基底上的介電層，且介電層覆蓋閘極的頂面和側壁；接觸結構，接觸結構貫穿介電層並與源極或者汲極電連接；相間隔設置的第一電連接部以及第二電連接部，第一電連接部與第二電連接部均位於介電層頂面，且第二電連接部還與接觸結構的部分頂面相接觸，第一電連接部包括堆疊設置的第一阻擋層以及第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構之間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構之間的距離為第二距離，第一距離大於第二距離。

【0007】在一些實施例中，在沿所述源極指向所述汲極的方向上，所述第一阻擋層的寬度小於所述第一導電層的寬度。

【0008】在一些實施例中，所述第一阻擋層的寬度與所述第一導電層的寬度的比值為0.5~0.9。

【0009】在一些實施例中，所述第一阻擋層的材料包括TiN或者TaN，所述第一導電層的材料包括W。

【0010】在一些實施例中，所述第一阻擋層的厚度小於所述第一導電層的厚度。

【0011】在一些實施例中，所述第二電連接部包括堆疊設置的第二阻擋層以及第二導電層，所述第二阻擋層與所述接觸結構的部分頂面相接觸；且所述接觸結構頂面、所述第二阻擋層側壁以及所述第二導電層底面圍成空洞區域。

【0012】在一些實施例中，在沿所述源極指向所述汲極的方向上，所述第一阻擋層的寬度等於所述第二阻擋層的寬度。

【0013】在一些實施例中，所述第一阻擋層的材料與所述第二阻擋層的材料相同；所述第一導電層的材料與所述第二導電層的材料相同。

【0014】 在一些實施例中，所述第一阻擋層在所述基底表面的正投影位於所述第一導電層在所述基底表面的正投影內，且所述第一阻擋層在所述基底表面的正投影面積小於所述第一導電層在所述基底表面的正投影面積。

【0015】 在一些實施例中，所述接觸結構包括：

導電主體部，所述導電主體部貫穿所述介電層，且所述第二電連接部與所述導電主體部的部分表面相接觸；

擴散阻擋層，所述擴散阻擋層位於所述導電主體部的側壁以及底部。

【0016】 在一些實施例中，位於所述導電主體部與所述第一電連接部之間的所述擴散阻擋層頂面低於所述導電主體部頂面，且所述導電主體部、所述介電層以及位於所述導電主體部與所述第一電連接部之間的所述擴散阻擋層頂面圍成通孔區域。

【0017】 在一些實施例中，所述擴散阻擋層的材料與所述第一阻擋層的材料相同。

【0018】 根據本公開一些實施例，本公開實施例另一方面還提供一種半導體結構的製備方法，包括：提供基底以及位於部分基底上的閘極，閘極兩側的基底內具有源極或汲極；基底上還具有介電層，且介電層覆蓋閘極的頂面和側壁；形成接觸結構，接觸結構貫穿介電層並與源極或者汲極電連接；形成相間隔設置的第一電連接部以及第二電連接部，第一電連接部與第二電連接部均位於介電層頂面，且第二電連接部還與接觸結構的部分頂面相接觸，第一電連接部包括堆疊設置的第一阻擋層以及第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構之間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構之間的距離為第二距離，第一距離大於第二距離。

【0019】 在一些實施例中，形成所述第一電連接部以及所述第二電連接部的製程步驟包括：

在所述介電層頂面形成依次堆疊的初始阻擋層以及初始導電層，所述初始阻擋層覆蓋所述接觸結構頂面；

對所述初始導電層以及所述初始阻擋層進行圖形化處理，形成相互間隔設置的第一初始電連接部以及第二初始電連接部，所述第二初始電連接部與所述接觸結構的部分頂面相接觸；

對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理，所述第一初始電連接部中剩餘所述初始阻擋層作為第一阻擋層，所述第一初始電連接部中剩餘所述初始導電層作為第一導電層。

【0020】 在一些實施例中，在對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理的製程步驟中，還對所述第二電連接部中的所述初始阻擋層的側壁進行蝕刻處理。

【0021】 在一些實施例中，所述接觸結構包括導電主體部以及位於所述導電主體部側壁和底部的擴散阻擋層；在對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理的製程步驟中，還蝕刻露出的所述擴散阻擋層。

【0022】 本公開實施例提供的技術方案至少具有以下優點：

【0023】 本公開實施例提供的半導體結構，包括基底、閘極、源極、汲極以及介電層，還包括貫穿介電層並與源極或汲極電連接的接觸結構，以實現源極或汲極與導電結構的電連接；第一電連接部以及第二電連接部間隔設置，且第二電連接部還與接觸結構的部分頂面相接觸，將源極或者汲極中的電流引出。第一電連接部包括堆疊設置的第一阻擋層以及第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構之間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構之間的距離為第二距離，第一距離大於第二距離。也就是說，改變第一電連接部的底部輪廓，使得第一阻擋層和與其相鄰的接觸結構之間的距離相對較大，因此兩者不容易接觸到，從

而避免第一電連接部與接觸結構之間發生短路，進而改善半導體結構的電學性能。此外，不改變第一導電層的寬度尺寸，因此可以使第一電連接部保持較好的導電能力。

【圖式簡單說明】

【0024】 一個或多個實施例通過與之對應的附圖中的圖片進行示例性說明，這些示例性說明並不構成對實施例的限定，除非有特別申明，附圖中的圖不構成比例限制。

【0025】 圖1為半導體結構的一種剖面結構示意圖；

【0026】 圖2為本公開一實施例提供的半導體結構的一種剖面結構示意圖；

【0027】 圖3為本公開一實施例提供的半導體結構的另一種剖面結構示意圖；

【0028】 圖4至圖8為本公開一實施例提供的半導體結構的製備方法中各步驟對應的結構示意圖。

【實施方式】

【0029】 由背景技術可知，現有技術存在相間隔設置的電連接部和接觸結構之間容易短路的問題。

【0030】 分析發現，導致電連接部與接觸結構之間容易短路的原因之一在於，電連接部和與其相鄰的接觸結構之間距離較小，使得電連接部的底部和與其相鄰的接觸結構的頂面容易發生短路現象。

【0031】 現結合一種半導體結構對上述問題的原因進行進一步分析，圖1為一種半導體結構的結構示意圖，參考圖1，半導體結構包括：基底100；位於部分基底100上的閘極110以及位於閘極110表面的側牆層117，閘極110包括閘極介電層111、閘極導電層112以及閘極蓋層113，且閘極110兩側的基底100內具有

源極或汲極；位於基底100上的介電層130，且介電層130覆蓋閘極110的頂面和側壁；接觸結構120，接觸結構120貫穿介電層130並與源極或者汲極電連接；相間隔設置的第一電連接部140以及第二電連接部150，第一電連接部140與第二電連接部150均位於介電層130頂面，且第二電連接部150還與接觸結構120的部分頂面相接觸。

【0032】 第二電連接部150與接觸結構120的部分頂面相接觸，第一電連接部140與另一接觸結構（未圖示）的部分頂面相連，將相隔離的源極或汲極分別引出。在形成第一電連接部140和第二電連接部150的製程過程中，可能存在對準誤差，導致接觸結構120和第一電連接部140之間距離過小，使得接觸結構120頂部與第一電連接部140底部之間容易發生短路現象。

【0033】 本公開實施例提供一種半導體結構，僅改變第一電連接部的底部輪廓，使第一阻擋層和接觸結構之間的距離較大，避免在形成第一電連接部以及第二電連接部的製程過程中，產生對準誤差導致第一電連接部與接觸結構距離過近的問題，從而降低發生短路的風險，增加了形成第一電連接部與第二電連接部的製程視窗。

【0034】 下面將結合附圖對本公開的各實施例進行詳細的闡述。然而，本領域的普通技術人員可以理解，在本公開各實施例中，為了使讀者更好地理解本公開而提出了許多技術細節。但是，即使沒有這些技術細節和基於以下各實施例的種種變化和修改，也可以實現本公開所要求保護的技術方案。

【0035】 圖2為本公開一實施例提供的半導體結構的一種結構示意圖。

【0036】 參考圖2，半導體結構包括：基底200；位於部分基底200上的閘極210，且閘極210兩側的基底200內具有源極或汲極；位於基底200上的介電層230，且介電層230覆蓋閘極210的頂面和側壁；接觸結構220，接觸結構220貫穿介電層230並與源極或者汲極電連接；相間隔設置的第一電連接部240以及第二電連接部250，第一電連接部240與第二電連接部250均位於介電層230頂面，且第二電連接部250還與接觸結構220的部分頂面相接觸，第一電連接部240包括堆

疊設置的第一阻擋層241以及第一導電層242，在沿源極指向汲極的方向上，第一阻擋層241朝向接觸結構220的側壁與接觸結構220之間的距離為第一距離 L_1 ，第一導電層242朝向接觸結構220的側壁與接觸結構220之間的距離為第二距離 L_2 ，第一距離 L_1 大於第二距離 L_2 。

【0037】本實施例僅改變第一電連接部240的底部輪廓，使得第一阻擋層241和與其相鄰的接觸結構220之間的距離增大，因此兩者不容易接觸到，降低半導體結構產生短路的風險。同時還增加了形成第一電連接部240與第二電連接部250的製程視窗。此外，不改變第一導電層242的寬度尺寸，使得第一導電層242具有相對較大的體積和較小的電阻，因此可以使第一電連接部240保持較好的導電能力。

【0038】半導體結構可以為記憶體，例如為DRAM（動態隨機記憶體，Dynamic Random Access Memory）、SRAM（靜態隨機記憶體，Static Random-Access Memory）或者SDRAM（同步動態隨機記憶體，Synchronous Dynamic Random-Access Memory）。

【0039】基底200可以為半導體基底或者絕緣體上的矽基底。在一些實施例中，基底200可以為矽基底。在另一些實施例中，基底200還可以為鍺基底、鍺化矽基底或者碳化矽基底。

【0040】閘極210包括：依次堆疊設置的閘極介電層211、閘極導電層212以及閘極蓋層213。在一些實施例中，閘極導電層212可以包括依次層疊的第一閘極導電層214、阻擋層215以及第二閘極導電層216，阻擋層215可以防止第一閘極導電層214與第二閘極導電層216之間的相互擴散，且第一閘極導電層214的材料為半導體材料，第二閘極導電層216的材料為金屬材料。在一些實施例中，第一閘極導電層214的材料可以為多晶矽，阻擋層215的材料可以為氮化鈦，第二閘極導電層216的材料可以為鎢、銅或者鋁中的任一種。

【0041】在另一些實施例中，閘極導電層可以為單層結構，閘極導電層的材料可以為半導體材料或者金屬，半導體材料可以為多晶矽，金屬材料可以為鎢、銅或者鋁中的任一種。

【0042】閘極蓋層213主要起隔離絕緣的作用，閘極蓋層213的材料可以為氧化矽或者氮化矽。

【0043】半導體結構還可以包括：第一側牆層217，第一側牆層217覆蓋閘極210側壁；第二側牆層218，第二側牆層218覆蓋第一側牆層217側壁、閘極210以及部分基底200；蝕刻停止層219，覆蓋第二側牆層218。

【0044】閘極210的一側基底200內具有源極，閘極210的另一側基底200內具有汲極，接觸結構220的底面與源極或者汲極電性連接，頂面與第二電連接部250連接，使源極或者汲極與第二電連接部250形成電性連接。在一些實施例中，半導體結構為PMOS管，則源極和汲極的摻雜離子為P型離子；在另一些實施例中，半導體結構為NMOS管，則源極和汲極的摻雜離子為N型離子。

【0045】介電層230包括依次堆疊的第一介電層231和第二介電層232。在一些實施例中，第一介電層231的頂部可以與蝕刻停止層219頂部平齊，用於隔離閘極210與其它導電結構；第二介電層232高於蝕刻停止層219頂部，在蝕刻製程過程中，位於閘極210頂部的第二介電層232可以對閘極210提供保護作用，從而使得閘極210不受損壞。在另一些實施例中，第一介電層的頂部可以高於蝕刻停止層頂部；在又一些實施例中，第一介電層的頂部還可以低於蝕刻停止層頂部。

【0046】在一些實施例中，第二介電層232的緻密度大於第一介電層231的緻密度，以加強第二介電層232對閘極210的保護效果；在另一些實施例中，第二介電層232的緻密度也可以等於第一介電層231的緻密度。

【0047】在一些實施例中，第一介電層231的材料可以為氧化矽，第二介電層232的材料可以為氮化矽或者氮氧化矽。

【0048】第二電連接部250與接觸結構220相接觸，第一電連接部240與接觸結構220相鄰，且與半導體結構中的另一接觸結構（未圖示）相接觸，各自將基底200中的兩個相鄰的源極或者汲極中的電流引出。第一電連接部240中的第一阻擋層241覆蓋第一導電層242的底部表面，並且與介電層230的表面相接觸，可以防止第一導電層242中的離子擴散至介電層230中。

【0049】在沿源極指向汲極的方向上，第一阻擋層241的寬度小於第一導電層242的寬度。如此，使得第一導電層242底部、第一阻擋層241朝向接觸結構220的側壁以及介電層230頂面這三者間形成了一個空洞，由於空洞的存在，第一電連接部240底部與接觸結構220之間的距離較大，從而降低第一電連接部240與接觸結構220接觸的概率，進而減小短路的風險。

【0050】具體的，在一些實施例中，第一阻擋層241的寬度與第一導電層242的寬度的比值為0.5~0.9。在這個比值範圍內，一方面使得第一阻擋層241的寬度相較於第一導電層242的寬度而言較小，使得第一電連接部240底部與接觸結構220之間的距離較大。另一方面，第一阻擋層241與第一導電層242之間的接觸面積較大，使得第一阻擋層241與第一導電層242之間的接觸電阻較小，從而第一電連接部240內部的電流導通能力較好，使得第一電連接部240的導電性能保持較好。

【0051】第一阻擋層241的材料可以為TiN或者Ta₂N₃，第一導電層242的材料可以為鎢。第一阻擋層241的作用為防止第一導電層242中的金屬離子擴散至介電層230中。

【0052】在另一些實施例中，第一阻擋層241的材料也可以為Ta或者Ti中的任一種，第一導電層242的材料也可以為銅或者鋁中的任一種。

【0053】第一阻擋層241的厚度小於第一導電層242的厚度。可以理解的是，在這個厚度範圍內，第一導電層242的厚度相對較大，而第一導電層242的導電能力是較強的，如此，使得第一電連接部240的整體電阻相對較小，有利於改善電流的導通能力。

【0054】第一阻擋層241在基底200表面的正投影位於第一導電層242在基底200表面的正投影內。也就是說，第一阻擋層241與第一導電層242是正對的，在源極指向汲極的方向上，第一阻擋層241的寬度小於第一導電層242的寬度。需要說明的是，如無特別說明，以下所有提到的寬度，都是指在源極指向汲極的方向上的寬度。

【0055】在一些實施例中，第二電連接部250可以包括堆疊設置的第二阻擋層251以及第二導電層252，第二阻擋層251與接觸結構220的部分頂面相接觸；且接觸結構220頂面、第二阻擋層251側壁以及第二導電層252底面圍成空洞區域。在另一些實施例中，第二電連接部也可以為僅包括第二導電層的單層結構。

【0056】第二阻擋層251與接觸結構220的部分頂面相接觸，即形成錯位連接的結構。採用這種連接方式的好處是：一方面使得在相同面積的介電層230表面，可以形成數量更多的電連接部，充分利用空間，提高半導體結構的性能；另一方面，相較於第二阻擋層251覆蓋接觸結構220的整個頂面而言，部分未與第二阻擋層251連接的接觸結構220頂面的存在，使得第二電連接部250與第一電連接部240之間的相對距離較進一步增大，減小第一電連接部240與第二電連接部250之間的短路風險。

【0057】以第一電連接部240指向第二電連接部250的方向為左邊，第二阻擋層251遠離接觸結構220的側壁相對第二導電層252的遠離接觸結構220的側壁向右縮進，使得第二阻擋層251與第一阻擋層241之間的相對距離增大。也就是說，第二阻擋層251的寬度小於第二導電層252的寬度。因此，可以通過僅減小第二阻擋層251的寬度，而不改變第二導電層252的寬度，使第二導電層252底部、第二阻擋層251遠離接觸結構220的側壁以及接觸結構220頂面之間形成了一個空洞，該空洞的存在，使相鄰的第一電連接部240與第二電連接部250中容易產生窄接觸而導致短路的部位不易碰到，進一步降低短路風險。此外，第二阻擋層251朝向接觸結構220的側壁相對第二導電層252的朝向接觸結構220的側壁

向左縮進，使得第二電連接部250底部和與其相鄰的接觸結構（未圖示）頂部之間的距離增大，減小接觸的概率，從而降低短路風險。

【0058】可以理解的是，在另一些實施例中，第二阻擋層的朝向接觸結構的側壁也可以與第二導電層的朝向接觸結構的側壁平齊，如圖3所示。

【0059】在一些實施例中，在沿源極指向汲極的方向上，第一阻擋層241的寬度等於第二阻擋層251的寬度。這是因為，在具體形成第一阻擋層241與第二阻擋層251的製程步驟中，採用一步蝕刻的方法，且設置相同的製程參數對第一阻擋層241以及第二阻擋層251進行回蝕刻，因此形成第一阻擋層241的寬度等於第二阻擋層251的寬度。如此，可以簡化製程步驟，利於規模化生產。

【0060】在另一些實施例中，在沿所述源極指向所述汲極的方向上，第一阻擋層241的寬度也可以不等於第二阻擋層251的寬度。可以設置第一阻擋層241朝向接觸結構220的側壁相對第一導電層242的朝向接觸結構220的側壁向右縮進和遠離接觸結構220的側壁相對第一導電層242的遠離接觸結構220的側壁向左縮進；第二阻擋層251朝向接觸結構220的側壁相對第二導電層252的朝向接觸結構220的側壁平齊，第二阻擋層251遠離接觸結構220的側壁相對第二導電層252的遠離接觸結構220的側壁向右縮進。

【0061】在一些實施例中，第一阻擋層241的材料可以與第二阻擋層251的材料相同；第一導電層242的材料可以與第二導電層252的材料相同。如此，使得在實際製程中，可以通過相同的製程參數，在同一蝕刻步驟中，同時實現形成第一阻擋層241的寬度小於第一導電層242的寬度，第二阻擋層251的寬度小於第二導電層252的寬度，且在沿所述源極指向所述汲極的方向上，第一阻擋層241的長度等於第二阻擋層251的寬度，簡化製程流程。

【0062】接觸結構220貫穿整個介電層230，且位於第一介電層231中的接觸結構220的寬度大於位於第二介電層232中的接觸結構220的寬度，即形成上窄下寬的結構。這是由於第二介電層232的緻密度較大，在實際製程中，較難蝕刻，因此在第二介電層232中形成的接觸結構220寬度較小。可以理解的是，在另一

些實施例中，位於第一介電層中的接觸結構的寬度也可以等於位於第二介電層中的接觸結構的寬度。

【0063】 在一些實施例中，接觸結構220包括：導電主體部221，導電主體部221貫穿介電層230，且第二電連接部250與導電主體部221的部分表面相接觸；擴散阻擋層222，擴散阻擋層222位於導電主體部221的側壁以及底部。擴散阻擋層222可以阻擋導電主體部221中的離子擴散至介電層230以及基底200中。

【0064】 導電主體部221與第一電連接部240之間的擴散阻擋層222頂面低於導電主體部221頂面，且導電主體部221、介電層230以及位於導電主體部221與第一電連接部240之間的擴散阻擋層222頂面圍成通孔區域。通孔區域的存在，使得第一阻擋層241與接觸結構220側壁之間的第二距離相較于沒有通孔區域的條件下，進一步增大。如此，進一步地降低了第一電連接部240與接觸結構220之間的短路風險。

【0065】 在另一些實施例中，如圖3所示，導電主體部221與第一電連接部240之間的擴散阻擋層222頂面也可以與導電主體部221頂面平齊。

【0066】 在一些實施例中，擴散阻擋層222的材料與第一阻擋層241的材料相同，導電主體部221的材料與第一導電層242的材料相同。例如，擴散阻擋層222的材料與第一阻擋層241的材料均為氮化鈦；導電主體部221的材料與第一導電層242的材料均為鎢。

【0067】 在另一些實施例中，擴散阻擋層222的材料也可以與第一阻擋層241的材料不同，導電主體部221的材料也可以與第一導電層242的材料不同。例如，擴散阻擋層222的材料為氮化鈦第一阻擋層241的材料為氮化鉭；導電主體部221的材料為銅，第一導電層242的材料為鎢。

【0068】 上述實施例提供的半導體結構中，第一電連接部240包括堆疊設置的第一阻擋層241以及第一導電層242，在沿源極指向汲極的方向上，第一阻擋層241朝向接觸結構220的側壁與接觸結構220之間的距離為第一距離 L_1 ，第一導電層242朝向接觸結構220的側壁與接觸結構220之間的距離為第二距離 L_2 ，第

一距離 L_1 大於第二距離 L_2 。也就是說，改變第一電連接部240的底部輪廓，使得第一阻擋層241和與其相鄰的接觸結構220之間的距離相對較大，在形成第一電連接部240以及第二電連接部250的製程過程中，避免對準偏差導致第一電連接部240與接觸結構220距離較近的問題，從而降低產生短路的風險，同時還增加了形成第一電連接部240以及第二電連接部250的製程視窗。

【0069】 本公開另一實施例提供一種半導體結構的製備方法，該半導體結構的製備方法可以形成上一公開實施例提供的半導體結構，以下將結合附圖對本公開另一實施例提供的半導體結構的製備方法進行詳細說明。

【0070】 圖4至圖8為本公開另一實施例提供的半導體結構的製備方法中各步驟對應的結構示意圖。

【0071】 參考圖4，提供基底200以及位於基底200上的閘極210，且閘極210兩側的基底200內具有源極或汲極，基底200上還具有介電層230，且介電層230覆蓋閘極210的頂面和側壁。

【0072】 基底200為半導體基底，在一些實施例中，半導體基底為矽基底。在另一些實施例中，半導體基底還可以為鍺基底、鍺化矽基底或者碳化矽基底。

【0073】 形成閘極210的步驟可以包括：形成依次堆疊設置的閘極介電層211、閘極導電層212以及閘極蓋層213。在一些實施例中，閘極導電層212可以包括依次層疊的第一閘極導電層214、阻擋層215以及第二閘極導電層216。

【0074】 還可以包括：形成第一側牆層217，第一側牆層217覆蓋閘極210側壁；形成第二側牆層218，第二側牆層218覆蓋第一側牆層217側壁、閘極210以及部分基底200；形成蝕刻停止層219，覆蓋第二側牆層218。

【0075】 還包括：在閘極210的一側基底200內形成源極，閘極210的另一側基底200內形成汲極。在一些實施例中，半導體結構為PMOS管，則源極和汲極的摻雜離子為P型離子；在另一些實施例中，半導體結構為NMOS管，則源極和汲極的摻雜離子為N型離子。

【0076】 形成介電層230的步驟包括：形成依次堆疊的第一介電層231和第二介電層232。

【0077】 在一些實施例中，第二介電層232的緻密度大於第一介電層231的緻密度，使得第二介電層232對閘極210的保護作用增強。在另一些實施例中，第二介電層232的緻密度也可以等於第一介電層231的緻密度。

【0078】 有關基底、閘極和介電層的詳細說明，可參考前述實施例的具體描述，以下將不做詳細贅述。

【0079】 參考圖5及圖6，形成接觸結構220，接觸結構220貫穿介電層230並與源極或者汲極電連接。

【0080】 具體地，參考圖5，形成接觸結構220的具體製程步驟包括：採用蝕刻製程圖形化第一介電層231和第二介電層232，形成相互連通的第一通孔21以及第二通孔22，第一通孔21貫穿第一介電層231，第二通孔22貫穿第二介電層232，且第一通孔21與第二通孔22正對且相通，使得後續步驟中在第一通孔與第二通孔中填充接觸結構時，第一通孔中的第一接觸層與第二通孔中的第二接觸層正對且相通，從而使得第一接觸層與第二接觸層的接觸面積較大，進而減小第一接觸層與第二接觸層的接觸電阻。

【0081】 值得注意的是，在一些實施例中，在同一步驟中，採用相同的蝕刻製程參數形成第一通孔21以及第二通孔22。在另一些實施例中，也可以分別對第一介電層231以及第二介電層232進行蝕刻，形成第一通孔21以及第二通孔22。

【0082】 第一通孔21的寬度大於第二通孔22的寬度，這是因為第二介電層232蝕刻速率小於第一介電層231的蝕刻速率，相對而言，第二介電層232大於第一介電層231緻密度，第一介電層231的蝕刻速率較快，或者蝕刻製程氣體對第二介電層232的材料的蝕刻選擇比大於第一介電層231的材料的蝕刻選擇比。因此，在一步蝕刻的製程步驟中，形成了上窄下寬的通孔結構。可以理解的是，在另一些實施例中，第一通孔的寬度也可以等於第二通孔的寬度。

【0083】 參考圖6，形成接觸結構220的步驟包括：在通孔20中形成導電主體部221以及位於導電主體部側壁和底部的擴散阻擋層222。擴散阻擋層222可以阻擋導電主體部221中的離子擴散至基底200以及介電層230中。

【0084】 在一些實施例中，擴散阻擋層222的材料可以為TiN或者Ta₂N₃，導電主體部221的材料可以為W；在另一些實施例中，擴散阻擋層222的材料還可以為Ta或者Ti中的任一種，導電主體部221的材料還可以為銅或者鋁。

【0085】 具體地，形成接觸結構220的具體製程步驟為：

採用沉積製程在第一通孔21以及第二通孔22中沉積初始擴散阻擋層，且初始擴散阻擋層高於介電層230頂面；去除高於介電層230頂面的部分初始擴散阻擋層，剩餘部分初始擴散阻擋層作為擴散阻擋層222；

採用沉積製程在第一通孔21以及第二通孔22中的擴散阻擋層222表面沉積初始導電主體部，且初始導電主體部高於介電層230頂面；去除高於介電層230頂面的部分初始導電主體部，剩餘初始導電主體部作為導電主體部221，形成接觸結構220。

【0086】 在一些實施例中，接觸結構220貫穿整個介電層230，位於第一介電層231中的接觸結構220的寬度大於位於第二介電層232中的接觸結構220的寬度，即形成上窄下寬的結構。這是由於第二介電層232的緻密度較大，在實際製程中，較難蝕刻，因此在第二介電層232中形成的接觸結構220寬度較小。相較於第一介電層231中的接觸結構220寬度等於第二介電層232中的接觸結構220寬度而言，第一介電層231中的接觸結構220寬度大於第二介電層232中的接觸結構220寬度，使得接觸結構220整體的體積增大，因此具有更小的電阻，從而改善電流導通能力。可以理解的是，在另一些實施例中，位於第一介電層中的接觸結構的寬度也可以等於位於第二介電層中的接觸結構的寬度。

【0087】 在一些實施例中，在形成接觸結構220之前，還可以在第一通孔21底部形成金屬矽化層225，金屬矽化層225可以減小接觸結構220與源極或者汲極之間的接觸電阻。具體地，金屬矽化層225的材料可以是矽化鈷。

【0088】 參考圖2，形成相間隔設置的第一電連接部240以及第二電連接部250，第一電連接部240與第二電連接部250均形成於介電層230頂面，且第二電連接部250還與接觸結構220的部分頂面相接觸，第一電連接部240包括堆疊設置的第一阻擋層241以及第一導電層242，在沿源極指向汲極的方向上，第一阻擋層241朝向接觸結構220的側壁與接觸結構220之間的距離為第一距離 L_1 ，第一導電層242朝向接觸結構220的側壁與接觸結構220之間的距離為第二距離 L_2 ，第一距離 L_1 大於第二距離 L_2 。

【0089】 也就是說，第一導電層242底部、第一阻擋層241朝向接觸結構220的側壁以及介電層230頂面三者間形成一個空洞，該空洞的存在使得第一電連接部240底部與接觸結構220之間的距離增加，從而降低二者接觸的概率，進而減小短路的可能。

【0090】 第一阻擋層241可以阻擋第一導電層242中的離子擴散至介電層230中。具體地，在一些實施例中，第一阻擋層241的材料可以為TiN或者Ta₂N₃，第一導電層242的材料可以為鎢；在另一些實施例中，第一阻擋層241的材料也可以為Ta或者Ti中的任一種，第一導電層242的材料也可以為銅或者鋁中的任一種。

【0091】 形成第一電連接部240以及第二電連接部250的製程步驟包括：

【0092】 參考圖7，在介電層230頂面形成依次堆疊的初始阻擋層31以及初始導電層32，初始阻擋層31覆蓋接觸結構220頂面。初始阻擋層31以及初始導電層32構成初始電連接部30。

【0093】 參考圖8，對初始導電層32以及初始阻擋層31進行圖形化處理，形成相具體地，採用沉積製程在介電層230頂面依次沉積初始阻擋層31以及初始導電層32。

【0094】 互間隔設置的第一初始電連接部40以及第二初始電連接部50，第二初始電連接部50與接觸結構220的部分頂面相接觸。

【0095】 採用幹法蝕刻製程，對初始導電層32以及初始阻擋層31進行蝕刻。在蝕刻初始導電層32以及初始阻擋層31之前，還包括：在初始導電層32表面形成圖形化的掩膜層，以圖形化的掩膜層為掩膜，蝕刻部分初始導電層32以及初始阻擋層31，直至露出部分接觸結構220的頂面以及部分介電層230頂面。露出表面部分的介電層230可以隔離接觸結構220與第一初始電連接部40，防止它們發生接觸而產生短路。

【0096】 在一些實施例中，還可以對露出表面的接觸結構220頂面以及介電層230頂面繼續蝕刻，形成一個朝向基底200的凹面。如此，即使在蝕刻參數精確度較低的情況下，也可以達到隔離效果，增大形成第一初始電連接部40以及第二電初始電連接部的製程視窗。

【0097】 可以理解的是，在另一些實施例中，也可以不對露出表面的接觸結構頂面以及介電層頂面繼續蝕刻。

【0098】 參考圖2，對第一初始電連接部40（參考圖8）中的初始阻擋層41（參考圖8）朝向接觸結構220的側壁進行蝕刻處理，第一初始電連接部40（參考圖8）中剩餘初始阻擋層41（參考圖8）形成第一阻擋層241，第一初始電連接部40（參考圖8）中初始導電層42（參考圖8）形成第一導電層242。

【0099】 可以採用濕法蝕刻製程，對初始阻擋層41的側壁進行蝕刻處理。

【0100】 僅對初始阻擋層41進行蝕刻處理，改變第一初始電連接部40的底部輪廓，使第一電連接部240底部與接觸結構220側壁之間的距離相對較大，減小第一電連接部240與接觸結構220側壁接觸而導致的短路風險。同時，在蝕刻製程中可能存在對準偏差，使得初始阻擋層41與接觸結構220側壁之間距離過近甚至相接觸，此時，對初始阻擋層41進行蝕刻處理，使初始阻擋層41朝向接觸結構220的側壁相對接觸結構220之間的距離變大，避免第一電連接部240與接觸結構220產生電連接而短路的問題。如此，可以避免蝕刻製程的對準偏差而導致第一電連接部240與接觸結構220之間產生距離過近的問題，降低了第一電連接部240與接觸結構220之間的短路風險，從而增加了形成第一電連接部240以及第

二電連接部250的製程視窗。此外，不改變初始導電層42的寬度尺寸，即初始導電層42的電阻不變，因此，仍能保持其較好的導電能力。

【0101】 在一些實施例中，在對所述第一初始電連接部40（參考圖8）中的初始阻擋層41（參考圖8）朝向接觸結構220的側壁進行蝕刻處理的製程步驟中，還對第二初始電連接部50（由初始阻擋層51和初始導電層52構成，參考圖8）中的初始阻擋層51（參考圖8）的側壁進行蝕刻處理。也就是說，第二電連接部250的第二導電層252底部、第二電連接部250的第二阻擋層251遠離接觸結構220的側壁以及接觸結構220頂面之間形成了一個空洞，該空洞的存在，使相鄰的第一電連接部240與第二電連接部250不易接觸，進一步降低短路風險。可以理解的是，在另一些實施例中，也可以不對第二電連接部中的初始阻擋層的側壁進行蝕刻處理。

【0102】 在一些實施例中，在對第一初始電連接部40（參考圖8）中的初始阻擋層41（參考圖8）朝向接觸結構220的側壁進行蝕刻處理的製程步驟中，還蝕刻露出的擴散阻擋層222。因此，接觸結構220中的導電主體部221、介電層230以及位於導電主體部221與第一電連接部240之間的擴散阻擋層222頂面圍成通孔區域。該通孔區域的存在，使得第一阻擋層241與接觸結構220側壁之間的第二距離較不形成通孔區域的條件下進一步增大。如此，更大的降低了第一電連接部240與接觸結構220之間的短路風險。可以理解的是，在另一些實施例中，也可以不對露出的擴散阻擋層進行蝕刻。

【0103】 上述公開實施例提供的半導體結構的製備方法，對第一電連接部240中的第一阻擋層241進行過蝕刻，使得第一阻擋層241與接觸結構220側壁的距離相較於第一導電層242與接觸結構220側壁之間的距離更大。也就是說，改變第一電連接部240的底部輪廓，使得第一阻擋層241和與其相鄰的接觸結構220之間的距離相對較大，因此兩者不容易接觸到。在形成第一電連接部240以及第二電連接部250的製程過程中，避免對準偏差導致第一電連接部240與接觸結構

220距離較近的問題，從而降低發生短路的風險。同時還增加了形成第一電連接部240以及第二電連接部250的製程視窗。

【0104】 本領域的普通技術人員可以理解，上述各實施方式是實現本公開的具體實施例，而在實際應用中，可以在形式上和細節上對其作各種改變，而不偏離本公開的精神和範圍。任何本領域技術人員，在不脫離本公開的精神和範圍內，均可作各自更動與修改，因此本公開的保護範圍應當以請求項限定的範圍為準。

[工業實用性]

【0105】 本公開實施例中，半導體結構包括：位於基底上的閘極，閘極兩側具有源極或汲極；位於基底上的介電層；接觸結構，接觸結構貫穿介電層並與源極或汲極電連接；間隔設置的第一電連接部和第二電連接部，第一電連接部與第二電連接部位於介電層頂面，第二電連接部與接觸結構的部分頂面接觸，第一電連接部包括堆疊設置的第一阻擋層和第一導電層，在沿源極指向汲極的方向上，第一阻擋層朝向接觸結構的側壁與接觸結構間的距離為第一距離，第一導電層朝向接觸結構的側壁與接觸結構間的距離為第二距離，第一距離大於第二距離。本公開申請實施例有利於降低半導體結構的短路風險。

【符號說明】

21	第一通孔
22	第二通孔
30	初始阻擋層
31	初始阻擋層
32	初始導電層
40	第一初始電連接部
41	初始阻擋層
42	初始導電層

50	第二初始電連接部
51	初始阻擋層
52	初始導電層
100	基底
110	閘極
111	閘極介電層
112	閘極導電層
113	閘極蓋層
117	側牆層
120	接觸結構
130	介電層
140	第一電連接部
150	第二電連接部
200	基底
210	閘極
211	閘極介電層
212	閘極導電層
213	閘極蓋層
214	第一閘極導電層
215	阻擋層
216	第二閘極導電層
217	第一側牆層
218	第二側牆層
219	蝕刻停止層
220	接觸結構
221	導電主體部

222	擴散阻擋層
225	金屬矽化層
230	介電層
231	第一介電層
232	第二介電層
240	第一電連接部
241	第一阻擋層
242	第一導電層
250	第二電連接部
251	第二阻擋層
252	第二導電層
L ₁	第一距離
L ₂	第二距離

【發明申請專利範圍】

【請求項1】 一種半導體結構，包括：

基底；位於部分所述基底上的閘極，且位於所述閘極兩側的所述基底內具有源極或汲極；位於所述基底上的介電層，且所述介電層覆蓋所述閘極的表面；

接觸結構，所述接觸結構貫穿所述介電層並與所述源極或者所述汲極電連接；

相間隔設置的第一電連接部以及第二電連接部，所述第一電連接部與所述第二電連接部均位於所述介電層頂面，且所述第二電連接部還與所述接觸結構的部分頂面相接觸；

其中，所述第一電連接部包括堆疊設置的第一阻擋層以及第一導電層，在沿所述源極指向所述汲極的方向上，所述第一阻擋層朝向所述接觸結構的側壁與所述接觸結構之間的距離為第一距離，所述第一導電層朝向所述接觸結構的側壁與所述接觸結構之間的距離為第二距離，所述第一距離大於所述第二距離；所述第二電連接部包括堆疊設置的第二阻擋層以及第二導電層，所述第二阻擋層與所述接觸結構的部分頂面相接觸；且所述接觸結構頂面、所述第二阻擋層側壁以及所述第二導電層底面圍成空洞區域。

【請求項2】 根據請求項1所述的半導體結構，其中，在沿所述源極指向所述汲極的方向上，所述第一阻擋層的寬度小於所述第一導電層的寬度，其中所述第一阻擋層的寬度與所述第一導電層的寬度的比值為0.5~0.9。

【請求項3】 根據請求項1所述的半導體結構，其中，所述第一阻擋層的材料包括TiN或者TaN，所述第一導電層的材料包括W，並且所述第一阻擋層的厚度小於所述第一導電層的厚度。

【請求項4】 根據請求項1所述的半導體結構，其中，在沿所述源極指向所述汲極的方向上，所述第一阻擋層的寬度等於所述第二阻擋層的寬度，並且其中所述第一阻擋層的材料與所述第二阻擋層的材料相同；所述第一導電層的材料與所述第二導電層的材料相同。

【請求項5】 根據請求項1所述的半導體結構，其中，所述第一阻擋層在所述基底表面的正投影位於所述第一導電層在所述基底表面的正投影內，且所述第一阻擋層在所述基底表面的正投影面積小於所述第一導電層在所述基底表面的正投影面積。

【請求項6】 根據請求項1所述的半導體結構，其中，所述接觸結構包括：

導電主體部，所述導電主體部貫穿所述介電層，且所述第二電連接部與所述導電主體部的部分表面相接觸；

擴散阻擋層，所述擴散阻擋層位於所述導電主體部的側壁以及底部。

【請求項7】 根據請求項6所述的半導體結構，其中，位於所述導電主體部與所述第一電連接部之間的所述擴散阻擋層頂面低於所述導電主體部頂面，且所述導電主體部、所述介電層以及位於所述導電主體部與所述第一電連接部之間的所述擴散阻擋層頂面圍成通孔區域，並且

其中，所述擴散阻擋層的材料與所述第一阻擋層的材料相同。

【請求項8】 一種半導體結構的製備方法，包括：

提供基底以及位於部分所述基底上的閘極，且位於所述閘極兩側的所述基底內具有源極或汲極；所述基底上還具有介電層，且所述介電層覆蓋所述閘極的表面；

形成接觸結構，所述接觸結構貫穿所述介電層並與所述源極或者所述汲極電連接；

形成相間隔設置的第一電連接部以及第二電連接部，所述第一電連接部與所述第二電連接部均位於所述介電層頂面，且所述第二電連接部還與所述接觸結構的部分頂面相接觸；

所述第一電連接部包括堆疊設置的第一阻擋層以及第一導電層，在沿所述源極指向所述汲極的方向上，所述第一阻擋層朝向所述接觸結構的側壁與所述接觸結構之間的距離為第一距離，所述第一導電層朝向所述接觸結構的側壁與所述接觸結構之間的距離為第二距離，所述第一距離大於所述第二距離；所述第二電連接部包括堆疊設置的第二阻擋層以及第二導電層，所述第二阻擋層與所述接觸結構的部分頂面相接觸；且所述接觸結構頂面、所述第二阻擋層側壁以及所述第二導電層底面圍成空洞區域。

【請求項9】 根據請求項8所述的半導體結構的製備方法，其中，形成所述第一電連接部以及所述第二電連接部的製程步驟包括：

在所述介電層頂面形成依次堆疊的初始阻擋層以及初始導電層，所述初始阻擋層覆蓋所述接觸結構頂面；

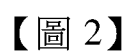
對所述初始導電層以及所述初始阻擋層進行圖形化處理，形成相互間隔設置的第一初始電連接部以及第二初始電連接部，所述第二初始電連接部與所述接觸結構的部分頂面相接觸；

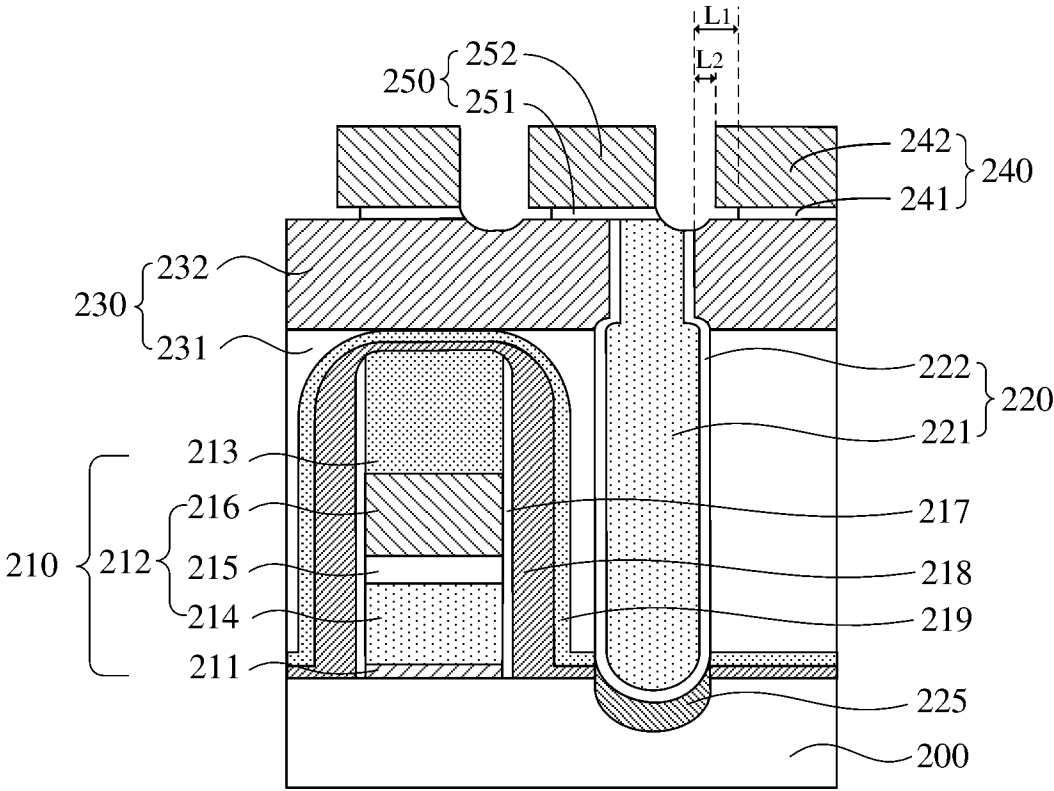
對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理，所述第一初始電連接部中剩餘所述初始阻擋層作為

第一阻擋層，所述第一初始電連接部中剩餘所述初始導電層作為第一導電層，

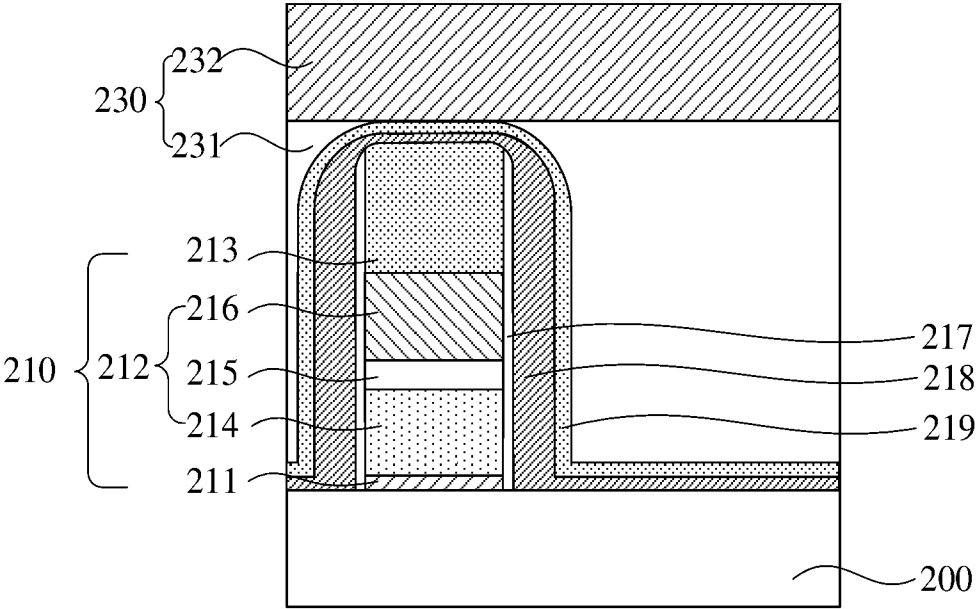
其中，在對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理的製程步驟中，還對所述第二電連接部中的所述初始阻擋層的側壁進行蝕刻處理。

【請求項10】 根據請求項9所述的半導體結構的製備方法，其中，所述接觸結構包括導電主體部以及位於所述導電主體部側壁和底部的擴散阻擋層；在對所述第一初始電連接部中的所述初始阻擋層朝向所述接觸結構的側壁進行蝕刻處理的製程步驟中，還蝕刻露出的所述擴散阻擋層。

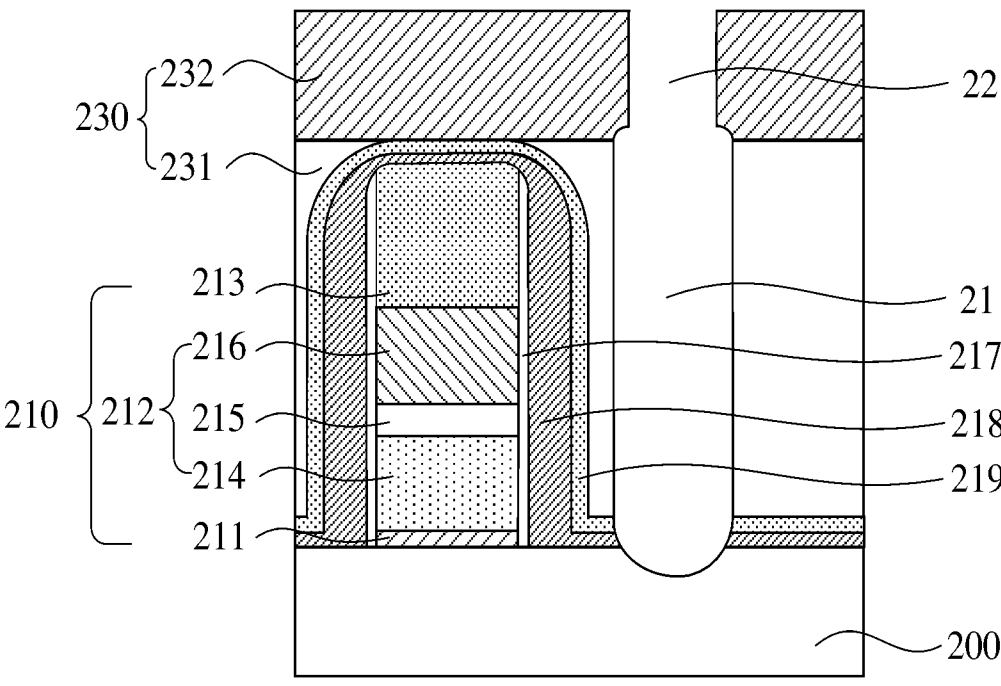




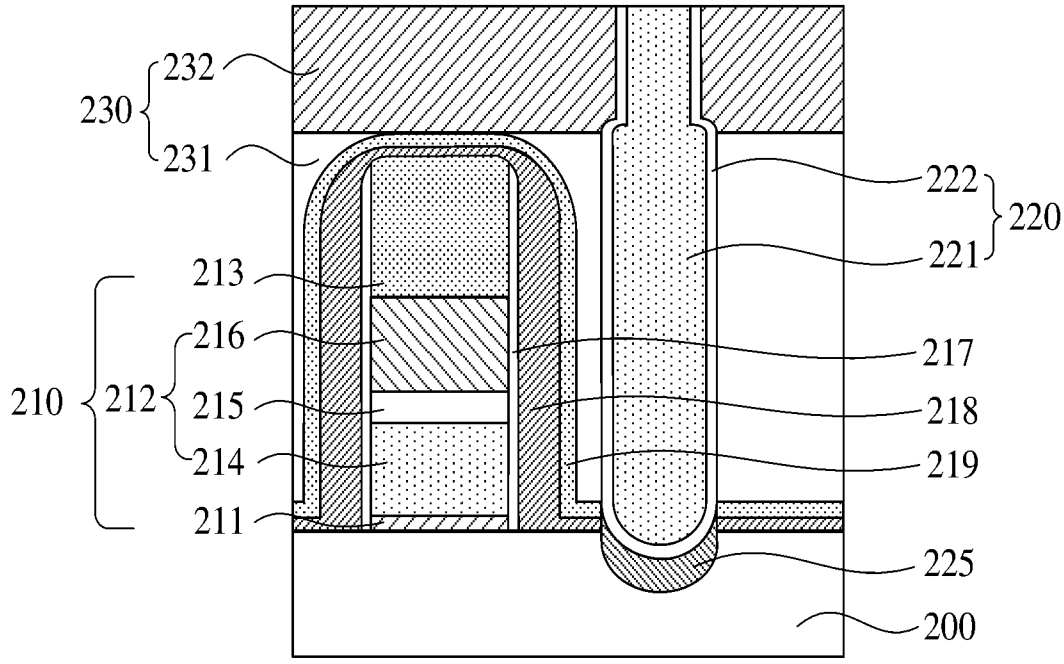
【圖 3】



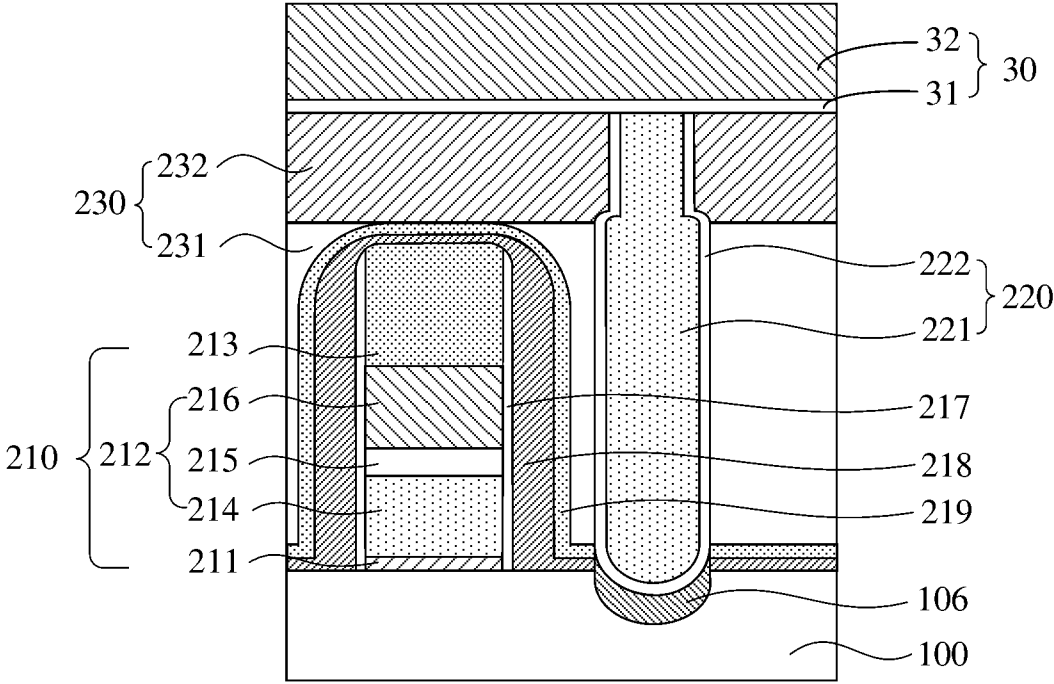
【圖 4】



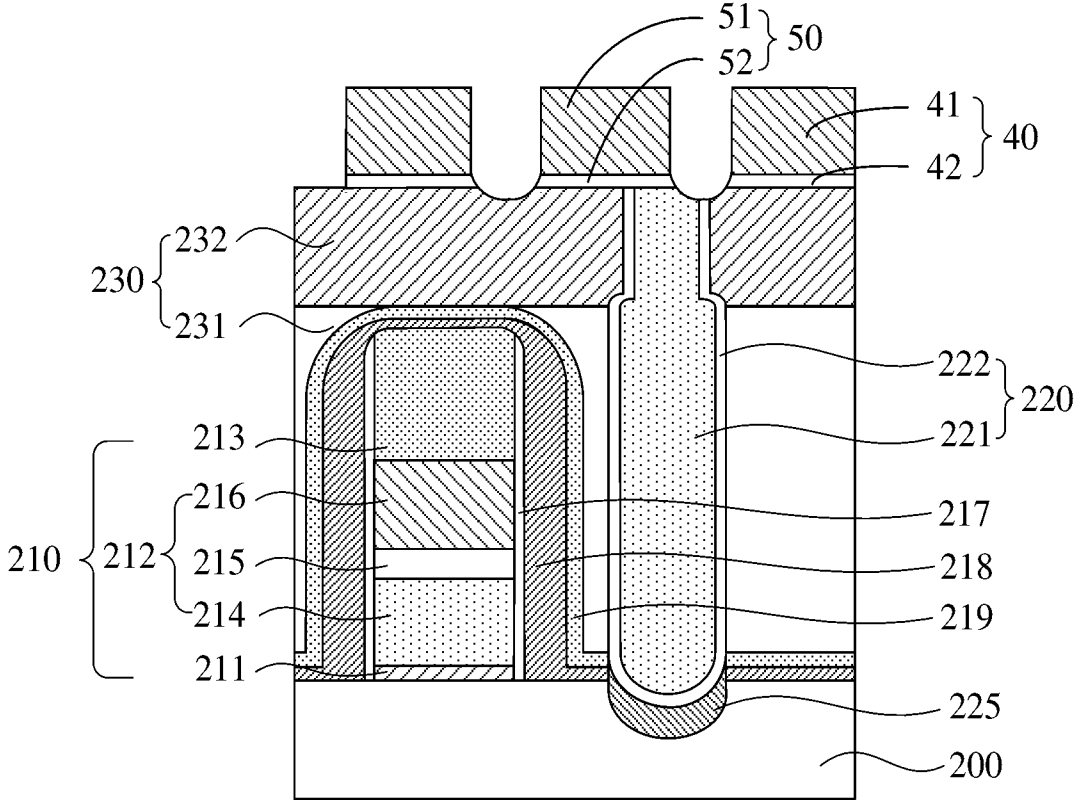
【圖 5】



【圖 6】



【圖 7】



【圖 8】