



(10) **DE 11 2015 005 593 B4** 2025.03.06

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2015 005 593.2**
(86) PCT-Aktenzeichen: **PCT/JP2015/084685**
(87) PCT-Veröffentlichungs-Nr.: **WO 2016/125390**
(86) PCT-Anmeldetag: **10.12.2015**
(87) PCT-Veröffentlichungstag: **11.08.2016**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **28.09.2017**
(45) Veröffentlichungstag
der Patenterteilung: **06.03.2025**

(51) Int Cl.: **H10D 80/20 (2025.01)**
H01L 21/60 (2006.01)
H01L 25/18 (2023.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2015-022257 06.02.2015 JP

(73) Patentinhaber:
Hitachi Astemo, Ltd., Hitachinaka-shi, Ibaraki, JP

(74) Vertreter:
MERH-IP Matias Erny Reichl Hoffmann
Patentanwälte PartG mbB, 80336 München, DE

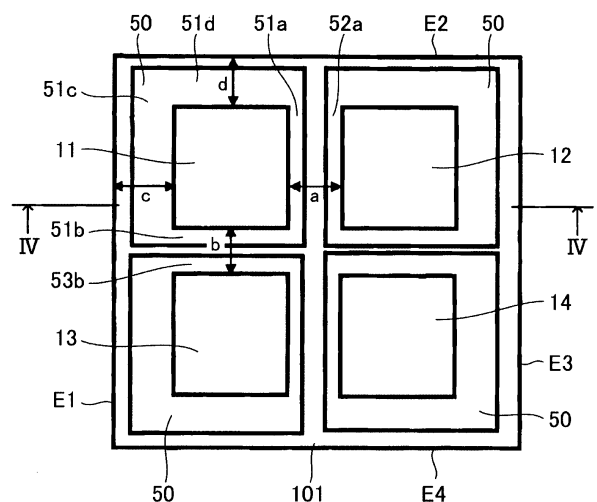
(72) Erfinder:
Yamashita, Shiro, Tokio/Tokyo, JP; Takagi,
Yusuke, Hitachinaka-shi, Ibaraki, JP; Shimura,
Takahiro, Hitachinaka-shi, Ibaraki, JP

(56) Ermittelter Stand der Technik:
siehe Folgeseiten

(54) Bezeichnung: **Leistungsmodul**

(57) Hauptanspruch: Leistungsmodul, das umfasst:
eine Grundplatte (101);
einen ersten Halbleiterchip (11; 21), der vier Ränder aufweist, wobei der erste Halbleiterchip (11; 21) an die Grundplatte (101) gelötet ist;
einen zweiten Halbleiterchip (12; 22), der vier Ränder aufweist, wobei einer der vier Ränder benachbart zu einem ersten Rand des ersten Halbleiterchips (11; 21) angeordnet ist, wobei der zweite Halbleiterchip (12; 22) an die Grundplatte (101) gelötet ist; und
einen dritten Halbleiterchip (13; 23), der vier Ränder aufweist, wobei einer der vier Ränder benachbart zu einem zweiten Rand des ersten Halbleiterchips (11; 21) angeordnet ist, wobei der dritte Halbleiterchip (13; 23) an die Grundplatte (101) gelötet ist,
wobei ein dritter Rand oder ein vierter Rand des ersten Halbleiterchips (11; 21) benachbart zu einem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) angeordnet ist oder ein dritter Rand und ein vierter Rand des ersten Halbleiterchips (11; 21) jeweils benachbart zu einem jeweils zugeordneten seitlichen Ende (E1, E2; E4, E2) der Grundplatte (101) angeordnet sind, und
unter einem halben Abstand ($a/2$) von dem ersten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des zweiten Halbleiterchips (12; 22), einem halben Abstand ($b/2$) von dem zweiten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des dritten Halbleiterchips (13; 23) und einem Abstand (c ; d) von dem dritten

Rand oder von dem vierten Rand des ersten Halbleiterchips (11; 21), der benachbart zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) angeordnet ist, zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) von Lötkehlen (51a, 51b, 51c; 51a, 51b, 51d), die auf diesen Rändern des ersten Halbleiterchips (11; 21) gebildet sind, die Länge (l) einer Lötkehle unter diesen Lötkehlen (51a, 51b, 51c; 51a, 51b, 51d), die auf einem Rand des ...



(56) Ermittelter Stand der Technik:

DE	103 32 695	A1
DE	197 50 073	A1
DE	10 2006 058 695	A1
DE	10 2011 086 687	A1
US	2001 / 0 010 323	A1
US	2013 / 0 307 130	A1
US	4 935 803	A
JP	2003- 100 983	A

Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung bezieht sich auf ein Leistungsmodul, das mit einem Leistungshalbleiterchip versehen ist.

Stand der Technik

[0002] Fahrzeuge wie z. B. Hybridfahrzeuge, Plug-in-Hybridfahrzeuge und Elektrofahrzeuge sind mit einer wiederaufladbaren Kraftantriebs-Hochspannungs-Batterie, einem Wandler, der die Leistung der Gleichstrom-Gleichspannungs-Ausgabe der wiederaufladbaren Hochspannungs-Batterie in die Leistung von Wechselstrom-Hochspannungs-Ausgabe zum Antreiben eines Motors und anderer Vorrichtungen umsetzt. Der Wandler enthält ein Leistungsmodul, das einen eingebauten Leistungshalbleiterchip aufweist.

[0003] Als ein Leistungsmodul ist eine Struktur bekannt, in der ein Halbleiterchip zwischen einem Paar von Leiterplatten montiert ist, die mit einer Wärmeableitungsplatte thermisch gekoppelt sind. Außerdem ist ein Leistungsmodul bekannt, das auch eine Leiterplatte als eine Wärmeableitungsplatte verwendet. Der Halbleiterchip weist eine Fläche und eine weitere Fläche gegenüber der einen Fläche auf. Die eine Fläche und die weitere Fläche des Halbleiterchips sind jeweils an die eine oder die andere eines Paares von Leiterplatten gelötet, wobei der Halbleiterchip zwischen dem Paar von Leiterplatten eingeschoben ist. Um eine hohe Unterbringungsichte zu erreichen, sind manchmal mehrere Halbleiterchips zwischen einem Paar von Leiterplatten montiert. Das Gebiet um den Halbleiterchip ist manchmal mit einem Dichtungsharz gefüllt (siehe z. B. Patentliteratur 1).

[0004] Patentliteratur 2 betrifft eine keramische Leiterplatte, deren Metallisierung Einschnitte zwischen Flächen der Metallisierung aufweist, auf denen elektronische Komponenten mittels Lotschichten befestigt sind. Ein Ausfließen der Lotschichten über die Seitenränder der elektronischen Komponenten hinaus wird dadurch eingegrenzt.

[0005] Patentliteratur 3 betrifft ein System und ein Verfahren zum Herstellen von Lötverbindungen. Das System umfasst ein Substrat mit einer Vertiefung, auf deren Boden ein leitfähiges Pad und ein Lötpad angeordnet sind, wobei das Lötpad eine größere Breite als das leitfähige Pad aufweist. Durch Herstellung eines Kontakts mit dem leitfähigen Pad einer Komponente entsteht aus dem Lötpad eine dehnbare Lötverbindung zwischen dem leitfähigen Pad des Substrats und dem leitfähigen Pad der Kom-

ponente, wobei sich entlang des Umfangs der Lötverbindung ein inverser Meniskus ausbildet.

[0006] Patentliteratur 4 betrifft ein Leistungshalbleitermodul mit einem stumpf auf eine Leiterbahn gelöteten Anschlusselement. Da Lote benetzende Eigenschaften aufweisen, bilden sich durch die Oberflächenspannung Lotmenisken zwischen den beiden Verbindungspartnern, dem Anschlusselement und der Leiterbahn, aus. Patentliteratur 5 betrifft eine Schaltungsträgerplatte, auf der ein Bauelement aufgelötet ist, wobei mit Hilfe der Oberflächenspannung des flüssigen Lotes ein automatisches, passives Ausrichten des Bauelements auf der Schaltungsträgerplatte erfolgt und dabei gleichzeitig zwei korrespondierende Anschlüsse miteinander verbunden werden, von denen sich der eine auf dem Bauelement und der andere auf der Schaltungsträgerplatte befindet.

[0007] Patentliteratur 6 betrifft eine Halbleitervorrichtung. Patentliteratur 7 betrifft eine Anordnung zur Befestigung eines Leistungsbauelements an einem Träger mittels Lötens. Patentliteratur 8 betrifft eine selbstzentrierende Elektrode für ein Leistungsgerät. Patentliteratur 9 betrifft ein Verfahren zum Kontaktieren eines Halbleiters und eine Kontaktanordnung für einen Halbleiter.

Entgegenhaltungsliste

Patentliteratur

Patentliteratur 1: JP 2005- 244 166 A

Patentliteratur 2: JP 2003- 100 983 A

Patentliteratur 3: US 2001/ 0 010 323 A1

Patentliteratur 4: DE 10 2006 058 695 A1

Patentliteratur 5: DE 197 50 073 A1

Patentliteratur 6: US 2013/ 0 307 130 A1

Patentliteratur 7: DE 103 32 695 A1

Patentliteratur 8: US 4 935 803 A

Patentliteratur 9: DE 10 2011 086 687 A1

Zusammenfassung der Erfindung

Technisches Problem

[0008] Es ist gefordert, eine hohe Unterbringungsichte zu erreichen und die Abstände zwischen Halbleiterchips, die auf einer Leiterplatte montiert sind, oder die Abstände zwischen den Halbleiterchips und den äußeren Rändern der Leiterplatte weiter zu verringern. Herkömmlicherweise waren jedoch Abstände zwischen Halbleiterchips und Abstände zwischen den Halbleiterchips und den äußeren Rändern einer Leiterplatte einander alle gleich. Somit,

selbst wenn ein Teil der Abstände zwischen Halbleiterchips und der Abstände zwischen den Halbleiterchips und den äußeren Rändern der Leiterplatte kürzer sind als ein vorbestimmter Abstand, bringt das eine Möglichkeit mit sich, einen Kurzschluss zwischen den Halbleiterchips aufgrund von Überlauf von Lot aus den Bildungsgebieten von Lötkehlen, die den Halbleiterchip mit der Leiterplatte verbinden, zu verursachen oder eine Möglichkeit, einen Überlauf von Lot aus den Bildungsgebieten der Lötkehlen aus den äußeren Rändern der Leiterplatte zu verursachen. Wenn Lot in den Bildungsgebieten der Lötkehlen aus den äußeren Rändern der Leiterplatte überläuft, treten Kurzschlüsse zwischen anderen Elementen auf, oder das übergelaufene Lot wird abgeschält, so dass es eine leitfähige Fremdschubstanz ist, was zu einem Faktor, um einen Fehler zu verursachen, oder einem Faktor, die Leistungen zu verschlechtern, führt.

Lösung des Problems

[0009] Die Aufgabe wird durch die Merkmale des unabhängigen Patentanspruchs 1 gelöst. Vorteilhaftige Weiterbildungen der Erfindung sind in den Unteransprüchen beschrieben.

Vorteilhafte Effekte der Erfindung

[0010] Gemäß der vorliegenden Erfindung kann ein Kurzschluss zwischen Halbleiterchips oder Überlauf von Lot von dem seitlichen Ende einer Grundplatte aufgrund von Überlauf von Lot aus Lötkehlenbildungsgebieten unterdrückt werden.

Kurzbeschreibung der Zeichnungen

Fig. 1 ist eine perspektivische Ansicht des Aussehens einer Ausführungsform eines Leistungsmoduls gemäß der vorliegenden Erfindung.

Fig. 2 ist eine Querschnittsansicht des Leistungsmoduls in **Fig. 1**, genommen entlang der Linie II-II in **Fig. 1**.

Fig. 3 ist eine schematische Draufsicht einer Montagestruktur von Halbleiterchips.

Fig. 4 ist eine vergrößerte Querschnittsansicht des Gebiets IV in **Fig. 2**, genommen entlang der Linie IV-IV in **Fig. 3**.

Fig. 5 zeigen Diagramme zum Erläutern der Beziehung zwischen dem erhöhten Betrag der Oberfläche einer Lötkehle und der Länge eines Lötkehlenbildungsgebiets; (a) ist eine Querschnittsansicht zum Darstellen der Kriterien der Lötstruktur eines Halbleiterchips, und (b) ist eine typische Ansicht der Beziehung zwischen dem erhöhten Betrag der Oberfläche der Lötkehle und der Länge des Lötkehlenbildungsgebiets.

Fig. 6 ist eine schematische Draufsicht einer zweiten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 7 ist eine Querschnittsansicht, genommen entlang der Linie VII-VII in **Fig. 6**.

Fig. 8 ist eine Querschnittsansicht einer dritten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 9 ist eine Querschnittsansicht einer vierten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 10 ist eine schematische Draufsicht einer fünften Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 11 ist ein Diagramm einer beispielhaften Modifikation der fünften Ausführungsform.

Fig. 12 ist eine schematische Draufsicht einer sechsten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 13 ist ein Diagramm einer ersten beispielhaften Modifikation der sechsten Ausführungsform.

Fig. 14 ist ein Diagramm einer zweiten beispielhaften Modifikation der sechsten Ausführungsform.

Fig. 15 ist eine schematische Draufsicht einer siebten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

Fig. 16 ist ein Diagramm einer beispielhaften Modifikation der siebten Ausführungsform.

Fig. 17 ist ein Diagramm eines ersten Effekts der vorliegenden Erfindung, das die Häufigkeit des Auftretens von Kurzschlüssen zwischen Halbleiterchips gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 18 ist ein Diagramm eines zweiten Effekts der vorliegenden Erfindung, das die Häufigkeit des Auftretens von Überlauf von Lot zu dem seitlichen Ende eines Rahmens gemäß der zweiten Ausführungsform der vorliegenden Erfindung zeigt.

Beschreibung von Ausführungsformen

[0011] Die Erfindung wird nachfolgend unter Bezugnahme auf die Figuren beispielhaft näher erläutert.

Erste Ausführungsform

(Gesamtstruktur eines Leistungsmoduls)

[0012] Im Folgenden wird mit Bezug auf die **Fig. 1** bis **4** eine erste Ausführungsform eines Leistungsmoduls gemäß der vorliegenden Erfindung beschrieben.

[0013] **Fig. 1** ist eine perspektivische Ansicht des Aussehens einer Ausführungsform eines Leistungsmoduls gemäß der vorliegenden Erfindung. **Fig. 2** ist eine Querschnittsansicht des Leistungsmoduls in **Fig. 1**, genommen entlang der Linie II-II in **Fig. 1**.

[0014] Beispielsweise kann ein Leistungsmodul 100 gemäß der Ausführungsform der vorliegenden Erfindung in einer Vorrichtung wie z. B. einem fahrzeuginternen Leistungswandler eines elektrischen Drehstrommaschinenantriebssystems, das auf einem Kraftfahrzeug installiert ist, verwendet werden.

[0015] Das Leistungsmodul 100 enthält ein Modulgehäuse 201, das mehrere Leistungshalbleiterchips 11 bis 14, die später beschrieben werden sollen, aufnimmt, die zwischen einem ersten Leitungsrahmen 101 und einem zweiten Leitungsrahmen 102 montiert sind (siehe **Fig. 3** und andere Zeichnungen).

[0016] Das Modulgehäuse 201 ist aus einem Aluminiumlegierungsmaterial gebildet, wie z. B. Al, AlSi, AlSiC und Al-C, das beispielsweise eine dosentypische Form aufweist, die nahtlos in einem Stück gebildet ist (im Folgenden als Dosentyp bezeichnet). Hier bedeutet der Dosentyp einen Behälter in einer nahezu rechteckigen Parallelepipedform mit einem Boden, wobei der Behälter eine Einführungsöffnung 306 auf einer vorbestimmten Seite aufweist. Das Modulgehäuse 201 weist eine Struktur auf, die keine Öffnungen außer der Einführungsöffnung 306 aufweist. Der äußere Rand der Einführungsöffnung 306 ist von einem Flansch 304B umgeben.

[0017] Ein Metallgehäuse in einer solchen Form ist gebildet. Somit kann, obwohl das Modulgehäuse 201 in einen Durchlass eingeführt ist, in dem ein Kühlmedium wie z. B. Wasser und Öl fließt, Abdichtung gegen das Kühlmedium durch den Flansch 304B sichergestellt sein. Mit anderen Worten kann mit einer einfachen Konfiguration verhindert werden, dass das Kühlmedium in das Innere und den Anschlussabschnitt des Modulgehäuses 201 eintritt.

[0018] Die Form des Modulgehäuses 201 unterhalb des Flanschs 304B weist eine dünne rechteckige

Parallelepipedform auf, die ein Paar von Wärmeableitungsbasen 307 aufweist, auf denen Rippen 305 gleichmäßig angeordnet sind. An den Verbindungsstellen der Wärmeableitungsbasen 307 zu dem Flansch 304B ist ein gekrümmter Abschnitt 304A gebildet, dessen Dicke extrem dünn ist. Eine Isolierfolie 333 von hoher Wärmeleitfähigkeit ist zwischen den inneren Oberflächen der Wärmeableitungsbasen 307 und dem ersten und dem zweiten Leitungsrahmen 101 und 102 vorgesehen. Im Betrieb erzeugen die Leistungshalbleiterchips 11 bis 14 Wärme, und ihre Temperatur wird hoch. In dem Leistungsmodul 100 gemäß der Ausführungsform wird Wärme, die durch die Halbleiterchips 11 bis 14 im Betrieb erzeugt wird, in dem ersten und dem zweiten Leitungsrahmen 101 und 102 verteilt und zu der Isolierfolie 333 geleitet. Die Wärme wird von den Wärmeableitungsbasen 307, die auf dem Modulgehäuse 201 gebildet ist, und den Rippen 305, die auf den Wärmeableitungsbasen 307 bereitgestellt sind, zu einem Kühlmedium abgeleitet. Somit kann eine hohe Kühlleistung implementiert sein.

[0019] Die Halbleiterchips 11 bis 14 sind zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 durch Lötens montiert, und Bereiche um die Halbleiterchips 11 bis 14 sind mit einem primären Dichtmaterial 350 abgedichtet. Die Montagestruktur der Halbleiterchips 11 bis 14 auf dem ersten und dem zweiten Leitungsrahmen 101 und 102 wird später beschrieben.

[0020] Der erste Leitungsrahmen 101 weist mehrere Leitungen 111 auf, die sich nach oben erstrecken. Die Endspitzen der Leitungen 111 sind zu dem Äußeren von dem primären Dichtmaterial 350 freigelegt. Mit anderen Worten ist der erste Leitungsrahmen 101 mit dem primären Dichtmaterial 350 integral gebildet, wobei die Endspitzen der Leitungen 111 freigelegt sind. Mit den Endspitzen der Leitungen 111 sind positive und negative Gleichstromelektrodenanschlüsse 121 und ein Wechselstromanschluss 121 und mehrere externe Signalanschlüsse 122 beispielsweise durch Lötens zusammengefügt. Die positiven und negativen Gleichstromelektrodenanschlüsse 121 und der Wechselstromanschluss 121, die mehreren externen Signalanschlüsse 122 und die Leitungen 111 des ersten Leitungsrahmens 101 sind mit einem zusätzlichen Gusskörper 380 integral gebildet.

[0021] Das primäre Dichtmaterial 350, das mit dem ersten Leitungsrahmen 101 integral gebildet ist, ist in dem Modulgehäuse 201 aufgenommen, wobei die positiven und negativen Gleichstromelektrodenanschlüsse 121 und der Wechselstromanschluss 121 und die mehreren externen Signalanschlüsse 122, die mit einem zusätzlichen Gusskörper 380 integral gebildet sind, mit den entsprechenden Leitungen 111 des ersten Leitungsrahmens 101 verbunden sind. In

diesem Zustand wird ein sekundäres Dichtmaterial 351 von der Einführungsöffnung 306 des Flanschs 304B zugeführt. Das sekundäre Dichtmaterial 351 wird in die Innenseite des Flanschs 304B und den Raum zwischen den Rändern des ersten und des zweiten Leitungsrahmens 101 und 102 und dem primären Dichtmaterial 350 zugeführt. Das sekundäre Dichtmaterial 351 wird außerdem zwischen der Bodenfläche des Modulgehäuses 210 und der unteren Fläche des primären Dichtmaterials 350 zugeführt. Das Leistungsmodul 100 weist eine solche Struktur auf. Das Leistungsmodul 100 setzt die Leistung der Gleichstrom-Hochspannungs-Ausgabe einer wiederaufladbaren Hochspannungs-Batterie in die Leistung einer Wechselstrom-Hochspannungs-Ausgabe um, beispielsweise um als ein Wandler zum Antreiben eines Motors zu funktionieren.

(Montagestruktur der Halbleiterchips)

[0022] Fig. 3 ist eine schematische Draufsicht einer Montagestruktur der Halbleiterchips. Fig. 4 ist eine vergrößerte Querschnittsansicht des Gebiets IV in Fig. 2, genommen entlang der Linie IV-IV in Fig. 3. Es wird darauf hingewiesen, dass in Fig. 3 die Halbleiterchips so dargestellt sind, dass der zweite Leitungsrahmen 102 entfernt ist. In Fig. 4 sind die Komponenten wie z. B. die Leitungen 111, die auf der Außenseite von Gebiet IV in Fig. 2 angeordnet sind, weggelassen.

[0023] Die erste Grundplatte, d. h. der erste Leitungsrahmen 101, und die zweite Grundplatte, d. h. der zweite Leitungsrahmen 102, sind durch Stanzen einer Metallplatte gebildet. Für die Metallplatte können Materialien wie z. B. Kupfer, Aluminium und Eisen verwendet werden. Der erste und der zweite Leitungsrahmen 101 und 102 weisen vorzugsweise hohe Wärmeleitzahlen auf. Somit sind insbesondere Kupfer und Aluminium-Materialien vorzuziehen, die ausgezeichnete Wärmeleitzahlen aufweisen.

[0024] Der erste und der zweite Leitungsrahmen 101 und 102 sind einander gegenüber voneinander beabstandet angeordnet. Vier Halbleiterchips 11 bis 14 sind zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 angeordnet. Wie in Fig. 4 dargestellt sind auf dem zweiten Leitungsrahmen 102 vier Vorsprünge 103 gegenüber den jeweiligen Halbleiterchips 11 bis 14 gebildet. Die vier Vorsprünge 103 sind in einer zwei-mal-zwei-Matrixkonfiguration angeordnet.

[0025] Die Halbleiterchips 11 bis 14 sind in einer dünnen rechteckigen Parallelepipedform und beispielsweise aus Bipolartransistoren mit isoliertem Gate (IGBT) konfiguriert. Die Halbleiterchips 11 bis 14 können Dioden und passive Vorrichtungen zusammen mit IGBTs enthalten. Die Halbleiterchips 11 bis 14 enthalten eine Fläche f_L , die eine untere

Fläche in Fig. 4 ist, und eine weitere Fläche f_U , die eine obere Fläche in Fig. 4 ist. Auf der weiteren Fläche f_U jedes der Halbleiterchips 11 bis 14 ist beispielsweise die Kollektorelektrode des IGBT gebildet. Auf der einen Seite f_L jedes der Halbleiterchips 11 bis 14 sind die Emittierelektrode des IGBT und mehrere Steuerelektroden gebildet. Die Steuerelektroden, in Fig. 4 nicht gezeigt, sind mit der Leitung 111 durch Bonddrähte verbunden.

[0026] Die eine Fläche f_L jedes aus den Halbleiterchips 11 bis 14 ist mit einer ersten Lötstelle 50 auf dem ersten Leitungsrahmen 101 gelötet. Die weitere Fläche f_U jedes aus den Halbleiterchips 11 bis 14 ist an den Vorsprung 103 des zweiten Leitungsrahmens 102 mit einer zweiten Lötstelle 60 gelötet. Der Vorsprung 103 ist in einer rechteckigen Form geringfügig kleiner als die Größen der Halbleiterchips 11 bis 14 in einer ebenen Ansicht gebildet. Die Struktur ist vorgesehen, in der die weitere Fläche f_U an den Vorsprung 103 des zweiten Leitungsrahmens 102 gelötet ist. Somit sind, ähnlich den Vorsprüngen 103, die Halbleiterchips 11 bis 14 in einer zwei-mal-zwei-Matrixkonfiguration angeordnet.

[0027] Als die Lotmaterialien der ersten und der zweiten Lötstelle 50 und 60 können zusätzlich zu Sn-reichen Materialien Au, Zn-Al und Al-Materialien verwendet werden. Zusätzlich zu den Lotmaterialien können auch Materialien, die ein Harz enthalten, wie z. B. Ag-Paste, Cu-Paste, gesintertes Ag und gesintertes Cu, verwendet werden. Materialien, die ein Harz enthalten, weisen vorzugsweise eine niedrige Viskosität auf.

[0028] Die Montagestruktur der Halbleiterchips, die in den Fig. 3 und 4 dargestellt ist, wird beispielsweise durch nachstehende Prozeduren gebildet.

[0029] Ein Lotmaterial, das als die erste Lötstelle 50 gehärtet werden soll, wird dem ersten Leitungsrahmen 101 zugeführt. Für diese Lötstelle kann eine Schichtlötstelle verwendet werden. Alternativ können auch Verfahren verwendet werden, in denen eine Lotpaste durch Drucken gebildet wird und in dem ein geschmolzenes Lot zugeführt wird. Auf dem Lotmaterial, das als erste Lötstelle gehärtet werden soll, werden die Halbleiterchips 11 bis 14 platziert. Auf den Halbleiterchips 11 bis 14 wird ein Lotmaterial, das als die zweite Lötstelle 60 gehärtet werden soll, platziert. Die Zuführung dieses Lotmaterials kann ähnlich wie die Zuführung des Lotmaterials, das als die erste Lötstelle gehärtet werden soll, ausgeführt werden. Die Vorsprünge 103 werden an dem Lotmaterial, das als die zweite Lötstelle 60 gehärtet werden soll, ausgerichtet, und dann wird der zweite Leitungsrahmen 102 auf dem Lotmaterial, das als die zweite Lötstelle 60 gehärtet werden soll, platziert. Der erste und der zweite Leitungsrahmen 101 und 102 werden erwärmt, wobei der zweite Leitungsrahmen 102

gegen den ersten Leitungsrahmen 101 gedrückt wird, zum Lötten der Halbleiterchips 11 bis 14 an den ersten und den zweiten Leitungsrahmen 101 und 102. Somit ist die Montagestruktur der Halbleiterchips 11 bis 14, die in den **Fig. 3** und 4 dargestellt ist, vorbereitet.

[0030] Als Nächstes wird die Montagestruktur der Halbleiterchips 11 bis 14 mit mehr Einzelheiten beschrieben.

(Lötstruktur der Halbleiterchips an dem ersten Leitungsrahmen)

[0031] Wie in den **Fig. 3** und 4 dargestellt sind die Halbleiterchips 11 bis 14 nicht in dem Mittelteil der ersten Lötstelle 50 angeordnet. Die Halbleiterchips 11 bis 14 sind an Positionen nahe den benachbarten anderen Halbleiterchips 11 bis 14 angeordnet, nicht in dem Mittelteil.

[0032] Die Abstände a bis d in **Fig. 3** sind wie nachstehend definiert. Es wird darauf hingewiesen, dass vier Ränder des ersten Leitungsrahmens, d. h. die seitlichen Enden E1 bis E4, in **Fig. 3** dargestellt sind.

[0033] Ein Abstand zwischen dem Halbleiterchip 11 und dem Halbleiterchip 12, d. h. ein Abstand zwischen den Rändern des Halbleiterchips 11 und des Halbleiterchips 12, die einander gegenüber liegen, ist als a definiert;

ein Abstand zwischen dem Halbleiterchip 11 und dem Halbleiterchip 13, d. h. ein Abstand zwischen den Rändern des Halbleiterchips 11 und des Halbleiterchips 13, die einander gegenüber liegen, ist als b definiert;

ein Abstand zwischen dem linken Rand des Halbleiterchips 11 und dem linken seitlichen Ende E1 des ersten Leitungsrahmens 101 ist als c definiert; und ein Abstand zwischen dem oberen Rand des Halbleiterchips 11 und dem oberen seitlichen Ende E2 des ersten Leitungsrahmens 10 ist als d definiert.

[0034] Zwischen dem Halbleiterchip 11 und dem Halbleiterchip 12 sind eine Lötkehle 51a des Halbleiterchips 11 und eine Lötkehle 52a des Halbleiterchips 12 gebildet. Zwischen dem Halbleiterchip 11 und dem Halbleiterchip 13 sind eine Lötkehle 51b des ersten Halbleiterchips 11 und eine Lötkehle 53b des Halbleiterchips 13 gebildet.

[0035] Es ist angenommen, dass die Länge der Lötkehle 51a gleich der Länge der Lötkehle 52a ist und die Länge der Lötkehle 51b gleich der Länge der Lötkehle 53b ist. In diesem Fall müssen die Längen der Lötkehlen 51a und 52a $a/2$ oder kleiner sein, und die Längen der Lötkehlen 51b und 53b müssen $b/2$ oder kleiner sein. Es wird darauf hingewiesen, dass in der vorliegenden Spezifikation, wie in **Fig. 5(a)** dargestellt, die Länge der Lötkehle als eine Länge l von

dem Rand des Halbleiterchips zu der Endspitze der Lötkehle definiert ist.

[0036] Die Halbleiterchips 11 bis 14 sind an den Positionen in der Nähe von benachbarten anderen Halbleiterchips 11 bis 14 angeordnet, nicht in den Mittelteilen von vier Chip-Montagegebieten, die auf dem ersten Leitungsrahmen 101 beinahe gleich unterteilt sind. Hier sind die Mitten von vier Vorsprüngen 103 des zweiten Leitungsrahmens 102 mit den Mitten der Halbleiterchips 11 bis 14 abgestimmt, die nicht in den Mitten der Chip-Montagegebiete montiert sind. Die Abstände $a/2$ und $b/2$ sind kürzer als die Abstände c und d. Je kürzer der Abstand zwischen den Halbleiterchips ist oder je kürzer der Abstand zwischen dem Halbleiterchip und dem seitlichen Ende der Grundplatte ist, desto größer ist die Wahrscheinlichkeit, dass die Halbleiterchips aufgrund des Überlaufs der Lötkehle kurzgeschlossen werden oder dass die Lötkehle von dem seitlichen Ende der Grundplatte überläuft.

[0037] Deshalb sind in den Halbleiterchips 11 und 12 die Längen der Lötkehlen 51a und 52a auf den Rändern benachbart den anderen Halbleiterchips 11 und 12 kürzer gebildet als die Längen der Lötkehlen 51c und 51d, die auf zwei Rändern des Halbleiterchips 11 benachbart den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 gebildet sind. Mit anderen Worten sind die Längen der Lötkehlen 51c und 51d länger gebildet als die Längen der Lötkehlen 51a und 52a. Somit kann ein Kurzschluss zwischen den Halbleiterchips 11 und 12 aufgrund des Überlaufs von Lot aus den Bildungsgebieten der Lötkehlen 51a und 52a unterdrückt werden.

[0038] Ähnlich sind in den Halbleiterchips 11 und 13 die Längen der Lötkehlen 51b und 53b auf den Rändern benachbart den anderen Halbleiterchips 11 und 13 kürzer gebildet als die Längen der Lötkehlen 51c und 51d, die auf zwei Rändern des Halbleiterchips 11 benachbart den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 gebildet sind. Mit anderen Worten sind die Längen der Lötkehlen 51c und 51d länger gebildet als die Längen der Lötkehlen 51b und 53b. Somit kann ein Kurzschluss zwischen den Halbleiterchips 11 und 13 aufgrund des Überlaufs von Lot aus den Bildungsgebieten der Lötkehlen 51b und 53b unterdrückt werden.

[0039] Im Vergleich des Abstands a mit dem Abstand b ist die Länge der Lötkehle, die auf dem Rand an einem kürzeren Abstand gebildet ist, verkürzt. Beispielsweise in dem Fall, wenn der Abstand a kürzer ist als der Abstand b, ist die Länge der Lötkehle 51a kürzer gebildet als die Länge der Lötkehle 51b.

[0040] Im Vergleich des Abstands c mit dem Abstand d kann die Länge der Lötkehle, die auf

dem Rand an einem kürzeren Abstand gebildet ist, kürzer gebildet sein. Beispielsweise in dem Fall, wenn der Abstand c kürzer ist als der Abstand d , kann die Länge der Lötkehle 51c kürzer gebildet sein als die Länge der Lötkehle 51d.

[0041] In einer Ausführungsform wird der Grund, warum die Längen der Lötkehlen 51a, 51b, 52a und 53b kürzer gebildet sein können, beschrieben.

[0042] Da die Oberflächenspannungskräfte auf die Oberfläche einer Flüssigkeit wirken, wirkt die Oberflächenspannungskraft, um die Oberfläche zu verringern, d. h. um die Oberflächenenergie zu verringern. Somit ist in dem Fall zum Vergrößern der Oberfläche Energie notwendig, um die Oberfläche gegen die Oberflächenspannungskraft zu vergrößern. Je größer der erhöhte Betrag der Oberfläche des Lots ist, desto mehr Energie ist für diese Erhöhung notwendig.

[0043] Der Überlauf von Lot bei dem Bilden von Lötkehlen wird verursacht durch Erhöhen eines Drucks in dem Lot, um eine Wölbung des Lots in dem Lötkehlenbildungsgebiet aufgrund einer kurzen Länge des Lötkehlenbildungsgebiets in Bezug auf ein vorbestimmtes Lotvolumen zu verursachen. In dem Fall, wenn die Volumina von Lot, um Lötkehlen zu bilden, gleich sind, ändert sich der erhöhte Betrag der Oberfläche des Lots abhängig von den Längen der Lötkehlen.

[0044] Die **Fig. 5** zeigen ein Beispiel der Korrelation zwischen der Länge l der Lötkehle und dem erhöhten Betrag der Oberfläche des Lots. **Fig. 5(a)** ist eine Querschnittsansicht zum Darstellen der Kriterien der Lötstruktur eines Halbleiterchips. **Fig. 5(b)** ist eine typische Ansicht der Beziehung zwischen dem erhöhten Betrag der Oberfläche der Lötkehle und der Länge des Lötkehlenbildungsgebiets.

[0045] In der Lötstruktur des Halbleiterchips an der Grundplatte, die in **Fig. 5(a)** gezeigt ist, ist die Größe des Chips ein 10 mm-Quadrat. Eine Dicke t der Lötstelle ist 0,2 mm.

[0046] Der erhöhte Betrag der Oberfläche der Lötkehle in **Fig. 5(b)** ist der erhöhte Betrag der Oberfläche der Lötkehle, der in dem Fall abgeleitet wird, in dem der Halbleiterchip von der Oberfläche der Lötstelle um 0,05 mm eingelassen ist. Die Oberfläche der Lötstelle ist so angenommen, dass sich die Lötkehle in einer Bogenform wölbt.

[0047] **Fig. 5(b)** zeigt, dass der erhöhte Betrag der Oberfläche umso kleiner ist, je größer die Länge l des Lötkehlenbildungsgebiets ist. Mit anderen Worten ist der erhöhte Betrag der Oberfläche des Lots in der Lötkehle umso größer, je kürzer die Länge l des Lötkehlenbildungsgebiets ist. Wie vorstehend beschrie-

ben ist umso mehr Energie für diese Vergrößerung notwendig, je größer der erhöhte Betrag der Oberfläche des Lots ist. Mit Verwendung dieses Phänomens wird Energie, die dem Lotmaterial mit der ersten Lötstelle 50, die mit Drücken des Halbleiterchips 11 gegen den ersten Leitungsrahmen 101 geschmolzen wird, durch Erhöhen der Oberflächen der Lötkehlen 51c und 51d, die eine lange Länge l des Lötkehlenbildungsgebiets aufweisen, verbraucht. Somit kann eine Vergrößerung der Oberflächen der Lötkehlen 51a und 51b, die eine kurze Länge l des Lötkehlenbildungsgebiets aufweisen, d. h. Überlauf von Lot aus den Lötkehlenbildungsgebieten, unterdrückt werden.

[0048] Bezug nehmend auf **Fig. 4** sind die Halbleiterchips 11 bis 14 und die Vorsprünge 103 auf denselben Mittelteilen angeordnet. Mit anderen Worten sind die Lücken zwischen vier Rändern jedes aus den Halbleiterchips 11 bis 14 und vier Rändern des Vorsprungs 103 beinahe gleich. Somit weist die zweite Lötstelle 60, die die Halbleiterchips 11 bis 14 mit den Vorsprüngen 103 zusammenfügt, eine Lötkehle 61 auf, die auf vier Rändern jedes der Halbleiterchips 11 bis 14 in gleicher Länge gebildet ist.

[0049] Die Länge der Lötkehle 61 kann kürzer gebildet sein als die Längen der Lötkehlen 51a und 51b. Der Grund ist wie folgt.

[0050] Wie vorstehend beschrieben werden die Halbleiterchips 11 bis 14 erwärmt, es wird Druck auf sie ausgeübt, und sie werden gelötet, wobei der erste Leitungsrahmen 101, die erste Lötstelle, die Halbleiterchips 11 bis 14, die zweite Lötstelle 60 und der zweite Leitungsrahmen 102 gestapelt sind. Mit anderen Worten werden bei dem Löten sowohl die erste als auch die zweite Lötstelle 50 und 60 geschmolzen. In diesem Zustand werden die erste und die zweite Lötstelle 50 und 60 getrennt voneinander gebildet. Die Beziehung zwischen dem Vergrößerungsbetrag der Oberfläche der Lötkehle und der Länge des Lötkehlenbildungsgebiets weist jedoch die in **Fig. 5(b)** gezeigte Beziehung auf. Somit wird die Energie, die dem Lotmaterial zugeführt wird, wenn die erste und die zweite Lötstelle 50 und 60 geschmolzen werden, durch Vergrößern der Oberflächen der Lötkehlen 51c und 51d, die eine lange Länge l des Lötkehlenbildungsgebiets aufweisen, und der Oberflächen der Lötkehlen 51a und 51b verbraucht. Infolgedessen kann eine Vergrößerung der Oberfläche der Lötkehle 61, die eine kurze Länge l des Lötkehlenbildungsgebiets aufweist, d. h. Überlauf von Lot aus den Lötkehlenbildungsgebieten, unterdrückt werden.

[0051] Es wird darauf hingewiesen, dass die Länge der Lötkehle 61 nicht notwendigerweise kürzer ist als die Längen der Lötkehlen 51a und 51b.

[0052] Es wird darauf hingewiesen, dass in der vorstehenden Beschreibung der Halbleiterchip 11 beschrieben wurde. Die Halbleiterchips 12 bis 14 sind gleich wie in dem Fall des Halbleiterchips 11. Mit anderen Worten sind auch in den Halbleiterchips 12 bis 14 die Längen der Lötkehlen, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, kürzer gebildet als die Längen der Lötkehlen, die auf den Rändern benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind.

[0053] Gemäß der Ausführungsform werden die nachstehenden Effekte ausgeübt. (1) Die Halbleiterchips 11 bis 14 wurden mit der ersten Lötstelle 50 an den ersten Leitungsrahmen 101 gelötet. In den Halbleiterchips 11 bis 14 wurden die Längen der Lötkehlen, die auf den Rändern benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet wurden, länger gebildet als die Längen der Lötkehlen, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet wurden.

[0054] Infolgedessen kann in den Halbleiterchips 11 bis 14 Überlauf von Lot aus den Bildungsgebieten der Lötkehlen, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet werden, unterdrückt werden, und ein Kurzschluss zwischen den Halbleiterchips 11 bis 14 kann verhindert werden.

Zweite Ausführungsform

[0055] Fig. 6 ist eine schematische Draufsicht einer zweiten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind. Fig. 7 ist eine Querschnittsansicht, genommen entlang der Linie VII-VII in Fig. 6. In der zweiten Ausführungsform sind der erste und der zweite Leitungsrahmen 101 und 102, die Halbleiterchips 11 bis 14, die erste und die zweite Lötstelle 50 und 60 die gleichen Elemente wie die Elemente der ersten Ausführungsform. Die zweite Ausführungsform unterscheidet sich von der ersten Ausführungsform darin, dass die Halbleiterchips 11 bis 14 an Positionen nahe den Ecken des ersten Leitungsrahmens 101 angeordnet sind und nicht in dem Mittelteil der ersten Lötstelle angeordnet sind.

[0056] Mit anderen Worten ist unter der Annahme, dass die Definitionen der Abstände a, b, c und d in der zweiten Ausführungsform gleich denjenigen in der ersten Ausführungsform sind, die folgende Konfiguration bereitgestellt.

[0057] Der Halbleiterchip 11 ist als ein Beispiel zur Beschreibung verwendet. Die Längen der Lötkehlen 51c und 51d, die auf den zwei Rändern benachbart den seitlichen Enden E1 und E2 des ersten Leitungs-

rahmens 101 gebildet sind, sind kürzer gebildet als die Länge der Lötkehle 51a, die auf dem Rand des Halbleiterchips 11 benachbart dem Halbleiterchip 12 gebildet ist, und die Länge einer Lötkehle 52a, die auf dem Rand des Halbleiterchips 12 benachbart dem Halbleiterchip 11 gebildet ist. Mit anderen Worten sind die Längen der Lötkehlen 51a und 52a, die auf den Halbleiterchips 11 und 12 gebildet sind, länger gebildet als die Längen der Lötkehlen 51c und 51d, die auf zwei Rändern des Halbleiterchips 11 gebildet sind. Somit ist der Überlauf von Lot von den Bildungsgebieten der Lötkehlen 51c und 51d zu den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 unterdrückt.

[0058] Ähnlich sind die Längen der Lötkehlen 51c und 51d, die auf zwei Rändern des Halbleiterchips 11 benachbart den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 gebildet sind, kürzer gebildet als die eine Lötkehle 51b, die auf dem Rand des Halbleiterchips 11 benachbart dem Halbleiterchip 13 gebildet ist, und die Länge einer Lötkehle 53b, die auf dem Rand des Halbleiterchips 13 benachbart dem Halbleiterchip 11 gebildet ist. Mit anderen Worten sind die Längen der Lötkehlen 51b und 53b, die auf den Halbleiterchips 11 und 13 gebildet sind, länger gebildet als die Längen der Lötkehlen 51c und 51d, die auf zwei Rändern des Halbleiterchips 11 gebildet sind. Somit ist der Überlauf von Lot von den Bildungsgebieten der Lötkehlen 51c und 51d zu den zwei seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 unterdrückt.

[0059] Im Vergleich des Abstands c mit dem Abstand d ist die Länge der Lötkehle, die auf dem Rand an einem kürzeren Abstand gebildet ist, verkürzt. Beispielsweise ist in dem Fall, wenn der Abstand c kürzer ist als der Abstand d, die Länge der Lötkehle 51c kürzer gebildet als die Länge der Lötkehle 51d.

[0060] Im Vergleich des Abstands a mit dem Abstand b kann die Länge der Lötkehle, die auf dem Rand an einem kürzeren Abstand gebildet ist, verkürzt sein. Beispielsweise ist in dem Fall, wenn der Abstand a kürzer ist als der Abstand b, die Länge der Lötkehle 51a kürzer gebildet als die Länge der Lötkehle 51b.

[0061] Es wird darauf hingewiesen, dass auch in den Halbleiterchips 12 bis 14 die Beziehung einer Hälfte des Abstands a und einer Hälfte des Abstands b zwischen den Rändern benachbart den anderen Halbleiterchips 12 bis 14 zu den Abständen c und d von den Rändern der Halbleiterchips 12 bis 14 zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 ähnlich zu dem Fall des Halbleiterchips 11 ist. Die Längen der Lötkehlen, die auf den Rändern der Halbleiterchips 12 bis 14 gebildet sind, sind ähnlich den Lötkehlen, die auf den Rändern

des Halbleiterchips 11 gebildet sind. Mit anderen Worten sind auch in den Halbleiterchips 12 bis 14 die Längen der Lötkehlen, die auf den Rändern benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, kürzer gebildet als die Längen der Lötkehlen, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind.

[0062] Gemäß der zweiten Ausführungsform wird ein nachstehender Effekt bewirkt. (1) Die Halbleiterchips 11 bis 14 wurden mit der ersten Lötstelle 50 an den ersten Leitungsrahmen 101 gelötet. In den Halbleiterchips 11 bis 14 wurden die Längen der Lötkehlen, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, länger gebildet als die Längen der Lötkehlen, die auf den Rändern benachbart den seitlichen Enden des ersten Leitungsrahmens 101 gebildet sind. Infolgedessen kann Überlauf von Lot von den Bildungsgebieten der Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden des ersten Leitungsrahmens 101 gebildet sind, zu den seitlichen Enden des ersten Leitungsrahmens 101 unterdrückt werden.

Dritte Ausführungsform

[0063] Fig. 8 ist eine Querschnittsansicht einer dritten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind. Fig. 8 ist ein Diagramm eines Gebiets, das Fig. 4 der ersten Ausführungsform des Leistungsmoduls entspricht.

[0064] Ein Leistungsmodul 100 gemäß der dritten Ausführungsform unterscheidet sich von der ersten Ausführungsform darin, dass eine Aussparung 102b auf einer inneren Oberfläche 102a eines zweiten Leitungsrahmens 102 gegenüber einem ersten Leitungsrahmen 101 gebildet ist. Die anderen Konfigurationen des Leistungsmoduls 100 gemäß der dritten Ausführungsform sind ähnlich denen der ersten Ausführungsform.

[0065] Wie in der ersten Ausführungsform beschrieben sind die Lötkehlen 51c und 51d auf den Rändern benachbart den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 gebildet. Die Längen der Lötkehlen 51c und 51d sind länger gebildet als die Längen der Lötkehlen 51a und 52a, die auf den Rändern benachbart den anderen Halbleiterchips 11 und 12 gebildet sind. Somit läuft das Lot leicht von den Bildungsgebieten der Lötkehlen 51c und 51d über.

[0066] In der dritten Ausführungsform ist die Aussparung 102b auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an einem Abschnitt gebildet, wo die Lötkehlen 51c und 52c einander gegenüber liegen. In Fig. 8 sind die seitlichen

Enden E1 und E3 des zweiten Leitungsrahmens 102 beschrieben. Die Aussparung 102b ist jedoch auf ähnliche Weise auf den seitlichen Enden E2 und E4 gebildet. Wie vorstehend beschrieben läuft Lot leicht über, wenn die Länge des Lötkehlenbildungsgebiets lang ist. Somit läuft Lot von den Bildungsgebieten der Lötkehlen 51c, 52c, 51d und 52d, die eine lange Länge des Lötkehlenbildungsgebiets aufweisen, über und kontaktiert den zweiten Leitungsrahmen 102, was manchmal einen Kurzschluss zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 verursacht. In der dritten Ausführungsform ist die Aussparung 102b auf dem zweiten Leitungsrahmen 102 entsprechend Abschnitten, wo Lot leicht überläuft, gebildet. Infolgedessen kann ein Kurzschluss zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 verhindert werden.

[0067] Die anderen Strukturen der dritten Ausführungsform sind gleich den Strukturen der ersten Ausführungsform. Somit werden Effekte gleich dem Effekt (1) der ersten Ausführungsform bewirkt.

[0068] Wie vorstehend beschrieben ist in der dritten Ausführungsform in den Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 gebildet sind, die Aussparung 102b auf dem zweiten Leitungsrahmen 102 an Abschnitten gegenüber den Lötkehlen gebildet, die auf den Rändern benachbart dem ersten Leitungsrahmen 101 gebildet sind, d. h. langen Lötkehlen. Infolgedessen kann selbst in dem Fall, wenn Lot von den Bildungsgebieten der langen Lötkehlen überläuft, ein Kurzschluss zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 verhindert werden.

Vierte Ausführungsform

[0069] Fig. 9 ist eine Querschnittsansicht einer vierten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind. Fig. 9 ist ein Diagramm eines Gebiets, das Fig. 7 der zweiten Ausführungsform des Leistungsmoduls entspricht.

[0070] Ein Leistungsmodul 100 gemäß der vierten Ausführungsform unterscheidet sich von der zweiten Ausführungsform darin, dass eine Aussparung 102c auf einer inneren Oberfläche 102a eines zweiten Leitungsrahmens 102 gegenüber einem ersten Leitungsrahmen 101 gebildet ist. Die anderen Konfigurationen des Leistungsmoduls 100 gemäß der vierten Ausführungsform sind ähnlich denen der zweiten Ausführungsform.

[0071] Wie in der zweiten Ausführungsform beschrieben sind die Lötkehlen 51a und 52a auf den Rändern der Halbleiterchips 11 und 12 benachbart den Rändern der anderen Halbleiterchips 11 und

12 gebildet. Die Längen der Lötkehlen 51a und 52a sind länger gebildet als die Längen der Lötkehlen 51c und 51d des Halbleiterchips 11, die auf den Rändern benachbart den seitlichen Enden E1 und E2 des ersten Leitungsrahmens 101 gebildet sind. Somit läuft das Lot leicht von den Bildungsgebieten der Lötkehlen 51a und 52a über.

[0072] In der vierten Ausführungsform ist die Aussparung 102c auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an Abschnitten gegenüber den Lötkehlen 51a und 52a gebildet. In **Fig. 9** sind die Lötkehlen 51a und 52a zwischen den Halbleiterchips 11 und 12 beschrieben. Die Aussparung 102c ist auf den Abschnitten gegenüber den Lötkehlen zwischen den Halbleiterchips 11 und 13, den Lötkehlen zwischen den Halbleiterchips 12 und 14 und den Lötkehlen zwischen den Halbleiterchips 13 und 14 gebildet. Infolgedessen kann ein Kurzschluss zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 verhindert werden, der von Überlauf von Lot von den Bildungsgebieten der Lötkehlen 51a und 52a herrührt, der verursacht, dass das Lot den zweiten Leitungsrahmen 102 kontaktiert.

[0073] Die anderen Strukturen der vierten Ausführungsform sind gleich den Strukturen der zweiten Ausführungsform. Somit wird ein Effekt gleich dem Effekt (1) der zweiten Ausführungsform bewirkt.

[0074] Wie vorstehend beschrieben ist in der vierten Ausführungsform in den Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 gebildet sein, die Aussparung 102c auf dem zweiten Leitungsrahmen 102 gegenüber den Lötkehlen gebildet, die auf dem Rand benachbart dem Rand der anderen Halbleiterchips 11 bis 14 gebildet sind, d. h. langen Lötkehlen. Infolgedessen kann selbst in dem Fall, wenn eine lange Lötkehle überläuft, ein Kurzschluss zwischen dem ersten und dem zweiten Leitungsrahmen 101 und 102 verhindert werden.

Fünfte Ausführungsform

[0075] **Fig. 10** ist eine schematische Draufsicht einer fünften Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

[0076] Ein Leistungsmodul 100 gemäß der fünften Ausführungsform enthält drei linear gruppierte Halbleiterchips 21 bis 23. Erste Lötstellen 50, die die Halbleiterchips 21 bis 23 befestigen, sind in einer ebenen Ansicht, in der die Länge der Gruppierungsrichtung, d. h. die Länge der lateralen Richtung, länger ist als die Länge in einer Richtung orthogonal zu der Gruppierungsrichtung, d. h. die Länge in der vertikalen Richtung, von rechteckiger Form. Die Halbleiterchips 21 bis 23 sind in einer ebenen Ansicht quad-

ratisch. Die Halbleiterchips 21 bis 23 sind fast in dem Mittelteil der ersten Lötstelle 50 in der lateralen Richtung und in der vertikalen Richtung angeordnet.

[0077] Die Abstände a bis d in **Fig. 10** sind wie nachstehend definiert.

[0078] Ein Abstand von dem Rand des Halbleiterchips 21 benachbart dem Halbleiterchip 22 zu dem Rand des Halbleiterchips 22 benachbart dem Halbleiterchip 21 ist als a definiert;
ein Abstand von dem Rand des Halbleiterchips 21 benachbart dem Leiter des Chips 23 zu dem Rand des Halbleiterchips 23 benachbart dem Halbleiterchip 21 ist als b definiert;
ein Abstand von dem Rand des Halbleiterchips 21 benachbart einem unteren seitlichen Ende E4 eines ersten Leitungsrahmens 101 zu dem unteren seitlichen Ende E4 des ersten Leitungsrahmens 101 ist als c definiert; und
ein Abstand von dem Rand des Halbleiterchips 21 benachbart einem oberen seitlichen Ende E2 eines ersten Leitungsrahmens 101 zu dem oberen seitlichen Ende E2 des ersten Leitungsrahmens 101 ist als d definiert.

[0079] In der fünften Ausführungsform sind die Abstände a/2 und b/2 kürzer als die Abstände c und d.

[0080] Die Längen der Lötkehlen 51a und 52a der Halbleiterchips 21 und 22, die auf den Rändern benachbart den anderen Halbleiterchips 21 und 22 gebildet sind, sind kürzer gebildet als die Längen der Lötkehlen 51c und 51d, die auf den Rändern des Halbleiterchips 21 benachbart den seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 gebildet sind. Mit anderen Worten sind die Längen der Lötkehlen 51c und 51d, die auf dem Halbleiterchip 21 gebildet sind, länger gebildet als die Längen der Lötkehlen 51a und 52a, die auf den Halbleiterchips 21 und 22 gebildet sind. Somit kann ein Kurzschluss zwischen den Halbleiterchips 21 und 22 aufgrund des Überlaufs von Lot von den Bildungsgebieten der Lötkehlen 51a und 52a unterdrückt werden.

[0081] Ähnlich sind Längen der Lötkehlen 51b und 53b der Halbleiterchips 21 und 23, die auf den Rändern benachbart den anderen Halbleiterchips 21 und 23 gebildet sind, kürzer gebildet als die Längen der Lötkehlen 51c und 51d, die auf den Rändern des Halbleiterchips 21 benachbart den seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 gebildet sind. Mit anderen Worten sind die Längen der Lötkehlen 51c und 51d, die auf dem Halbleiterchip 21 gebildet sind, länger gebildet als die Längen der Lötkehlen 51b und 53b, die auf den Halbleiterchips 21 und 23 gebildet sind. Somit kann ein Kurzschluss zwischen den Halbleiterchips 21 und 23 aufgrund

des Überlaufs von Lot von den Bildungsgebieten der Lötkehlen 51b und 53b unterdrückt werden.

[0082] Im Vergleich des Abstands a mit dem Abstand b ist die Länge der Lötkehle, die auf dem Rand an einem kürzeren Abstand gebildet ist, verkürzt. Beispielsweise in dem Fall, wenn der Abstand a kürzer ist als der Abstand b , ist die Länge der Lötkehle 51a kürzer hergestellt als die Länge der Lötkehle 51b.

[0083] Im Vergleich des Abstands c mit dem Abstand d kann die Länge der Lötkehle, die auf dem Rand an einem kürzeren Abstand gebildet ist, kürzer hergestellt sein. Beispielsweise kann in dem Fall, wenn der Abstand c kürzer ist als der Abstand d , die Länge der Lötkehle 51c kürzer hergestellt sein als die Länge der Lötkehle 51d.

[0084] In der fünften Ausführungsform wurden die Längen der Lötkehlen 51c und 51d, die auf den Rändern des Halbleiterchips 21 benachbart den seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 gebildet sind, länger gebildet als die Längen der Lötkehlen 51a und 51b, die auf den Rändern des Halbleiterchips 21 benachbart den Halbleiterchips 22 und 23 gebildet sind.

[0085] Somit kann, ähnlich dem Effekt (1) der ersten Ausführungsform, Überlauf von Lot von den Bildungsgebieten der Lötkehlen 51a und 51b, die auf den Rändern des Halbleiterchips 21 benachbart den Halbleiterchips 22 und 23 gebildet sind, unterdrückt werden, und ein Kurzschluss zwischen den Halbleiterchips 21 und 23 kann verhindert werden.

[0086] Es wird darauf hingewiesen, dass ähnlich zu der dritten Ausführungsform (siehe **Fig. 8**) in der fünften Ausführungsform eine Aussparung 102b auf einer inneren Oberfläche 102a eines zweiten Leitungsrahmens 102 gebildet sein kann. Mit anderen Worten kann die Aussparung 102b auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an Abschnitten gebildet sein, die den Lötkehlen 51d und 51e, die auf dem Rand der Halbleiterchips 21 bis 23 benachbart den seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 gebildet sind, entsprechen.

Beispielhafte Modifikation der fünften Ausführungsform

[0087] **Fig. 11** ist ein Diagramm einer beispielhaften Modifikation der in **Fig. 10** dargestellten fünften Ausführungsform.

[0088] In der in **Fig. 11** dargestellten beispielhaften Modifikation sind die Halbleiterchips 21 bis 23 in zwei Reihen gruppiert.

[0089] Die Beziehung zwischen den Längen der Lötkehlen 51a bis 51d, die auf den Rändern der Halbleiterchips 21 gebildet sind, die in zwei Reihen angeordnet sind, ist die gleiche wie die in **Fig. 10** beschriebene Beziehung. Somit bewirkt die beispielhafte Modifikation der fünften Ausführungsform den Effekt ähnlich dem Effekt der fünften Ausführungsform.

[0090] Die Halbleiterchips 21 bis 23 können auch in drei oder mehr Reihen gebildet sein. Die Anzahl der Halbleiterchips 21 bis 23, die in jeder Reihe angeordnet sind, kann vier oder mehr sein.

Sechste Ausführungsform

[0091] **Fig. 12** ist eine schematische Draufsicht einer sechsten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

[0092] Ähnlich der fünften Ausführungsform enthält ein Leistungsmodul 100 gemäß der sechsten Ausführungsform drei Halbleiterchips 21 bis 23, die linear gruppiert sind. Die Halbleiterchips 21 bis 23 sind jedoch an Positionen außerhalb des Mittelteils einer ersten Lötstelle 50 angeordnet.

[0093] Wenn die Definitionen der Abstände a bis d in **Fig. 12** gleich wie die der fünften Ausführungsform sind, sind in der sechsten Ausführungsform ein Abstand $b/2$ und der Abstand c kürzer als die Abstände a und d . Der Abstand $b/2$ ist fast gleich dem Abstand c . Der Abstand a ist fast gleich dem Abstand d .

[0094] Die Längen der Lötkehlen 51b und 53b der Halbleiterchips 21 und 23, die auf den Rändern benachbart den anderen Halbleiterchips 21 und 23 gebildet sind, sind fast gleich der Länge einer Lötkehle 51c, die auf dem Rand des Halbleiterchips 21 benachbart einem seitlichen Ende E4 eines ersten Leitungsrahmens 101 gebildet ist. Die Länge einer Lötkehle 51a, die auf dem Rand des Halbleiterchips 21 benachbart dem Halbleiterchip 22 gebildet ist, ist fast gleich der Länge einer Lötkehle 51d, die auf dem Rand des Halbleiterchips 21 benachbart einem seitlichen Ende E2 des ersten Leitungsrahmens 101 gebildet ist. Die Längen der Lötkehlen 51b und 53b, die auf den Halbleiterchips 21 und 23 gebildet sind, und die Länge der Lötkehle 51c, die auf dem Halbleiterchip 21 gebildet ist, sind kürzer gebildet als die Längen der Lötkehlen 51a und 51d, die auf dem Halbleiterchip 21 gebildet sind.

[0095] Mit anderen Worten sind die Längen der Lötkehlen 51a und 51d, die auf dem Halbleiterchip 21 gebildet sind, länger gebildet als die Längen der Lötkehlen 51b und 53b, die auf den Halbleiterchips 21 und 23 gebildet sind, und die Länge der Lötkehle 51c,

die auf dem Halbleiterchip 21 gebildet ist. Es wird darauf hingewiesen, dass die Länge der Lötkehle 52a, die auf dem Rand des Halbleiterchips 22 benachbart dem Halbleiterchip 21 gebildet ist, fast gleich den Längen der Lötkehlen 51b und 53b ist.

[0096] In der sechsten Ausführungsform sind die Längen der Lötkehlen 51a und 51d, die auf dem Halbleiterchip 21 gebildet sind, länger gebildet als die Längen der Lötkehlen 51b und 53b, die zwischen dem Halbleiterchip 21 und dem Halbleiterchip 23 gebildet sind. Somit kann ein Kurzschluss zwischen den Halbleiterchips 21 und 23, der durch die Lötkehlen 51b und 53b verursacht wird, verhindert werden. Die Längen der Lötkehlen 51a und 51d, die auf dem Halbleiterchip 21 gebildet sind, sind länger gebildet als die Länge der Lötkehle 51c, die auf dem Halbleiterchip 21 gebildet ist. Infolgedessen kann Überlauf von Lot von dem Bildungsgebiet der Lötkehle 51c, die auf dem Halbleiterchip 21 gebildet ist, zu dem seitlichen Ende E4 des ersten Leitungsrahmens 101 unterdrückt werden.

[0097] Es wird darauf hingewiesen, dass, wie in der dritten und vierten Ausführungsform (siehe **Fig. 8** und **9**) beschrieben, in der sechsten Ausführungsform eine Aussparung 102b oder 102c auf einer inneren Oberfläche 102a eines zweiten Leitungsrahmens 102 gebildet sein kann. Mit anderen Worten kann die Aussparung 102c oder 102b auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an Abschnitten gebildet sein, die der Lötkehle 51a, die auf dem Rand des Halbleiterchips 21 benachbart dem Halbleiterchip 22 gebildet ist, und der Lötkehle 51d, die auf den Rändern des Halbleiterchips 21 benachbart den seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 gebildet sind, entsprechen. Die Aussparung 102b kann auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an Abschnitten gebildet sein, die den Rändern der Halbleiterchips 22 und 23 benachbart den seitlichen Enden E1 und E2 oder E2 und E3 des ersten Leitungsrahmens gebildet sind.

Erste beispielhafte Modifikation der sechsten Ausführungsform

[0098] **Fig. 13** ist ein Diagramm einer ersten beispielhaften Modifikation der in **Fig. 12** dargestellten sechsten Ausführungsform.

[0099] In **Fig. 13** sind die in **Fig. 12** dargestellten Halbleiterchips 21 bis 23 in zwei Reihen gruppiert. In der ersten beispielhaften Modifikation der sechsten Ausführungsform, die in **Fig. 13** dargestellt ist, ist die Beziehung zwischen den Abständen a bis d zwischen den einander benachbarten Halbleiterchips 21 bis 23 oder die Beziehung zwischen den Abständen a bis d zwischen den Halbleiterchips 21 bis 23 und den seitlichen Enden E1 bis E4 des ersten Leitungs-

rahmens 101 sowohl in der ersten als auch der zweiten Reihe dieselbe wie in der in **Fig. 12** dargestellten sechsten Ausführungsform. Die Beziehung zwischen den Längen der Lötkehlen (51a bis 51d, 52a, 53b und dergleichen), die auf vier Rändern jedes der Halbleiterchips 21 bis 23 gebildet sind, ist ebenfalls sowohl in der ersten als auch in der zweiten Reihe dieselbe wie in der in **Fig. 12** dargestellten sechsten Ausführungsform. Somit bewirkt die erste beispielhafte Modifikation auch den Effekt ähnlich dem Effekt der in **Fig. 12** dargestellten sechsten Ausführungsform.

[0100] Es wird darauf hingewiesen, dass die Halbleiterchips 21 bis 23 auch in drei oder mehr Reihen gebildet sein können. Die Anzahl der Halbleiterchips 21 bis 23, die in jeder Reihe angeordnet sind, kann vier oder mehr sein.

Zweite beispielhafte Modifikation der sechsten Ausführungsform

[0101] **Fig. 14** ist ein Diagramm einer zweiten beispielhaften Modifikation der in **Fig. 12** dargestellten sechsten Ausführungsform.

[0102] Außerdem sind in **Fig. 14** die in **Fig. 12** dargestellten Halbleiterchips 21 bis 23 in zwei Reihen gruppiert. Anders als in der ersten beispielhaften Modifikation, die in **Fig. 13** dargestellt ist, sind jedoch die Halbleiterchips 21 bis 23 in der zweiten Reihe in Bezug auf die Halbleiterchips 21 bis 23 in der ersten Reihe auf dem Kopf stehend angeordnet.

[0103] In der zweiten beispielhaften Modifikation der sechsten Ausführungsform, die in **Fig. 14** dargestellt ist, ist die Beziehung zwischen den Abständen a bis d zwischen den einander benachbarten Halbleiterchips 21 bis 23 oder die Beziehung zwischen den Abständen a bis d zwischen den Halbleiterchips 21 bis 23 und den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 sowohl in der ersten als auch der zweiten Reihe dieselbe wie in der in **Fig. 12** dargestellten sechsten Ausführungsform. Die Beziehung zwischen den Längen der Lötkehlen (51a bis 51d, 52a, 53b und dergleichen), die auf vier Rändern jedes der Halbleiterchips 21 bis 23 gebildet sind, ist ebenfalls sowohl in der ersten als auch in der zweiten Reihe dieselbe wie in der in **Fig. 12** dargestellten sechsten Ausführungsform. Infolgedessen bewirkt die zweite beispielhafte Modifikation auch den Effekt ähnlich dem Effekt der in **Fig. 12** dargestellten sechsten Ausführungsform.

[0104] Es wird darauf hingewiesen, dass in **Fig. 14** eine Konfiguration möglich sein kann, in der die Halbleiterchips 21 bis 23 in drei oder mehr Reihen durch alternierendes Hinzufügen der Anordnung des Halbleiterchips 21 bis 23 in der ersten und der zweiten Reihe bereitgestellt sind. Die Anzahl der Halbleiter-

chips 21 bis 23, die in jeder Reihe angeordnet sind, kann vier oder mehr sein.

Siebte Ausführungsform

[0105] Fig. 15 ist eine schematische Draufsicht einer siebten Ausführungsform der vorliegenden Erfindung, die die Montagestruktur von Halbleiterchips zeigt, die auf einem Leistungsmodul bereitgestellt sind.

[0106] Ähnlich der fünften Ausführungsform enthält ein Leistungsmodul 100 gemäß der siebten Ausführungsform drei Halbleiterchips 21 bis 23, die linear gruppiert sind. Die Halbleiterchips 21 bis 23 sind fast in dem Mittelteil der ersten Lötstelle 50 in der lateralen Richtung und in der vertikalen Richtung angeordnet. Die ersten Lötstellen 50, die die Halbleiterchips 21 bis 23 lötten, sind jedoch in einer rechteckigen Form, wobei die Länge in der lateralen Richtung länger ist als die Länge in der vertikalen Richtung.

[0107] Mit anderen Worten wenn die Abstände a bis d ähnlich der fünften Ausführungsform definiert sind, weist die siebte Ausführungsform die nachstehenden Konfigurationen auf.

[0108] Der Abstand von dem Rand des Halbleiterchips 21 benachbart dem Halbleiterchip 22 zu dem Rand des Halbleiterchips 22 benachbart dem Halbleiterchip 21 ist fast gleich dem Abstand b von dem Rand des Halbleiterchips 21 benachbart dem Halbleiterchip 23 zu dem Rand des Halbleiterchips 23 benachbart dem Halbleiterchip 21. Der Abstand d von dem Rand des Halbleiterchips 21 benachbart einem seitlichen Ende E2 des ersten Leitungsrahmens 101 zu dem seitlichen Ende E2 des ersten Leitungsrahmens 101 ist fast gleich dem Abstand c von dem Rand des Halbleiterchips 21 benachbart einem seitlichen Ende E4 des ersten Leitungsrahmens 101 zu dem seitlichen Ende E4 des ersten Leitungsrahmens 101. Die Abstände c und d sind kürzer gebildet als die Abstände a/2 und b/2.

[0109] Die Längen der Lötkehlen 51a und 52a der Halbleiterchips 21 und 22, die auf den Rändern benachbart den anderen Halbleiterchips 21 und 22 gebildet sind, sind fast gleich den Längen der Lötkehlen 51b und 53b der Halbleiterchips 21 und 22, die auf den Rändern benachbart den anderen Halbleiterchips 21 und 23 gebildet sind. Die Längen der Lötkehlen 51c und 51d, die auf den Rändern des Halbleiterchips 21 benachbart den seitlichen Enden E4 und E2 des ersten Leitungsrahmens 101 gebildet sind, sind fast einander gleich gebildet. Die Lötkehlen 51a, 51b, 52a und 53b sind länger gebildet als die Lötkehlen 51c und 51d.

[0110] Somit läuft in der siebten Ausführungsform das Lot der Lötkehlen 51a, 51b, 52a und 53b leichter von den Lötkehlenbildungsgebieten über als das Lot der Lötkehlen 51c und 51d. Infolgedessen ist der Überlauf von Lot von den Bildungsgebieten der Lötkehlen 51c und 51d zu den zwei seitlichen Enden E2 und E4 des ersten Leitungsrahmens 101 unterdrückt.

[0111] Es wird darauf hingewiesen, dass ähnlich zu der vierten Ausführungsform (siehe Fig. 9) in der siebten Ausführungsform eine Aussparung 102c auf einer inneren Oberfläche 102a eines zweiten Leitungsrahmens 102 gebildet sein kann. Mit anderen Worten kann die Aussparung 102c auf der inneren Oberfläche 102a des zweiten Leitungsrahmens 102 an Abschnitten gebildet sein, die den Lötkehlen 51a, 51b, 52a und 53b der Halbleiterchips 21 bis 23, die auf den Rändern benachbart den anderen Halbleiterchips 21 bis 23 gebildet sind, entsprechen.

Beispielhafte Modifikation der siebten Ausführungsform

[0112] Fig. 16 ist ein Diagramm einer beispielhaften Modifikation der in Fig. 15 dargestellten siebten Ausführungsform.

[0113] In der in Fig. 16 dargestellten beispielhaften Modifikation sind die Halbleiterchips 21 bis 23 in zwei Reihen gruppiert.

[0114] Die Beziehung zwischen den Längen der Lötkehlen 51a bis 51d, die auf den Rändern des Halbleiterchips 21 gebildet sind, die in zwei Reihen angeordnet sind, ist die gleiche wie die in Fig. 15 beschriebene Beziehung. Somit bewirkt die beispielhafte Modifikation der siebten Ausführungsform den Effekt ähnlich dem Effekt der siebten Ausführungsform.

[0115] Die Halbleiterchips 21 bis 23 können auch in drei oder mehr Reihen gebildet sein.

[0116] Die Anzahl der Halbleiterchips 21 bis 23, die in jeder Reihe angeordnet sind, kann vier oder mehr sein.

Bestätigung der Effekte

[0117] Im Folgenden sind spezifische Beispiele der Effekte der vorliegenden Erfindung unter Verwendung von Beispielen gezeigt.

Beispiel 1

[0118] Fig. 17 ist ein Diagramm eines ersten Effekts der vorliegenden Erfindung, das die Häufigkeit des Auftretens von Kurzschlüssen zwischen Halbleiter-

chips gemäß Beispiel 1 der vorliegenden Erfindung zeigt.

[0119] Beispiel 1 weist eine Lötstruktur eines ersten Leitungsrahmens 101, eines zweiten Leitungsrahmens 102 und der Halbleiterchips 11 bis 14 auf, die in den **Fig. 3** und 4 als die erste Ausführungsform gezeigt ist. Im Einzelnen wurden der erste und der zweite Leitungsrahmen 101 und 102 aus Kupferplatten gebildet. Vier Vorsprünge 103 wurden auf dem zweiten Leitungsrahmen 102 gebildet, und die vier Halbleiterchips 11 bis 14 waren entsprechend den Vorsprüngen 103 montiert. Die Halbleiterchips 11 bis 14 weisen eine rechteckige Parallelepipedform einer Größe von 10 mm im Quadrat auf. Die Abstände (a, b und dergleichen) zwischen den einander benachbarten Halbleiterchips 11 bis 14 waren auf 1,0 mm eingestellt. Die Abstände (c, d und dergleichen) von den Halbleiterchips 11 bis 14 zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 waren auf 2,0 mm eingestellt.

[0120] Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, waren auf 0,3 mm eingestellt. Die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, waren auf 1,0 mm eingestellt. Als Lot 50 wurde eine Folie aus Sn3Ag0,5Cu-Lot verwendet. Eine Vakuumaufschmelzvorrichtung wurde zum Aufschmelzen verwendet und unter Verwendung eines Temperaturprofils mit einer Spitze bei einer Temperatur von 250 °C verbunden.

[0121] Als vergleichendes Beispiel 1 wurde eine Lötstruktur, die nachstehend gezeigt ist, aus einem ersten Leitungsrahmen 101, einem zweiten Leitungsrahmen 102 und Halbleiterchips 11 bis 14 vorbereitet.

[0122] Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, waren auf 0,3 mm eingestellt. Die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, waren auf 0,3 mm eingestellt. Mit anderen Worten wurden alle Längen der Lötkehlen, die auf vier Rändern jedes der Halbleiterchips 11 bis 14 gebildet sind, alle auf 0,3 mm eingestellt.

[0123] Die anderen Konfigurationen außer den vorstehenden Konfigurationen sind alle ähnlich den Konfigurationen von Beispiel 1.

[0124] Beispiel 1 und das vergleichende Beispiel 1 wurden jeweils für 20 Vorrichtungen vorbereitet. Auf dem Beispiel 1 und dem vergleichenden Beispiel 1 wurde die Anzahl des Auftretens von Kurzschlüssen zwischen den Halbleiterchips 11 bis 14 und die Anzahl des Auftretens von Überlauf von Lot von den Lötkehlenbildungsgebieten zu den seitlichen Enden des ersten Leitungsrahmens 101 in den Halbleiterchips 11 bis 14 überprüft. Das Ergebnis ist in **Fig. 17** gezeigt.

[0125] In dem vergleichenden Beispiel 1, d. h. in der Montagestruktur, in der die Längen der Lötkehlen, die auf vier Rändern jedes der Halbleiterchips 11 bis 14 gebildet sind, alle in 0,3 mm gebildet waren, trat in sieben aus 20 Vorrichtungen ein Kurzschluss zwischen den Halbleiterchips 11 bis 14 auf.

[0126] Andererseits trat in dem Beispiel 1, d. h. in der Montagestruktur, in der die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, auf 0,3 mm eingestellt waren und die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden des ersten Leitungsrahmens 101 gebildet sind, auf 1,0 mm eingestellt waren, in null aus 20 Vorrichtungen kein Kurzschluss zwischen den Halbleiterchips 11 bis 14 auf.

[0127] Es wird darauf hingewiesen, dass sowohl in Beispiel 1 als auch in dem vergleichenden Beispiel 1 die Anzahl des Auftretens von Überlauf von Lot von den Lötkehlen die auf den Halbleiterchips 11 bis 14 zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101, null aus 20 Vorrichtungen war.

[0128] Aus der vorstehenden Beschreibung wurde gemäß dem Beispiel 1 der vorliegenden Erfindung bestätigt, dass Überlauf von Lot von den Bildungsgebieten der Lötkehlen der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet waren, unterdrückt wurde und ein Kurzschluss zwischen den Halbleiterchips 11 bis 14 verhindert werden konnte.

Beispiel 2

[0129] **Fig. 18** ist ein Diagramm eines zweiten Effekts der vorliegenden Erfindung, das die Häufigkeit des Auftretens von Kurzschlüssen zwischen Halbleiterchips gemäß Beispiel 2 der vorliegenden Erfindung zeigt.

[0130] Beispiel 2 weist eine Lötstruktur des ersten und des zweiten Leitungsrahmens 101 und 102 und der Halbleiterchips 11 bis 14 der zweiten Ausführungsform, die in den **Fig. 6** und 7 dargestellt ist, auf. Im Einzelnen wurden der erste und der zweite

Leitungsrahmen 101 und 102 aus Kupferplatten gebildet. Vier Vorsprünge 103 wurden auf dem zweiten Leitungsrahmen 102 gebildet, und die vier Halbleiterchips 11 bis 14 waren entsprechend den Vorsprüngen 103 montiert. Die Halbleiterchips 11 bis 14 weisen eine rechteckige Parallelepipedform einer Größe von 10 mm im Quadrat auf. Die Abstände (a, b und dergleichen) zwischen den einander benachbarten Halbleiterchips 11 bis 14 waren auf 3,0 mm eingestellt. Die Abstände (c, d und dergleichen) von den Halbleiterchips 11 bis 14 zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 waren auf 1,0 mm eingestellt.

[0131] Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, waren auf 1,0 mm eingestellt. Die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, waren auf 0,3 mm eingestellt. Als Lot 50 wurde eine Folie aus Sn3Ag0,5Cu-Lot verwendet. Eine Vakuumaufschmelzvorrichtung wurde zum Aufschmelzen verwendet und unter Verwendung eines Temperaturprofils mit einer Spitze bei einer Temperatur von 250 °C verbunden.

[0132] Als vergleichendes Beispiel 2 wurde eine Lotstruktur, die nachstehend gezeigt ist, aus einem ersten Leitungsrahmen 101, einem zweiten Leitungsrahmen 102 und Halbleiterchips 11 bis 14 vorbereitet.

[0133] Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, waren auf 0,3 mm eingestellt. Die Längen der Lötkehlen (51c, 51db und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, waren auf 0,3 mm eingestellt. Mit anderen Worten wurden alle Längen der Lötkehlen, die auf vier Rändern jedes der Halbleiterchips 11 bis 14 gebildet sind, alle auf 0,3 mm eingestellt.

[0134] Die anderen Konfigurationen außer den vorstehenden Konfigurationen sind alle ähnlich den Konfigurationen von Beispiel 2.

[0135] Das Beispiel 2 und das vergleichende Beispiel 2 wurden jeweils für 20 Vorrichtungen vorbereitet. Auf dem Beispiel 2 und dem vergleichenden Beispiel 2 wurde die Anzahl des Auftretens von Kurzschlüssen zwischen den Halbleiterchips 11 bis 14 und die Anzahl des Auftretens von Überlauf von Lot von den Lötkehlenbildungsgebieten zu den seitlichen Enden des ersten Leitungsrahmens 101 in den

Halbleiterchips 11 bis 14 überprüft. Das Ergebnis ist in Fig. 18 gezeigt.

[0136] In dem vergleichenden Beispiel 2, d. h. in der Montagestruktur, in der die Längen der Lötkehlen, die auf vier Rändern jedes der Halbleiterchips 11 bis 14 gebildet sind, auf 0,3 mm eingestellt waren, lief Lot von den Bildungsgebieten der Lötkehlen, die auf den Halbleiterchips 11 bis 14 gebildet sind, zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 in 11 aus 20 Vorrichtungen über.

[0137] Andererseits lief in Beispiel 2, d. h. in der Montagestruktur, in der die Längen der Lötkehlen der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet waren, auf 1,0 mm eingestellt waren und die Längen der Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet waren, auf 0,3 mm eingestellt waren, von den Bildungsgebieten der Lötkehlen, die auf den Halbleiterchips 11 bis 14 gebildet waren, zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 in null aus 20 Vorrichtungen kein Lot über.

[0138] Es wird darauf hingewiesen, dass sowohl in Beispiel 2 als auch im vergleichenden Beispiel 2 die Anzahl des Auftretens von Fehlers, die Kurzschlüsse zwischen den Halbleiterchips 11 bis 14 sind, null war.

[0139] Aus der vorstehenden Beschreibung kann gemäß Beispiel 2 der vorliegenden Erfindung Überlauf von Lot von den Bildungsgebieten der Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, zu den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 unterdrückt werden.

[0140] Es wird darauf hingewiesen, dass in Beispiel 1 ein Beispiel gezeigt wurde, in dem die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, auf 0,3 mm eingestellt waren und die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, auf 1,0 mm eingestellt waren. Die Längen der Lötkehlen sind jedoch Beispiele. Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, können kürzer als 0,3 mm oder länger als 0,3 mm sein. Die Längen der Lötkehlen (51a, 51b und dergleichen), die auf zwei gegenüberliegenden Seiten der einander benachbarten Halbleiterchips 11 bis 14 gebildet sind, können voneinander verschieden sein. Ähnlich

können die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, länger als 1,0 mm oder kürzer als 1,0 mm sein. Die Längen der Lötkehlen (51c, 51 und dergleichen), die auf zwei Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, können voneinander verschieden sein.

[0141] In Beispiel 2 wurde ein Beispiel gezeigt, in dem die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, auf 1,0 mm eingestellt waren, und die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, auf 0,3 mm eingestellt waren. Die Längen der Lötkehlen sind jedoch Beispiele. Die Längen der Lötkehlen (51a, 51b, 52a, 53b und dergleichen) der Halbleiterchips 11 bis 14, die auf den Rändern benachbart den anderen Halbleiterchips 11 bis 14 gebildet sind, können kürzer als 1,0 mm oder länger als 1,0 mm sein. Die Längen der Lötkehlen (51a, 51b und dergleichen), die auf Rändern der Halbleiterchips 11 bis 14 benachbart den Rändern der anderen Halbleiterchips 11 bis 14 gebildet sind, können voneinander verschieden sein. Ähnlich können die Längen der Lötkehlen (51c, 51d und dergleichen), die auf den Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden E1 bis E4 des ersten Leitungsrahmens 101 gebildet sind, kürzer als 0,3 mm oder länger als 0,3 mm sein. Die Längen der Lötkehlen (51c, 51 und dergleichen), die auf zwei Rändern der Halbleiterchips 11 bis 14 benachbart den seitlichen Enden des ersten Leitungsrahmens 101 gebildet sind, können voneinander verschieden sein.

[0142] Als ein Verfahren zum zuverlässigen Anpassen der Längen der Lötkehlen, die auf den Rändern der Halbleiterchips 11 bis 14 und 21 bis 23 gebildet sind, kann eine Lotbenetzungsverhinderungsstruktur zum Verhindern der Benetzung mit Lot um Gebiete gebildet werden, in denen Lötkehlen gebildet werden. Die Lotbenetzungsverhinderungsstruktur kann beispielsweise durch Beschichten mit einem Lötresist, durch Vertiefen, durch Oxidationsbehandlung unter Verwendung eines Lasers und dergleichen oder durch chemisches Aufrauen und dergleichen gebildet werden.

[0143] In den vorstehenden Ausführungsformen wurden Beispiele für Strukturen beschrieben, in denen die Halbleiterchips 11 bis 14 und 21 bis 23 an den ersten und den zweiten Leitungsrahmen 101 und 102 mit den Lötstellen 50 und 60 gelötet waren.

Die Ausführungsformen sind jedoch anwendbar auf Strukturen ohne einen zweiten Leitungsrahmen 102.

[0144] In den vorstehenden Ausführungsformen wurden Beispiele für Strukturen beschrieben, in denen die Vorsprünge 103 auf dem zweiten Leitungsrahmen 102 vorgesehen waren, an die die Halbleiterchips 11 bis 14 und 21 bis 23 mit der Lötstelle 60 gelötet waren. Es können jedoch Strukturen vorgesehen sein, in denen keine Vorsprünge 103 auf dem zweiten Leitungsrahmen 102 gebildet sind.

[0145] In den vorstehenden Ausführungsformen wurden Beispiele für Strukturen beschrieben, in denen die Halbleiterchips 11 bis 14 und 21 bis 23 an den ersten und den zweiten Leitungsrahmen 101 und 102 mit den Lötstellen 50 und 60 gelötet waren. Anstelle des ersten und des zweiten Leitungsrahmens 101 und 102 können jedoch Gussprodukte wie z. B. Aluminiumform-Gussprodukte und gesinterte Presskörper wie z. B. Keramik ebenfalls verwendet werden.

[0146] Die erste bis siebte Ausführungsformen können selektiv kombiniert sein.

[0147] Anders als in den vorstehenden Konfigurationen ist die vorliegende Erfindung in verschiedenen Modifikationen und Veränderungen innerhalb der Kernaussage der vorliegenden Erfindung anwendbar. Kurz gesagt muss das Leistungsmodul nur eine Konfiguration gemäß den Merkmalen des unabhängigen Patentanspruchs 1 aufweisen.

Bezugszeichenliste

11 bis 14	Halbleiterchip
21 bis 23	Halbleiterchip
50	erste Lötstelle
51a, 51b, 51c, 51d	Lötkehle
52a, 52c	Lötkehle
53a, 53b	Lötkehle
60	zweite Lötstelle
61	Lötkehle
100	Leistungsmodul
101	erster Leitungsrahmen (Grundplatte)
102	zweiter Leitungsrahmen
102a	innere Oberfläche
102b, 102c	Aussparung
103	Vorsprung
111	Leitung

210	Modulgehäuse
304B	Flansch
305	Rippe
307	Wärmeableitungsbasis
350	primäres Dichtmaterial
351	sekundäres Dichtmaterial
a bis d	Abstand
E1, E2, E3, E4	seitliches Ende

Patentansprüche

1. Leistungsmodul, das umfasst:
eine Grundplatte (101);
einen ersten Halbleiterchip (11; 21), der vier Ränder aufweist, wobei der erste Halbleiterchip (11; 21) an die Grundplatte (101) gelötet ist;
einen zweiten Halbleiterchip (12; 22), der vier Ränder aufweist, wobei einer der vier Ränder benachbart zu einem ersten Rand des ersten Halbleiterchips (11; 21) angeordnet ist, wobei der zweite Halbleiterchip (12; 22) an die Grundplatte (101) gelötet ist; und
einen dritten Halbleiterchip (13; 23), der vier Ränder aufweist, wobei einer der vier Ränder benachbart zu einem zweiten Rand des ersten Halbleiterchips (11; 21) angeordnet ist, wobei der dritte Halbleiterchip (13; 23) an die Grundplatte (101) gelötet ist, wobei ein dritter Rand oder ein vierter Rand des ersten Halbleiterchips (11; 21) benachbart zu einem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) angeordnet ist oder ein dritter Rand und ein vierter Rand des ersten Halbleiterchips (11; 21) jeweils benachbart zu einem jeweils zugeordneten seitlichen Ende (E1, E2; E4, E2) der Grundplatte (101) angeordnet sind, und unter einem halben Abstand ($a/2$) von dem ersten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des zweiten Halbleiterchips (12; 22), einem halben Abstand ($b/2$) von dem zweiten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des dritten Halbleiterchips (13; 23) und einem Abstand (c ; d) von dem dritten Rand oder von dem vierten Rand des ersten Halbleiterchips (11; 21), der benachbart zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) angeordnet ist, zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) von Lötkehlen (51a, 51b, 51c; 51a, 51b, 51d), die auf diesen Rändern des ersten Halbleiterchips (11; 21) gebildet sind, die Länge (l) einer Lötkehle unter diesen Lötkehlen (51a, 51b, 51c; 51a, 51b, 51d), die auf einem Rand des ersten Halbleiterchips (11; 21) an einem kürzeren Abstand gebildet ist, in einer kürzeren Länge gebildet ist und die Länge (l) der

Lötkehle unter diesen Lötkehlen (51a, 51b, 51c; 51a, 51b, 51d), die auf dem Rand des ersten Halbleiterchips (11; 21) an dem kürzesten Abstand gebildet ist, in der kürzesten Länge gebildet ist.

2. Leistungsmodul nach Anspruch 1, wobei ein halber Abstand ($a/2$) von dem ersten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des zweiten Halbleiterchips (12; 22) und ein halber Abstand ($b/2$) von dem zweiten Rand des ersten Halbleiterchips (11; 21) zu dem einen Rand des dritten Halbleiterchips (13; 23) kürzer sind als der Abstand (c ; d) von dem dritten Rand oder von dem vierten Rand des ersten Halbleiterchips (11; 21), der benachbart zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) angeordnet ist, zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101), und die Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (11; 21) gebildet sind, jeweils kürzer gebildet sind als die Länge der Lötkehle (51c; 51d), die auf dem dritten Rand oder auf dem vierten Rand des ersten Halbleiterchips (11; 21) benachbart zu dem zugeordneten seitlichen Ende (E1; E2; E4) der Grundplatte (101) gebildet ist.

3. Leistungsmodul nach Anspruch 2, wobei der erste Rand und der zweite Rand des ersten Halbleiterchips (11) einander benachbarte Ränder sind, der dritte Rand und der vierte Rand des ersten Halbleiterchips (11) einander benachbarte Ränder sind, der dritte Rand des ersten Halbleiterchips (11) benachbart zu einem ersten seitlichen Ende (E1) der Grundplatte (101) angeordnet ist und der vierte Rand des ersten Halbleiterchips (11) benachbart zu einem zweiten seitlichen Ende (E2) der Grundplatte (101) angeordnet ist und die Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (11) gebildet sind, jeweils kürzer gebildet sind als jede der Längen der Lötkehlen (51c, 51d), die auf dem dritten Rand und auf dem vierten Rand des ersten Halbleiterchips (11) gebildet sind.

4. Leistungsmodul nach Anspruch 2, wobei der erste Rand und der zweite Rand des ersten Halbleiterchips (21) ein Paar aus einander gegenüberliegenden Rändern sind, der dritte Rand oder der vierte Rand des ersten Halbleiterchips (21) benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist oder der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) jeweils benachbart zu dem jeweils zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet sind und die Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind, jeweils kürzer gebildet sind als die Länge der Lötkehle (51c; 51d), die auf dem dritten Rand oder auf

dem vierten Rand des ersten Halbleiterchips (21) gebildet ist, der benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist.

5. Leistungsmodul nach Anspruch 4, wobei der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) jeweils benachbart zu den zugeordneten seitlichen Enden (E4, E2) der Grundplatte (101) angeordnet sind, und die Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind, jeweils kürzer gebildet sind als jede der Längen der Lötkehlen (51c, 51d), die auf dem dritten Rand und auf dem vierten Rand des ersten Halbleiterchips (21) gebildet sind.

6. Leistungsmodul nach Anspruch 4, das ferner umfasst: einen vierten Halbleiterchip, der benachbart zu dem dritten Rand des ersten Halbleiterchips (21) angeordnet ist, wobei der vierte Rand des ersten Halbleiterchips (21) benachbart zu dem zugeordneten seitlichen Ende (E2) der Grundplatte (101) angeordnet ist, und die Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind, jeweils kürzer gebildet sind als jede der Längen der Lötkehlen (51c, 51d), die auf dem dritten Rand und auf dem vierten Rand des ersten Halbleiterchips (21) gebildet sind.

7. Leistungsmodul nach Anspruch 1, wobei der erste Rand und der zweite Rand des ersten Halbleiterchips (21) ein Paar aus einander gegenüberliegenden Rändern sind, der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) ein weiteres Paar aus einander gegenüberliegenden Rändern sind, der dritte Rand oder der vierte Rand des ersten Halbleiterchips (21) benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist oder der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) jeweils benachbart zu dem jeweils zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet sind, und die Länge der Lötkehle (51a), die auf dem ersten Rand des ersten Halbleiterchips (21) gebildet ist, kürzer gebildet ist als die Länge der Lötkehle (51b), die auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet ist, und kürzer gebildet ist als die Länge der Lötkehle (51c; 51d), die auf dem dritten Rand oder auf dem vierten Rand, der benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist, gebildet ist.

8. Leistungsmodul nach Anspruch 1, wobei der erste Rand und der zweite Rand des ersten Halbleiterchips (21) ein Paar aus einander gegenüberliegenden Rändern sind, der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) ein weiteres Paar aus einander gegenüberliegenden Rändern sind, der dritte Rand oder der vierte Rand des ersten Halbleiterchips (21) benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist oder der dritte Rand und der vierte Rand des ersten Halbleiterchips jeweils benachbart zu dem jeweils zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet sind, der Abstand (c; d) von dem dritten Rand oder von dem vierten Rand des ersten Halbleiterchips (21), der benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist, zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) kürzer ist als ein halber Abstand ($a/2$) von dem ersten Rand des ersten Halbleiterchips (21) zu dem einen Rand des zweiten Halbleiterchips (22) und kürzer ist als ein halber Abstand ($b/2$) von dem zweiten Rand des ersten Halbleiterchips (21) zu dem einen Ende des dritten Halbleiterchips (23), und die Länge der Lötkehle (51c; 51d) des ersten Halbleiterchips (21), die auf dem dritten Rand oder auf dem vierten Rand des ersten Halbleiterchips (21) gebildet ist, der benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet ist, kürzer gebildet ist als jede der Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind.

9. Leistungsmodul nach Anspruch 8, wobei der dritte Rand und der vierte Rand des ersten Halbleiterchips (21) jeweils benachbart zu dem zugeordneten seitlichen Ende (E4; E2) der Grundplatte (101) angeordnet sind, und die Längen der Lötkehlen (51c, 51d), die auf dem dritten Rand und auf dem vierten Rand des ersten Halbleiterchips (21) gebildet sind, jeweils kürzer gebildet sind als jede der Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind.

10. Leistungsmodul nach Anspruch 9, das ferner umfasst: einen vierten Halbleiterchip, der benachbart zu dem dritten Rand des ersten Halbleiterchips (21) angeordnet ist, wobei der vierte Rand des ersten Halbleiterchips (21) benachbart zu dem zugeordneten seitlichen Ende (E2) der Grundplatte (101) angeordnet ist, und die Längen der Lötkehlen (51c, 51d), die auf dem dritten Rand und auf dem vierten Rand des ersten Halbleiterchips (21) gebildet sind, jeweils kürzer

gebildet sind als jede der Längen der Lötkehlen (51a, 51b), die auf dem ersten Rand und auf dem zweiten Rand des ersten Halbleiterchips (21) gebildet sind.

11. Leistungsmodul nach einem der Ansprüche 1 bis 10, wobei in den Lötkehlen (51a, 51b, 51c, 51d), die auf den vier Rändern des ersten Halbleiterchips (11; 21) gebildet sind, die Längen der Lötkehlen, die auf zwei Rändern des ersten Halbleiterchips (11; 21) gebildet sind, jeweils kürzer gebildet sind als jede der Längen der Lötkehlen, die auf den anderen zwei Rändern des ersten Halbleiterchips (11; 21) gebildet sind.

12. Leistungsmodul nach Anspruch 11, das ferner umfasst:
eine weitere Grundplatte (102), die gegenüber der Grundplatte (101) angeordnet ist,
wobei der erste Halbleiterchip (11; 21), der zweite Halbleiterchip (12; 22) und der dritte Halbleiterchip (13; 23) jeweils je eine Fläche (f_L) und je eine weitere Fläche (f_U) gegenüber der einen Fläche (f_L) aufweisen und in dem ersten Halbleiterchip (11; 21), dem zweiten Halbleiterchip (12; 22) und dem dritten Halbleiterchip (13; 23) jeweils die eine Fläche (f_L) an die Grundplatte (101) gelötet ist und jeweils die eine weitere Fläche (f_U) an die weitere Grundplatte (102) gelötet ist, und
eine Aussparung (102b; 102c) auf einer inneren Oberfläche (102a) der weiteren Grundplatte (102) gebildet ist, wobei die innere Oberfläche (102a) der weiteren Grundplatte (102) der Grundplatte (101) gegenüber liegt, und die Aussparung (102b; 102c) gegenüber wenigstens der längsten aus den Lötkehlen (51a, 51b, 51c, 51d) gebildet ist, die auf den Rändern des ersten Halbleiterchips (11; 21) gebildet sind.

Es folgen 18 Seiten Zeichnungen

FIG. 1

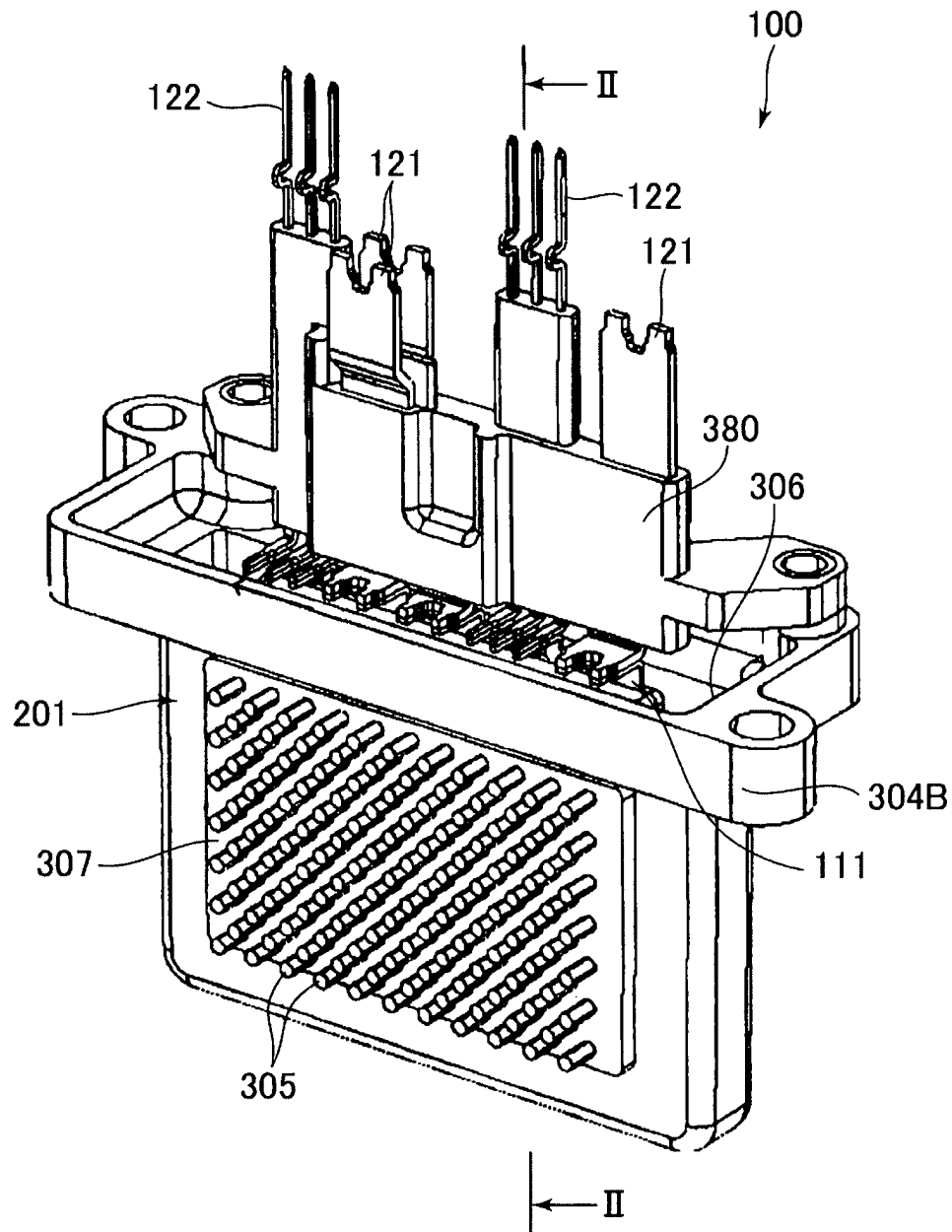


FIG. 2

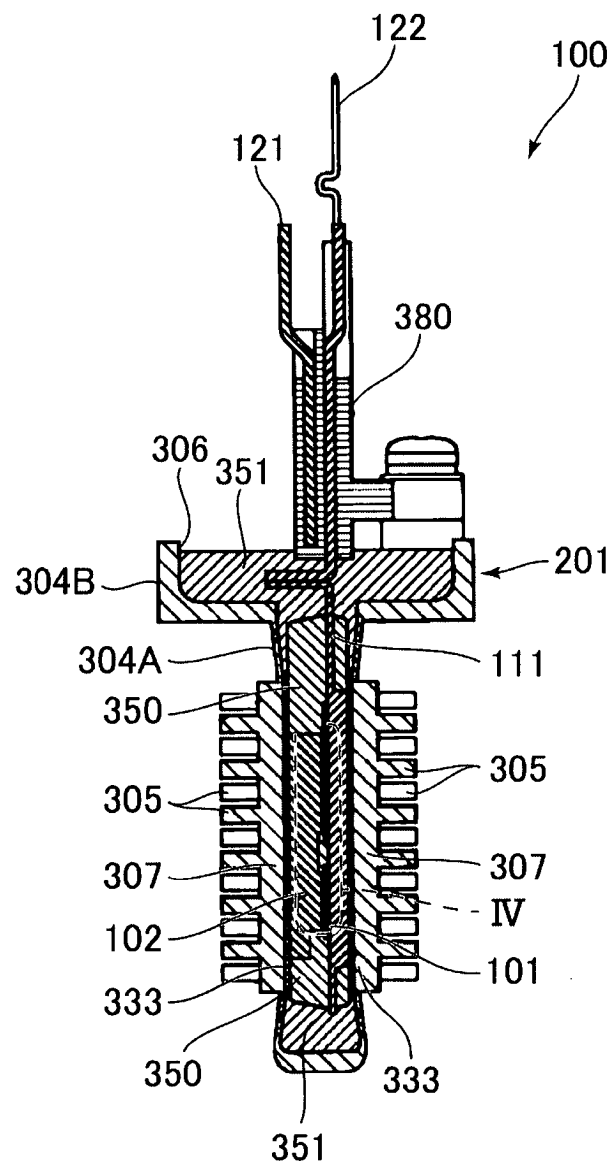


FIG. 3

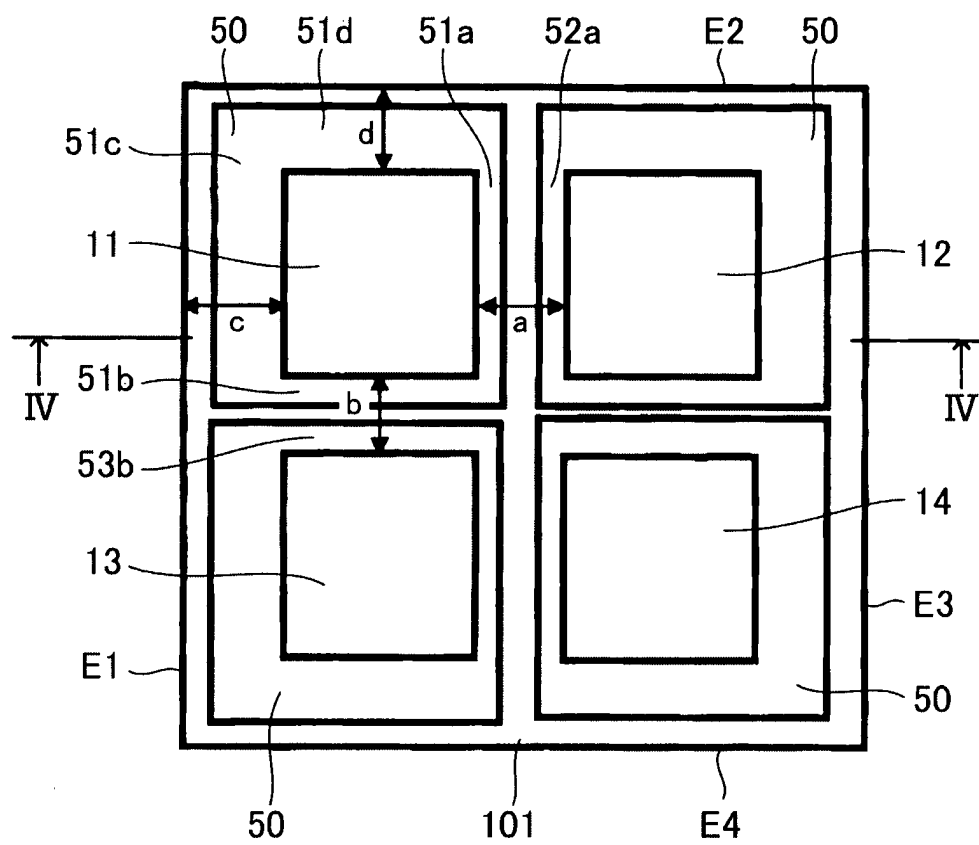


FIG. 4

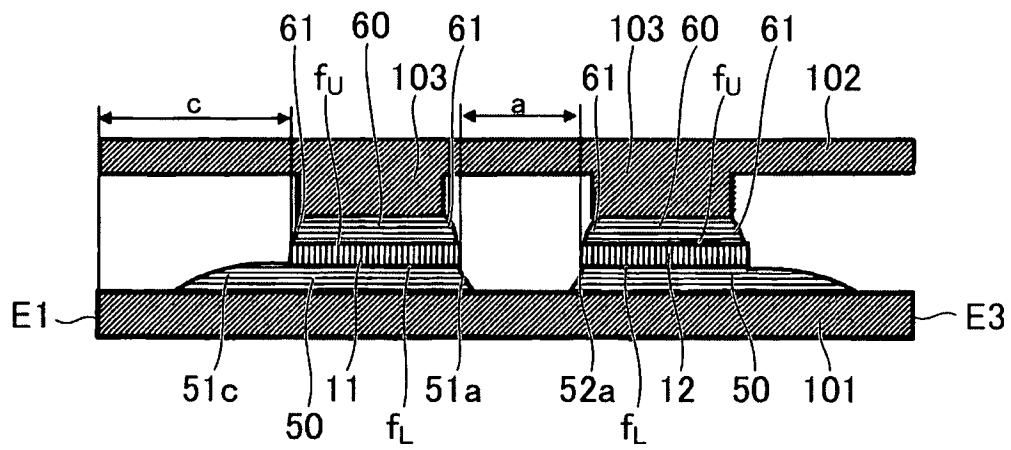
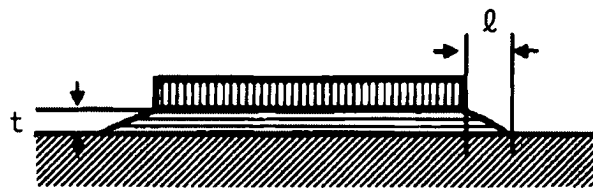


FIG. 5

(a)



(b)

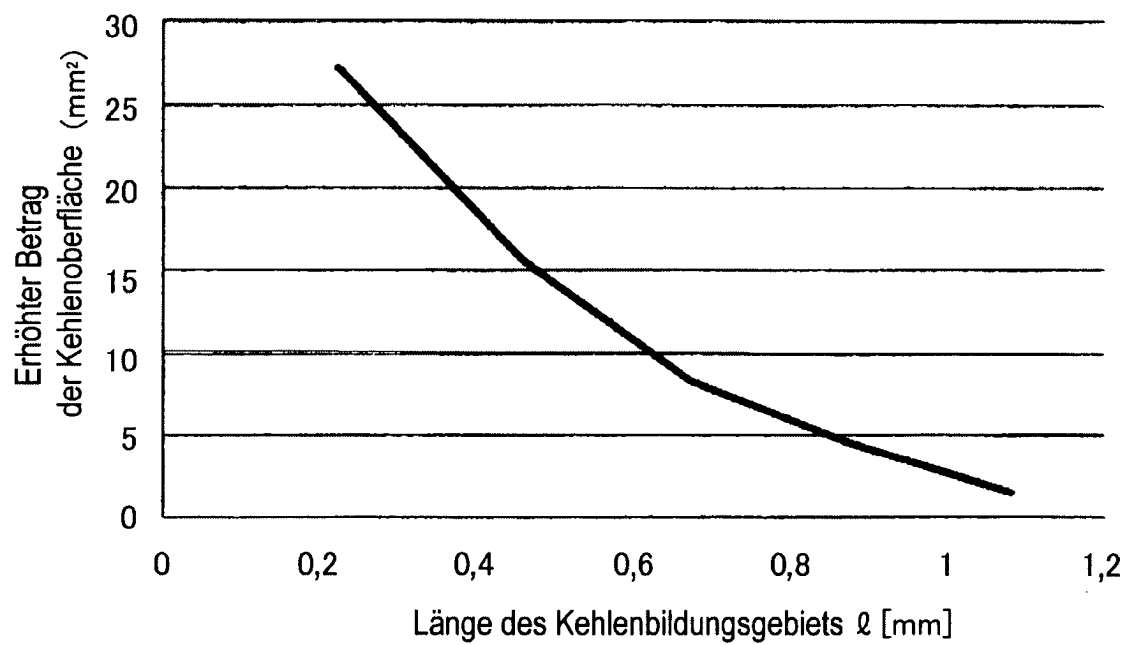


FIG. 6

Zweite Ausführungsform

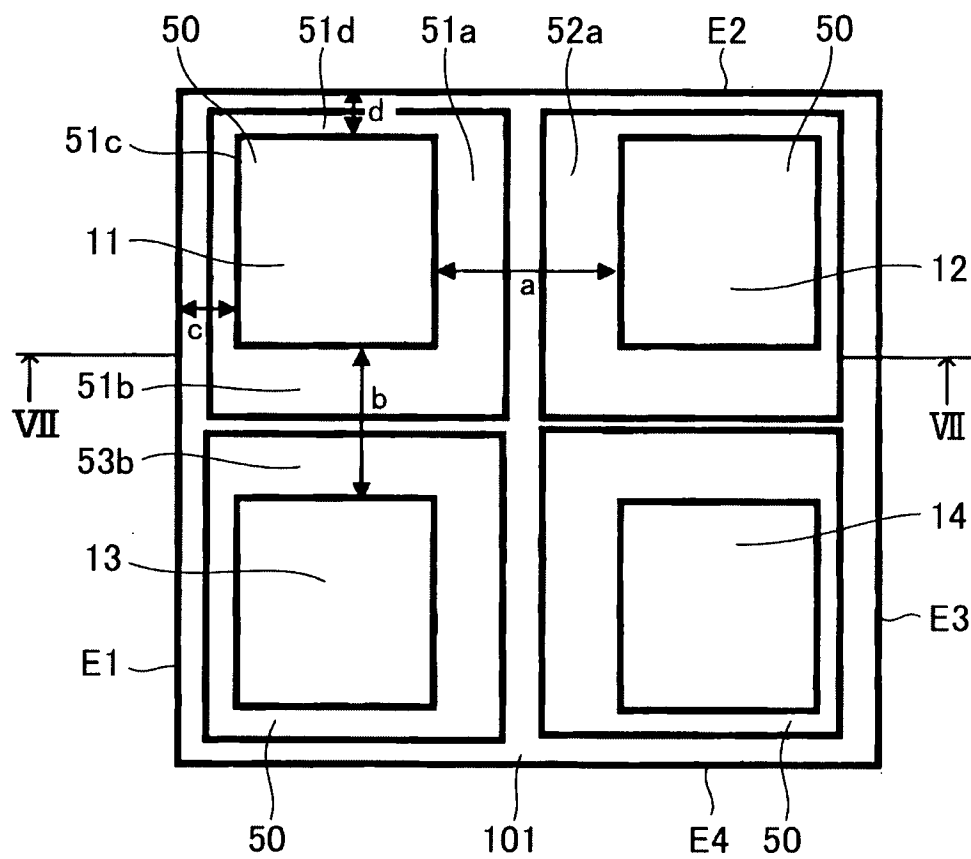


FIG. 7

Zweite Ausführungsform

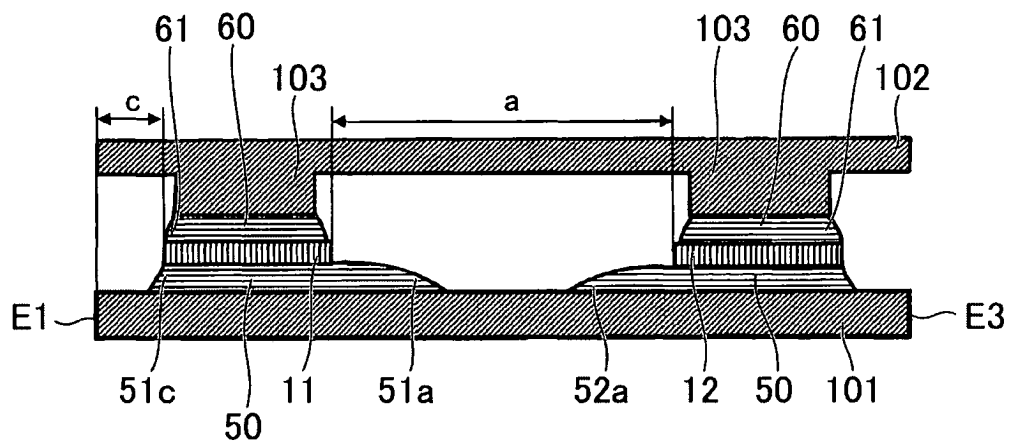


FIG. 8

Dritte Ausführungsform

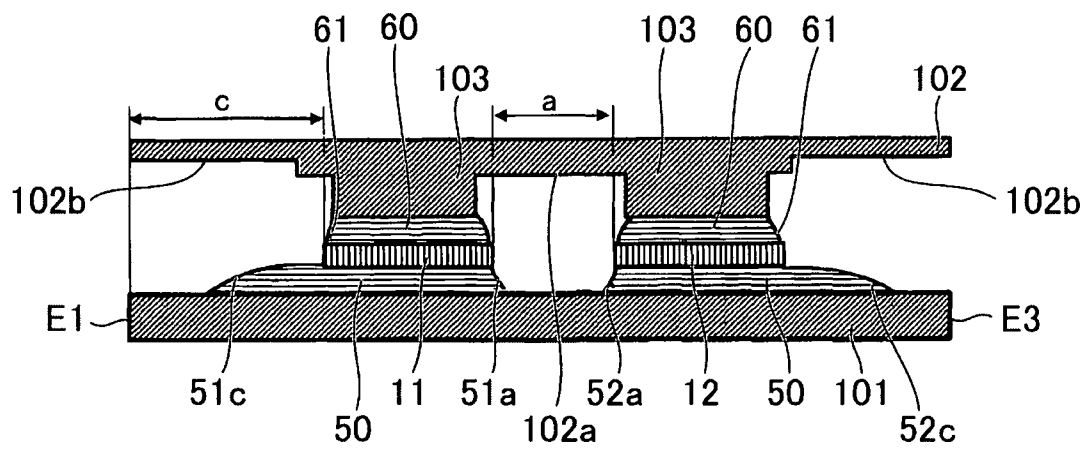


FIG. 9

Vierte Ausführungsform

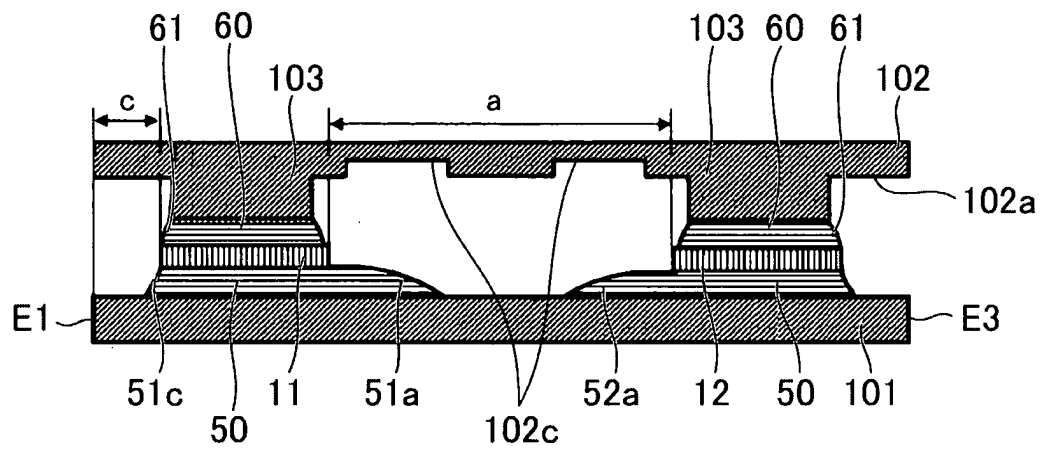


FIG. 10

Fünfte Ausführungsform

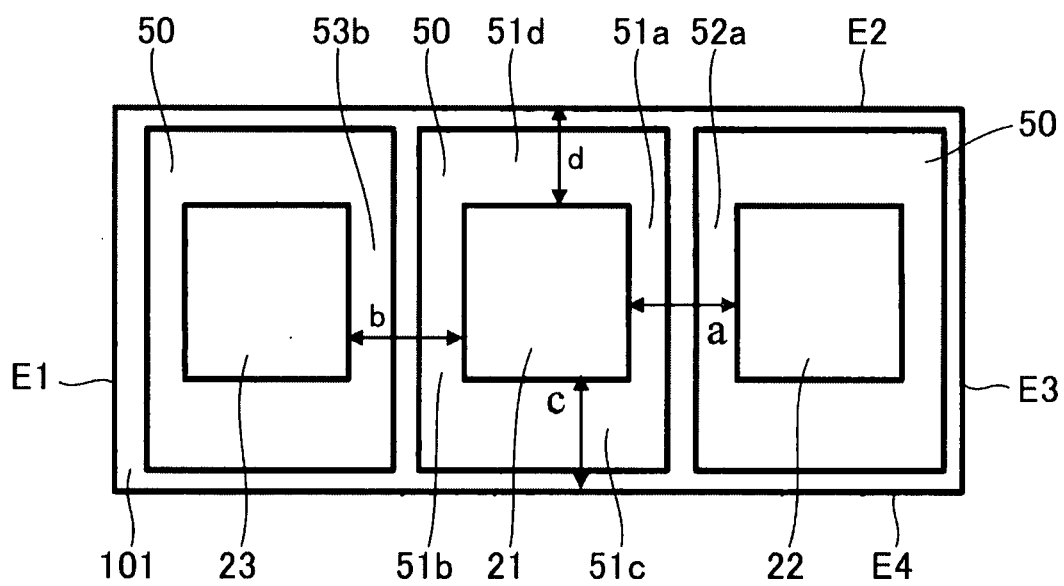


FIG. 11

Beispielhafte Abwandlung der fünften Ausführungsform

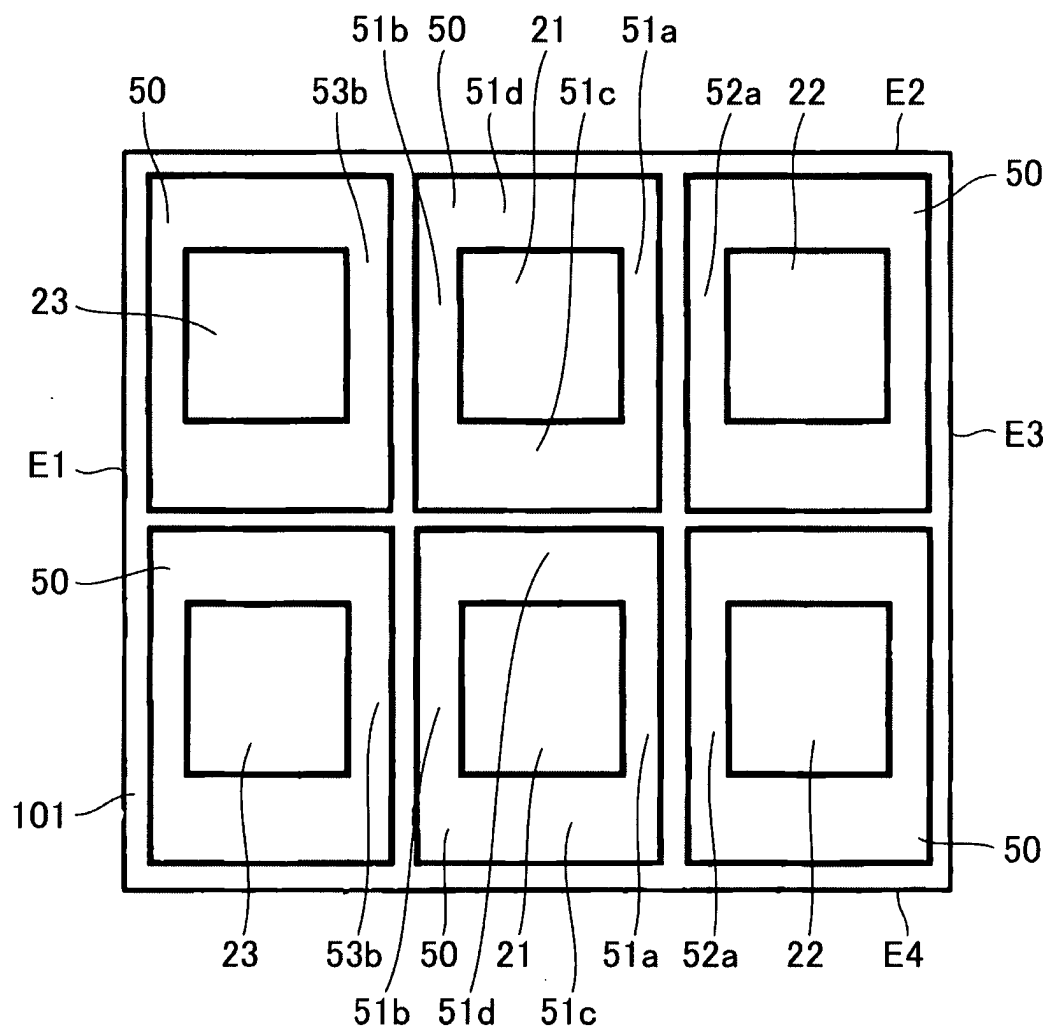


FIG. 12

Sechste Ausführungsform

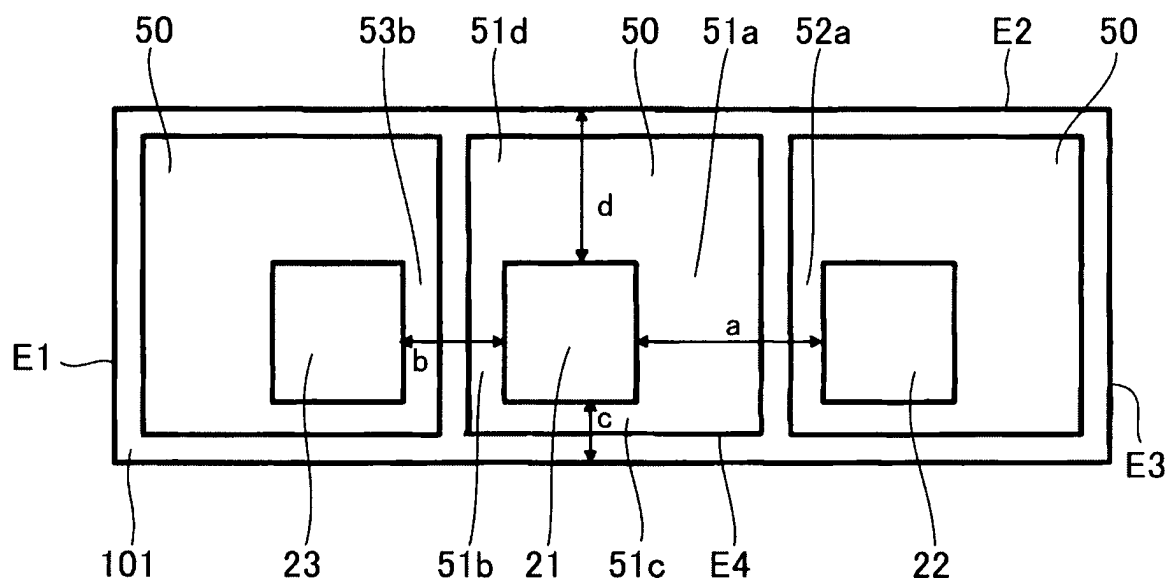


FIG. 13

Erste beispielhafte Abwandlung der sechsten Ausführungsform

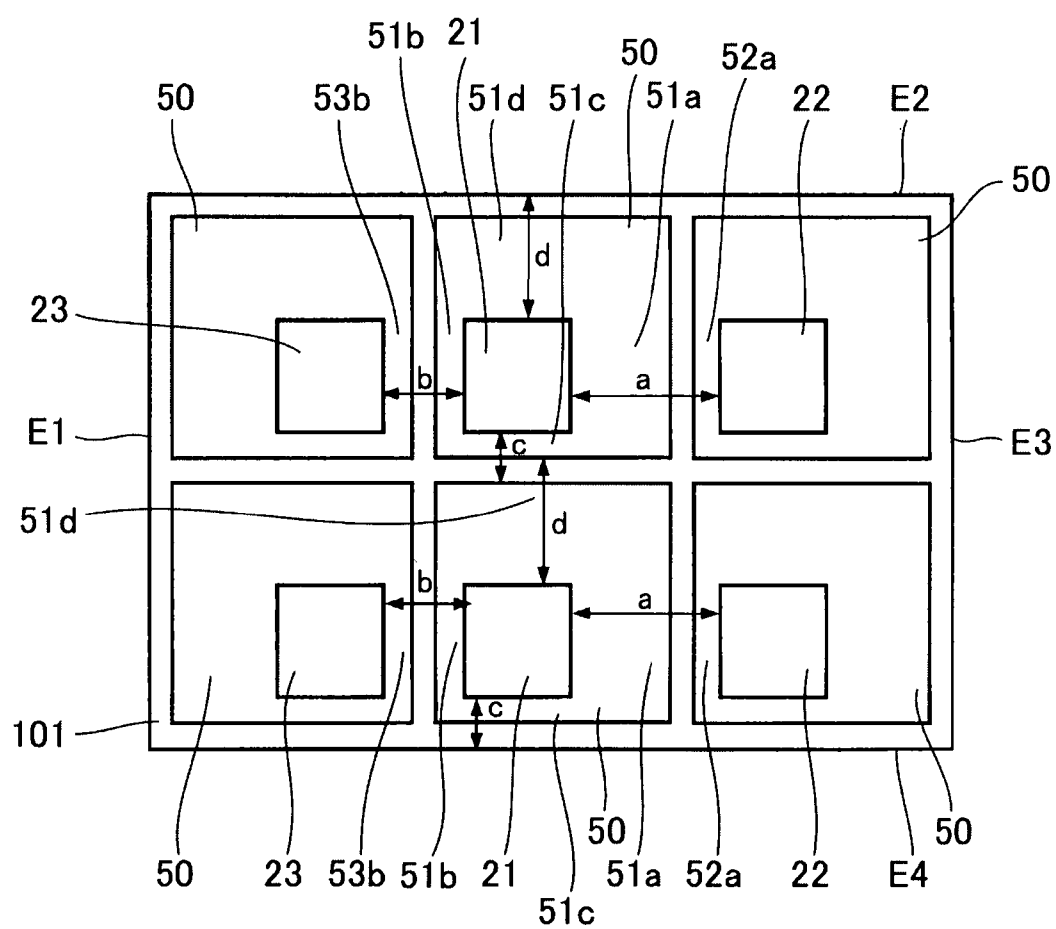


FIG. 14

Zweite beispielhafte Abwandlung der sechsten Ausführungsform

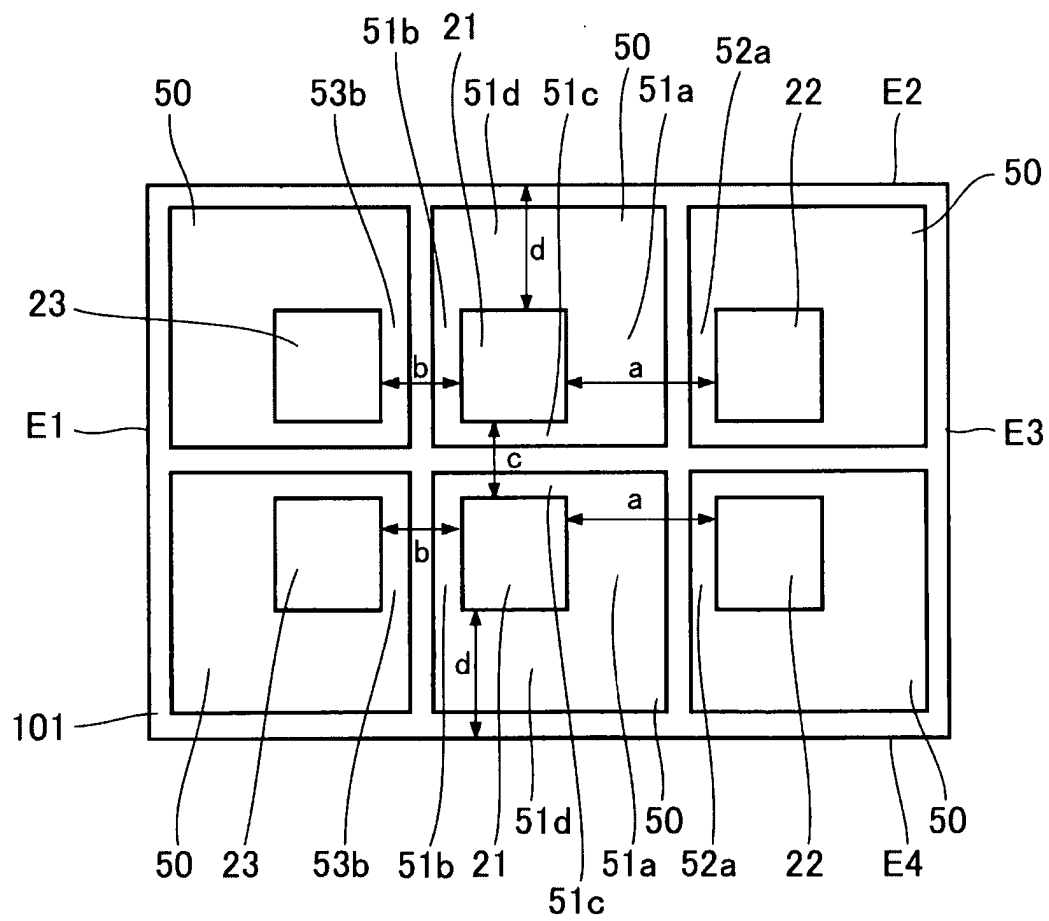


FIG. 15

Siebte Ausführungsform

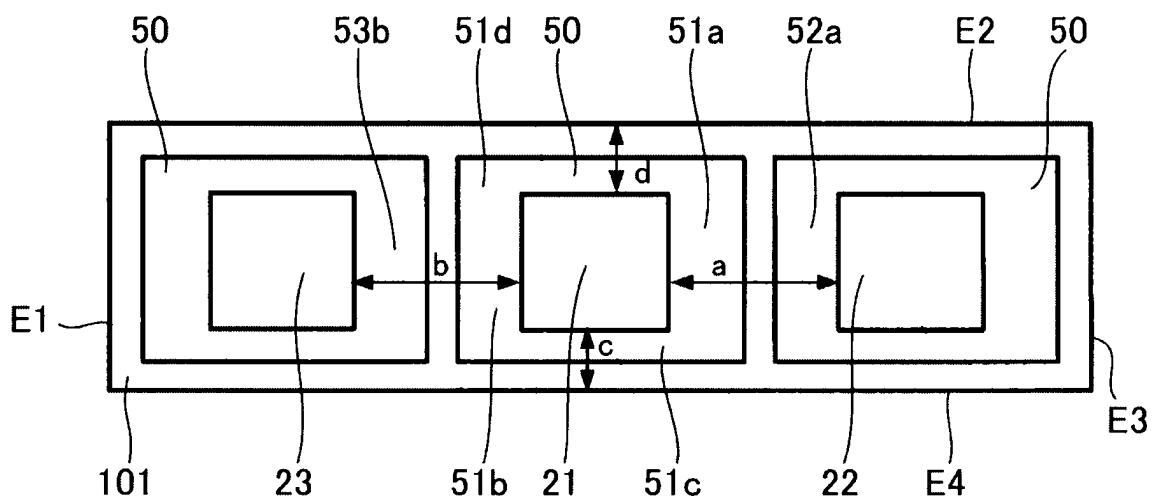


FIG. 16

Beispielhafte Abwandlung der siebten Ausführungsform

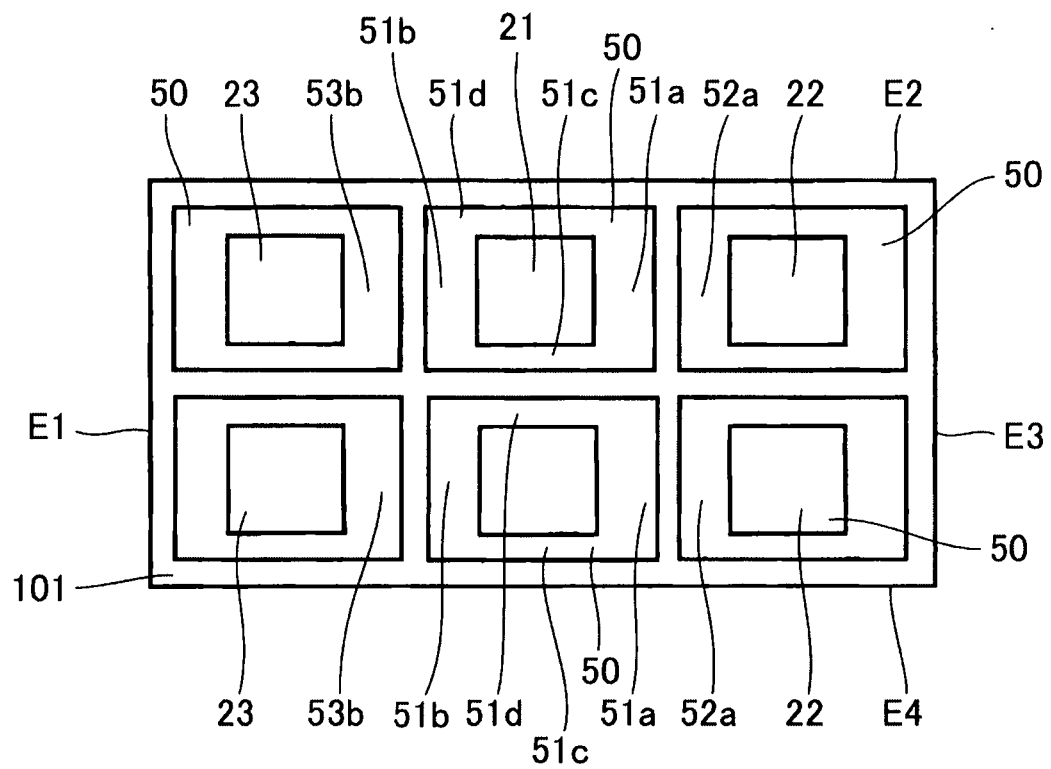


FIG. 17

Häufigkeit des Auftretens von Kurzschlüssen zwischen Halbleiterchips

	Beispiel 1	Vergleichendes Beispiel 1
Länge der Kehle ℓ	Zwischen Halbleiterchips: 0,3 mm Rahmenseitiges Ende: 1,0 mm	Alle 0,3 mm
Anzahl des Auftretens von Kurzschlüssen	Null aus 20 Vorrichtungen	7 aus 20 Vorrichtungen
Überlauf von Lötmetall zum rahmenseitigen Ende	Null aus 20 Vorrichtungen	Null aus 20 Vorrichtungen

FIG. 18

Häufigkeit des Auftretens Überlauf von Lötmetall zum rahmenseitigen Ende

	Beispiel 2	Vergleichendes Beispiel 2
Länge der Kehle $\varnothing$	Zwischen Halbleiterchips: 1,0 mm Rahmenseitiges Ende: 0,3 mm	Alle 0,3 mm
Anzahl des Auftretens von Kurzschlüssen	Null aus 20 Vorrichtungen	Null aus 20 Vorrichtungen
Überlauf des Lötmetalls zum rahmenseitigen Ende	Null aus 20 Vorrichtungen	11 aus 20 Vorrichtungen