

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5254544号  
(P5254544)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年4月26日 (2013.4.26)

(51) Int. Cl.

F I

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88 M

H O 1 L 21/768 (2006.01)

H O 1 L 29/50 M

H O 1 L 23/532 (2006.01)

H O 1 L 29/58 G

H O 1 L 29/417 (2006.01)

H O 1 L 21/28 3 O 1 R

H O 1 L 29/423 (2006.01)

H O 1 L 29/78 6 1 2 A

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2006-339621 (P2006-339621)  
 (22) 出願日 平成18年12月18日 (2006.12.18)  
 (65) 公開番号 特開2007-173816 (P2007-173816A)  
 (43) 公開日 平成19年7月5日 (2007.7.5)  
 審査請求日 平成21年12月17日 (2009.12.17)  
 (31) 優先権主張番号 10-2005-0125219  
 (32) 優先日 平成17年12月19日 (2005.12.19)  
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343  
 三星ディスプレイ株式会社  
 Samsung Display Co.,  
 Ltd.  
 大韓民国京畿道龍仁市器興区三星二路95  
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City  
 , Gyeonggi-Do, Korea  
 (74) 代理人 110000051  
 特許業務法人共生国際特許事務所  
 (72) 発明者 沈 承 煥  
 大韓民国京畿道城南市盆唐区藪内洞ドゥサン  
 ウィーブセンチュウム102棟710号

最終頁に続く

(54) 【発明の名称】 金属配線の製造方法

(57) 【特許請求の範囲】

【請求項 1】

ベース基板上に第1非晶質カーボン膜を形成する段階と、  
 前記第1非晶質カーボン膜上に銅を含む金属物質で金属膜を形成する段階と、  
 前記金属膜をパターニングして金属パターンを形成する段階とを有し、  
前記金属膜を形成する段階の後に、金属膜上に第2非晶質カーボン膜を形成する段階を更に有することを特徴とする金属配線の製造方法。

【請求項 2】

前記第1非晶質カーボン膜は、窒素イオンがドーピングされることを特徴とする請求項 1に記載の金属配線の製造方法。

【請求項 3】

前記第2非晶質カーボン膜は、窒素イオンがドーピングされることを特徴とする請求項 1に記載の金属配線の製造方法。

【請求項 4】

前記金属膜をパターニングして金属パターンを形成する段階は、前記第2非晶質カーボン膜上に前記金属パターンに対応するフォトレジストパターンを形成する段階と、  
 前記フォトレジストパターンを利用して前記第2非晶質カーボン膜及び金属膜をエッチングして金属パターンを形成する段階と、  
 前記金属パターン上に残留する前記フォトレジストパターンを除去する段階とを含み、  
 前記フォトレジストパターンを除去する段階において、エッチングされた金属膜によっ

て露出した第 1 非晶質カーボン膜が同時に除去されることを特徴とする請求項 1 に記載の金属配線の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、金属配線の製造方法に関し、より詳細には、配線不良を防止するための金属配線の製造方法に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、情報ディスプレイ及び携帯型電子装置分野で主に使用されている。液晶表示装置は、薄膜トランジスタ (TFT) を画素領域の透過光の強度を調節することができるスイッチング素子として利用して階調表示をする。

【0003】

近年、液晶表示装置の大型化及び高解像度の開発によって、低抵抗金属配線開発の研究が活発に行われており、特に、金属のうち、最も低い比抵抗を有する銅 (Cu) を利用した配線工程開発は必須的であると言える。しかし、銅配線を表示基板の製造工程に適用するためには、銅イオンとシリコン (Si) との高い反応性によってシリサイド形成及び隣接した他の膜との低い接着力等の短所を有する。

【0004】

これを解決するために、従来には銅層の上部又は / 及び下部に他の金属層を形成する二重膜構造又は三重膜構造の金属配線を形成して銅イオンの拡散を防止したり、又、他の膜との接着力を向上させる配線構造が開発された。しかし、このように互いに異なる金属層を有する二重膜構造又は三重膜構造の金属配線を形成する場合、互いに異なるエッチング特性によって均一なエッチングが困難で、配線不良が発生するという問題点を有する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、上記金属配線の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

上記目的を達成するためになされた本発明による金属配線の製造方法は、ベース基板上に第 1 非晶質カーボン膜を形成する段階と、前記第 1 非晶質カーボン膜上に銅を含む金属物質で金属膜を形成する段階と、前記金属膜をパターンニングして金属パターンを形成する段階とを有し、前記金属膜を形成する段階の後に、金属膜上に第 2 非晶質カーボン膜を形成する段階を更に有することを特徴とする。

【発明の効果】

【0011】

本発明に係る金属配線の製造方法によれば、非晶質カーボン膜及び低抵抗金属膜を含む金属配線を形成することにより、低抵抗金属膜と隣接した膜との接着力を向上させることができるという効果がある。又、低抵抗金属膜から金属イオン (Cu<sup>+</sup>) が隣接した膜に拡散することを防止することができる。これによって、金属配線の不良を防止することができ、金属配線の信頼性を向上させることができるという効果がある。

【0012】

又、非晶質カーボン膜は、大面積に均一な厚みに蒸着が容易で、厚みの調節が容易であるという長所と、他の膜質とのエッチング選択比に優れるという長所、及びフォトレジストと類似の特性を有するという長所がある。このような長所によって、非晶質カーボン膜の蒸着工程が容易で、フォトレジストを除去する工程時に除去が可能なので、別途の除去工程が不必要である。従って、金属配線の製造工程を簡単化することができるという効果がある。

【発明を実施するための最良の形態】

## 【 0 0 1 3 】

次に、本発明に係る金属配線の製造方法を実施するための最良の形態の具体例を図面を参照しながら説明する。

## 【 0 0 1 4 】

図 1 は、本発明の一実施形態によるアレイ基板の平面図である。

図 1 を参照すると、アレイ基板は、第 1 方向に形成された複数のゲート配線 ( G L n - 1、G L n ) と、第 1 方向と交差する第 2 方向に形成された複数のソース配線 ( D L m - 1、D L m ) と、ゲート配線 ( G L n - 1、G L n ) とソース配線 ( D L m - 1、D L m ) によって定義される複数の画素部 P を含む。

10

## 【 0 0 1 5 】

各画素部 P には、スイッチング素子 ( T F T ) 1 1 0 と、スイッチング素子 1 1 0 と連結されるストレージキャパシタ 1 3 0 と、液晶キャパシタ ( L C C ) の第 1 電極である画素電極 1 7 0 が形成される。

## 【 0 0 1 6 】

スイッチング素子 1 1 0 は、ゲート配線 G L n と連結されるゲート電極 1 1 1 と、ソース配線 D L m と連結されるソース電極 1 1 3 と、コンタクトホール 1 5 0 を通じて画素電極 1 7 0 と連結されるドレイン電極 1 1 4 を含む。ゲート電極 1 1 1 と、ソース及びドレイン電極 1 1 3、1 1 4 の間にはチャンネル部 1 1 2 が形成される。

20

## 【 0 0 1 7 】

ストレージキャパシタ 1 3 0 は、ゲート配線 G L と同一金属層である第 1 電極 1 3 1 と、ドレイン電極 1 1 4 と同一金属層で形成された第 2 電極 1 3 2 を含む。ストレージキャパシタ 1 3 0 は、スイッチング素子 1 1 0 がターンオフ状態である時、液晶キャパシタ ( L C C ) に充電された画素電圧を 1 フレーム間維持させる。

## 【 0 0 1 8 】

ゲート配線 G L n と、ゲート配線 G L n から延長されたゲート電極 1 1 1 及びストレージキャパシタの第 1 電極 1 3 1 は、ゲート金属膜で形成される。ゲート金属膜は、金属のうち、最も低い比抵抗を有する銅 ( C u ) 又は銅合金で形成された低抵抗金属膜を含む。銅と混合される金属物質は、アルミニウム ( A l ) 又はアルミニウム合金等のアルミニウム系金属、銀 ( A g ) や銀合金系金属、モリブデン ( M o ) やモリブデン合金等のモリブデン系金属、クロム ( C r )、タンタル ( T a )、又はチタニウム ( T i ) を含む金属を含む。

30

## 【 0 0 1 9 】

好ましくは、ゲート金属膜は、低抵抗金属膜と、低抵抗金属膜の下部に非晶質カーボン膜 ( a - C : H ) が形成された二重膜構造であるか、低抵抗金属膜の上部及び下部に非晶質カーボン膜がそれぞれ形成された三重膜構造を有する。

## 【 0 0 2 0 】

非晶質カーボン膜は、低抵抗金属膜と隣接した他の層との接着力を強化させ、又、他の層に低抵抗金属イオン (例えば、銅イオン) が拡散することを防止する。これによって、ゲート配線 ( G L n - 1、G L n ) と、ゲート電極 1 1 1、及びストレージキャパシタの第 1 電極 1 3 1 の金属配線不良を防止することができる。

40

## 【 0 0 2 1 】

非晶質カーボン膜 ( a - C : H ) は、ハイドロカーボン系ガス (例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及び n - ブタン) のうちから選択された 1 つの物質を使用して P E C V D ( P l a s m a - E n h a n c e d C h e m i c a l V a p o r D e p o s i t i o n ) 法で形成される。

## 【 0 0 2 2 】

非晶質カーボン膜 ( a - C : H ) の特性は、大面積に非常に均一に蒸着が可能で、蒸着の厚さの調節が容易である。又、他の膜質とのエッチング選択比に優れ、フォトリジスト

50

と類似の膜質特性を有する。このような特性を有することにより、非晶質カーボン膜を含む金属膜で金属配線を製造する場合、製造工程の簡単化及び信頼性を有する。

【 0 0 2 3 】

特に、窒素 ( $N_2$ ) とアンモニア ( $NH_3$ ) を添加して、窒素イオンがドーピングされた非晶質カーボン膜 ( $a-C:H(N)$ ) は、純水な非晶質カーボン膜 ( $a-C:H$ ) より数十倍低い抵抗特性を有することにより、窒素イオンのドーピング量によって抵抗調節が容易である。これによって、低抵抗金属配線の低抵抗特性を向上させることができる。

【 0 0 2 4 】

ソース配線 D L m と、ソース配線 D L m から延長されたソース電極 1 1 3 とドレイン電極 1 1 4 及びストレージキャパシタの第 2 電極 1 3 2 はソース金属層で形成される。

10

【 0 0 2 5 】

ソース金属層は、金属のうち、最も低い比抵抗を有する銅 (C u) 又は銅合金で形成された低抵抗金属膜と非晶質カーボン膜を含む。銅と混合される金属物質は、アルミニウム (A l) 又はアルミニウム合金等のアルミニウム系金属、銀 (A g) や銀合金等の銀系金属、モリブデン (M o) やモリブデン合金等のモリブデン系金属、クロム (C r)、タンタル (T a)、又はチタニウム (T i) を含む金属を含む。

【 0 0 2 6 】

好ましくは、ソース金属層は、低抵抗金属膜と、非晶質カーボン膜 ( $a-C:H$ ) を含む二重膜又は三重膜構造で形成される。非晶質カーボン膜は、低抵抗金属膜と隣接した他の層との接着力を強化させ、又、他の層に低抵抗金属イオン (例えば、銅イオン) が拡散

20

することを防止する。

【 0 0 2 7 】

具体的に、ソース金属層 (D L m - 1、D L m、1 1 3、1 1 4、1 3 2) の下部に形成された非晶質シリコン層で形成されたチャンネル部 1 1 2 との接着力を強化させ、ソース金属層の金属イオンがチャンネル部 1 1 2 に拡散することを防止する。又、非晶質カーボン膜が低抵抗金属膜の上部に形成される場合、ソース金属層 (D L m - 1、D L m、1 1 3、1 1 4、1 3 2) の上部に形成される保護絶縁膜 ( $SiN_x$ ) との接着力を強化させる。

【 0 0 2 8 】

これによって、ソース配線 (D L m - 1、D L m) と、ソース電極 1 1 3、ドレイン電極 1 1 4、及びストレージキャパシタの第 2 電極 1 3 2 の金属配線不良を防止することができる。

30

【 0 0 2 9 】

図 2 は、図 1 のアレイ基板を含む表示パネルを I - I' 線に沿って切断した断面図である。

図 1 及び図 2 を参照すると、表示パネルは、アレイ基板 1 0 0 と、カラーフィルタ基板 2 0 0 と、アレイ基板 1 0 0 とカラーフィルタ基板 2 0 0 との間に介在する液晶層 3 0 0 を含む。

【 0 0 3 0 】

アレイ基板 1 0 0 は第 1 ベース基板 1 0 1 を含み、第 1 ベース基板 1 0 1 上にはゲート金属膜を蒸着及びパターンニングしてスイッチング素子 1 1 0 のゲート電極 1 1 1 とゲート配線 G L 及びストレージキャパシタ C S T の第 1 電極 1 3 1 を含むゲート金属パターンを形成する。

40

【 0 0 3 1 】

ゲート金属パターンは、第 1 ベース基板 1 0 1 上に形成された第 1 非晶質カーボン膜 1 0 2 a と、第 1 非晶質カーボン膜 1 0 2 a 上に形成された第 1 低抵抗金属膜 1 0 2 b を含む。

【 0 0 3 2 】

第 1 非晶質カーボン膜 ( $a-C:H$ ) 1 0 2 a は、ハイドロカーボン系ガス (例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及び n - ブタン) のうちか

50

ら選択された1つの物質を使用してPECVD法で蒸着される。好ましくは、第1非晶質カーボン膜(a-C:H)102aは、窒素イオンがドーピングされた非晶質カーボン膜(a-C:H(N))で形成される。

#### 【0033】

ゲート金属パターンが形成された第1ベース基板101上には、ゲート絶縁膜103が形成される。ゲート絶縁膜103上には、チャンネル部112が形成される。チャンネル部112は、非晶質シリコン(a-Si:H)で形成された活性層112a及びn<sup>+</sup>イオンが高濃度でドーピングされた非晶質シリコンで形成されたオーミックコンタクト層112bを含む。

#### 【0034】

チャンネル部112が形成された第1ベース基板101上には、ソース金属層を蒸着及びパターンニングしてソース配線DL、スイッチング素子110のソース電極113、ドレイン電極114、及びストレージキャパシタの第2電極132を含むソース金属パターンを形成する。

#### 【0035】

ソース金属パターンは、オーミックコンタクト層112b及びゲート絶縁膜103上に形成された第2非晶質カーボン膜104aと、第2非晶質カーボン膜104a上に形成された第2低抵抗金属膜104bを含む。第2非晶質カーボン膜(a-C:H)104aは電界放出特性に優れた物質であって、スイッチング素子110の電流-電圧特性を低下させない。

#### 【0036】

又、第2非晶質カーボン膜104aは、第2低抵抗金属膜104bとオーミックコンタクト層112bの接着力を向上させ、第2低抵抗金属膜104bが金属イオン(例えば、銅イオン)がオーミックコンタクト層112bに拡散することを防止する。これによって、ソース金属パターンの不良を防止する。

#### 【0037】

第2非晶質カーボン膜(a-C:H)104aは、ハイドロカーボン系ガス(例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及びn-ブタン)のうちから選択された1つの物質を使用して、プラズマ化学気相蒸着法で蒸着される。好ましくは、第2非晶質カーボン膜104aは、窒素(N<sub>2</sub>)とアンモニア(NH<sub>3</sub>)を添加して窒素イオンがドーピングされた非晶質カーボン膜(a-C:H(N))で形成する。

#### 【0038】

ソース金属パターンが形成された第1ベース基板101上には、保護絶縁膜105が形成される。保護絶縁膜105は、ドレイン電極114の一部領域を露出させるコンタクトホール150を含む。

#### 【0039】

画素電極170は、コンタクトホール150を通じてドレイン電極114と電氣的に連結されるように画素部Pに形成される。

#### 【0040】

カラーフィルタ基板200は、第2ベース基板201、遮光パターン210、カラーフィルタ層230、オーバーコーティング層250、及び共通電極層270を含む。カラーフィルタ基板200は第2ベース基板201を含み、第2ベース基板201上には画素部Pに対応して内部空間を定義して漏洩光を遮断する遮光パターン210が形成される。

#### 【0041】

カラーフィルタ層230は複数のカラーフィルタパターン(230-1、230-2)を含み、内部空間に充填される。カラーフィルタ層230は、入射される光に応答して固有の色光を発現する。好ましくは、カラーフィルタ層230は、レッド、グリーン、及びブルーのフィルタパターンを含む。

#### 【0042】

オーバーコーティング層250は、カラーフィルタパターン(230-1、230-2

10

20

30

40

50

）が形成された第２ベース基板２０１上に形成され、第２ベース基板２０１の平坦化を図る。

【００４３】

共通電極層２７０はオーバーコーティング層２５０上に形成され、アレイ基板１００の画素電極１７０に対向する電極として共通電圧が印加される。これによって、画素電極１７０を第１電極とし、共通電極層２７０を第２電極とする液晶キャパシタ（ＬＣＣ）が定義される。

【００４４】

液晶層３００は、アレイ基板１００の画素電極１７０と、カラーフィルタ基板２００の共通電極層２７０によって印加される電界の強度に対応して液晶分子の配列角を変化させる。

10

【００４５】

図３～図７は、図２に示した一実施形態によるアレイ基板の製造工程を説明するための工程断面図である。

【００４６】

図２及び図３を参照すると、第１ベース基板１０１上にゲート金属膜１０２を蒸着及びパターニングしてゲート金属パターンを形成する。ゲート金属パターンは、ゲート配線ＧＬ、ゲート電極１１１、ストレージキャパシタの第１電極１３１を含む。

【００４７】

ゲート金属膜１０２は、第１非晶質カーボン膜１０２ａ及び第１低抵抗金属膜１０２ｂを含む。

20

【００４８】

具体的には、第１ベース基板１０１上に第１非晶質カーボン膜１０２ａを蒸着する。第１非晶質カーボン膜１０２ａは、ハイドロカーボン系ガス（例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及びｎ－ブタン）のうちから選択された１つの物質を使用して、プラズマ化学気相蒸着（ＰＥＣＶＤ）方式で蒸着する。

【００４９】

好ましくは、窒素（ $N_2$ ）とアンモニア（ $NH_3$ ）を添加して、窒素イオンがドーピングされた非晶質カーボン膜（ $a-C:H(N)$ ）を形成する。窒素イオンがドーピングされた非晶質カーボン膜（ $a-C:H(N)$ ）は、純水な非晶質カーボン膜（ $a-C:H$ ）より数十倍低い抵抗を有するので、低抵抗金属配線の形成時により容易である。

30

【００５０】

第１非晶質カーボン膜１０２ａは、約１００～５００の厚みに蒸着される。第１非晶質カーボン膜１０２ａが形成された第１ベース基板１０１上に第１低抵抗金属膜１０２ｂを蒸着する。第１低抵抗金属膜１０２ｂは、スパッタリング方式で蒸着された銅（ $Cu$ ）又は銅合金物質である。

【００５１】

ゲート金属膜１０２が形成された第１ベース基板１０１上にフォトリソパターンを形成してパターニングして、フォトリソパターンＰＲを形成する。フォトリソパターンＰＲは、ゲート金属パターンが形成される領域、即ち、ゲート配線領域ＧＬＡ、ゲート電極領域ＧＡ、及びストレージキャパシタの第１電極領域ＥＡに対応して形成する。

40

【００５２】

フォトリソパターンＰＲを利用して、ゲート金属膜１０２の第１低抵抗金属膜１０２ｂをエッチングする。この後、酸素プラズマ（ $O_2$  Plasma）を利用してフォトリソパターンＰＲを除去する。この際、フォトリソパターンＰＲと類似の膜質特性を有する第１非晶質カーボン膜１０２ａはフォトリソパターンＰＲと同時に除去される。

【００５３】

フォトリソパターンＰＲ及び第１低抵抗金属膜１０２ｂが除去され部分的に露出した第１非晶質カーボン膜１０２ａが除去されることにより、ゲート金属パターンが完成さ

50

れる。従って、第1非晶質カーボン膜102aを除去するための別途の工程が不必要である。

【0054】

このように形成されたゲート金属膜102は、第1低抵抗金属膜102bの下に第1非晶質カーボン膜102aが形成されることにより、第1低抵抗金属膜102bと第1ベース基板101との間の接着力を向上させる。これによって金属配線の不良を防止することができる。

【0055】

図2及び図4を参照すると、ゲート金属パターンが形成された第1ベース基板101上にゲート絶縁膜103を形成する。ゲート絶縁膜103は、プラズマ化学気相蒸着(PECVD)方式を利用して窒化シリコン(SiNx)のような絶縁物質で約4000程度の厚みに形成する。

10

【0056】

ゲート絶縁膜103が形成された第1ベース基板101上にプラズマ化学気相蒸着(PECVD)方式を利用して、非晶質シリコン(a-Si:H)で形成された活性層112a及びn<sup>+</sup>イオンが高濃度でドーピングされた非晶質シリコンで形成されたオーミックコンタクト層112bを順次に蒸着する。

【0057】

オーミックコンタクト層112bが形成された第1ベース基板101上にフォトリソトパターン(図示せず)を形成し、フォトリソトパターン(図示せず)を利用して活性層112a及びオーミックコンタクト層112bをパターンニングして、スイッチング素子110のチャンネル部112を形成する。

20

【0058】

図2、図5、及び図6を参照すると、チャンネル部112が形成された第1ベース基板101上にソース金属層104を蒸着及びパターンニングしてソース金属パターンを形成する。ソース金属パターンは、ソース配線DLm、ソース電極113、ドレイン電極114、及びストレージキャパシタの第2電極132を含む。

【0059】

ソース金属層104は、第2非晶質カーボン膜104aと第2低抵抗金属膜104bを含む。

30

【0060】

第2非晶質カーボン膜104aをプラズマ化学気相蒸着(PECVD)方式で約100~500の厚みに蒸着して、第2非晶質カーボン膜104a上に第2低抵抗金属膜104bをスパッタリング方式で蒸着する。

【0061】

第2非晶質カーボン膜104aは、ハイドロカーボン系ガス(例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及びn-ブタン)のうちから選択された1つの物質を使用して、プラズマ化学気相蒸着(PECVD)方式で蒸着される。好ましくは、窒素がドーピングされた非晶質カーボン膜(a-C:H(N))を形成する。窒素イオンがドーピングされた非晶質カーボン膜(a-C:H(N))は純水な非晶質カーボン膜(a-C:H)より数十倍低い抵抗を有するので、低抵抗金属配線の形成時により容易である。

40

【0062】

第2低抵抗金属膜104bは、スパッタリング方式で第2非晶質カーボン膜104aが蒸着された第1ベース基板101上に銅又は銅合金物質で蒸着される。

【0063】

ソース金属層104が形成された第1ベース基板101のフォトリソトパターンを形成し、ソース金属パターンが形成された領域に対応してフォトリソトパターンPRを形成する。フォトリソトパターンPRは、ソース配線領域DLA、ソース電極領域SA、ドレイン電極領域DAに対応して形成される。ドレイン電極領域DAは、ストレージキャ

50

パシタの第2電極領域を含む。

【0064】

フォトリジストパターンPRを利用してソース金属層104の第2低抵抗金属膜104bをパターンニングする。

【0065】

その後、酸素プラズマ( $O_2$  Plasma)を利用してフォトリジストパターンPRを除去する。フォトリジストパターンを除去する工程において、スイッチング素子110のチャンネル領域CHに露出した第2非晶質カーボン膜104aを同時に除去する。即ち、第2非晶質カーボン膜104aはフォトリジストパターンPRと類似の膜質特性を有することにより、別途の除去工程が不必要である。

10

【0066】

第2非晶質カーボン膜104aは、オーミックコンタクト層112bと接触しソース及びドレイン電極113、114とオーミックコンタクト層112bとの間の接着力を向上させる。又、第2非晶質カーボン膜104aは、第2低抵抗金属膜104bの銅イオンがオーミックコンタクト層112bに拡散することを防止する。これによって、第2低抵抗金属膜104bの銅イオンとチャンネル部112のシリコンイオンとの間の反応を防止して下部膜間の接着力を向上させる。これによって金属配線の不良を防止することができる。

【0067】

図1及び図7を参照すると、ソース金属パターンであるソース及びドレイン電極113、114をマスクとして露出したオーミックコンタクト層112bを除去してスイッチング素子110のチャンネル部112を完成させる。

20

【0068】

ソース金属パターンが形成された第1ベース基板101上に保護絶縁膜105を形成する。保護絶縁膜105は、プラズマ化学気相蒸着(PECVD)方式を通じて窒化シリコン(SiNx)のような絶縁物質で約1000程度の厚みに形成する。

【0069】

保護絶縁膜105にコンタクトホール150を形成してドレイン電極114の一部領域を露出させる。その後、コンタクトホール150が形成されたベース基板101上に透明導電性物質を蒸着及びパターンニングして画素電極170を形成する。透明導電性物質は、インジウム-ティン-オキサイド(ITO)、インジウム-亜鉛-オキサイド(IZO)、又はインジウム-ティン-亜鉛オキไซด์を含む。画素電極170は、コンタクトホール150を通じてドレイン電極114と電氣的に接触し、スイッチング素子110がターンオンする時、画素電圧が印加される。

30

【0070】

上述では、ゲート金属膜及びソース金属層を非晶質カーボン膜と低抵抗金属膜で形成する場合を例として挙げたが、非晶質カーボン膜の膜質特性上、シリコン系の物質と接着力に優れた点及び銅イオンの拡散を防止する点等を考慮する時、非晶質カーボン膜は、ソース金属層で形成することが好ましい。又、上述では低抵抗金属膜の下部に非晶質カーボン膜を形成する二重膜構造を例として挙げたが、低抵抗金属膜の下部及び上部のそれぞれに非晶質カーボン膜を形成する三重膜構造で形成することができるのは当然である。

40

【0071】

図8～図11は、図2に示したアレイ基板の他の実施形態による製造工程を説明するための工程断面図である。

【0072】

図8を参照すると、第1ベース基板401上にゲート金属膜を蒸着及びパターンニングしてゲート金属パターンを形成する。ゲート金属膜は銅又は銅合金物質であって、スパッタリング工程によって第1ベース基板401上に蒸着される。ゲート金属パターンは、ゲート配線GL、ゲート電極411、及びストレージキャパシタの第1電極431を含む。勿論、図3に示したように、ゲート金属膜の低抵抗金属膜と非晶質カーボン膜を含む二重膜

50



構造又は三重膜構造に形成することができる。

【0073】

ゲート金属パターンが形成された第1ベース基板401上にプラズマ化学気相蒸着(PECVD)方式を利用して、窒化シリコン(SiNx)のような絶縁物質でゲート絶縁膜403を形成する。

【0074】

ゲート絶縁膜403上にプラズマ化学気相蒸着(PECVD)方式によって非晶質シリコン(a-Si:H)で形成された活性層412aと、n<sup>+</sup>イオンが高濃度でドーピングされた非晶質シリコンで形成されたオーミックコンタクト層412b及び非晶質カーボン膜404aを順次に蒸着する。非晶質カーボン膜404aは約100 ~ 500 の厚みに蒸着する。

10

【0075】

非晶質カーボン膜404aは、ハイドロカーボン系ガス(例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及びn-ブタン)のうちから選択された1つの物質を使用して形成される。好ましくは、低抵抗特性を強化させるためには、非晶質カーボン膜404aは、窒素イオンがドーピングされた非晶質カーボン膜(a-C:H(N))で形成する。

【0076】

非晶質カーボン膜404aが形成された第1ベース基板401上にフォトリソパターン(図示せず)を形成して、フォトリソパターン(図示せず)を利用して活性層412a、オーミックコンタクト層412b、及び非晶質カーボン膜404aをエッチングしてスイッチング素子410(図10、図11参照)のチャンネル部412を形成する。この際、好ましくは酸素プラズマを利用してエッチング工程を実施して、活性層412a、オーミックコンタクト層412b、及び非晶質カーボン膜404aを同時にエッチングする。

20

【0077】

図9及び図10を参照すると、チャンネル部412が形成された第1ベース基板401上にソース金属層404bを蒸着及びパターニングしてソース金属パターンを形成する。ソース金属層404bは銅又は銅合金物質で形成され、ソース金属パターンはソース配線DLm、ソース電極413、ドレイン電極414、及びストレージキャパシタの第2電極432を含む。

30

【0078】

具体的には、ソース金属層404bが蒸着された第1ベース基板401上にフォトリソパターンを形成し、ソース金属パターンが形成される領域に対応したフォトリソパターンPRを形成する。フォトリソパターンPRは、ソース配線領域DLA、ソース電極領域SA、ドレイン電極領域DAに対応して形成される。ドレイン電極領域DAは、ストレージキャパシタの第2電極領域を含む。

【0079】

フォトリソパターンPRを利用して、ソース金属層404bをパターニングする。以後、酸素プラズマを利用してフォトリソパターンPRを除去する工程でフォトリソパターンPRと類似の膜質特性を有する非晶質カーボン膜404aを同時に除去する。即ち、非晶質カーボン膜404aを除去するための別途の製造工程が不必要である。

40

【0080】

フォトリソパターンPRが形成されないスイッチング素子410のチャンネル領域CHの露出した非晶質カーボン膜404aが除去され、これによって、チャンネル部412のオーミックコンタクト層412bが露出する。

【0081】

図10に示すように、ソース及びドレイン電極413、414をマスクとして露出したオーミックコンタクト層412bを除去して、スイッチング素子410を完成させる。

【0082】

50

ソース及びドレイン電極 4 1 3、4 1 4 の下部に形成された非晶質カーボン膜 4 0 4 a はオーミックコンタクト層 4 1 2 b と接触し、ソース及びドレイン電極 4 1 3、4 1 4 とオーミックコンタクト層 4 1 2 b との間の接着力を向上させる。又、非晶質カーボン膜 4 0 4 a は、ソース及びドレイン電極 4 1 3、4 1 4 内に含まれた銅イオンがオーミックコンタクト層 4 1 2 b に拡散することを防止する。これによって、ソース及びドレイン電極 4 1 3、4 1 4 の銅イオンとチャンネル部 4 1 2 のシリコンイオン間の反応を防止して、下部膜間の接着力を向上させる。従って、金属配線の不良を防止することができる。

【0083】

図 1 1 を参照すると、ソース金属パターンが形成された第 1 ベース基板 4 0 1 上に窒化シリコン ( S i N x ) のような絶縁物質で保護絶縁膜 4 0 5 を形成する。保護絶縁膜 4 0 5 にコンタクトホール 4 5 0 を形成して、ドレイン電極 4 1 4 の一部領域を露出させる。その後、コンタクトホール 4 5 0 が形成された第 1 ベース基板 4 0 1 上に透明導電性物質を蒸着及びパターニングして画素電極 4 7 0 を形成する。これによって、画素電極 4 7 0 は、コンタクトホール 4 5 0 を通じてドレイン電極 4 1 4 と電氣的に接触する。

【0084】

上述では、スイッチング素子 4 1 0 のチャンネル部 4 1 2 と接触するソース及びドレイン電極 4 1 3、4 1 4 の下部にのみ非晶質カーボン膜を形成する場合を例として挙げたが、ゲート金属膜及びソース金属層に非晶質カーボン膜を含む二重膜構造又は三重膜構造で形成することができるのは当然である。

【0085】

図 1 2 ~ 図 1 5 は、図 2 に示したアレイ基板の更に他の実施形態による製造工程を説明するための工程断面図である。

【0086】

図 1 2 を参照すると、第 1 ベース基板 5 0 1 上にゲート金属膜を蒸着及びパターニングしてゲート金属パターンを形成する。ゲート金属膜は銅又は銅合金物質であって、スパッタリング工程によって第 1 ベース基板 4 0 1 上に蒸着される。ゲート金属パターンは、ゲート配線 G L、ゲート電極 5 1 1、及びストレージキャパシタの第 1 電極 5 3 1 を含む。勿論、図 3 に示したように、ゲート金属膜を非晶質カーボン膜と低抵抗金属膜とで形成することができる。

【0087】

ゲート金属パターンが形成された第 1 ベース基板 5 0 1 上にプラズマ化学気相蒸着 ( P E C V D ) 方式を利用して窒化シリコン ( S i N x ) のような絶縁物質でゲート絶縁膜 5 0 2 を形成する。

【0088】

図 1 3 を参照すると、ゲート絶縁膜 5 0 2 上に非晶質シリコン ( a - S i : H ) で形成された活性層 5 0 3 a、 $n^+$  イオンが高濃度でドーピングされた非晶質シリコンで形成されたオーミックコンタクト層 5 0 3 b、第 1 非晶質カーボン膜 5 0 4 a、銅又は銅合金物質で形成された低抵抗金属膜 5 0 4 b、及び第 2 非晶質カーボン膜 5 0 4 c を順次に蒸着する。第 1 及び第 2 非晶質カーボン膜 5 0 4 a、5 0 4 c は約 1 0 0 ~ 5 0 0 の厚みに蒸着する。

【0089】

第 1 及び第 2 非晶質カーボン膜 5 0 4 a、5 0 4 c は、ハイドロカーボン系ガス ( 例えば、メタン、エタン、プロパン、ブタン、アセチレン、プロペン、及び n - ブタン ) のうちから選択された 1 つの物質を使用して、プラズマ化学気相蒸着 ( P E C V D ) 方式で蒸着される。好ましくは、窒素 (  $N_2$  ) とアンモニア (  $NH_3$  ) を添加して、窒素イオンがドーピングされた低抵抗非晶質カーボン膜 ( a - C : H ( N ) ) で形成する。

【0090】

活性層 5 0 3 a、及びオーミックコンタクト層 5 0 3 b はスイッチング素子のチャンネル部を形成するためのチャンネル層 5 0 3 で、第 1 非晶質カーボン膜 5 0 4 a、低抵抗金属膜 5 0 4 b、及び第 2 非晶質カーボン膜 5 0 4 c は、ソース金属パターンを形成するた

10

20

30

40

50

めのソース金属層 504 である。ソース金属パターンは、ソース配線、ソース電極、ドレイン電極、及びストレージキャパシタの第 2 電極を含む。

【0091】

次に、第 2 非晶質カーボン膜 504c が形成された第 1 ベース基板 501 上にフォトリジストパターンを形成し、ソース金属パターンが形成される領域に対応してフォトリジストパターン PR を形成する。フォトリジストパターン PR は、ソース配線領域 DLA、ソース電極領域 SA、及びドレイン電極領域 DA に形成される。ドレイン電極領域 DA は、ストレージキャパシタの第 2 電極領域を含む。

【0092】

フォトリジストパターン PR を利用してソース金属層 504 をウェットエッチングしてパターニングした後、チャンネル層 503 をドライエッチングしてパターニングしてソース金属パターンを形成する。

【0093】

図 14 を参照すると、前記エッチング工程によって第 1 ベース基板 501 上にはソース配線 DLM、ソース電極 513、ドレイン電極 514、及びストレージキャパシタ 530 の第 2 電極 532 が形成される。即ち、ソース金属層 504 の第 2 非晶質カーボン膜 504c 及び低抵抗金属膜 504b は、エッチング工程によって同時にエッチングされる。これによって、ソース及びドレイン電極 513、514 によって定義されたチャンネル領域 CH には第 1 非晶質カーボン膜 504a が露出する。以後、酸素プラズマを利用したフォトリジストパターン RP を除去する工程でスイッチング素子のチャンネル領域 CH に露出した第 1 非晶質カーボン膜 504a が同時に除去される。

【0094】

図 15 を参照すると、チャンネル領域 CH の第 1 非晶質カーボン膜 504a が除去されることにより、チャンネル部 512 のオーミックコンタクト層 503b が露出する。その後、ソース及びドレイン電極 513、514 をマスクとして露出したオーミックコンタクト層 503b を除去して、スイッチング素子 510 を完成させる。

【0095】

ソース金属パターンが形成された第 1 ベース基板 501 上に窒化シリコン (SiNx) のような絶縁物質で保護絶縁膜 505 を形成する。保護絶縁膜 505 にコンタクトホール 550 を形成して、ドレイン電極 514 の一部領域を露出させる。

【0096】

保護絶縁膜 505 にコンタクトホールを形成する工程は、ドライエッチング工程を通じて行われ、この際、酸素プラズマを利用してドレイン電極 514 上に形成された第 2 非晶質カーボン膜 504c を除去する。これによってドレイン電極 514 の低抵抗金属膜 504b を露出させる。

【0097】

その後、コンタクトホール 550 が形成された第 1 ベース基板 501 上に透明導電性物質を蒸着及びパターニングして画素電極 570 を形成する。これによって画素電極 570 は、コンタクトホール 550 を通じてドレイン電極 514 と電氣的に接触する。

【0098】

上述のように、低抵抗金属膜の下部及び上部に非晶質カーボン膜をそれぞれ形成することにより、低抵抗金属膜の下部膜であるオーミックコンタクト層との接着力向上及び銅イオンの拡散防止を図ることができる。又、低抵抗金属膜の上部膜である保護絶縁膜との接着力を向上させることができる。

【0099】

以上の実施形態ではゲート金属膜が低抵抗金属膜の下部に非晶質カーボン膜が形成されることのみを例示したが、図 12 ~ 図 15 で説明したソース金属層のように低抵抗金属膜の上部及び下部にそれぞれ非晶質カーボン膜を形成することもできる。

【0100】

このような三重膜構造では、ゲート金属膜の上部に形成された非晶質カーボン膜は、ゲ

10

20

30

40

50

ート金属パターンが形成される時に低抵抗金属膜と共にエッチングされて除去され、下部に形成された非晶質カーボン膜はフォトリソパターンが除去される時に同時に除去される。

#### 【0101】

一方、一般的にゲート金属パターンの上部には、シリコン窒化物（ $\text{SiN}_x$ ）で形成されたゲート絶縁膜が形成されることを考慮する時、ゲート金属パターンはゲート絶縁膜との接着力を向上させるために、低抵抗金属膜の上部に非晶質カーボン膜が形成されるゲート金属膜で形成されることが好ましい。このように低抵抗金属膜の上部に非晶質カーボン膜が形成される場合には、ゲート金属パターンを形成するエッチング工程で上部の非晶質カーボン膜が低抵抗金属膜と同時にエッチングされる。

10

#### 【0102】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

#### 【図面の簡単な説明】

#### 【0103】

【図1】本発明の一実施形態によるアレイ基板の平面図である。

【図2】図1のアレイ基板を含む表示パネルをI-I'線に沿って切断した断面図である。

【図3】図2に示したアレイ基板の一実施形態による製造工程を説明するための工程断面図である。

20

【図4】図2に示したアレイ基板の一実施形態による製造工程を説明するための工程断面図である。

【図5】図2に示したアレイ基板の一実施形態による製造工程を説明するための工程断面図である。

【図6】図2に示したアレイ基板の一実施形態による製造工程を説明するための工程断面図である。

【図7】図2に示したアレイ基板の一実施形態による製造工程を説明するための工程断面図である。

【図8】図2に示したアレイ基板の他の実施形態による製造工程を説明するための工程断面図である。

30

【図9】図2に示したアレイ基板の他の実施形態による製造工程を説明するための工程断面図である。

【図10】図2に示したアレイ基板の他の実施形態による製造工程を説明するための工程断面図である。

【図11】図2に示したアレイ基板の他の実施形態による製造工程を説明するための工程断面図である。

【図12】図2に示したアレイ基板の更に他の実施形態による製造工程を説明するための工程断面図である。

【図13】図2に示したアレイ基板の更に他の実施形態による製造工程を説明するための工程断面図である。

40

【図14】図2に示したアレイ基板の更に他の実施形態による製造工程を説明するための工程断面図である。

【図15】図2に示したアレイ基板の更に他の実施形態による製造工程を説明するための工程断面図である。

#### 【符号の説明】

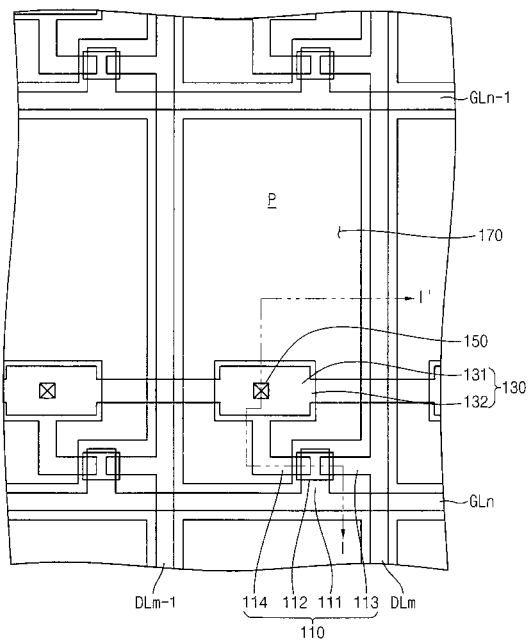
#### 【0104】

- 101、401、501 第1ベース基板
- 110、410、510 スイッチング素子
- 102a、504a 第1非晶質カーボン膜
- 102b 第1低抵抗金属膜

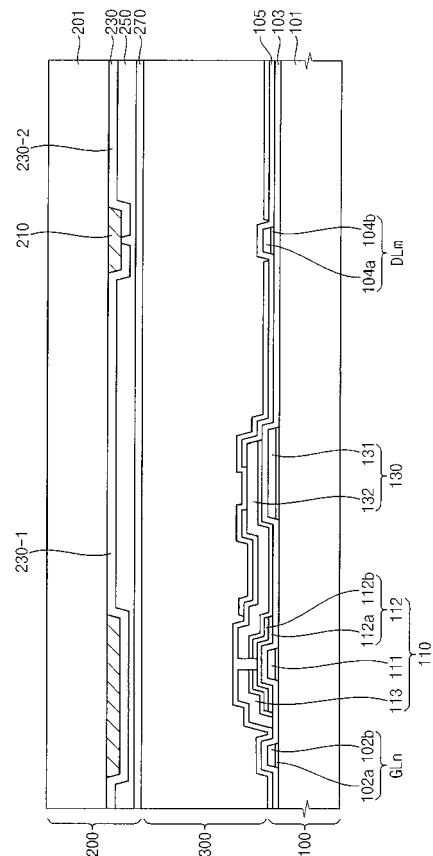
50

104a、504c 第2非晶質カーボン膜  
 104b 第2低抵抗金属膜  
 111、411、511 ゲート電極  
 112a、412a、503a 活性層  
 112b、412b、503b オーミックコンタクト層  
 113、413、513 ソース電極  
 114、414、514 ドレイン電極  
 170、470、570 画素電極  
 PR フォトリソグロブパターン

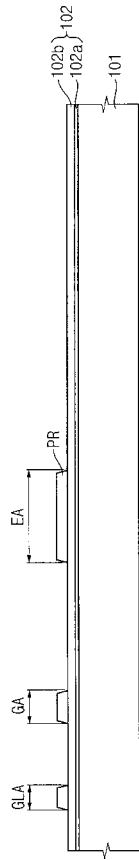
【図1】



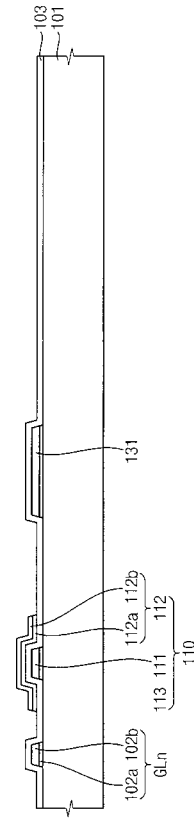
【図2】



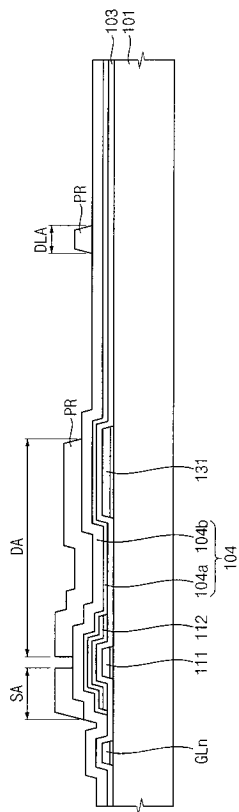
【図 3】



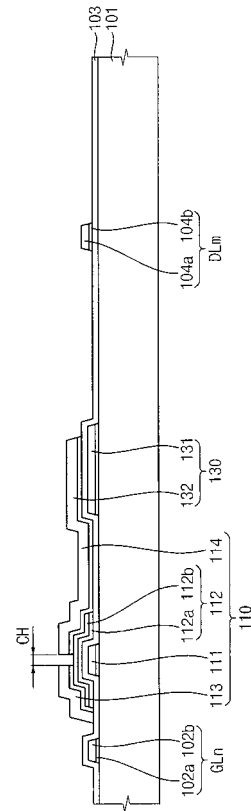
【図 4】



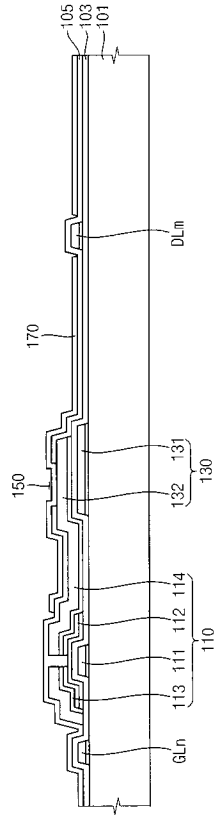
【図 5】



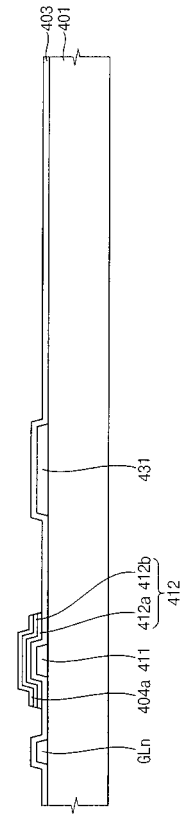
【図 6】



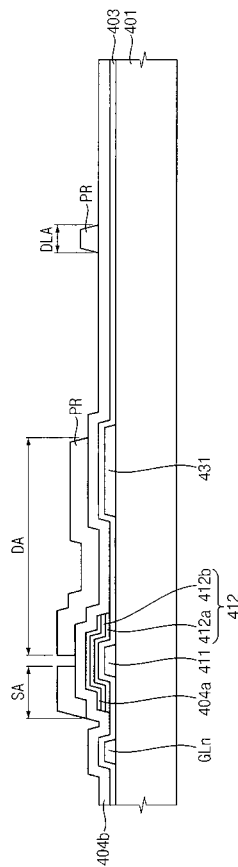
【図 7】



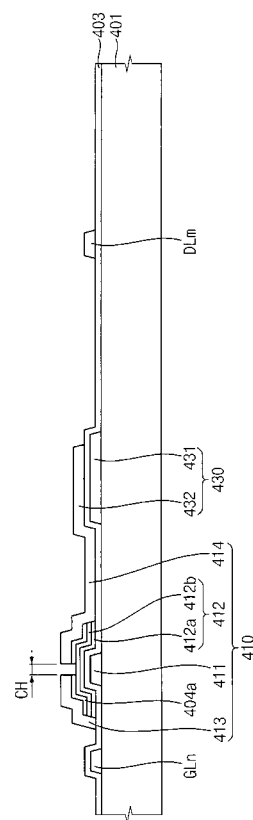
【図 8】



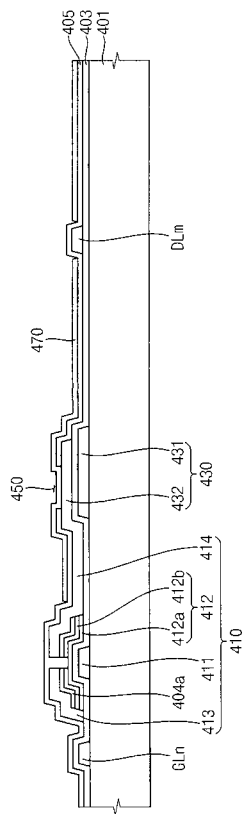
【図 9】



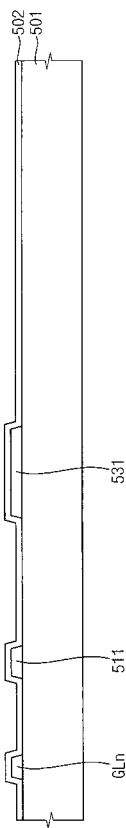
【図 10】



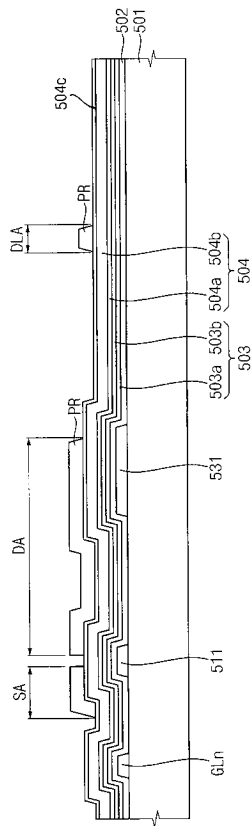
【図 1 1】



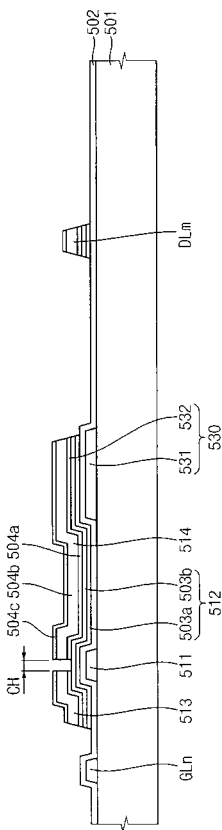
【図 1 2】



【図 1 3】

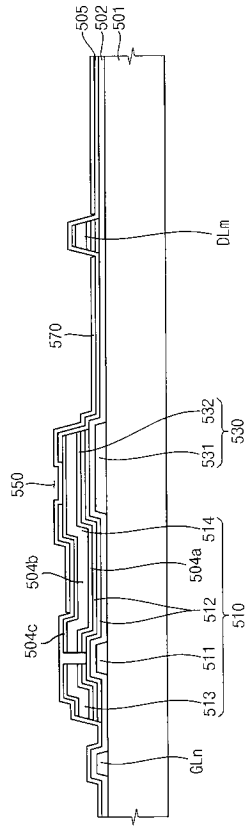


【図 1 4】





【図 15】



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/78 6 1 2 C
H 0 1 L	21/28	(2006.01)	H 0 1 L	29/78 6 1 7 L
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78 6 1 7 M
H 0 1 L	29/786	(2006.01)	H 0 1 L	29/78 6 1 6 U
G 0 9 F	9/30	(2006.01)	H 0 1 L	29/78 6 1 6 V
			G 0 9 F	9/30 3 3 8

- (72)発明者 姜 鎬 民  
大韓民国京畿道水原市八達区牛満2洞600番地ワールドメルディアンアパート106棟2503号
- (72)発明者 閔 勳 基  
大韓民国ソウル特別市道峰区雙門4洞錦湖2次アパート206棟507号
- (72)発明者 洪 性 秀  
大韓民国ソウル特別市陽川区新月7洞954-14サンザンビル1号
- (72)発明者 朴 鮮  
大韓民国京畿道水原市靈通区梅灘3洞住公グリーンビルアパート東水原グリーンビル(5団地)504棟1003号
- (72)発明者 許 成 權  
大韓民国京畿道水原市靈通区靈通洞ビョクチョクゴル9団地ロッテアパート943棟1101号

審査官 大嶋 洋一

- (56)参考文献 特開2005-086147(JP,A)  
特開2004-347822(JP,A)  
特開2002-093778(JP,A)  
特開平10-268353(JP,A)  
特開平06-140401(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5  
G 0 9 F 9 / 3 0  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 3 / 5 3 2  
H 0 1 L 2 9 / 4 1 7  
H 0 1 L 2 9 / 4 2 3  
H 0 1 L 2 9 / 4 9  
H 0 1 L 2 9 / 7 8 6