

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年7月4日(04.07.2019)



(10) 国際公開番号

WO 2019/130739 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) *H01L 27/32* (2006.01)
G02F 1/1345 (2006.01) *H01L 51/50* (2006.01)
G02F 1/1368 (2006.01) *H05B 33/02* (2006.01)
G06F 3/041 (2006.01) *H05B 33/10* (2006.01)
G09F 9/00 (2006.01)

(21) 国際出願番号: PCT/JP2018/038513

(22) 国際出願日: 2018年10月16日(16.10.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-248876 2017年12月26日(26.12.2017) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 眞名垣 暢人 (MANAGAKI Nobuto); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

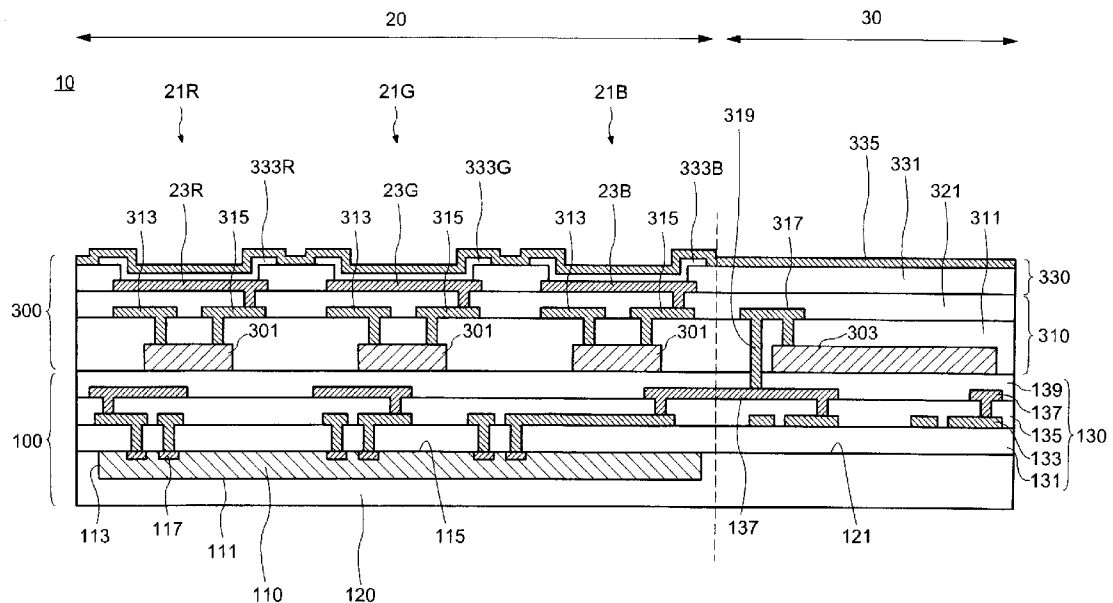
(74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: 表示装置及び表示装置の製造方法

[図2]



(57) Abstract: This display device has: an IC chip, which is provided with a first surface, a second surface on the reverse side of the first surface, and side surfaces between the first surface and the second surface, and which has a terminal on the first surface; a resin layer covering the second surface and the side surfaces; a wiring layer, which is provided on the IC chip and the resin layer, and which includes wiring connected to the terminal; a transistor layer, which is provided on the wiring layer, and which includes a transistor connected to the wiring; and an electrooptical layer, which is provided

[続葉有]



WO 2019/130739 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

on the transistor layer, and which includes a pixel electrode connected to the transistor.

(57) 要約: 表示装置は、第1面、前記第1面とは反対側の第2面、及び前記第1面と前記第2面との間の側面を備え、前記第1面に端子を有するICチップと、前記第2面及び前記側面を覆う樹脂層と、前記ICチップ及び前記樹脂層の上に設けられ、前記端子に接続される配線を含む配線層と、前記配線層の上に設けられ、前記配線に接続されるトランジスタを含むトランジスタ層と、前記トランジスタ層の上に設けられ、前記トランジスタに接続された画素電極を含む電気光学層と、を有する。

明 細 書

発明の名称：表示装置及び表示装置の製造方法

技術分野

- [0001] 本発明の実施形態の一つは、表示装置及び表示装置の製造方法に関する。
特に、本発明の実施形態の一つは、アレイ基板の裏面側にＩＣチップが設けられた表示装置及びアレイ基板の裏面側にＩＣチップを設ける表示装置の製造方法に関する。

背景技術

- [0002] タッチセンサ付き表示装置では、基板の上に画素回路及び駆動回路を構成するトランジスタ層を形成し、画素回路の上に電気光学層を形成し、電気光学層の上にタッチセンサを形成した後に、画素回路及び駆動回路を駆動するドライバＩＣチップとタッチセンサを駆動するタッチセンサＩＣチップとを実装する。これらのＩＣチップの実装は、通常、フレキシブル印刷回路基板（ＦＰＣ）を介して、又はＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式で行われる（例えば、特許文献１）。
- [0003] 上記のＩＣチップとして、例えば、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、メモリ、電源、並びに、抵抗素子及び容量素子などの受動部品が設けられるが、これらの部品は、例えば、ハーメチックシールによって保護されている。

先行技術文献

特許文献

- [0004] 特許文献１：特開２０１７－０１００６６号公報

発明の概要

発明が解決しようとする課題

- [0005] スマートフォンなど、コンパクト化が要求される表示装置において、上記のようにＩＣチップ等の部品をハーメチックシールによって保護すると、表示装置の設計の自由度が制限されてしまう、という問題があった。そして、

それに伴い表示装置の製造コストが増加してしまう問題があった。

[0006] 本発明の実施形態の一つは、コンパクトな表示装置を実現することを課題の一つとする。又は、本発明の実施形態の一つは、表示装置の製造コストを低減することを課題の一つとする。

課題を解決するための手段

[0007] 本発明の一実施形態に係る表示装置は、第1面、前記第1面とは反対側の第2面、及び前記第1面と前記第2面との間の側面を備え、前記第1面に端子を有するICチップと、前記第2面及び前記側面を覆う樹脂層と、前記ICチップ及び前記樹脂層の上に設けられ、前記端子に接続される配線を含む配線層と、前記配線層の上に設けられ、前記配線に接続されるトランジスタを含むトランジスタ層と、前記トランジスタ層の上に設けられ、前記トランジスタに接続された画素電極を含む電気光学層と、を有する。

[0008] 本発明の一実施形態に係る表示装置の製造方法は、第1面、前記第1面とは反対側の第2面、及び前記第1面と前記第2面との間の側面を備え、前記第1面に端子を有するICチップを、前記端子が支持基板側を向くように配置し、前記支持基板の上に、前記第2面及び前記側面を覆う樹脂層を形成し、前記ICチップ及び前記樹脂層を前記支持基板から剥離し、前記端子に接続される配線を含む配線層を形成し、前記配線に接続されるトランジスタを含むトランジスタ層を形成し、前記トランジスタに接続される画素電極を含む電気光学層を形成する。

図面の簡単な説明

[0009] [図1]本発明の一実施形態に係る表示装置の概要を示す上面図である。

[図2]本発明の一実施形態に係る表示装置の概要を示す断面図である。

[図3]本発明の一実施形態に係る表示装置のトランジスタ層及び電気光学層の詳細な構造を示す断面図である。

[図4]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図5]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図6]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図7]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図8]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図9]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図10]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図11]本発明の一実施形態に係る表示装置の概要を示す上面図である。

[図12]本発明の一実施形態に係る表示装置の概要を示す上面図である。

[図13]本発明の一実施形態に係る表示装置の概要を示す上面図である。

[図14]本発明の一実施形態に係る表示装置の概要を示す断面図である。

[図15]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[図16]本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

発明を実施するための形態

[0010] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ適宜変更することで、容易に想到し得る構成は、当然に本発明の範囲に含有される。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等が模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号の後にアルファベットを付して、詳細な説明を適宜省略することがある。

[0011] 本発明の各実施の形態において、ＩＣチップからトランジスタ層に向かう方向を上または上方という。逆に、トランジスタ層からＩＣチップに向かう方向を下または下方という。このように、説明の便宜上、上方または下方という語句を用いて説明する。しかし、例えば、ＩＣチップとトランジスタ層との上下関係が図示と逆になるように配置されてもよい。また、以下の説明で、例えばＩＣチップ上のトランジスタ層という表現は、上記のようにＩＣチップとトランジスタ層との上下関係を説明しているに過ぎず、ＩＣチップとトランジスタ層の間に他の部材が配置されていてもよい。

[0012] 「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。ここで、「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（ＥＬ）層、エレクトロクロミック（ＥＣ）層、電気泳動層が含まれ得る。したがって、後述する実施形態では、表示装置として、有機ＥＬ層を含む有機ＥＬ表示装置を例示して説明するが、本発明は、上述した他の電気光学層を含む表示装置に適用することができる。

[0013] 本明細書において「 α はＡ、ＢまたはＣを含む」、「 α はＡ、ＢおよびＣのいずれかを含む」、「 α はＡ、ＢおよびＣからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 α がＡ～Ｃの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 α が他の要素を含む場合も排除しない。

[0014] なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

[0015] 〈第１実施形態〉

図１～図１０を用いて、本発明の一実施形態に係る表示装置及び表示装置の製造方法について説明する。なお、以下に示す実施形態の表示装置は可撓性を有する。

[0016] [表示装置１０の構成]

図１～図３を用いて、本発明の一実施形態に係る表示装置１０の構成について説明する。本実施形態では、表示装置１０として、上方に光を放出するトップエミッション型の有機ＥＬ表示装置が用いられた構成について説明する。ただし、表示装置１０は、上記のようにトップエミッション型の有機ＥＬ表示装置に限定されない。例えば、表示装置１０として、反射型の液晶表示装置又はＬＥＤディスプレイを用いることができる。電気光学層から放出された光がＩＣチップによって遮蔽されないようにＩＣチップを配置すれば

、表示装置１０として、ボトムエミッション型の有機ＥＬ表示装置、又は透過型の液晶表示装置を用いることができる。

[0017] 図１は、本発明の一実施形態に係る表示装置の概要を示す上面図である。

図１に示すように、表示装置１０は表示領域２０と周辺領域３０とに区分される。表示領域２０は画像を表示する領域である。周辺領域３０は表示領域２０の周辺に位置する領域である。表示領域２０には、画素２１がマトリクス状に配置されている。詳細は後述するが、各画素２１には画素電極２３（図２参照）が設けられている。なお、図１に示すように、各画素は、表示色に応じて画素２１Ｒ、２１Ｇ、２１Ｂと表現されているが、これらを特に区別しない場合、単に画素２１という。同様に、画素電極も表示色に応じて画素電極２３Ｒ、２３Ｇ、２３Ｂと表現されているが、これらを特に区別しない場合、単に画素電極２３という。周辺領域３０には、ゲートドライバ３１及びソースドライバ３３が設けられている。

[0018] 表示領域２０には、ＩＣチップ１１０が設けられている。詳細は後述するが、画素電極２３はトランジスタが設けられたトランジスタ層の上方に設けられ、ＩＣチップ１１０はトランジスタ層の下方に設けられる。つまり、平面視において、ＩＣチップ１１０はトランジスタ層に設けられたトランジスタと重畳する。同様に、平面視において、ＩＣチップ１１０は画素電極２３と重畳する。なお、図１では、ＩＣチップ１１０が表示領域２０に設けられた構成を例示したが、ＩＣチップ１１０は周辺領域３０に設けられてもよい。

[0019] 各画素２１は単色を表示する。例えば、各画素２１は、赤色を表示する画素２１Ｒ、緑色を表示する画素２１Ｇ、及び青色を表示する画素２１Ｂを含む。これらの画素２１Ｒ、２１Ｇ、２１Ｂをサブ画素という。これらのサブ画素によってフルカラーを表示するメイン画素が構成される。以下の実施形態において、特にことわりがない場合は、画素２１はサブ画素を指す。

[0020] 本実施形態では、画素２１がマトリクス状に配置された構成を例示したが、この構成に限定されない。画素２１の配置は、図１に示すような矩形状の

表示領域 20 におけるマトリクス状の配置に限定されず、任意の表示領域の形状に合わせた配置にすることができる。

[0021] ゲートドライバ 31 は、表示領域 20 に対して横方向に隣接する位置（行方向に隣接する位置）に設けられている。ゲートドライバ 31 は、表示領域 20 の両側に設けられている。図示しないが、図 1 では、表示領域 20 の両側に設けられたゲートドライバ 31 から表示領域 20 に向かって行方向にゲート線が伸びている。ただし、ゲートドライバ 31 は、表示領域 20 の片側だけに設けられていてもよい。

[0022] ソースドライバ 33 は、表示領域 20 に対して縦方向に隣接する位置（列方向に隣接する位置）に設けられている。ソースドライバ 33 は、表示領域 20 の片側に設けられている。図示しないが、図 1 では、表示領域 20 の片側に設けられたソースドライバ 33 から表示領域 20 に向かって列方向にソース線が伸びている。ただし、ソースドライバ 33 は、表示領域 20 の列方向の両側に設けられていてもよい。なお、ゲートドライバ 31 が、表示領域 20 の上下に設けられる場合、ソースドライバ 33 は、表示領域 20 の左右の一方又は両方に設けられる。

[0023] 図 2 は、本発明の一実施形態に係る表示装置の概要を示す断面図である。図 2 に示すように、表示装置 10 は、IC チップ回路 100 及び表示パネル回路 300 を有する。表示パネル回路 300 は IC チップ回路 100 の上に設けられている。表示パネル回路 300 と IC チップ回路 100 とは、両者に含まれる絶縁層を貫通する貫通電極 319 によって電氣的に接続されている。IC チップ回路 100 に含まれる IC チップ 110 によって、例えばゲートドライバ 31 及びソースドライバ 33 を構成するトランジスタが制御される。

[0024] IC チップ回路 100 は、IC チップ 110、樹脂層 120、配線層 130 を有する。IC チップ 110 はチップ第 1 面 115、チップ第 1 面 115 とは反対側のチップ第 2 面 111、及びチップ第 1 面 115 及びチップ第 2 面 111 の間のチップ側面 113 を有する。樹脂層 120 は、チップ第 2 面

1 1 1 及びチップ側面 1 1 3 を覆う。図 2 では、チップ第 2 面 1 1 1 及びチップ側面 1 1 3 は樹脂層 1 2 0 によって隙間なく覆われている。換言すると、チップ第 2 面 1 1 1 の全面が樹脂層 1 2 0 によって覆われている。また、チップ側面 1 1 3 の全面が樹脂層 1 2 0 によって覆われている。ただし、チップ第 2 面 1 1 1 及びチップ側面 1 1 3 と樹脂層 1 2 0 との間に隙間が形成されていてもよい。

[0025] ICチップ 1 1 0 のチップ第 1 面 1 1 5 は樹脂層 1 2 0 から露出される。樹脂層 1 2 0 の樹脂第 1 面 1 2 1 とチップ第 1 面 1 1 5 とは揃っている。換言すると。チップ第 1 面 1 1 5 及び樹脂第 1 面 1 2 1 は同一平面上にある。ただし、チップ第 1 面 1 1 5 及び樹脂第 1 面 1 2 1 が完全に同一平面上にある必要はない。両者は概略同一平面上であってもよい。ICチップ 1 1 0 はチップ第 1 面 1 1 5 にチップ端子 1 1 7 を備える。

[0026] 配線層 1 3 0 は、ICチップ 1 1 0 及び樹脂層 1 2 0 の上に設けられる。図 2 に示す配線層 1 3 0 は、複数の配線層が積層されている。配線層 1 3 0 は、第 1 層間絶縁層 1 3 1、第 1 配線層 1 3 3、第 2 層間絶縁層 1 3 5、第 2 配線層 1 3 7、及び第 3 層間絶縁層 1 3 9 を有する。第 1 層間絶縁層 1 3 1 は ICチップ 1 1 0 及び樹脂層 1 2 0 の上に設けられている。第 1 層間絶縁層 1 3 1 には、チップ端子 1 1 7 に達する開口が設けられている。第 1 配線層 1 3 3 は、第 1 層間絶縁層 1 3 1 の開口及び第 1 層間絶縁層 1 3 1 の上面に設けられている。第 2 層間絶縁層 1 3 5 は第 1 層間絶縁層 1 3 1 及び第 1 配線層 1 3 3 の上に設けられている。第 2 層間絶縁層 1 3 5 には、第 1 配線層 1 3 3 に達する開口が設けられている。第 2 配線層 1 3 7 は、第 2 層間絶縁層 1 3 5 の開口及び第 2 層間絶縁層 1 3 5 の上面に設けられている。第 3 層間絶縁層 1 3 9 は第 2 層間絶縁層 1 3 5 の上、及び第 2 配線層 1 3 7 の上に設けられている。第 1 層間絶縁層 1 3 1、第 2 層間絶縁層 1 3 5、及び第 3 層間絶縁層 1 3 9 は、有機絶縁層であってもよく、無機絶縁層であってもよく、有機絶縁層及び無機絶縁層の積層であってもよい。第 1 配線層 1 3 3 及び第 2 配線層 1 3 7 として、一般的な導電層を用いることができる。

[0027] 上記のように、第1配線層133及び第2配線層137によって構成される配線は、チップ端子117に接続されている。後述するように、当該配線はトランジスタ層310に含まれるトランジスタに接続される。つまり、ICチップ110は配線層130を介してトランジスタ層310に接続されている。

[0028] 図2では、配線層130が2層の配線層（第1配線層133及び第2配線層137）からなる多層配線構造である構成を例示したが、この構成に限定されない。配線層130は1層の配線層であってもよく、3層以上の配線層からなる多層配線構造であってもよい。

[0029] 表示パネル回路300は、トランジスタ層310及び電気光学層330を有する。トランジスタ層310は、配線層130の上に設けられている。後述するように、トランジスタ層310に含まれるトランジスタは、配線層130に電氣的に接続されている。電気光学層330はトランジスタ層310の上に設けられており、トランジスタ層310と電氣的に接続されている。電気光学層330は各画素21に応じて異なる色を表示する表示素子を有する。本実施形態では、表示装置10が有機EL表示装置なので、電気光学層330に含まれる表示素子として有機EL層が設けられている。当該有機EL層は、その材料及び構造によって表示色が異なる。

[0030] トランジスタ層310は、画素回路トランジスタ301及び周辺回路トランジスタ303を有する。画素回路トランジスタ301は表示領域20に配置され、各画素21の表示を制御するトランジスタである。周辺回路トランジスタ303は周辺領域30に配置され、ゲートドライバ31又はソースドライバ33に含まれるトランジスタである。画素回路トランジスタ301及び周辺回路トランジスタ303として、多様なトランジスタを用いることができる。これらのトランジスタとして、例えば、チャンネルが形成される半導体層の上にゲート絶縁層を介してゲート電極が設けられたトップゲート型のトランジスタ、半導体層の下にゲート絶縁層を介してゲート電極が設けられたボトムゲート型のトランジスタ、又は絶縁層の側壁に半導体層、ゲート絶

縁層、及びゲート電極が設けられたトランジスタを用いることができる。

[0031] トランジスタ層 310 は、上記のトランジスタ以外に、第 4 層間絶縁層 311、ソース配線層 313、ドレイン配線層 315、第 3 配線層 317、及び第 5 層間絶縁層 321 を有する。第 4 層間絶縁層 311 には、画素回路トランジスタ 301 及び周辺回路トランジスタ 303 の各々のソース領域及びドレイン領域に到達する開口が設けられている。ソース配線層 313、ドレイン配線層 315、及び第 3 配線層 317 は、第 4 層間絶縁層 311 に設けられた開口を介して各々に対応するトランジスタに接続される。

[0032] 第 3 層間絶縁層 139 及び第 4 層間絶縁層 311 には、第 2 配線層 137 の一部に到達する開口が設けられている。この開口には第 3 層間絶縁層 139 及び第 4 層間絶縁層 311 を貫通する貫通電極 319 が設けられる。貫通電極 319 は上記の第 3 配線層 317 と同じ層に設けられた導電層で形成される。この貫通電極 319 によって、第 2 配線層 137 と第 3 配線層 317 とが接続される。つまり、周辺回路トランジスタ 303 は貫通電極 319 を介して配線層 130 に接続されている。なお、上記のトランジスタがボトムゲート型のトランジスタの場合、第 4 層間絶縁層 311 が省略されてもよい。第 5 層間絶縁層 321 には、ドレイン配線層 315 の一部に到達する開口が設けられている。第 4 層間絶縁層 311 及び第 5 層間絶縁層 321 は、有機絶縁層であってもよく、無機絶縁層であってもよく、有機絶縁層及び無機絶縁層の積層であってもよい。ソース配線層 313、ドレイン配線層 315、第 3 配線層 317、及び貫通電極 319 として、一般的な導電層を用いることができる。

[0033] 電気光学層 330 は、画素電極 23、隔壁 331、有機 EL 層 333、及びコモン電極 335 を有する。画素電極 23 は第 5 層間絶縁層 321 に設けられた開口を介してドレイン配線層 315 に接続されている。隔壁 331 は、第 5 層間絶縁層 321 及び画素電極 23 の上に設けられている。隔壁 331 には、画素電極 23 の一部を露出する開口が設けられている。隔壁 331 に設けられた開口は、平面視において、画素電極 23 の内側の領域を露出

する。換言すると、隔壁 331 は画素電極 23 のパターン端部を覆う。隔壁 331 は、有機絶縁層であってもよく、無機絶縁層であってもよく、有機絶縁層及び無機絶縁層の積層であってもよい。

[0034] 有機 EL 層 333 は、各画素電極 23 の上に設けられている。有機 EL 層 333 の材料及び構造は、各画素 21 の表示色に応じて異なる。有機 EL 層 333 R は、有機 EL 層 333 R に通電することで赤色光を放出する。有機 EL 層 333 G は、有機 EL 層 333 G に通電することで緑色光を放出する。有機 EL 層 333 B は、有機 EL 層 333 B に通電することで青色光を放出する。これらの有機 EL 層を特に区別しない場合、単に有機 EL 層 333 という。コモン電極 335 は、有機 EL 層 333 及び隔壁 331 の上に設けられている。コモン電極 335 は複数の有機 EL 層 333 に対して共通に設けられている。換言すると、コモン電極 335 は、連続して有機 EL 層 333 R、333 G、333 B を覆っている。表示装置 10 がトップエミッション型の有機 EL 表示装置の場合、画素電極 23 として反射性金属を用いることができ、コモン電極 335 として透光性金属を用いることができる。

[0035] 以上のように、本実施形態に係る表示装置 10 によると、第 3 層間絶縁層 139 及び第 4 層間絶縁層 311 を貫通する貫通電極 319 及びトランジスタ層 310 の下に設けられた配線層 130 を用いて、トランジスタ層 310 と IC チップ 110 とが接続されることで、IC チップ 110 と、IC チップ 110 及びトランジスタ層 310 を接続するための配線と、を基板上に別途設ける必要がなくなる。その結果、従来よりもコンパクトな表示装置を実現することができる。

[0036] IC チップ 110 は、チップ側面 113 及びチップ第 2 面 111 が樹脂層 120 によって覆われた構造を有している。つまり、IC チップ 110 は、外力に対して機械的に保護されている。したがって、信頼性が高い IC チップ 110 付き表示装置 10 を実現することができる。

[0037] [表示パネル回路 300 の構成]

図 3 を用いて、表示パネル回路 300 の構成について、詳細に説明する。

なお、図3に示す表示パネル回路300の構成は一例に過ぎず、表示パネル回路300は図3に示した構成に限定されない。

[0038] 図3は、本発明の一実施形態に係る表示装置のトランジスタ層及び電気光学層の詳細な構造を示す断面図である。図3は、隣接する二つの画素21（21R及び21G）にわたる断面模式図である。各画素21には画素回路が形成される。図3に示す画素回路は、駆動トランジスタ210、保持容量230、付加容量250、及び発光素子260を有している。発光素子260は、図2の画素電極23、有機EL層333、及びコモン電極335を含む。

[0039] 画素回路に含まれる各素子はアンダーコート208を介してICチップ回路100の上に設けられる。駆動トランジスタ210は、半導体膜212、ゲート絶縁膜214、ゲート電極216、ソース電極220、及びドレイン電極222を含む。ゲート電極216は、ゲート絶縁膜214を介して半導体膜212の少なくとも一部と交差するように配置される。半導体膜212は、ソース領域212a、ドレイン領域212b、及びチャネル212cを有する。チャネル212cは、半導体膜212とゲート電極216とが重なる領域である。チャネル212cはソース領域212aとドレイン領域212bとの間に設けられる。

[0040] 容量電極232はゲート電極216と同一の層に存在し、ゲート絶縁膜214を介してドレイン領域212bと重なる。ゲート電極216及び容量電極232の上には層間絶縁膜218が設けられる。層間絶縁膜218及びゲート絶縁膜214には、ソース領域212a及びドレイン領域212bに達する開口がそれぞれ形成され、これらの開口の内部にソース電極220及びドレイン電極222が配置される。ドレイン電極222は、層間絶縁膜218を介して容量電極232と重なる。ドレイン領域212b、容量電極232、及びそれらの間のゲート絶縁膜214、並びに、容量電極232、ドレイン電極222、及びそれらの間の層間絶縁膜218によって保持容量230が形成される。上記の駆動トランジスタ210及び保持容量230は、図

2のトランジスタ層310に対応する。ソース電極220及びドレイン電極222は、図2のソース配線層313及びドレイン配線層315に対応する。

[0041] 駆動トランジスタ210及び保持容量230の上には平坦化膜240が設けられている。平坦化膜240には、ドレイン電極222に到達する開口が設けられている。この開口と平坦化膜240の上面の一部とを覆う接続電極242が、ドレイン電極222と接するように設けられる。平坦化膜240上には付加容量電極252が設けられ、接続電極242と付加容量電極252を覆うように容量絶縁膜254が形成される。容量絶縁膜254は、平坦化膜240の開口において接続電極242の一部を露出する。これにより、発光素子260の画素電極262とドレイン電極222とが接続電極242を介して電氣的に接続される。容量絶縁膜254には開口256が設けられている。開口256を介して、容量絶縁膜254の上に設けられる隔壁258と平坦化膜240とが接する。開口256が設けられていることで、開口256を通して平坦化膜240中の不純物を除去することができる。この構成によって画素回路や発光素子260の信頼性を向上させることができる。なお、接続電極242及び開口256の形成は任意である。画素電極262は、図2の画素電極23に対応する。

[0042] 容量絶縁膜254の上には、接続電極242と付加容量電極252を覆うように、画素電極262が設けられる。容量絶縁膜254は付加容量電極252と画素電極262との間に配置される。この構造によって付加容量250が構成される。画素電極262は、付加容量250及び発光素子260によって共有される。画素電極262の上には、画素電極262の端部を覆う隔壁258が設けられる。アンダーコート208から隔壁258までの構造をアレイ基板ということがある。アレイ基板の製造は、公知の材料や方法を適用することで行うことができるため、その説明は省略する。なお、隔壁258は、図2の隔壁331に対応する。

[0043] [発光素子260の構成]

図3に示すように、発光素子260は、画素電極262、有機EL層264、及びコモン電極272を含む。有機EL層264及びコモン電極272は、画素電極262及び隔壁258を覆うように設けられている。図3に示す例では、有機EL層264は、ホール注入層及びホール輸送層266、発光層268（発光層268a、268b）、及び電子注入層及び電子輸送層270を有している。ホール注入層及びホール輸送層266及び電子注入層及び電子輸送層270は全ての画素21に対して共通に設けられる。つまり、これらの層は全ての画素21に共有される。同様に、コモン電極272は複数の画素21を覆う。つまり、コモン電極272は複数の画素21によって共有される。一方、発光層268は各画素21に対して個別に設けられている。有機EL層264及びコモン電極272は、図2の有機EL層333及びコモン電極335に対応する。

[0044] 画素電極262、コモン電極272、及び有機EL層264の各々の構造及び材料としては、公知のものを適用することができる。例えば有機EL層264は、上記の構成以外にホールブロック層、電子ブロック層、及び励起子ブロック層など、種々の機能層を有していてもよい。

[0045] 有機EL層264の構造は、すべての画素21間で同一でもよく、隣接する画素21間で一部の構造が異なってもよい。例えば隣接する画素21間で発光層268の構造又は材料が異なり、他の層は同一の構造であってもよい。

[0046] [表示装置10の製造方法]

図4～図10を用いて、本実施形態の表示装置10の製造方法について説明する。図4～図10は、それぞれ本発明の一実施形態に係る表示装置の製造方法を示す断面図である。図4～図6のICチップ110の上下方向の向きは、図2のICチップ110の上下方向の向きと反対である。つまり、図2における上方は、図4～図6における下方である。

[0047] 図4に示すように、支持基板400の上に接着層410を介してICチップ110を配置する。ICチップ110の表面に設けられたチップ端子11

7が接着層410側に配置されるようにICチップ110を配置する。換言すると、チップ第1面115にチップ端子117が設けられたICチップ110を、チップ端子117が支持基板400側を向くように、支持基板400に配置する。後の工程で、チップ第2面111側に樹脂層120が形成され、チップ第1面115側に配線層130が形成される。

[0048] ICチップ110を支持基板400の上に配置する前に、支持基板400の表面にアライメントマーカ401を形成し、このアライメントマーカ401を目印としてICチップ110の配置位置を決定する。ただし、アライメントマーカ401は接着層410に形成されていてもよい。ここで、接着層410として、刺激が供給されることで接着力（又は粘着力）が低下する部材を用いることができる。例えば、接着層410として、加熱することで着力が低下する部材を用いることができる。

[0049] ICチップ110を接着層410の上に配置した後に、図5に示すように、ICチップ110のチップ第2面111及びチップ側面113を覆う樹脂層120を形成する。樹脂層120は樹脂第1面121が支持基板400を向くように形成される。樹脂層120は、液状の樹脂材料を塗布することで形成される。樹脂層120として、エポキシ樹脂、アクリル樹脂などの材料を用いることができる。又は、樹脂層120として、フィルム状樹脂を用いることができる。フィルム状樹脂は、数十 μm から数百 μm の厚さのフィルムであり、接着層410に貼り付ける前からフィルム状である。このようなフィルム状樹脂を接着層410及びICチップ110に貼り付け、加圧熱処理を行うことで樹脂層120が形成される。

[0050] フィルム状樹脂を接着層410及びICチップ110に貼り付けただけの状態（貼り付けた直後の状態）では、接着層410とICチップ110との段差部分に空隙が形成されることがある。特に、ICチップ110のチップ側面113に樹脂層120を形成することは難しい。しかし、フィルム状樹脂を貼り付けた後に加圧熱処理を行うことで、熱によって流動性を有したフィルム状樹脂が上記の空隙に流れ込み、その空隙を埋める。このようにして

、樹脂層 120 をチップ側面 113 にも形成することができる。上記の工程によって、チップ第 1 面 115 及び樹脂第 1 面 121 が同一平面上に位置するように、ICチップ 110 及び樹脂層 120 が形成される。

[0051] 上記の製造方法では、フィルム状樹脂を用いて樹脂層 120 を形成する方法について説明したが、この製造方法に限定されない。例えば、印刷法又は塗布法を用いて接着層 410 及び ICチップ 110 の上に樹脂材料を形成することで、樹脂層 120 を形成してもよい。

[0052] 図 6 に示すように、接着層 410 の接着力が低下する温度で熱処理を行うことで、ICチップ 110 及び樹脂層 120 を接着層 410 から剥離する。この剥離によって、チップ端子 117 が設けられた ICチップ 110 のチップ第 1 面 115 及び樹脂第 1 面 121 は表面に露出される。本実施形態では、熱処理によって ICチップ 110 及び樹脂層 120 を接着層 410 から剥離する製造方法を説明したが、この製造方法に限定されない。例えば、接着層 410 として紫外線照射によって接着力が低下するような部材を用いた場合、熱処理に代えて紫外線照射処理を行うことで、上記の剥離を行ってもよい。このように、支持基板 400 が剥離され、以下に説明するように、樹脂層 120 を基板として、その上に配線層 130、トランジスタ層 310、及び電気光学層 330 が形成される。このようにして形成された表示装置 10 は可撓性を有する。

[0053] 図 7 に示すように、図 6 に示す ICチップ 110 及び樹脂層 120 を上下反転し、ICチップ 110 及び樹脂層 120 の上に配線層 130 を形成する。具体的には、ICチップ 110 及び樹脂層 120 の上に第 1 層間絶縁層 131 を形成し、第 1 層間絶縁層 131 にチップ端子 117 を露出する開口を形成する。第 1 層間絶縁層 131 の上及び第 1 層間絶縁層 131 に形成された開口に導電層を形成する。そして、この導電層に対してフォトリソグラフィ及びエッチングを行うことによって第 1 配線層 133 を形成する。上記と同様の方法で、第 2 層間絶縁層 135、第 2 配線層 137、及び第 3 層間絶縁層 139 を形成することで、配線層 130 を形成する。第 1 層間絶縁層 1

31、第2層間絶縁層135、及び第3層間絶縁層139は、無機絶縁層であってもよく、有機絶縁層であってもよい。このようにして、チップ端子117に接続される配線を有する配線層130を形成する。

[0054] 図8に示すように、配線層130の上にトランジスタ層310の一部を形成する。具体的には、第3層間絶縁層139の上に画素回路トランジスタ301及び周辺回路トランジスタ303を形成し、これらのトランジスタの上に第4層間絶縁層311を形成する。なお、画素回路トランジスタ301及び周辺回路トランジスタ303は、この段階では配線層130に接続されていない。これらのトランジスタは、後の工程で貫通電極319を介して配線層130に接続される。

[0055] 図9に示すように、第4層間絶縁層311に開口305を形成し、第3層間絶縁層139及び第4層間絶縁層311に開口307を形成する。開口305は、画素回路トランジスタ301及び周辺回路トランジスタ303のソース電極及びドレイン電極に対応する位置に形成される。開口307は、配線層130（第2配線層137）との接続位置に形成される。

[0056] 図10に示すように、第4層間絶縁層311及び開口305、307に導電層を形成し、この導電層に対してフォトリソグラフィ及びエッチングを行うことで、ソース配線層313、ドレイン配線層315、第3配線層317、及び貫通電極319を形成する。これらの配線層の上に第5層間絶縁層321を形成し、第5層間絶縁層321にドレイン配線層315に達する開口を形成し、画素電極23を形成する。続いて、画素電極23の端部を覆う隔壁331を形成する。そして、画素電極23の上に有機EL層333及び共通電極335を形成することで、電気光学層330を形成し、図2に示す表示装置10が完成する。

[0057] 以上のように、本実施形態に係る表示装置10の製造方法によると、ICチップ110及び樹脂層120を支持基板400及び接着層410の上に形成した後に、これらを支持基板400及び接着層410から剥離することで、ICチップ110のチップ第2面111及びチップ側面113が樹脂で覆

われた構成を実現することができる。これによって、ＩＣチップ１１０の機体的強度を向上させることができる。さらに、配線層１３０を形成する領域に平坦な表面（チップ第１面１１５及び樹脂第１面１２１）を提供することができる。画素回路トランジスタ３０１及び周辺回路トランジスタ３０３に到達する開口の形成と共に、配線層１３０に到達する開口を形成することで、簡易的な工程でＩＣチップ１１０と周辺回路トランジスタ３０３とを接続することができる。

[0058] 〈第２実施形態〉

図１１を用いて、本発明の一実施形態に係る表示装置について説明する。第２実施形態の表示装置１０Ａでは、ＩＣチップが機能に応じて分離されている。表示装置１０Ａにおいて、機能毎に分離されたＩＣチップは、各々に適した位置に配置されている。

[0059] 図１１は、本発明の一実施形態に係る表示装置の概要を示す上面図である。図１１に示すように、表示装置１０Ａでは、ＩＣチップとして、電源ＩＣチップ５００Ａ、メモリＩＣチップ５１０Ａ、及びＧＰＵ５２０Ａがそれぞれ分離して配置されている。電源ＩＣチップ５００Ａは各種回路の駆動電源を供給する。メモリＩＣチップ５１０Ａは表示装置の動作に必要な各種情報を保存する。例えば、メモリＩＣチップ５１０Ａはフレームメモリとして機能してもよい。メモリＩＣチップ５１０Ａがフレームメモリとして機能する場合、メモリＩＣチップ５１０Ａは電源ＩＣチップ５００ＡよりもＧＰＵ５２０Ａに近い位置に配置されてもよい。ＧＰＵ５２０Ａは、表示領域２０Ａに配置された画素に階調データを供給する駆動回路を制御する。ＧＰＵ５２０Ａを画素駆動ＩＣチップということもできる。

[0060] 図１１では、電源ＩＣチップ５００Ａ及びメモリＩＣチップ５１０Ａは表示領域２０Ａに配置されている。ＧＰＵ５２０は表示領域２０Ａ及び周辺領域３０Ａに亘って配置されている。ただし、ＧＰＵ５２０は周辺領域３０Ａだけに配置されていてもよい。電源ＩＣチップ５００Ａ及びメモリＩＣチップ５１０Ａが周辺領域３０Ａに配置されてもよい。電源ＩＣチップ５００Ａ

及びメモリ ICチップ510Aは、配線層130（図2参照）を介して、表示領域20A又は周辺領域30Aでトランジスタ層310（図2参照）のトランジスタに接続される。

[0061] 以上のように、本実施形態に係る表示装置10Aによると、ICチップが機能毎に分離して配置されることで、設計の自由度が向上する。例えば、周辺領域30Aに配置された周辺回路（例えば、ゲートドライバ31A）に信号を供給するGPU520Aが周辺領域30Aに配置されることで、GPU520Aから周辺回路までの配線抵抗を小さくすることができ、信号遅延を抑制することができる。本実施形態に係る表示装置10Aによると、ICチップを細分化することができるため、表示装置10Aが可撓性を有する場合に、ICチップによる折り曲げに対する阻害の影響を抑制することができる。

[0062] 〈第3実施形態〉

図12を用いて、本発明の一実施形態に係る表示装置について説明する。第3実施形態の表示装置10Bでは、第2実施形態の表示装置10Aと同様にICチップが機能に応じて分離されている。表示装置10Bは表示装置10Aとは異なり、GPUがゲートドライバICチップ521B及びソースドライバICチップ523Bに分離して配置されている。

[0063] 図12は、本発明の一実施形態に係る表示装置の概要を示す上面図である。図12に示すように、表示装置10Bでは、GPUとして、ゲートドライバICチップ521B及びソースドライバICチップ523Bがそれぞれ分離して配置されている。ゲートドライバICチップ521Bは、周辺領域30Bのゲートドライバ31Bに重畳する位置に設けられている。ソースドライバICチップ523Bは、周辺領域30Bのソースドライバ33Bに重畳する位置に設けられている。ゲートドライバICチップ521Bは、ゲートドライバ31Bに設けられたトランジスタのオン又はオフを制御する。ソースドライバICチップ523Bは、ソースドライバ33Bに設けられたトランジスタに供給される階調データを制御する。

[0064] 上記の構成を換言すると、ゲートドライバＩＣチップ５２１Ｂは、ソースドライバ３３Ｂよりもゲートドライバ３１Ｂの近くに配置されている。ソースドライバＩＣチップ５２３Ｂは、ゲートドライバ３１Ｂよりもソースドライバ３３Ｂの近くに配置されている。

[0065] 以上のように、本実施形態に係る表示装置１０Ｂによると、ＧＰＵが機能毎に分離して配置されることで、設計の自由度が向上する。例えば、ゲートドライバＩＣチップ５２１Ｂをゲートドライバ３１Ｂの近くに配置し、ソースドライバＩＣチップ５２３Ｂをソースドライバ３３Ｂの近くに配置することで、各ＩＣチップとそれぞれのＩＣチップ１１０チップによって制御されるドライバ回路との間の配線抵抗を小さくすることができるため、信号遅延を抑制することができる。本実施形態に係る表示装置１０Ｂによると、ＩＣチップをさらに細分化することができるため、表示装置１０Ｂが可撓性を有する場合に、ＩＣチップによる折り曲げに対する阻害の影響を抑制することができる。

[0066] 〈第４実施形態〉

図１３～図１６を用いて、本発明の一実施形態に係る表示装置について説明する。第４実施形態の表示装置１０Ｃでは、第２実施形態の表示装置１０Ａと同様にＩＣチップが機能に応じて分離されている。表示装置１０Ｃは表示装置１０Ａとは異なり、表示装置１０Ｃの上部にタッチセンサが設けられている。表示装置１０Ｃは、ＩＣチップとして当該タッチセンサを駆動するタッチセンサＩＣチップ６０１Ｃを有している。タッチセンサＩＣチップ６０１Ｃは他のＩＣチップと同様に表示装置１０Ｃの下部に設けられている。

[0067] 図１３は、本発明の一実施形態に係る表示装置の概要を示す上面図である。図１３に示すように、表示装置１０Ｃは、タッチセンサ駆動回路６１Ｃ、タッチセンサ検出回路６２Ｃ、タッチセンサ駆動電極６１０Ｃ、及びタッチセンサ検出電極６２０Ｃを有する。表示装置１０Ｃは、ＩＣチップとしてタッチセンサＩＣチップ６０１Ｃを有する。タッチセンサＩＣチップ６０１Ｃは、電源ＩＣチップ５００Ｃ、メモリＩＣチップ５１０Ｃ、及びＧＰＵ５２

OCとは分離して配置されている。タッチセンサ駆動回路61C、タッチセンサ検出回路62C、及びタッチセンサICチップ601Cは周辺領域30Cに設けられている。タッチセンサ駆動電極610C及びタッチセンサ検出電極620Cは表示領域20Cに設けられている。図13では、GPU520C及びタッチセンサICチップ601Cが周辺領域30Cに設けられた構成を例示したが、例えば、タッチセンサICチップ601Cだけが周辺領域30Cに設けられ、その他のICチップが表示領域20Cに設けられていてもよい。

[0068] タッチセンサ駆動電極610C及びタッチセンサ検出電極620Cは、それぞれ複数設けられている。タッチセンサ駆動電極610Cは、タッチセンサ駆動回路61Cから列方向に延びている。タッチセンサ検出電極620Cは、タッチセンサ検出回路62Cから行方向に延びている。複数のタッチセンサ駆動電極610Cは複数のタッチセンサ検出電極620Cと交差している。換言すると、複数のタッチセンサ駆動電極610C及び複数のタッチセンサ検出電極620Cは格子状に設けられている。以下に説明するように、タッチセンサ駆動電極610C及びタッチセンサ検出電極620Cは、同じ層に設けられており、両方の電極が交差する箇所だけが異なる層に設けられている。ただし、上記の両方の電極が異なる層に設けられていてもよい。

[0069] タッチセンサ駆動回路61CはタッチセンサICチップ601Cによって制御される。タッチセンサ検出回路62Cは被検出物のタッチに基づく信号（例えば、タッチセンサ駆動電極610Cとタッチセンサ検出電極620Cとの間の容量の変化に基づく信号）を受信する。タッチセンサ検出回路62Cによって受信された信号はタッチセンサICチップ601Cに送信される。タッチセンサICチップ601Cは、タッチセンサ駆動回路61Cに供給された制御信号と、タッチセンサ検出回路62Cによって受信された信号とに基づいて、被検出物のタッチ有無を判断する。被検出物のタッチが検出された場合、タッチセンサICチップ601Cは、タッチが検出された座標を算出する。被検出物は、表示装置を使用するユーザの手指等の誘電体だけで

なく、スタイラス等の誘電体であってもよい。

[0070] 図14は、本発明の一実施形態に係る表示装置の概要を示す断面図である。図14の断面図は、図13の表示領域20CのB-B'線、表示領域20Cに対して行方向に隣接する周辺領域30CのC-C'線、及び表示領域20Cに対して列方向に隣接する周辺領域30CのD-D'線の断面図である。図14に示すように、表示装置10Cでは、電源ICチップ500Cが画素回路トランジスタ301Cに接続されている。GPU520Cが周辺回路トランジスタ303Cに接続されている。タッチセンサICチップ601Cが貫通電極630Cを介してタッチセンサ検出電極620Cに接続されている。

[0071] 図14に示すように、表示パネル回路300Cの上に平坦化膜640C及び保護膜650Cが設けられている。保護膜650Cの上にタッチセンサ層600Cが設けられている。タッチセンサ層600Cは、タッチセンサ駆動電極610C、タッチセンサ検出電極620C、第6層間絶縁層660C、及び貫通電極630Cを有する。タッチセンサ層600Cの上に樹脂層670Cが設けられている。上記のように、タッチセンサ駆動電極610C及びタッチセンサ検出電極620Cは同じ層に設けられている。両方の電極が交差する箇所では、貫通電極630Cが設けられた導電層を介して交差する。

[0072] タッチセンサICチップ601Cが設けられた領域において、第3層間絶縁層139Cから第6層間絶縁層660Cまでの絶縁層には、開口631Cが設けられている。開口631Cは配線層130Cの第2配線層137Cを露出する。GPU520Cが設けられた領域において、第6層間絶縁層660Cには開口633Cが設けられている。開口633Cはタッチセンサ検出電極620Cを露出する。貫通電極630Cは第6層間絶縁層660Cの上、開口631C、及び開口633Cに設けられる。つまり、貫通電極630Cは、開口631Cによって露出された第2配線層137Cと、開口633Cによって露出されたタッチセンサ検出電極620Cとを接続する。貫通電極630Cは、開口631Cの側壁部分に設けられている。開口631Cに

において、貫通電極 630C の内側には樹脂層 670C が充填されている。

[0073] 平坦化膜 640C 及び樹脂層 670C として、有機絶縁層が用いられる。これらの有機絶縁層は下層の段差を緩和し、平坦な表面を提供する。保護膜 650C として、無機絶縁層が用いられる。この無機絶縁層は、外部からの水分及び酸素などが、例えば有機 EL 層 333C に到達することを抑制する。この無機絶縁層として、例えば窒化シリコンを含む絶縁層が用いられる。第 6 層間絶縁層 660C は、タッチセンサ駆動電極 610C 及びタッチセンサ検出電極 620C と貫通電極 630C が設けられた導電層とを離隔すればよい。したがって、第 6 層間絶縁層 660C として、有機絶縁層が用いられてもよく、無機絶縁層が用いられてもよい。

[0074] 以上のように、本実施形態に係る表示装置 10C によると、他の実施形態と同様の効果に加え、第 3 層間絶縁層 139C から第 6 層間絶縁層 660C までの絶縁層を貫通する開口 631C に貫通電極 630C 及び樹脂層 670C が充填されていることで、貫通電極 630C にかかる応力を緩和することができる。さらに、開口 631C に貫通電極 630C 及び樹脂層 670C が充填されていることで、タッチセンサ層 600C の表示パネル回路 300C に対する密着性を向上させることができる。

[0075] [表示装置 10C の製造方法]

図 15 及び図 16 を用いて、本実施形態の表示装置 10C の製造方法について説明する。図 15 及び図 16 は、本発明の一実施形態に係る表示装置の製造方法を示す断面図である。

[0076] IC チップ回路 100C 及び表示パネル回路 300C を形成する方法は、図 4～図 10 に示す方法と同じ方法で形成することができるので、ここでは説明を省略する。図 15 に示すように、表示パネル回路 300C の上に平坦化膜 640C 及び保護膜 650C を形成する。保護膜 650C の上にタッチセンサ駆動電極 610C 及びタッチセンサ検出電極 620C を形成し、それらの電極を覆う第 6 層間絶縁層 660C を形成する。

[0077] 図 16 に示すように、第 3 層間絶縁層 139C から第 6 層間絶縁層 660

Cまでの絶縁層に開口631Cを形成して第2配線層137Cを露出する。第6層間絶縁層660Cに開口633Cを形成してタッチセンサ検出電極620Cを露出する。開口631C、633Cは、開口を形成する対象の絶縁層にレーザ光を照射することで形成することができる。開口631Cと開口633Cとは、開口を形成する対象の絶縁層の層の数及び層の厚さが異なるため、異なる条件のレーザ光が照射されてもよい。第6層間絶縁層660Cを感光性樹脂で形成する場合、開口633C及び開口631Cが形成される領域の第6層間絶縁層660Cに開口を予め形成しておいてもよい。

[0078] 第6層間絶縁層660Cの上、及び開口631C、633Cに貫通電極630Cを形成し、樹脂層670Cを形成することで、図14に示す表示装置10Cを形成することができる。

[0079] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限り、適宜組み合わせて実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0080] 本明細書においては、開示例として主にEL表示装置の場合を例示したが、他の適用例として、その他の自発光型表示装置、液晶表示装置、あるいは電気泳動素子などを有する電子ペーパー型表示装置など、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型から大型まで、特に限定することなく適用が可能である。

[0081] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0082] 10：表示装置、 20：表示領域、 21：画素、 23：画素電極、
30：周辺領域、 31：ゲートドライバ、 33：ソースドライバ、 6

1 C : タッチセンサ駆動回路、 6 2 C : タッチセンサ検出回路、 1 0 0 : I C チップ回路、 1 1 0 : I C チップ、 1 1 1 : チップ第 2 面、 1 1 3 : チップ側面、 1 1 5 : チップ第 1 面、 1 1 7 : チップ端子、 1 2 0 : 樹脂層、 1 2 1 : 樹脂第 1 面、 1 3 0 : 配線層、 1 3 1 : 第 1 層間絶縁層、 1 3 3 : 第 1 配線層、 1 3 5 : 第 2 層間絶縁層、 1 3 7 : 第 2 配線層、 1 3 9 : 第 3 層間絶縁層、 2 0 8 : アンダーコート、 2 1 0 : 駆動トランジスタ、 2 1 2 : 半導体膜、 2 1 2 a : ソース領域、 2 1 2 b : ドレイン領域、 2 1 2 c : チャネル、 2 1 4 : ゲート絶縁膜、 2 1 6 : ゲート電極、 2 1 8 : 層間絶縁膜、 2 2 0 : ソース電極、 2 2 2 : ドレイン電極、 2 3 0 : 保持容量、 2 3 2 : 容量電極、 2 4 0 : 平坦化膜、 2 4 2 : 接続電極、 2 5 0 : 付加容量、 2 5 2 : 付加容量電極、 2 5 4 : 容量絶縁膜、 2 5 6 : 開口、 2 5 8 : 隔壁、 2 6 0 : 発光素子、 2 6 2 : 画素電極、 2 6 4 : 有機 E L 層、 2 6 6 : ホール注入・輸送層、 2 6 8 : 発光層、 2 7 0 : 電子注入・輸送層、 2 7 2 : コモン電極、 3 0 0 : 表示パネル回路、 3 0 1 : 画素回路トランジスタ、 3 0 3 : 周辺回路トランジスタ、 3 0 5、3 0 7 : 開口、 3 1 0 : トランジスタ層、 3 1 1 : 第 4 層間絶縁層、 3 1 3 : ソース配線層、 3 1 5 : ドレイン配線層、 3 1 7 : 第 3 配線層、 3 1 9 : 貫通電極、 3 2 1 : 第 5 層間絶縁層、 3 3 0 : 電気光学層、 3 3 1 : 隔壁、 3 3 3 : 有機 E L 層、 3 3 5 : コモン電極、 4 0 0 : 支持基板、 4 0 1 : アライメントマーカ、 4 1 0 : 接着層、 5 0 0 A : 電源 I C チップ、 5 1 0 A : メモリ I C チップ、 5 2 1 B : ゲートドライバ I C チップ、 5 2 3 B : ソースドライバ I C チップ、 6 0 0 C : タッチセンサ層、 6 0 1 C : タッチセンサ I C チップ、 6 1 0 C : タッチセンサ駆動電極、 6 2 0 C : タッチセンサ検出電極、 6 3 0 C : 貫通電極、 6 3 1 C、6 3 3 C : 開口、 6 4 0 C : 平坦化膜、 6 5 0 C : 保護膜、 6 6 0 C : 第 6 層間絶縁層、 6 7 0 C : 樹脂層

請求の範囲

- [請求項1] 第1面、前記第1面とは反対側の第2面、及び前記第1面と前記第2面との間の側面を備え、前記第1面に端子を有するＩＣチップと、前記第2面及び前記側面を覆う樹脂層と、前記ＩＣチップ及び前記樹脂層の上に設けられ、前記端子に接続される配線を含む配線層と、前記配線層の上に設けられ、前記配線に接続されるトランジスタを含むトランジスタ層と、前記トランジスタ層の上に設けられ、前記トランジスタに接続された画素電極を含む電気光学層と、を有する表示装置。
- [請求項2] 前記ＩＣチップの前記第1面及び前記樹脂層の前記配線層側の面は、同一平面上にある、請求項1に記載の表示装置。
- [請求項3] 前記配線層は第1絶縁層を含み、前記トランジスタ層は第2絶縁層を含み、前記配線と前記トランジスタとは、前記第1絶縁層及び前記第2絶縁層を貫通する貫通電極を介して接続される、請求項1又は2に記載の表示装置。
- [請求項4] 前記ＩＣチップと前記トランジスタとは、平面視において重畳する、請求項1乃至3のいずれかに記載の表示装置。
- [請求項5] 前記ＩＣチップと前記画素電極とは、平面視において重畳する、請求項1乃至4のいずれかに記載の表示装置。
- [請求項6] 前記ＩＣチップは、電源を供給する電源ＩＣチップ及び前記画素に階調データを供給する駆動回路を制御する画素駆動ＩＣチップを含み、前記電源ＩＣチップ及び前記画素駆動ＩＣチップは分離して配置される、請求項1乃至5のいずれかに記載の表示装置。
- [請求項7] 前記画素駆動ＩＣチップは、前記トランジスタのオン又はオフを制

御するゲートドライバ駆動 ICチップ、及び前記トランジスタに供給される階調データを制御するソースドライバ駆動 ICチップを含み、
前記ゲートドライバ駆動 ICチップ及び前記ソースドライバ駆動 ICチップは分離して配置される、請求項6に記載の表示装置。

[請求項8] 前記トランジスタ層は、前記ゲートドライバ駆動 ICチップによって制御されるゲートドライバ、及び前記ソースドライバ駆動 ICチップによって制御されるソースドライバを含み、

前記ゲートドライバ駆動 ICチップは、前記ソースドライバよりも前記ゲートドライバの近くに配置され、

前記ソースドライバ駆動 ICチップは、前記ゲートドライバよりも前記ソースドライバの近くに配置される、請求項7に記載の表示装置。

[請求項9] 前記画素電極によって画像を表示する表示領域に配置されたタッチセンサ電極をさらに有し、

前記 ICチップは、前記タッチセンサ配線に接続されたタッチセンサ ICを含み、

前記タッチセンサ ICは、前記電源 ICチップ及び前記画素駆動 ICチップとは分離して配置される、請求項6乃至8のいずれか一に記載の表示装置。

[請求項10] 前記タッチセンサ ICは、前記表示領域の周囲の周辺領域に配置される、請求項9に記載の表示装置。

[請求項11] 第1面、前記第1面とは反対側の第2面、及び前記第1面と前記第2面との間の側面を備え、前記第1面に端子を有する ICチップを、前記端子が支持基板側を向くように配置し、

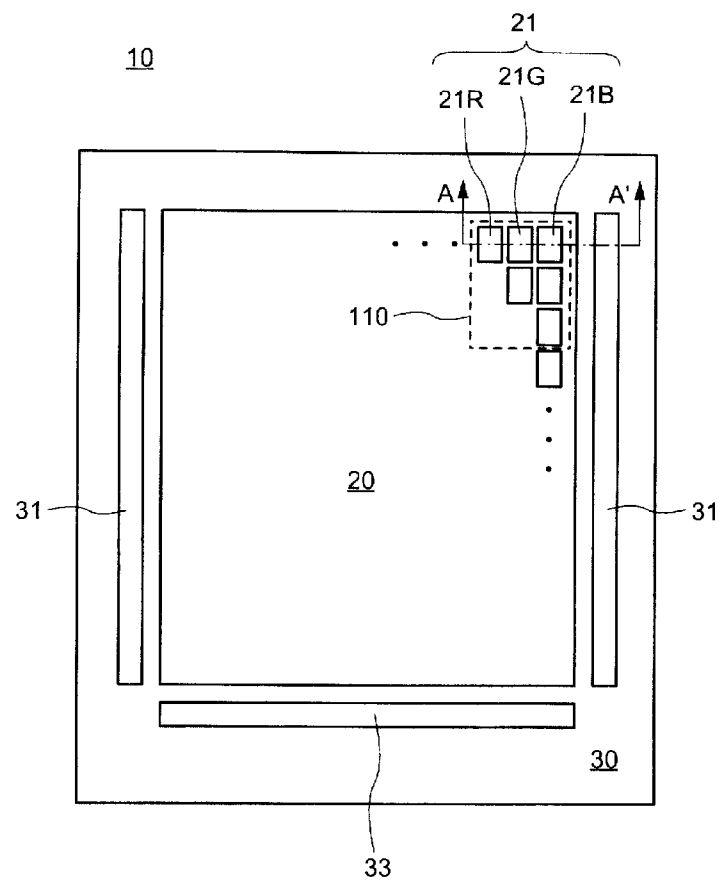
前記支持基板の上に、前記第2面及び前記側面を覆う樹脂層を形成し、

前記 ICチップ及び前記樹脂層を前記支持基板から剥離し、

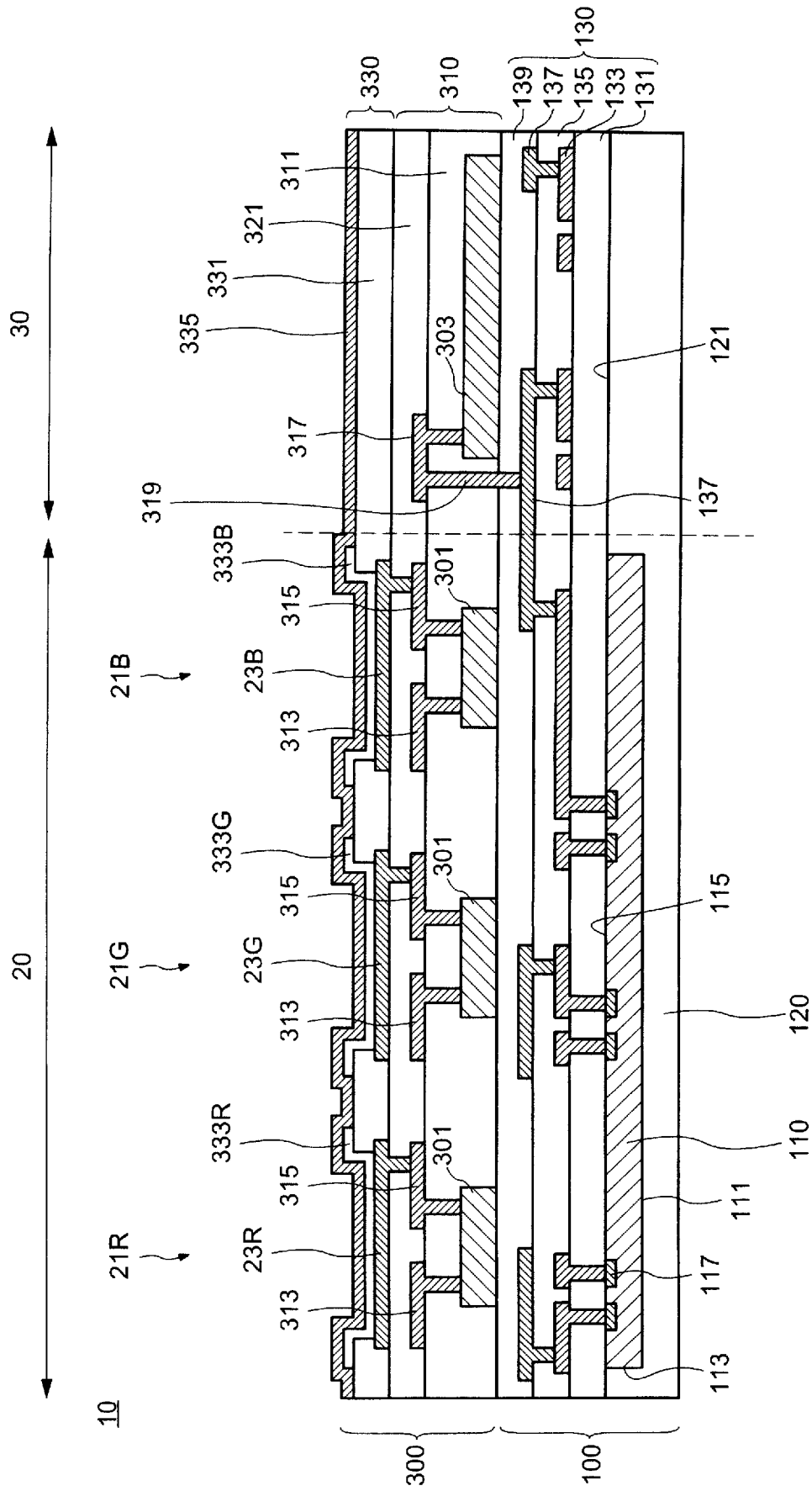
前記端子に接続される配線を含む配線層を形成し、

前記配線に接続されるトランジスタを含むトランジスタ層を形成し
、
前記トランジスタに接続される画素電極を含む電気光学層を形成する表示装置の製造方法。

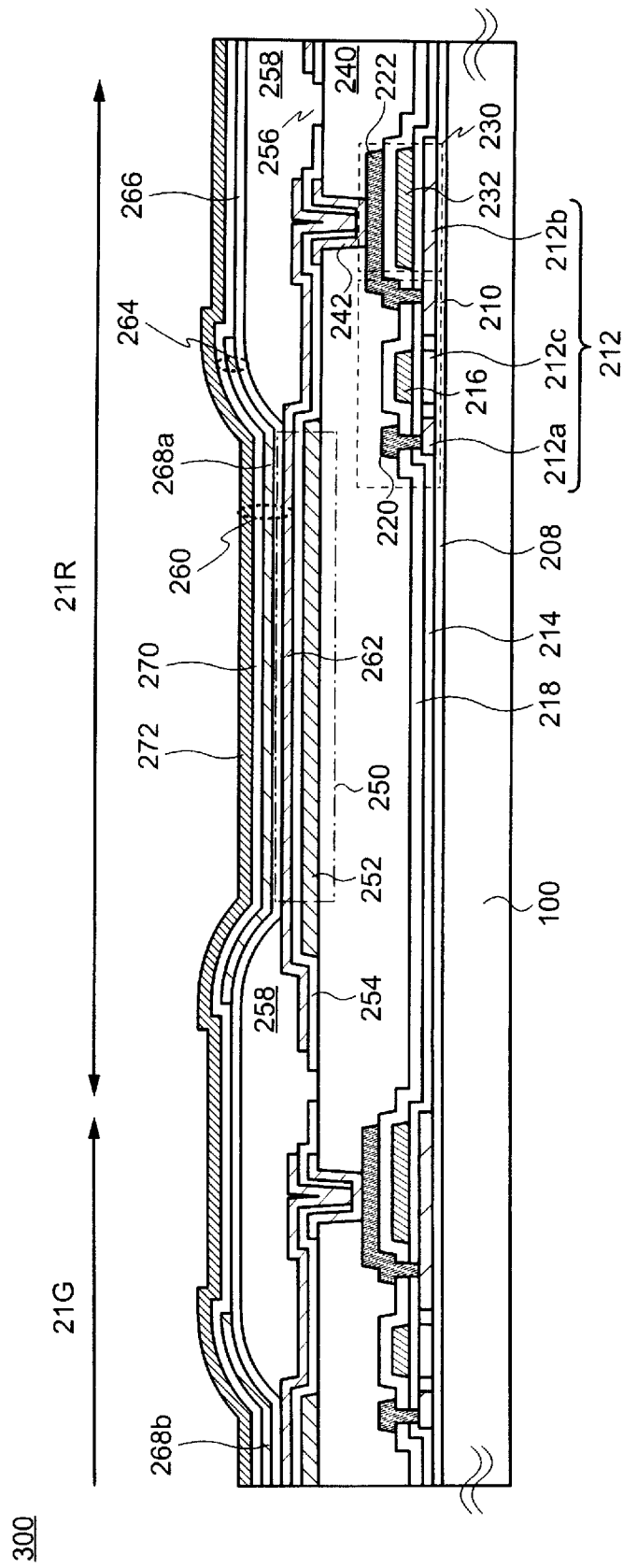
[図1]



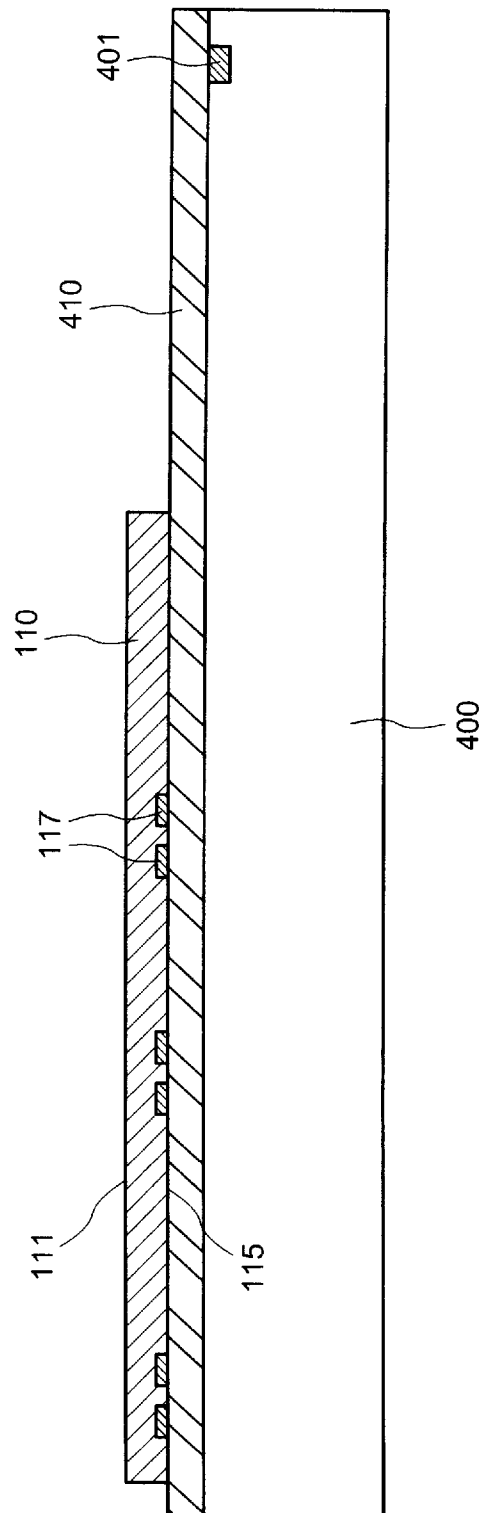
[図2]



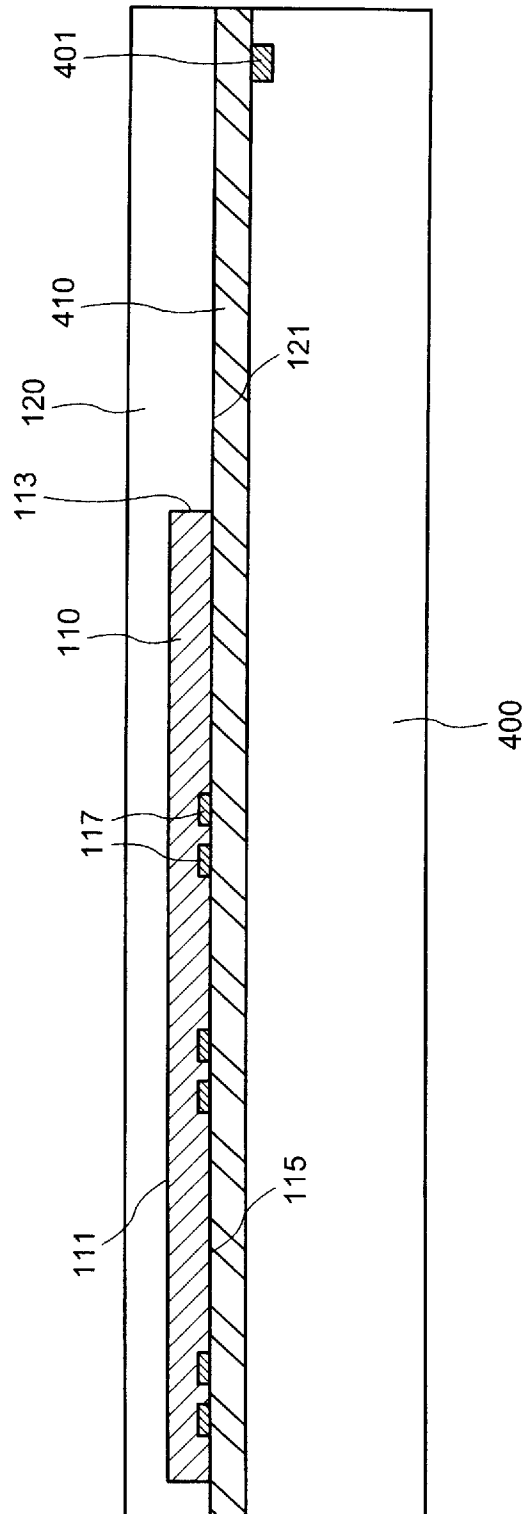
[図3]



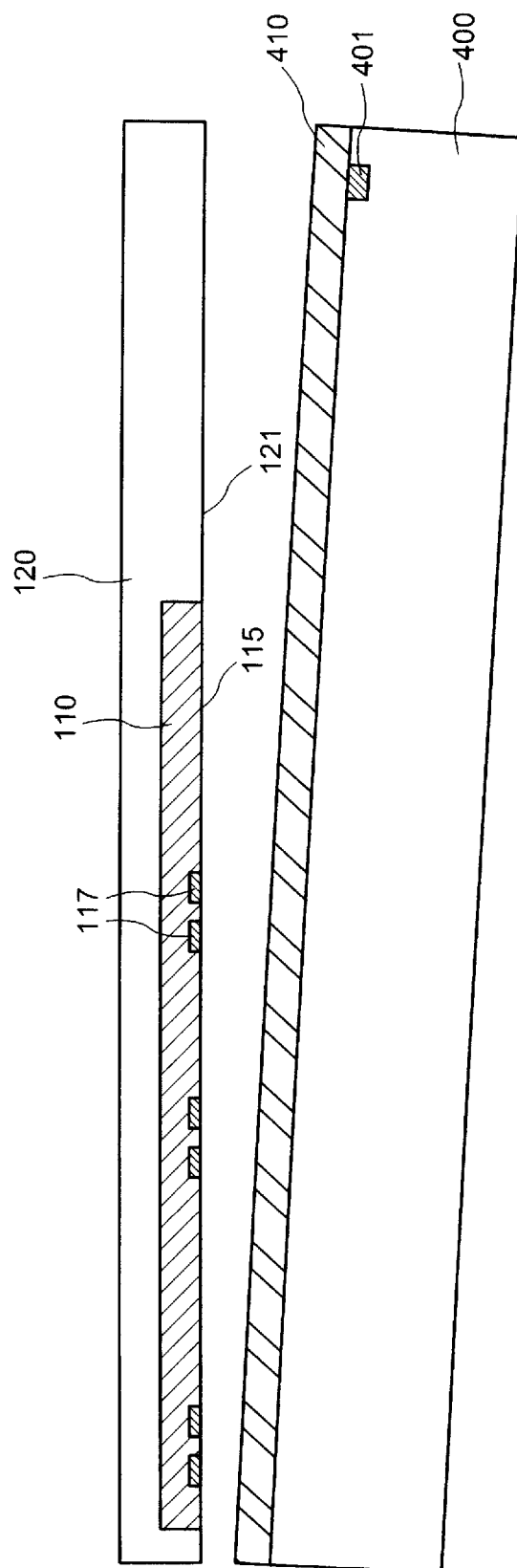
[図4]



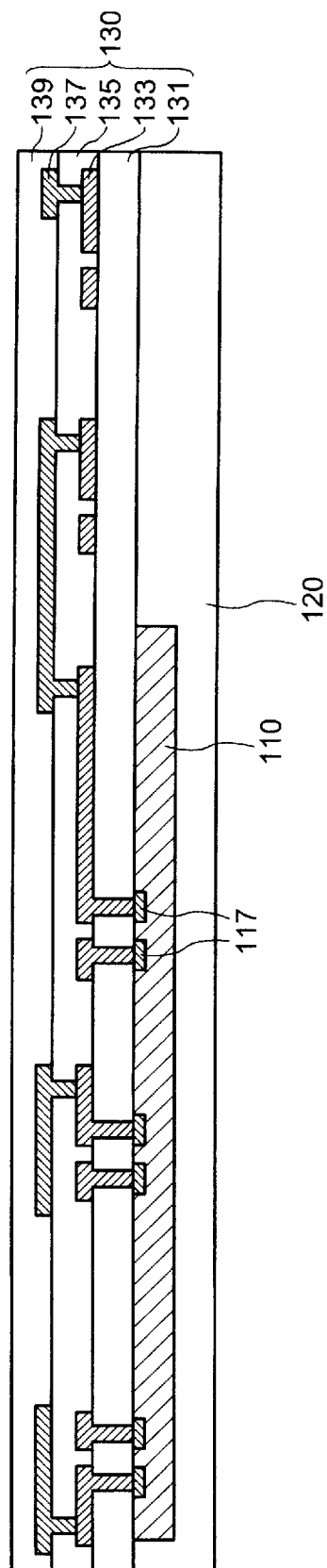
[図5]



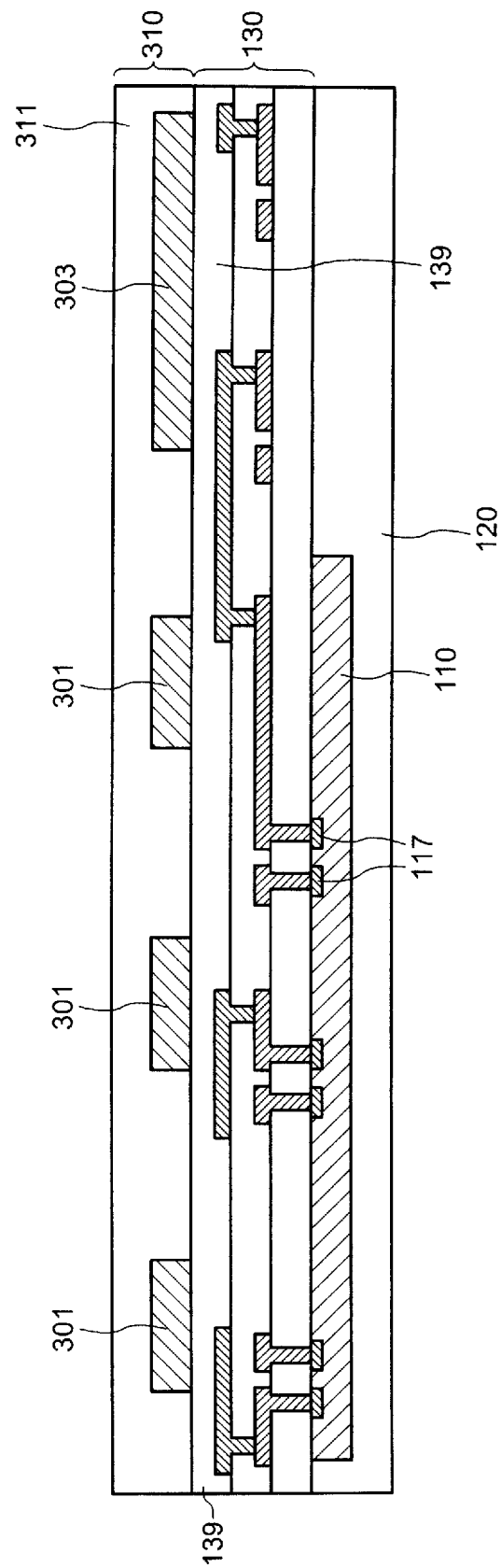
[図6]



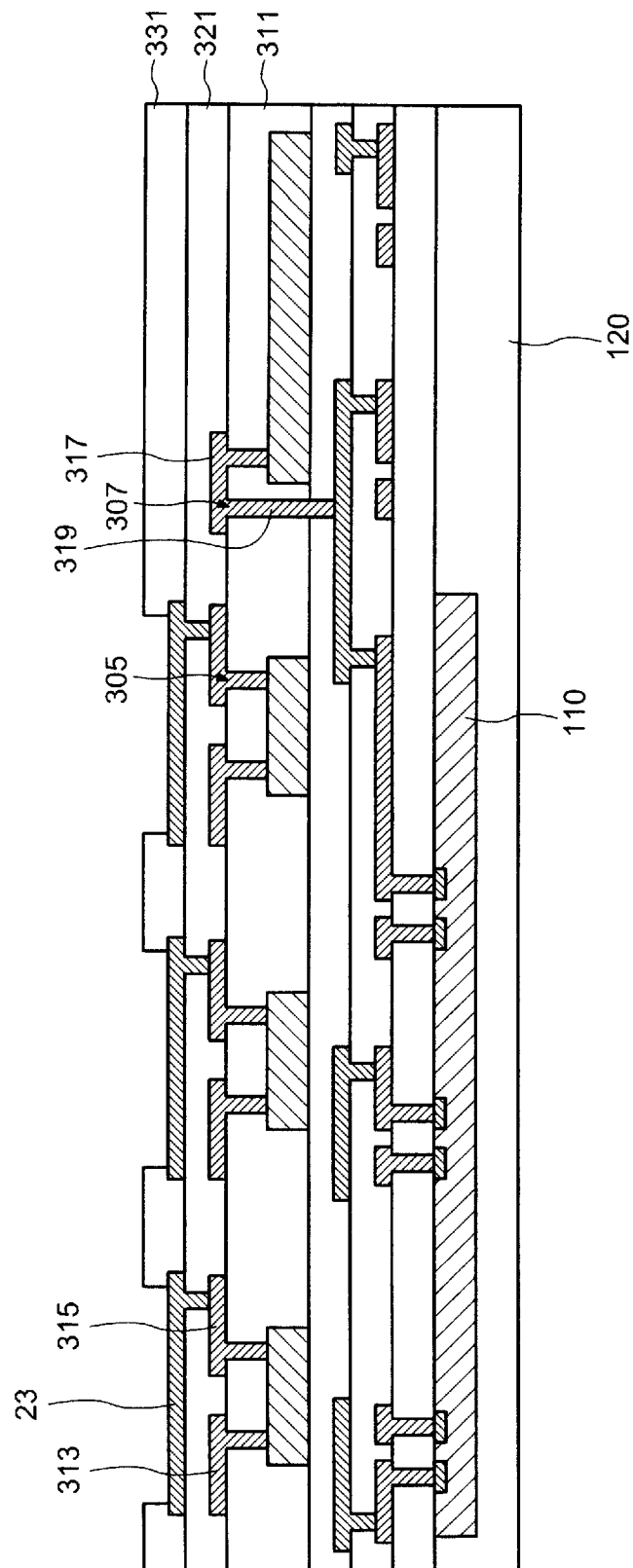
[図7]



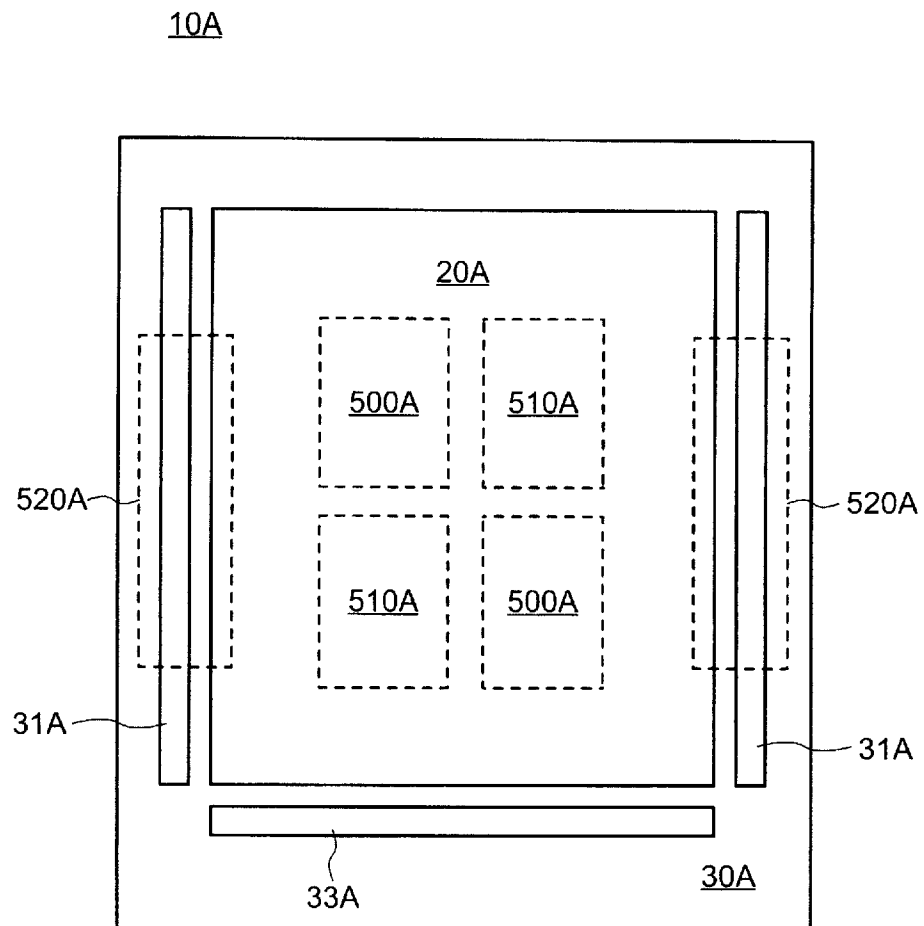
[図8]



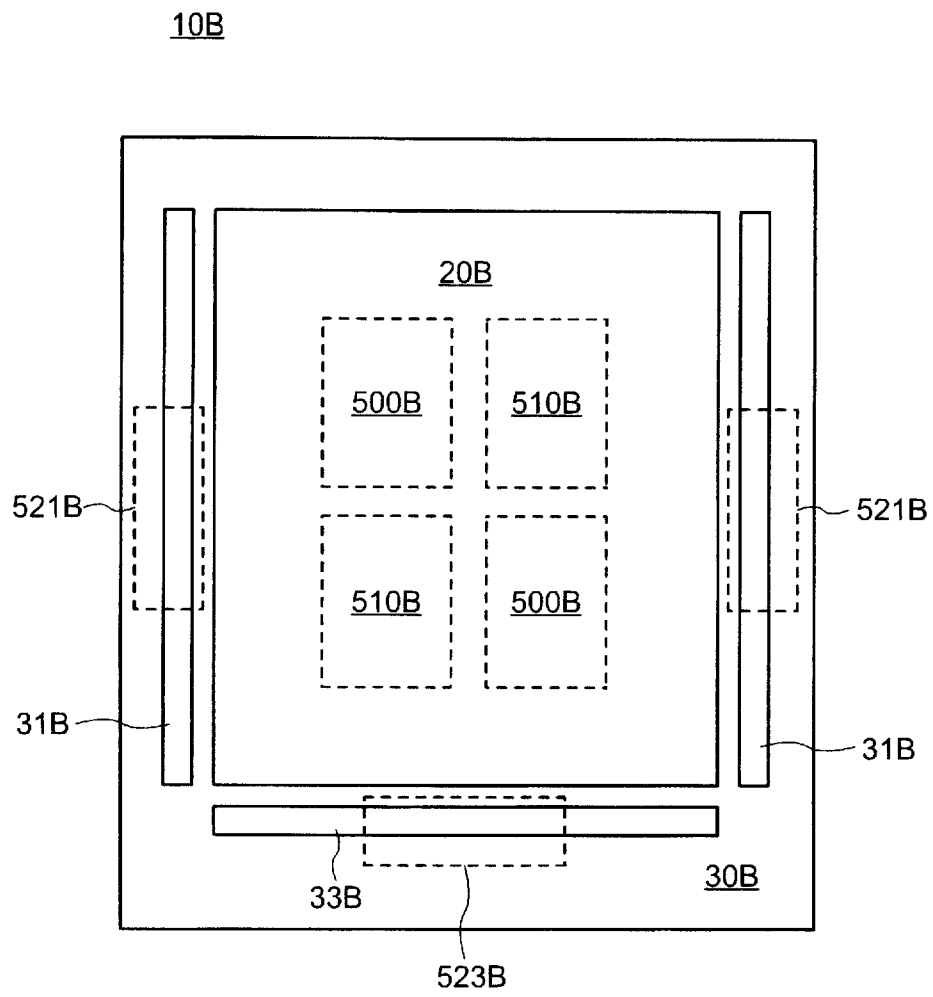
[図10]



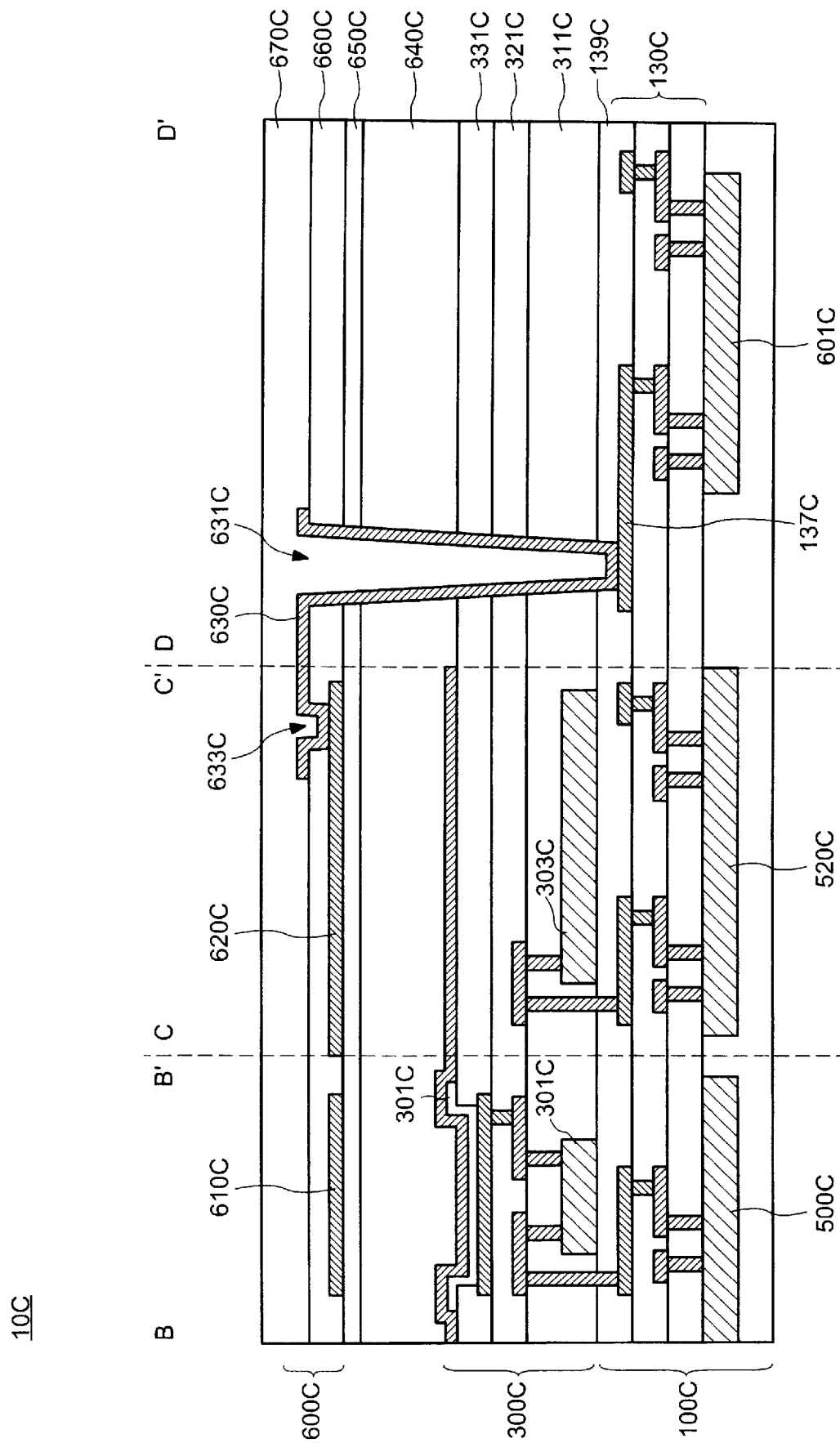
[図11]



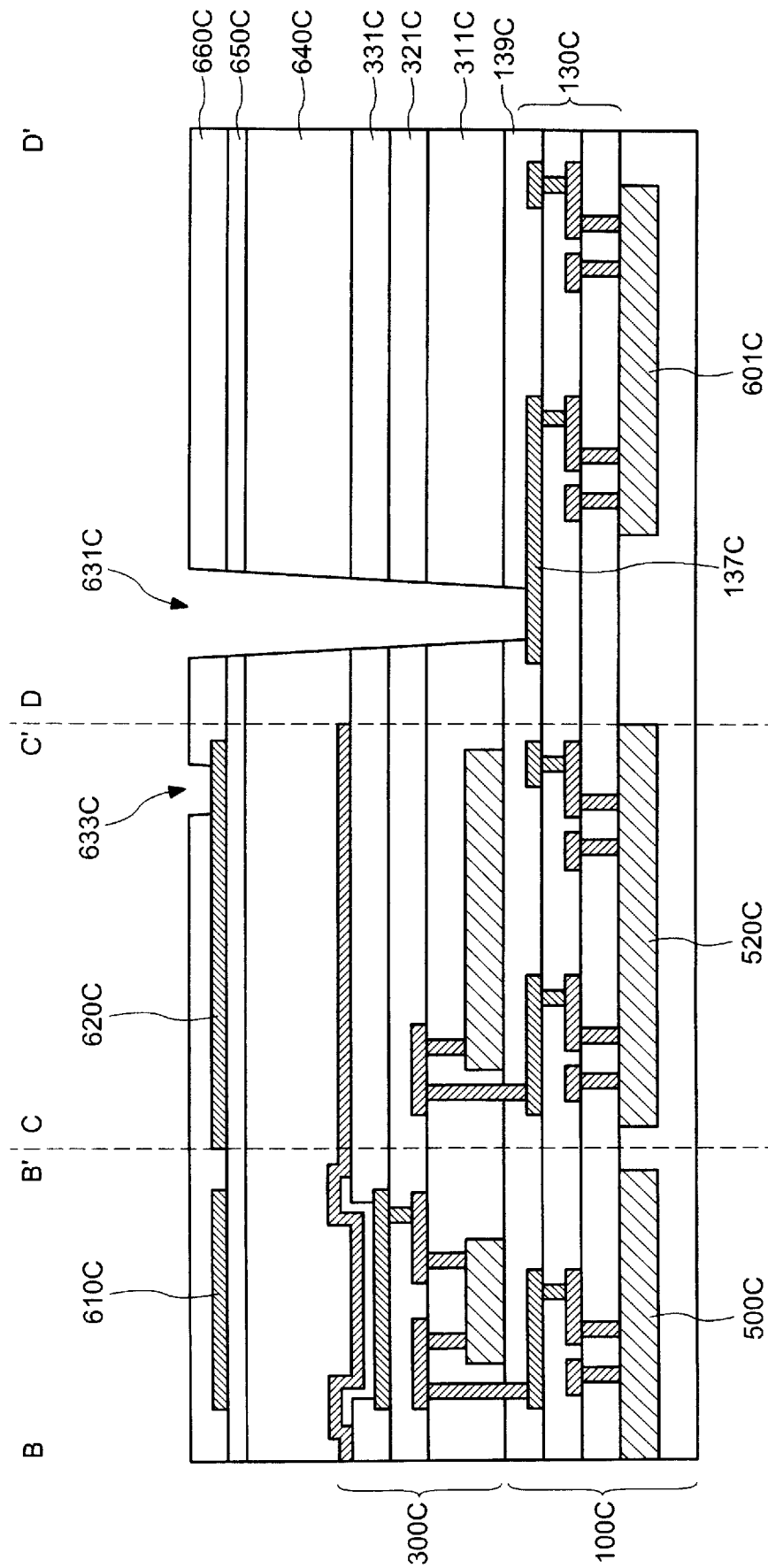
[図12]



[図14]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/038513

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G09F9/00(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i, H05B33/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/13-1/1334, G02F1/1339-1/141, G09F9/00-9/46, H01L21/3205-21/3213, H01L21/768, H01L23/522, H01L23/532, H01L27/32, H01L51/50, H05B33/00-33/28, H05K1/18, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2013/0293816 A1 (SAMSUNG ELECTRONICS CO., LTD.) 07 November 2013, paragraphs [0052]-[0055], [0058], [0063]-[0074], fig. 5-8 & KR 10-2013-0123684 A	1-2, 4-8 9-10
Y	US 2014/0246687 A1 (SAMSUNG ELECTRONICS CO., LTD.) 04 September 2014, paragraphs [0088]-[0102], fig. 11-15 & KR 10-2014-0108845 A	9-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17.12.2018

Date of mailing of the international search report
08.01.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/038513

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-17917 A (CASIO COMPUTER CO., LTD.) 20 January 2005, entire text, all drawings & US 2004/0263443 A1 & TW 200506774 A & KR 10-0723645 B1 & CN 1577415 A	1-11
A	JP 2012-518892 A (GLOBAL OLED TECHNOLOGY LLC.) 16 August 2012, entire text, all drawings & US 2010/0213819 A1 & EP 2401777 A1 & TW 201117368 A & CN 102334208 A & KR 10-2011-0134419 A	1-11
A	JP 2004-20810 A (NORTH KK) 22 January 2004, entire text, all drawings (Family: none)	1-11
A	JP 2003-255850 A (PIONEER ELECTRONIC CORPORATION) 10 September 2003, entire text, all drawings & US 2003/0168969 A1	1-11
A	JP 2005-3696 A (SEIKO EPSON CORPORATION) 06 January 2005, entire text, all drawings & US 2006/0246619 A1 & EP 1533779 A1 & TW 200407831 A & KR 10-2006-0064697 A & CN 1602509 A	1-11
A	JP 2002-151250 A (NIPPON AVIONICS CO., LTD.) 24 May 2002, entire text, all drawings (Family: none)	1-11
A	JP 2001-92381 A (NEC CORPORATION) 06 April 2001, entire text, all drawings & US 6633134 B1	1-11
A	JP 11-510640 A (SARNOFF CORPORATION) 14 September 1999, entire text, all drawings & US 5644327 A & EP 834169 A1	1-11
A	US 2017/0358265 A1 (SHANGHAI JADIC OPTOELECTRONICS TECHNOLOGY CO., LTD.) 14 December 2017, entire text, all drawings & CN 105914202 A	1-11
A	US 6091194 A (SWIRBEL, T. J. et al.) 18 July 2000, entire text, all drawings (Family: none)	1-11
A	US 5672083 A (CURTIN, C. J. et al.) 30 September 1997, entire text, all drawings & AU 7173594 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i,
G09F9/00(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i,
H05B33/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/13-1/1334, G02F1/1339-1/141, G09F9/00-9/46, H01L21/3205-21/3213, H01L21/768, H01L23/522,
H01L23/532, H01L27/32, H01L51/50, H05B33/00-33/28, H05K1/18, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2013/0293816 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013.11.07, 段落[0052]-[0055], [0058], [0063]-[0074], 図 5-8 & KR 10-2013-0123684 A	1-2, 4-8 9-10
Y	US 2014/0246687 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2014.09.04, 段落[0088]-[0102], 図 11-15 & KR 10-2014-0108845 A	9-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

17.12.2018

国際調査報告の発送日

08.01.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石本 努

21

8354

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-17917 A (カシオ計算機株式会社) 2005. 01. 20, 全文, 全図 & US 2004/0263443 A1 & TW 200506774 A & KR 10-0723645 B1 & CN 1577415 A	1-11
A	JP 2012-518892 A (グローバル・オーエルイーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー) 2012. 08. 16, 全文, 全図 & US 2010/0213819 A1 & EP 2401777 A1 & TW 201117368 A & CN 102334208 A & KR 10-2011-0134419 A	1-11
A	JP 2004-20810 A (株式会社ノース) 2004. 01. 22, 全文, 全図 (ファミリーなし)	1-11
A	JP 2003-255850 A (パイオニア株式会社) 2003. 09. 10, 全文, 全図 & US 2003/0168969 A1	1-11
A	JP 2005-3696 A (セイコーエプソン株式会社) 2005. 01. 06, 全文, 全図 & US 2006/0246619 A1 & EP 1533779 A1 & TW 200407831 A & KR 10-2006-0064697 A & CN 1602509 A	1-11
A	JP 2002-151250 A (日本アビオニクス株式会社) 2002. 05. 24, 全文, 全図 (ファミリーなし)	1-11
A	JP 2001-92381 A (日本電気株式会社) 2001. 04. 06, 全文, 全図 & US 6633134 B1	1-11
A	JP 11-510640 A (サーノフ コーポレーション) 1999. 09. 14, 全文, 全図 & US 5644327 A & EP 834169 A1	1-11
A	US 2017/0358265 A1 (SHANGHAI JADIC OPTOELECTRONICS TECHNOLOGY CO., LTD.) 2017. 12. 14, 全文, 全図 & CN 105914202 A	1-11
A	US 6091194 A (SWIRBEL, Thomas J. et al.) 2000. 07. 18, 全文, 全図 (ファミリーなし)	1-11
A	US 5672083 A (CURTIN, Christopher J. et al.) 1997. 09. 30, 全文, 全図 & AU 7173594 A	1-11