

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月22日(22.04.2010)

PCT

(10) 国際公開番号
WO 2010/044301 A1

- (51) 国際特許分類:
G09G 3/34 (2006.01) G09G 3/36 (2006.01)
G02F 1/133 (2006.01) H04N 5/66 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2009/063150
- (22) 国際出願日: 2009年7月23日(23.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-265620 2008年10月14日(14.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 勇司
(TANAKA, Yuji). 村井 貴行(MURAL, Takayuki).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-
MARK); 〒5300041 大阪府大阪市北区天神橋2丁
目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

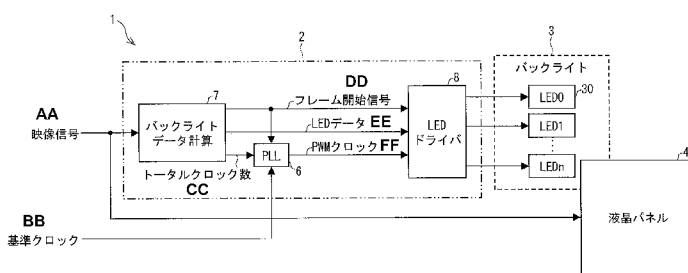
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: LAMP ON/OFF OPERATION CONTROL METHOD, CLOCK GENERATION METHOD, CLOCK GENERATION CIRCUIT, LIGHT SOURCE CONTROL CIRCUIT, AND DISPLAY DEVICE

(54) 発明の名称: 点灯制御方法、クロック生成方法、クロック生成回路、光源制御回路および表示装置

[図1]



- AA VIDEO SIGNAL
- BB REFERENCE CLOCK
- CC NUMBER OF TOTAL CLOCKS
- DD FRAME START SIGNAL
- EE LED DATA
- FF PWM CLOCK
- 7 BACKLIGHT DATA CALCULATION
- 8 LED DRIVER
- 3 BACKLIGHT
- 4 LIQUID CRYSTAL PANEL

(57) Abstract: A PLL (6) serves as a clock generation circuit which uses a reference clock to generate a PWM clock for controlling the ON time and the OFF time of a light source (30) which uses the pulse width modulation method to illuminate a liquid crystal panel (4) in synchronization with a video signal for display at a predetermined cycle on the liquid crystal panel (4). By modifying the pulse interval of the reference clock in linkage with modification of the cycle, it is possible to generate a PWM clock which can hold a constant ratio of the ON time and the OFF time within one period of the cycle even when the cycle is modified.

(57) 要約:

[続葉有]

WO 2010/044301 A1



液晶パネル（４）に一定の周期で表示を行う映像信号に同期して、上記液晶パネル（４）を照射する光源（３０）の点灯時間および消灯時間をパルス幅変調方式にて制御するためのPWMクロックを、基準クロックを元にして生成するクロック生成回路としてのPLL（６）は、上記基準クロックのパルス間隔を、上記周期の変更に連動して変更することによって、上記周期が変わっても、１周期内の点灯時間と消灯時間との比率を一定に保てるPWMクロックを生成する構成を備えている。

明 細 書

発明の名称：

点灯制御方法、クロック生成方法、クロック生成回路、光源制御回路および表示装置

技術分野

[0001] 本発明は、周期性の有るパルス列からなる周期性信号に同期したクロックを、基準クロックを元にして生成する技術に関するとともに、光源が出射する光の光量を映像信号に基づいて変調し、映像を表示する表示装置における上記光源の点灯時間の制御に関するものである。

背景技術

[0002] 光源が出射する光の光量を映像信号に基づいて変調し、映像を表示する表示装置として、例えば液晶表示装置を挙げることができる。近年、携帯電話およびコンピューターのディスプレイ、あるいはテレビなどに応用されている液晶表示装置は、液晶表示パネルと光源装置とを備えている。この光源装置は、バックライト型またはサイドライト型などに類別されるが、いずれの場合でも、液晶表示パネルに対し一様な光を照射することができるように構成されている。

[0003] 上記のような液晶表示装置の消費電力を小さくするために、バックライトを周期的にオンオフするバックライティング制御技術が知られている。下掲の特許文献1では、その従来バックライティング制御技術において、液晶表示装置がデータアップデートされる際の周波数と、バックライティングが提供される周波数との相互作用によって、フリッカが発生する問題に着目している。その問題を解決するために、液晶表示装置に提供される表示データのフレームに同期して、光源をオンオフするパルス幅変調信号を生成する方法および回路が、同文献1には開示されている。

先行技術文献

特許文献

[0004] 特許文献1：日本国公開特許公報「特開2007-241286号（2007年9月20日公開）」

特許文献2：日本国公開特許公報「特開平8-340498号（1996年12月24日公開）」

発明の概要

発明が解決しようとする課題

[0005] ところが、上記従来のバックライティング制御技術および上記特許文献1に開示された技術では、映像信号のソースが変更されたり、表示装置の仕向け地（販売地域）が変更されたりした結果、映像信号のフレーム周期が変わる場合があることによらず、常に適切なバックライティング制御を行うという点、および、その適切なバックライティング制御を行うための新たなクロックを必要とする点が、全く考慮されていない。

[0006] したがって、従来の技術では、映像信号のフレーム周期が変化した場合に、1フレームあたりの時間に対する光源の発光量に変化し、フレーム周期の変化前と変化後とで表示画面の輝度が変わってしまうという問題が発生する。

[0007] この問題の発生機序について、以下に説明する。

まず、上述のように映像信号のソースが変更される場合には、例えば、映像信号としてのテレビ放送信号を、DVD（digital versatile disk）プレーヤのような他のビデオソースから供給される映像信号に切り換える場合が該当する。例えば、我が国で視聴されているテレビ放送信号は、NTSC方式に準拠しており、フレーム周波数は60Hzに定められている。一方、他のビデオソースから供給される映像信号には、映画館で上映される映画を基に作成した映像信号のように、フレーム周波数が24Hzに定められているものがある。

[0008] また、表示装置の仕向け地によって映像信号のフレーム周期が変わる場合には、NTSC方式の国とPAL方式の国とでフレーム周期が変わるという場合が該当する。すなわち、NTSC方式からPAL方式に変わると、フレ

ーム周波数を60Hzから50Hzに変更せざるを得ない。

- [0009] 図9は、映像信号のフレーム周期が変化した場合に、1フレームあたりの時間に対する光源の発光量が変化することを示した各種信号のタイミングチャートである。
- [0010] フレーム開始信号は、映像信号のフレーム周期に対応したフレームパルス列からなっている。1番目および2番目のフレームパルスは、例えば60Hzのフレーム周波数に対応し、2番目および3番目のフレームパルスは、例えば50Hzのフレーム周波数に対応している。1番目および2番目のフレームパルスの各立ち上がりエッジの間隔（フレーム周期）と、2番目および3番目のフレームパルスの各立ち上がりエッジの間隔とを比較すればわかるように、フレーム周波数（フレームレート）が小さくなるように変化すると、フレーム周期が長くなる。
- [0011] LEDデータは、上記光源として、複数個（番号0～n）のLED（light emission diode）を用いた場合に、各LEDを定められた点灯時間で順番にオンオフしていくデータ列からなっている。
- [0012] PWM（pulse width modulation；パルス幅変調）クロックは、LED点灯信号を上記LEDデータに従ってパルス幅変調する際に、パルス幅の切り出しのタイミングを与える。
- [0013] 通常のバックライティング制御では、各LEDの点灯時間が一定に設定されている。図9の例では、説明の便宜上、点灯時間がPWMクロックの7クロック分に設定されているとしている。また、1番目および2番目のフレームパルスのフレーム周期（短周期）は、PWMクロックを用いて10クロックであると検出されるから、フレームパルスに同期して生成されるLED点灯信号の周期もまた、10クロックとなる。これに対し、2番目および3番目のフレームパルスのフレーム周期（長周期）は、同じPWMクロックを用いて12クロックであると検出されるから、LED点灯信号の周期もまた、12クロックとなっている。
- [0014] そうすると、フレーム周期の長短によらず、各LEDは、上記7クロック

分の点灯時間オンされるから、上記短周期の場合の消灯時間は3クロックとなり、上記長周期の場合の消灯時間は5クロックとなることがわかる。したがって、フレーム周期が長くなると、1フレームあたりの時間に対する消灯時間が長くなるので、1フレームあたりの時間に対する発光率が低下する結果、表示画面が暗くなる。

[0015] なお、光源の点灯輝度は、以下の式で定義される。

点灯輝度 = LEDの最大輝度 × 点灯時間 / (点灯時間 + 消灯時間)

このように、映像信号のフレーム周期に同期して光源を制御するにあたって、決まったPWMクロックで光源を点灯させようとする、フレーム周期が変更された場合に、点灯輝度が変わる。その理由は要するに、フレーム周期と同期を取るために、消灯時間を延ばしたり、あるいは点灯時間を延ばしたりする結果になるからである。上記の式から、消灯時間を延ばした場合には点灯輝度が低下し、点灯時間を延ばした場合には点灯輝度が上昇することになる。

[0016] 上記のような問題の解消策として、映像信号のソース毎に、あるいは表示装置の仕向け地毎に、点灯時間または消灯時間のデータを別々にして表示装置に持たせておき、フレーム周期が変更された場合に、点灯時間または消灯時間の設定を切り替える方法が考えられる。しかし、この方法では、必要なメモリが増え、制御プログラムが複雑化するため、表示装置のコストや、応答速度の面で不利になる。また、未知の映像信号が表示装置に入力されると、対応できないおそれがある。

[0017] 本発明は、上記の問題点を解決するためになされたもので、その目的は、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、1フレームあたりの時間に対する光源の発光量が変わらない点灯制御を行うのに適したクロックを生成するクロック生成方法およびクロック生成回路、そのクロックを利用した点灯制御方法、光源制御回路、並びに表示装置を提供することにある。

課題を解決するための手段

- [0018] 本発明に係る点灯制御方法は、上記の課題を解決するために、表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間をパルス幅変調方式にて制御する点灯制御方法において、上記点灯時間または消灯時間に対応したパルス幅を決めて光源駆動信号を生成するタイミングを与える第1クロックのパルス間隔を、上記周期の変更に連動して変更し、上記周期の1周期に対する上記第1クロックのクロック数を、上記周期の変更によらず一定値に維持した変調クロックを生成し、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つことを特徴とする。
- [0019] 上記の構成において、映像信号に基づいた映像を表示画面に表示する場合、表示画面の映像は一定の周期で書き換わるようになっている。1周期の映像信号によって1枚の映像を表示画面に表示することができ、その1枚の映像を例えばフレームと呼んでいる。
- [0020] 表示画面を照射する光源の点灯および消灯は、映像が書き換わる一定の周期に同期して制御されている。そのときの点灯時間または消灯時間は、光源駆動信号のパルス幅によって定まる。そのパルス幅を定めるタイミングは、第1クロックとそのクロック数とによって与えられる。
- [0021] 本発明によれば、上記第1クロックのパルス間隔、すなわち、第1クロックのあるパルスの立ち上がりエッジから次のパルスの立ち上がりエッジまでの時間間隔を、表示画面を書き換える上記周期の変更に連動して変更することにより、上記周期の1周期に対する上記第1クロックのクロック数を、上記周期の変更によらず一定値に維持した変調クロックを生成し、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つ。
- [0022] つまり、表示画面を書き換える周期が、より長い周期に変更された場合、上記第1クロックのパルス間隔をその長い周期に連動して延ばし、上記周期の1周期に対する上記第1クロックのクロック数が変わらないようにする。光源駆動信号は、周期が延びただけで、クロック数は変わりのない第1クロ

ックによって、点灯時間および消灯時間のパルス幅を定めるタイミングを与えられる。この結果、点灯時間および消灯時間は、1周期内の点灯時間と消灯時間との比率を一定に保つように、長い周期に連動して延びる結果となる。

[0023] 逆に、表示画面を書き換える周期が、より短い周期に変更された場合、上記第1クロックのパルス間隔をその短い周期に連動して縮める。この場合にも、上記周期の1周期に対する上記第1クロックのクロック数は変化しないから、点灯時間および消灯時間は、1周期内の点灯時間と消灯時間との比率を一定に保つように、短い周期に連動して縮む結果となる。

[0024] これにより、映像が書き換わる一定の周期が変更されても、1周期あたりの発光率は変化しないので、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、表示の輝度が変わらないという効果を奏する。

[0025] 本発明のクロック生成方法は、上記の課題を解決するために、表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間および消灯時間をパルス幅変調方式にて制御するための第1クロックを、基準となる第2クロックを元にして生成するクロック生成方法において、上記第2クロックによって上記周期を検出して得たクロック数Aと、上記周期の1周期分に対応した上記点灯時間と消灯時間の合計時間を決めるように、予め一定値に定めた上記第1クロックのトータルクロック数Bとに基づいて、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして生成することを特徴とする。

[0026] 上記の構成によれば、映像が書き換わる一定の周期を、基準となる第2クロックによって検出しているから、その結果であるクロック数Aは、上記周期が変更された場合に、変更された周期と連動して変化する。一方、1周期分に対応した光源の上記点灯時間と消灯時間の合計時間を決める第1クロックのトータルクロック数Bは、予め一定値に定めてあるので変化しない。

[0027] この結果、上記周期が変更された場合、 A/B 分周した分周クロックは、

1周期に含まれるクロック数が、変化前の1周期についても、変化後の1周期についても、同じトータルクロック数Bとなるクロックになる。

[0028] このことは、例えば、表示画面を書き換える周期が長い周期に変更された場合、1周期に含まれるトータルクロック数Bは変化しないから、結局、パルス間隔が、周期の変更前と比べて長い周期に連動して延びた分周クロックが生成されることを意味している。逆に、表示画面を書き換える周期が短い周期に変更された場合、1周期に含まれるトータルクロック数Bは変化しないから、結局、パルス間隔が、周期の変更前と比べて短い周期に連動して縮んだ分周クロックが生成される。

[0029] これにより、映像が書き換わる一定の周期に同期して光源のオンオフを制御するにあたって、決まったクロック数で光源を点灯させる場合に、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つような光源制御に適したクロックを生成することができる。

[0030] 本発明のクロック生成回路は、上記の課題を解決するために、周期性の有るパルス列からなる周期性信号に同期した第1クロックを、基準となる第2クロックを元にして生成するクロック生成回路において、上記周期性信号の周期を上記第2クロックのクロック数Aとして検出する検出回路と、上記検出回路が出力する上記クロック数Aと、上記周期の1周期分に対応して一定値に定められた上記第1クロックのトータルクロック数Bとを入力して、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして出力する分周回路とを備えていることを特徴とする。

[0031] 上記の構成によれば、周期性信号の周期を、基準となる第2クロックによって検出しているから、その結果であるクロック数Aは、上記周期が変更された場合に、変更された周期と連動して変化する。一方、上記周期の1周期分に対応した上記第1クロックのトータルクロック数Bは、予め一定値に定めてあるので変化しない。

[0032] この結果、上記周期が変更された場合、 A/B 分周した分周クロックは、1周期に含まれるクロック数が、変化前の1周期についても、変化後の1周

期についても、同じトータルクロック数Bとなるクロックになる。すなわち、本発明の分周クロックは、周期性信号の周期が変化しても、周期性信号と同じ周期を持つことによって周期性信号と同期を保ち、しかも、1周期あたりのクロック数が変化しないクロックとなる。

[0033] これにより、例えば、上記周期性信号が映像信号であって、映像が書き換わる一定の周期に同期して光源のオンオフを制御するにあたって、決まったクロック数で光源を点灯させる場合に、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つような光源制御に適したクロックとして、上記分周クロックを用いることができる。

[0034] 本発明のクロック生成回路は、上記の課題を解決するために、表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間および消灯時間をパルス幅変調方式にて制御するための第1クロックを、基準となる第2クロックを元にして生成するクロック生成回路において、上記映像信号の周期を上記第2クロックのクロック数Aとして検出する検出回路と、上記検出回路が出力する上記クロック数Aと、上記周期の1周期分に対応した上記点灯時間と消灯時間の合計時間を決める上記第1クロックのトータルクロック数Bとを入力して、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして出力する分周回路とを備えていることを特徴とする。

[0035] 上記の構成によれば、既に説明したクロック生成方法を実施するのに適したクロック生成回路を実現することができる。

[0036] 本発明のクロック生成回路における上記分周回路は、さらに、比較選択回路と、出力回路と、上記比較選択回路の出力値と上記トータルクロック数Bとを加算する加算回路とを備え、上記比較選択回路は、上記クロック数Aと上記加算回路の出力値Cとを比較し、該出力値Cが上記クロック数A未満の値であるときには該出力値Cを出力し、該出力値Cが上記クロック数A以上の値になったときには、該出力値Cから上記クロック数Aを引き算した値を出力するように構成され、上記出力回路は、上記出力値Cが上記クロック数

A以上の値になる毎に、パルスを出力するように構成されていることを特徴とする。

[0037] 上記の構成によれば、比較選択回路は、加算回路の出力値Cが上記第2クロックのクロック数Aを超えない期間T1は、出力値Cをそのまま出力し、出力値Cがクロック数A以上に超えた期間T2のときに、出力値Cから上記クロック数Aを引き算した値を出力する。ここで、ある期間内に、上記期間T1がm回、上記期間T2がn回有ったとすると、比較選択回路の出力値は、 $B \times (m + n)$ だけ増える一方で、 $A \times n$ だけ減り、結局、比較選択回路の出力値は元の値に戻るので、平均すると、 $B \times (m + n) = A \times n$ が成り立つ。これより、 $(m + n) / n = A / B$ となることから、 A / B 分周されている事が分かる。

[0038] 本発明のクロック生成回路における上記比較選択回路は、さらに、上記クロック数Aと上記加算回路の出力値Cとを比較する比較回路と、上記加算回路の出力値Cから上記クロック数Aを引き算する減算回路と、上記比較回路の出力と、上記加算回路の出力と、上記減算回路の出力とが入力され、上記出力値Cが上記クロック数A未満であることを、上記比較回路の出力が示している場合、上記加算回路の出力値Cを選択する一方、上記出力値Cが上記クロック数A以上であることを、上記比較回路の出力が示している場合、上記減算回路の出力を選択して出力する選択回路とを備えていることを特徴とする。

[0039] 上記の構成によれば、上記第2クロックを A / B 分周した分周クロックを生成するクロック生成回路を、簡単な構成で実現することができる。

[0040] 本発明のクロック生成回路における上記比較選択回路は、さらに、上記選択回路の出力を上記第2クロックを用いてラッチし、上記加算回路に出力する第1ラッチ回路を備えていることが、第2クロックを A / B 分周した分周クロックを生成する上で好ましい。

[0041] 本発明のクロック生成回路における上記出力回路は、上記比較回路の出力を上記第2クロックを用いてラッチする第2ラッチ回路であることが、第2

クロックをA/B分周した分周クロックを生成する上でさらに好ましい。

- [0042] 本発明のクロック生成回路は、デジタル回路によって構成されていることを特徴とする。
- [0043] 同様の機能を有する回路として、PLL (Phase Lock Loop) と呼ばれるアナログの回路があるが、入力の変化に対して徐々にしか追従しないため、周期が変化すると光源の輝度が急に変わり、その後、徐々に戻っていく。
- [0044] これに対し、デジタル回路は、アナログ回路より高速動作が可能なので、上記周期が変更されると、1周期以内に上記分周クロックを生成することができる。これにより、光源の発光量の変化による表示画面の輝度の変化を最短に抑え、表示画面の観察者に輝度の変化を認識させずに済む。
- [0045] 本発明のクロック生成回路における上記検出回路は、さらに、上記周期に関して、予め定めた最大値および最小値を与える周期制限回路を備えていることを特徴とする。
- [0046] 上記の構成において、上記最大値を超える周期、または上記最小値を下回る周期は、表示装置に入力される映像信号として想定されていない、いわば異常な周期である。したがって、上記検出回路に周期制限回路を設けておくことにより、各種の誤動作が発生するのを防止することができる。
- [0047] なお、各種の誤動作とは、例えば、異常な周期に基づいて分周クロックが生成され、光源の点灯時間が不適切に長くなったり、その結果、光源の点滅が視覚されるくらいゆっくりになったり、光源の駆動回路が異常動作を起こしたりすることである。
- [0048] 本発明の光源制御回路は、上記の課題を解決するために、上述したクロック生成回路と、上記映像信号が入力され、上記周期を表す同期信号を上記クロック生成回路に供給するとともに、上記光源の点灯時間を定める点灯制御信号を生成する光源制御データ生成回路と、上記同期信号に同期するように上記光源のオンオフを制御する際に、上記光源制御データ生成回路から入力された上記点灯制御信号が示す上記点灯時間を、上記クロック生成回路から

入力された上記分周クロックを用いてカウントし、光源駆動信号を生成する光源駆動回路とを備えたことを特徴とする。

[0049] 上記の構成によれば、上記クロック生成回路に備えられた上記検出回路は、上記光源制御データ生成回路から供給された上記同期信号と、上記第2クロックとを用いて、上記クロック数Aを求めることができる。これにより、すでに説明したように、上記クロック生成回路は、上記第2クロックをA/B分周した分周クロックを生成し、上記光源駆動回路に出力することができる。

[0050] また、上記光源制御データ生成回路は、光源の点灯時間を定める点灯制御信号を生成し、上記光源駆動回路に出力する。こうして、分周クロックと点灯制御信号とを得た上記光源駆動回路は、点灯制御信号が示す点灯時間を、分周クロックを用いてカウントし、上記映像信号に同期した光源駆動信号を生成することができる。

[0051] 上記光源駆動信号は、映像が書き換わる一定の周期が変更されても、1周期内の点灯時間と消灯時間との比率を一定に保つような光源制御に適した分周クロックを用いて生成されているから、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、表示の輝度の変化を抑制することができる。

[0052] なお、映像信号の周期が一定のとき、点灯時間および消灯時間を常に一定に制御してもよいが、点灯時間および消灯時間を必要に応じて動的に変化させてもよく、いずれの場合でも、本発明を適用することができる。

[0053] 点灯時間および消灯時間を必要に応じて動的に変化させる形態としては、例えば、(1) 映像信号の平均輝度を求めて、平均輝度に応じてバックライトの点灯時間および消灯時間を変える形態、(2) 表示画面を複数のエリアに分け、映像信号から求めた輝度のエリアに対する分布によって、各エリアに配置された光源の点灯時間および消灯時間を変える形態、(3) 部屋の明るさに応じてバックライトの点灯時間および消灯時間を変える形態などが考

えられる。

[0054] 本発明の表示装置は、上記の課題を解決するために、上記光源制御回路と、上記光源制御回路によって点灯を制御される光源と、上記光源が出射する光の光量を上記映像信号に基づいて変調し、映像を表示する表示パネルとを備えたことを特徴とする。

[0055] これにより、既に説明したとおり、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、表示の輝度の変化を抑制することができる表示装置を提供することができる。

[0056] なお、ある着目した請求項に記載された構成と、その他の請求項に記載された構成との組み合わせが、その着目した請求項で引用された請求項に記載された構成との組み合わせのみに限られることはなく、本発明の目的を達成できる限り、その着目した請求項で引用されていない請求項に記載された構成との組み合わせが可能である。

発明の効果

[0057] 本発明に係る点灯制御方法は、以上のように、点灯時間または消灯時間に対応したパルス幅を決めて光源駆動信号を生成するタイミングを与える第1クロックのパルス間隔を、映像信号の周期の変更に連動して変更し、上記周期の1周期に対する上記第1クロックのクロック数を、上記周期の変更に問わず一定値に維持した変調クロックを生成し、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つ方法である。

[0058] それゆえ、映像が書き換わる一定の周期が変更されても、1周期あたりの発光率は変化しないので、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、表示の輝度が変わらないという効果を奏する。

[0059] 本発明のクロック生成方法は、以上のように、基準となる第2クロックによって、映像信号の周期を検出して得たクロック数Aと、上記周期の1周期分に対応した上記点灯時間と消灯時間の合計時間を決めるように、予め一定

値に定めた上記第1クロックのトータルクロック数Bとに基づいて、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして生成する方法である。

[0060] それゆえ、映像が書き換わる一定の周期に同期して光源のオンオフを制御するにあたって、決まったクロック数で光源を点灯させる場合に、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つような光源制御に適したクロックを生成することができるという効果を奏する。

[0061] 本発明のクロック生成回路は、以上のように、周期性信号の周期を、基準となる第2クロックのクロック数Aとして検出する検出回路と、上記検出回路が出力する上記クロック数Aと、上記周期の1周期分に対応して一定値に定められた第1クロックのトータルクロック数Bとを入力して、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして出力する分周回路とを備えている構成である。

[0062] それゆえ、周期性信号の周期が変化しても、周期性信号と同じ周期を持つことによって周期性信号と同期を保ち、しかも、1周期あたりのクロック数に変化しない分周クロックを生成することができるという効果を奏する。

図面の簡単な説明

- [0063] [図1]本発明の表示装置の構成例を概略的に示すブロック図である。
- [図2]本発明の点灯制御方法に用いる各種信号のタイミングを示すタイミングチャートである。
- [図3]本発明のクロック生成回路の構成例を示すブロック図である。
- [図4]図3に示すクロック生成回路におけるPWMクロックの生成に関わる各種信号のタイミング例を示すタイミングチャートである。
- [図5]図3に示すクロック生成回路におけるPWMクロックの生成に関わる各種信号の他のタイミング例を示すタイミングチャートである。
- [図6]図3に示すクロック生成回路におけるPWMクロックの生成に関わる各種信号のさらに他のタイミング例を示すタイミングチャートである。
- [図7]図1に示す複数の光源のオンオフを制御する光源駆動信号を示すタイミ

ングチャートである。

[図8]本発明のクロック生成回路の他の構成例を示すブロック図である。

[図9]本発明が解決すべき課題を有した点灯制御方法に用いる各種信号のタイミングを示すタイミングチャートである。

発明を実施するための形態

[0064] [実施の形態1]

本発明の実施の一形態について図1ないし図7に基づいて説明すれば、以下のとおりである。なお、以下で参照する各図は、説明の便宜上、本発明の一実施形態の構成のうち、本発明を説明するために必要な主要部のみを簡略化して示したものである。本明細書が参照する各図に示されていない任意の構成を含むことができる。

[0065] (表示装置の主要な構成)

図1に、本発明の表示装置の一実施形態である表示装置1の構成を示す。表示装置1は、光源制御回路2と、光源制御回路2によって点灯を制御されるバックライト3と、バックライト3が出射する光の光量を、映像信号に基づいて変調し、映像を表示する液晶パネル4(表示パネル)とを備えている。

[0066] 液晶パネル4の表示画面側を表側とすれば、バックライト3は、液晶パネル4の裏側に複数の光源30を備え、表示画面の裏側から表示画面全体に均一な光を照射できる構成となっている。ただし、携帯電話のように表示画面のサイズが小さければ、光源30を表示画面の裏側の一端部に配置し、表示画面全体に均一な光を導光する構成を備えたサイドライト型に置き換えることができる。

[0067] 上記複数の光源30は、図1に示すように、例えば $n+1$ 個のLED群(LED0~LEDn)である。しかし、映像信号に同期して、点滅を制御できる光源であれば、光源30はLEDに限定はされない。

[0068] 上記光源制御回路2は、本発明のクロック生成回路として後で詳述するPLL(phase-locked loop;位相同期回路)6と、バックライトデータ計算回

路7（光源制御データ生成回路）と、LEDドライバ8（光源駆動回路）とを備えている。

[0069] 上記バックライトデータ計算回路7は、上記映像信号が入力され、映像信号のフレーム周期を表すフレーム開始信号（同期信号）を上記PLL6に供給するとともに、上記光源30の点灯時間を定めるLEDデータ（点灯制御信号）を生成する。また、上記LEDドライバ8は、上記同期信号に同期するように上記光源30のオンオフを制御する際に、上記バックライトデータ計算回路7から入力されたLEDデータが示す上記点灯時間を、PLL6から入力されたPWMクロック（第1クロック、分周クロックまたは変調クロック）を用いてカウントし、光源駆動信号を生成する。

[0070] 上記の構成において、映像信号に基づいた映像を表示画面に表示する場合、表示画面の映像は一定の周期（フレーム周期）で書き換わるようになっている。1周期の映像信号によって1枚の映像を表示画面に表示することができ、その1枚の映像を例えばフレームと呼んでいる。図2の（a）は、フレーム周期の開始タイミングを周期毎に与えるフレーム開始信号を示している。

[0071] 表示画面を照射する光源30の点灯および消灯は、上記フレーム周期に同期して制御されている。そのときの点灯時間または消灯時間は、上記光源駆動信号のパルス幅によって定まる。図2の（d）は、LED群（LED0～LEDn）のうち、最初に点灯のオンオフが始まるLED0に対して、LEDドライバ8から与えられる光源駆動信号を示している。

[0072] 上記光源駆動信号は、図2の（a）（c）（d）に示すように、フレーム開始信号が立ち下がった後に立ち上がるPWMクロックに同期して、LEDドライバ8から出力されている。そして、光源駆動信号のパルス幅は、上記バックライトデータ計算回路7が生成する上記LEDデータによって決められる。

[0073] LEDデータは、図2の（b）に示すように、LED群（LED0～LEDn）のそれぞれに対応して順番にバックライトデータ計算回路7からLE

Dドライバ8へ出力される。図2に示す例では、LED0の点灯時間は、説明の便宜上、LEDデータによってPWMクロックの7クロック分に設定されている。

[0074] なお、フレーム周期は、説明の便宜上、PWMクロックの10クロック分に相当しているため、LED0の消灯時間は、PWMクロックの3クロック分になっている。したがって、1フレーム周期内の点灯時間と消灯時間との比率は、7/3である。

[0075] 図7に、LEDドライバ8からLED0～LEDnに順次与えられる光源駆動信号を示す。図7は、フレーム周期が一定（10クロック）であり、各LEDの点灯時間も、同じ（7クロック）に設定された例を示している。

[0076] このように、表示画面を照射する光源30の点灯および消灯は、映像が書き換わる一定の周期に同期して制御されている。そのときの点灯時間または消灯時間は、光源駆動信号のパルス幅によって定まり、そのパルス幅を定めるタイミングは、PWMクロックとそのクロック数とによって与えられる。

[0077] ここで、表示装置1に入力される映像信号が切り換わり、フレーム周期が、図2の(a)に示すように、映像信号の切り換わり前のフレーム周期より長くなるように変化したとする。

[0078] この場合に、本発明に係る点灯制御方法は、上記PWMクロックのパルス間隔、すなわち、PWMクロックのあるパルスの立ち上がりエッジから次のパルスの立ち上がりエッジまでの時間間隔を、フレーム周期の変更に連動して変更し、1フレーム周期に対するPWMクロックのクロック数を、フレーム周期の変更によらず一定値に維持した変調クロックを生成し、上記フレーム周期が変わっても、1フレーム周期内の点灯時間と消灯時間との比率を一定に保つようになっている。

[0079] 図2の(c)に示すPWMクロックのパルス間隔は、フレーム周期が変化した次の周期 t_1 （図2の(a)参照）から、1フレーム周期に含まれるクロック数が変わらずに周波数が小さくなるように変更されていることがわかる。

。

[0080] つまり、表示画面を書き換える周期が、より長い周期に変更された場合、上記PWMクロックのパルス間隔をその長い周期に連動して延ばしている。光源駆動信号のパルス幅を定めるタイミングを与えるPWMクロックの1フレーム周期あたりのクロック数は変化していないから、点灯時間は例えば7クロック分であり、消灯時間は3クロック分を保っている。すなわち、1フレーム周期内の点灯時間と消灯時間との比率を一定に保つように、PWMクロックは、長い周期に連動して延びる結果となる。

[0081] なお、表示画面を書き換える周期が、より短い周期に変更された場合には、上記PWMクロックのパルス間隔をその短い周期に連動して縮めればよい。この場合にも、光源駆動信号のパルス幅を定めるタイミングを与えるPWMクロックの1フレーム周期あたりの上記クロック数は変化しないから、点灯時間および消灯時間は、1フレーム周期内の点灯時間と消灯時間との比率を一定に保つように、短い周期に連動して縮む結果となる。

[0082] このように、本発明の点灯制御方法によれば、映像が書き換わる一定の周期が変更されても、1周期あたりの発光率は変化しないので、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、表示の輝度が変わらないという効果を奏する。

[0083] (クロック生成回路の構成)

上述した本発明の点灯制御方法を実施するのに適したPWMクロックを生成する上記PLL6(クロック生成回路)について、以下説明する。

[0084] PLL6は、上記PWMクロックを、PWMクロックより周波数が大きい基準クロック(第2クロック)を元にして生成する。そのために、PLL6の主要部は、図3に示すように、検出回路10と分周回路20とによって構成されている。検出回路10は、上記映像信号のフレーム周期(周期性信号の周期)を基準クロックのクロック数Aとして検出する。また、分周回路20は、上記検出回路10が出力する上記クロック数Aと、上記フレーム周期の1周期あたりの点灯時間および消灯時間の合計時間を決める上記PWMク

ロックのトータルクロック数B（上記周期の1周期分に対応して一定値に定められたトータルクロック数B）とを入力して、上記基準クロックを A/B 分周した分周クロックとして、上記PWMクロックを生成し出力する。

[0085] なお、トータルクロック数Bは、LEDドライバのPWM周期（光源30を1回点滅させる周期；例えば図2の（d）の例では10クロック）とバックライトの点滅回数から決定される固定値なので、予め算出された一定値としてメモリされている。例えば、LEDドライバのPWM周期が4096クロックで、映像信号1周期で光源30を2回点滅させる場合は、 $B=4096 \times 2=8192$ となる。つまり、トータルクロック数Bは、PWM周期に対応したクロック数に、点滅回数を乗算した値として求められる。

[0086] なお、点灯時間および消灯時間を必要に応じて動的に変化させる形態であっても、トータルクロック数Bを固定値とすることには変わりはない。しかしながら、トータルクロック数Bを固定値とするか可変とするかに、本発明は制約されない。

[0087] 図1および図3では、トータルクロック数Bは、便宜上、バックライトデータ計算回路7で生成し、PLL6の分周回路20に供給されるように記載した。また、検出回路10および分周回路20の詳細な構成および詳細な動作については、後述するので、ここでは、動作の概要を説明する。

[0088] 図4に、PLL6に関わる各種信号のタイミングチャートを示す。上記検出回路10は、上記バックライトデータ計算回路7から供給された上記フレーム開始信号（図4の（b））と、基準クロック（図4の（a））とを用いて、フレーム周期に含まれる基準クロックのクロック数を検出する。このクロック数が、周期値としての上記クロック数Aであり、図4の例では、図4の（e）に周期値7として求められている。

[0089] 上記の構成によれば、映像信号のフレーム周期を、検出回路10が、基準クロックによって検出しているから、その結果であるクロック数A（周期値7）は、上記フレーム周期が変更された場合に、変更されたフレーム周期と連動して変化する。一方、光源30の1フレーム周期あたりの点灯時間およ

び消灯時間を決める上記トータルクロック数Bは、固定されているので変化しない。例えば、図4の(i)では、説明の便宜上、トータルクロック数Bが3に設定されている。

[0090] この結果、上記フレーム周期が変更された場合、 A/B 分周した分周クロックは、1フレーム周期に含まれるクロック数が、変化前の1フレーム周期についても、変化後の1フレーム周期についても、同じトータルクロック数Bとなるクロックになる。このことは、例えば、表示画面を書き換える一定の周期が長い周期に変更された場合、1周期に含まれるトータルクロック数Bは変化しないから、結局、パルス間隔が長い周期に連動して延びた分周クロックが生成されることを意味している。逆に、表示画面を書き換える一定の周期が短い周期に変更された場合でも、1周期に含まれるトータルクロック数Bは変化しないから、結局、パルス間隔が短い周期に連動して縮んだ分周クロックが生成される。

[0091] これにより、映像が書き換わる一定の周期に同期して光源30のオンオフを制御するにあたって、決まったクロック数で光源30を点灯させる場合に、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つような光源制御に適したクロックを生成することができる。

[0092] (検出回路の構成および動作)

上記検出回路10の詳細な構成と動作をさらに説明する。図3に示すように、検出回路10は、ラッチ回路11、12、13と、2つの入力的一方が反転入力となっているAND回路14と、カウンタ15と、インクリメント回路16とを備えている。

[0093] まず、ラッチ回路11は、上記バックライトデータ計算回路7から供給されるフレーム開始信号を、基準クロックを用いてラッチする。ラッチ回路12は、ラッチ回路11の出力を基準クロックを用いてラッチする。ラッチ回路11の出力は、さらにAND回路14にそのまま入力される一方、ラッチ回路12の出力は、AND回路14に反転入力される。

[0094] 続いて、AND回路14の出力は、上記フレーム開始信号のパルス列の各

エッジを検出したエッジ検出信号として、カウンタ 15 に入力されるとともに、ラッチ回路 13 にも入力される。ラッチ回路 13 に入力されたエッジ検出信号は、ラッチ回路 13 の出カタイミングを与える。また、カウンタ 15 の出力は、インクリメント回路 16 を介して、ラッチ回路 13 によってラッチされる。なお、カウンタ 15 は、フレーム周期の長さを基準クロックのクロック数としてカウントするので、フレームカウンタと呼ぶこともできる。

[0095] 上記の構成において、図 4 の (a) に示す基準クロックのタイミングで、図 4 の (b) に示すフレーム開始信号がラッチ回路 11 にラッチされると、ラッチ回路 11 の出力に対して、ラッチ回路 12 は、基準クロックの 1 クロック分遅れで出力する。このため、フレーム開始信号が立ち上がった後、基準クロックが最初に立ち上がったときにのみ、AND 回路 14 の非反転入力が高レベルになり、反転入力が高レベルになる。このとき、AND 回路 14 の出力は高レベルになる。

[0096] 次に、フレーム開始信号が立ち上がった後、基準クロックが 2 回目に立ち上がったときには、AND 回路 14 の非反転入力および反転入力の双方が高レベルになるから、AND 回路 14 の出力は高レベルに落ちる。フレーム開始信号が立ち下がれば、いうまでもなく、AND 回路 14 の出力は高レベルとなる。

[0097] こうして、図 4 の (c) に示すように、基準クロックの 1 クロック分だけ高レベルになるエッジ検出信号が、フレーム開始信号に同期して AND 回路 14 から出力される。

[0098] カウンタ 15 は、基準クロックが入力されるごとに、カウント値を出力するが、エッジ検出信号が入力されたときに、カウント値を 0 にリセットする。インクリメント回路 16 は、上記カウント値に +1 を加えた値を、基準クロックが入力されるごとにラッチ回路 13 にラッチさせる。

[0099] ラッチ回路 13 は、エッジ検出信号が高レベルになったときにラッチしていた値を出力する。図 4 の (d) に示すように、エッジ検出信号が高レベルになったとき、カウンタ 15 はリセット前の値として 6 を出力している

から、ラッチ回路 13 は 7 をラッチしている。

[0100] こうして、検出回路 10 は、上記映像信号のフレーム周期を基準クロックのクロック数によって検出し、エッジ検出信号がハイレベルになったときに、ラッチ回路 13 から、上記クロック数 A としての周期値 7 を出力する。

[0101] (分周回路の構成)

続いて、上記分周回路 20 は、比較選択回路 21 と、出力回路としてのラッチ回路 22 (第 2 ラッチ回路) と、上記比較選択回路 21 の出力値と上記トータルクロック数 B とを加算する加算回路 23 とを備えている。

[0102] 上記比較選択回路 21 は、上記クロック数 A と上記加算回路 23 の出力値 C とを比較し、該出力値 C が上記クロック数 A 未満の値であるときには該出力値 C を出力し、該出力値 C が上記クロック数 A 以上の値になったときには、該出力値 C から上記クロック数 A を引き算した値を出力するように構成されている。

[0103] より具体的には、上記比較選択回路 21 は、上記クロック数 A と上記加算回路 23 の出力値 C とを比較する比較回路 24 と、上記加算回路 23 の出力値 C から上記クロック数 A を引き算する減算回路 25 と、上記比較回路 24 の出力と、上記加算回路 23 の出力と、上記減算回路 25 の出力とが入力され、上記出力値 C が上記クロック数 A 未満であることを、上記比較回路 24 の出力が示している場合、上記加算回路 23 の出力値 C を選択する一方、上記出力値 C が上記クロック数 A 以上であることを、上記比較回路 24 の出力が示している場合、上記減算回路 25 の出力を選択して出力する選択回路 26 とを備えている。選択回路 26 の出力は、ラッチ回路 27 (第 1 ラッチ回路) を介して加算回路 23 にフィードバックされている。

[0104] 上記ラッチ回路 22 は、上記出力値 C が上記クロック数 A 以上の値になる毎に、パルスを出力するように構成されている。結局、ラッチ回路 22 の出力は、上記基準クロックが A/B 分周された上記 PWM クロックとなる。

[0105] (分周回路の動作例 1)

上記の構成によれば、まず、比較回路 24 が、検出回路 10 から入力され

たクロック数Aと、加算回路23の出力値Cとを比較し、比較結果をラッチ回路22および選択回路26に対して出力する。

[0106] 例えば、図4の(c)に示すエッジ検出信号が立ち上がったタイミングでは、加算回路23の出力値Cが、図4の(f)に示すように、6なので、比較回路24は、出力値C=6を、クロック数A=7と比較する。その結果、出力値Cはクロック数Aを超えていないから、比較回路24は、図4の(h)に示すように、比較結果としての0をラッチ回路22および選択回路26に対して出力する。

[0107] また、エッジ検出信号が立ち上がったタイミングから基準クロックの1クロック分進むと、加算回路23の出力値Cは9になっているので、比較回路24は、出力値C=9を、クロック数A=7と比較する。その結果、出力値Cはクロック数A以上に超えているから、比較回路24は、比較結果としての1をラッチ回路22および選択回路26に対して出力する。

[0108] 上記の比較結果を受けて、選択回路26は、加算回路23の出力値Cが上記第2クロックのクロック数Aを超えない期間T1(図4の(f)参照)では、出力値C(例えば、3または6)をそのまま出力し、出力値Cがクロック数A以上に超えた期間T2で、上記減算回路25において出力値Cから上記クロック数Aを引き算した値を出力する。例えば、出力値Cが9のとき、クロック数Aの7との差分である2を、選択回路26は出力する。

[0109] 選択回路26の出力は、ラッチ回路27でラッチされ、1クロック分遅れで、上記比較選択回路21の出力として、ラッチ回路27から出力され、加算回路23にフィードバックされる。加算回路23は、フィードバックされた比較選択回路21の出力値(分周カウンタ値)と上記トータルクロック数Bとを加算する。

[0110] 具体的には、図4の(g)に例示したように、エッジ検出信号が立ち上がったタイミングでは、上記分周カウンタ値は、1クロック前の加算回路23の出力値C(=3)になっており、加算回路23の出力値Cは、この分周カウンタ値にトータルクロック数B(=3)を加算した値(=6)になってい

る。

- [0111] また、エッジ検出信号が立ち上がったタイミングから基準クロックの1クロック分進んだときには、上記分周カウンタ値は、1クロック前の加算回路23の出力値C(=6)になっており、加算回路23の出力値Cは、この分周カウンタ値にトータルクロック数B(=3)を加算した値(=9)になっている。
- [0112] さらに、エッジ検出信号が立ち上がったタイミングから基準クロックの2クロック分進んだときには、1クロック前の加算回路23の出力値C(=9)がクロック数A(=7)を超えているから、上記分周カウンタ値は減算回路25の出力値(=2)になっており、加算回路23の出力値Cは、この分周カウンタ値にトータルクロック数B(=3)を加算した値(=5)になっている。
- [0113] このようにして、加算回路23の出力値Cがクロック数Aを超える毎に、比較選択回路21は、図4の(h)に示すように、ハイレベルの信号を比較結果として出力する。上記ラッチ回路22は、この比較結果をラッチして、図4の(i)に示すように、1クロック遅れでPWMクロックとして出力する。
- [0114] 結果として、上記分周カウンタ値および出力値Cは、フレーム周期と同じ周期で循環する。とりわけ、分周カウンタ値は、フレーム周期に連動して0にリセットされ、出力値Cは、1フレーム周期内にトータルクロック数Bと同回数、上記クロック数A以上の値を示す。すなわち、図4の(f)の例では、出力値Cは、エッジ検出信号が立ち上がる1クロック前の時点から、3クロック目と、そこからさらに2クロック目と、そこからさらに2クロック目とに、上記クロック数A以上の値を示し、この状態をクロック数A(=7)毎に繰り返す。
- [0115] 上記の出力値Cの変化に合わせてPWMクロックが生成されるので、1フレーム周期あたりにクロック数Aを持つ基準クロックが、1フレーム周期あたりにトータルクロック数Bを持つ、すなわちA/B分周された分周クロック

クに変換されている。

[0116] (分周回路の動作例 2)

次に、フレーム周期が、図 4 の例に比べて長く変化した場合について、図 5 に基づいて説明する。

[0117] 図 5 の (b) (c) (e) に示すように、1 フレーム周期を検出したクロック数 A は 11 である。この場合にも、分周回路 20 の上記動作と同じ動作によって、加算回路 23 の出力値 C がクロック数 A を超える毎に、比較選択回路 21 は、図 5 の (h) に示すように、ハイレベルの信号を比較結果として出力する。上記ラッチ回路 22 は、この比較結果をラッチして、図 5 の (i) に示すように、1 クロック遅れで PWM クロックとして出力する。

[0118] 図 5 の (f) (g) に示す出力値 C および分周カウンタ値は、図 4 の (f) (g) と同様に、フレーム周期と同じ周期で循環する。とりわけ、分周カウンタ値は、フレーム周期に連動して 0 にリセットされ、出力値 C は、1 フレーム周期内にトータルクロック数 B と同回数、上記クロック数 A 以上の値を示す。すなわち、図 5 の (f) の例では、出力値 C は、エッジ検出信号が立ち上がる 1 クロック前の時点から、4 クロック目と、そこからさらに 4 クロック目と、そこからさらに 3 クロック目とに、上記クロック数 A 以上の値を示し、この状態をクロック数 A (= 11) 毎に繰り返す。

[0119] 上記の出力値 C の変化に合わせて PWM クロックが生成されるので、1 フレーム周期あたりクロック数 A を持つ基準クロックが、1 フレーム周期あたりトータルクロック数 B を持つ、すなわち A/B 分周された分周クロックに変換されている。

[0120] 上記動作例 1 および 2 から分かるように、本発明のクロック生成回路 6 によれば、フレーム周期を検出して得た基準クロックのクロック数 A と、1 フレームあたりに設定した一定のトータルクロック数 B とを用いて、基準クロックをフレーム周期の長さによらず、 A/B 分周した PWM クロックに変換することができる。

[0121] したがって、フレーム周期が長く変化しても、逆に短く変化しても、変化

したフレーム周期に同期したPWMクロックの1フレーム周期あたりのトータルクロック数Bを一定値に保つことができる。このため、図2を参照して説明したように、映像信号のソースが変更されたり、表示装置の仕向け地が変更されたり、あるいは未知の映像信号が表示装置に入力されたりした場合であっても、PWMクロックのクロック数によって制御される光源駆動信号の点灯時間と消灯時間の比率を一定に保つことができる結果、光源30の点灯輝度を常に一定に保つことができる。

[0122] (分周回路の動作例3)

次に、フレーム周期が変化した直後の分周回路20の動作について、図6に基づいて説明する。

[0123] 結論として、フレーム周期が変化した直後の1フレーム周期では、PWMクロックの1フレーム周期あたりのクロック数が、トータルクロック数Bにならず、変動してしまう。しかし、2フレーム周期目以降では、図4、5に基づいて説明したように、PWMクロックの1フレーム周期あたりのクロック数は、トータルクロック数Bに保持される。

[0124] このPWMクロックの変動について、以下説明する。その変動をもたらす一番の原因は、フレーム周期を検出して得た周期値(クロック数A)として、図6の(e)に示すように、フレーム周期が変化する前に得た周期値を用いざるを得ないことにある。

[0125] 図6の(b)~(d)は、フレーム周期のクロック数Aが、7から11に変化したことを示している。それにもかかわらず、検出回路10は、フレーム周期が変化を始める時点で、その変化直後のフレーム周期を検出することはできないから、フレーム周期が変化を始める直前のクロック数Aを、分周回路20に供給せざるを得ない。このため、フレーム周期のクロック数Aが、7から11に変化した時点のフレーム周期では、図6の(e)に示すように、クロック数Aは、まだ7のままである。

[0126] この結果、出力値Cがクロック数A(=7)以上になるタイミングが、出力値Cがクロック数A(=11)以上になる本来のタイミングよりも早く出

現するため、生成されたPWMクロックの1フレーム周期あたりのクロック数は、図6の(i)に示すように、トータルクロック数B(=3)を上回り、例えば4になっている。

[0127] しかしながら、フレーム周期が変化してから2フレーム周期目以降では、図6の(e)に示すように、本来のクロック数A(=11)が、検出回路10から分周回路20に正しく出力される。したがって、フレーム周期が変化してから、1フレーム周期以内に、光源30を的確に制御することができる。この高速動作の効果は、本発明のクロック生成回路が、デジタル回路によって構成されているゆえである。

[0128] [実施の形態2]

本発明の他の実施の形態について図8に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0129] 図8に、本発明のクロック生成回路の他の構成例を示す。図8のクロック生成回路6Aは、図3に示すクロック生成回路6に、クロック数A(周期値)の最大値および最小値を規定して、クロック数Aが取り得る値の範囲に制限を設けるための周期制限回路40を追加した点において、クロック生成回路6と相違している。

[0130] クロック数Aが取り得る値の範囲に制限を設けることによって、PWMクロックの周期が、想定外に長くなったり、短くなったりする不具合の発生を未然に防止することができる。

[0131] 例えば、フレーム開始信号が何らかの原因で一時的に停止した場合、カウンタ15の値が非常に大きくなり、想定外に大きなクロック数Aが、分周回路20に出力されるおそれがある。この場合、PWMクロックの周期が異常に延びるため、光源30が長時間、点灯状態になったり、光源30のオンオフ制御の周期が延びる結果、光源30の点滅が視覚され、見苦しい状態になったりする。

- [0132] また、映像信号を切り換えたときに、フレーム開始信号が短時間に連発されると、想定外に小さなクロック数Aが、分周回路20に出力される。この場合、PWMクロックの周期が異常に短くなるため、PWMクロックを使用しているLEDドライバ8（図1参照）などの回路が、異常動作をするおそれがある。
- [0133] 本実施形態のクロック生成回路は、このような不具合の発生を抑止し、信頼性を高めることができる。
- [0134] （周期制限回路の構成および動作）
- 以下、周期制限回路40の構成と動作とを説明する。周期制限回路40は、比較回路41、43と、選択回路42、44とを備えている。
- [0135] 比較回路41には、予め定められた最大値Mと、インクリメント回路16の出力値Dとが入力され、出力値Dが最大値Mを超えている（ $D > M$ ）かどうか判定される。D > Mではなければ、比較回路41は判定結果として0を選択回路42に出力し、D > Mであれば、比較回路41は判定結果として1を選択回路42に出力する。
- [0136] 選択回路42には、上記最大値Mと出力値Dとが入力され、比較回路41の判定結果に応じて、最大値Mと出力値Dとのいずれかを出力する。すなわち、比較回路41の判定結果0が選択回路42に入力されると、選択回路42は出力値Dを、比較回路43と選択回路44とに出力する一方、比較回路41の判定結果1が選択回路42に入力されると、選択回路42は最大値Mを、比較回路43と選択回路44とに出力する。
- [0137] 続いて、比較回路43には、予め定められた最小値mと、選択回路42の出力値E（MまたはDの一方）とが入力され、出力値Eが最小値mより小さい（ $m > E$ ）かどうか判定される。m > Eではなければ、比較回路43は判定結果として0を選択回路44に出力し、m > Eであれば、比較回路43は判定結果として1を選択回路44に出力する。
- [0138] 選択回路44には、上記最小値mと出力値Eとが入力され、比較回路43の判定結果に応じて、最小値mと出力値Eとのいずれかを出力する。すなわ

ち、比較回路 4 3 の判定結果 0 が選択回路 4 4 に入力されると、選択回路 4 4 は出力値 E を、検出回路 1 0 のラッチ回路 1 3 に出力する一方、比較回路 4 3 の判定結果 1 が選択回路 4 4 に入力されると、選択回路 4 4 は最小値 m を、上記ラッチ回路 1 3 に出力する。

[0139] 以上により、選択回路 4 2 は、 $D > M$ となって最大値 M を出力するときには、必ず、 $m < E = M$ となるから、選択回路 4 4 は最大値 M をラッチ回路 1 3 に出力し、 $D \leq M$ のときに比較回路 4 3 に入力される出力値 $E = D$ が、 $m > D$ となったときには、選択回路 4 4 は最小値 m をラッチ回路 1 3 に出力する。これにより、フレーム周期のクロック数の最大値および最小値が制限される。

[0140] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0141] 本発明は、映像信号のような周期性信号に同期した第 1 クロックを、基準となる第 2 クロックを元にして生成するクロック生成回路に適用でき、さらには、周期性信号に同期して、光源のオンオフを制御する光源制御回路、そのような光源制御回路を備えた表示装置に適用することができる。

符号の説明

- [0142]
- 1 表示装置
 - 2 光源制御回路
 - 4 液晶パネル（表示パネル）
 - 6 PLL（クロック生成回路）
 - 7 バックライトデータ計算回路（光源制御データ生成回路）
 - 8 LED ドライバ（光源駆動回路）
 - 10 検出回路
 - 20 分周回路

- 2 1 比較選択回路
- 2 2 ラッチ回路（第 2 ラッチ回路）
- 2 3 加算回路
- 2 4 比較回路
- 2 5 減算回路
- 2 6 選択回路
- 2 7 ラッチ回路（第 1 ラッチ回路）
- 3 0 光源
- 4 0 周期制限回路

請求の範囲

[請求項1] 表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間をパルス幅変調方式にて制御する点灯制御方法において、

上記点灯時間または消灯時間に対応したパルス幅を決めて光源駆動信号を生成するタイミングを与える第1クロックのパルス間隔を、上記周期の変更に連動して変更し、上記周期の1周期に対する上記第1クロックのクロック数を、上記周期の変更によらず一定値に維持した変調クロックを生成し、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つことを特徴とする点灯制御方法。

[請求項2] 表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間および消灯時間をパルス幅変調方式にて制御するための第1クロックを、基準となる第2クロックを元にして生成するクロック生成方法において、

上記第2クロックによって上記周期を検出して得たクロック数Aと、上記周期の1周期分に対応した上記点灯時間と消灯時間の合計時間を決めるように、予め一定値に定めた上記第1クロックのトータルクロック数Bとに基づいて、上記第2クロックを A/B 分周した分周クロックを、上記第1クロックとして生成することを特徴とするクロック生成方法。

[請求項3] 周期性の有るパルス列からなる周期性信号に同期した第1クロックを、基準となる第2クロックを元にして生成するクロック生成回路において、

上記周期性信号の周期を上記第2クロックのクロック数Aとして検出する検出回路と、

上記検出回路が出力する上記クロック数Aと、上記周期の1周期分に対応して一定値に定められた上記第1クロックのトータルクロック

数Bとを入力して、上記第2クロックをA/B分周した分周クロックを、上記第1クロックとして出力する分周回路とを備えていることを特徴とするクロック生成回路。

[請求項4]

表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間および消灯時間をパルス幅変調方式にて制御するための第1クロックを、基準となる第2クロックを元にして生成するクロック生成回路において、

上記映像信号の周期を上記第2クロックのクロック数Aとして検出する検出回路と、

上記検出回路が出力する上記クロック数Aと、上記周期の1周期分に対応した上記点灯時間と消灯時間の合計時間を決める上記第1クロックのトータルクロック数Bとを入力して、上記第2クロックをA/B分周した分周クロックを、上記第1クロックとして出力する分周回路とを備えていることを特徴とするクロック生成回路。

[請求項5]

上記分周回路は、さらに、

比較選択回路と、

出力回路と、

上記比較選択回路の出力値と上記トータルクロック数Bとを加算する加算回路とを備え、

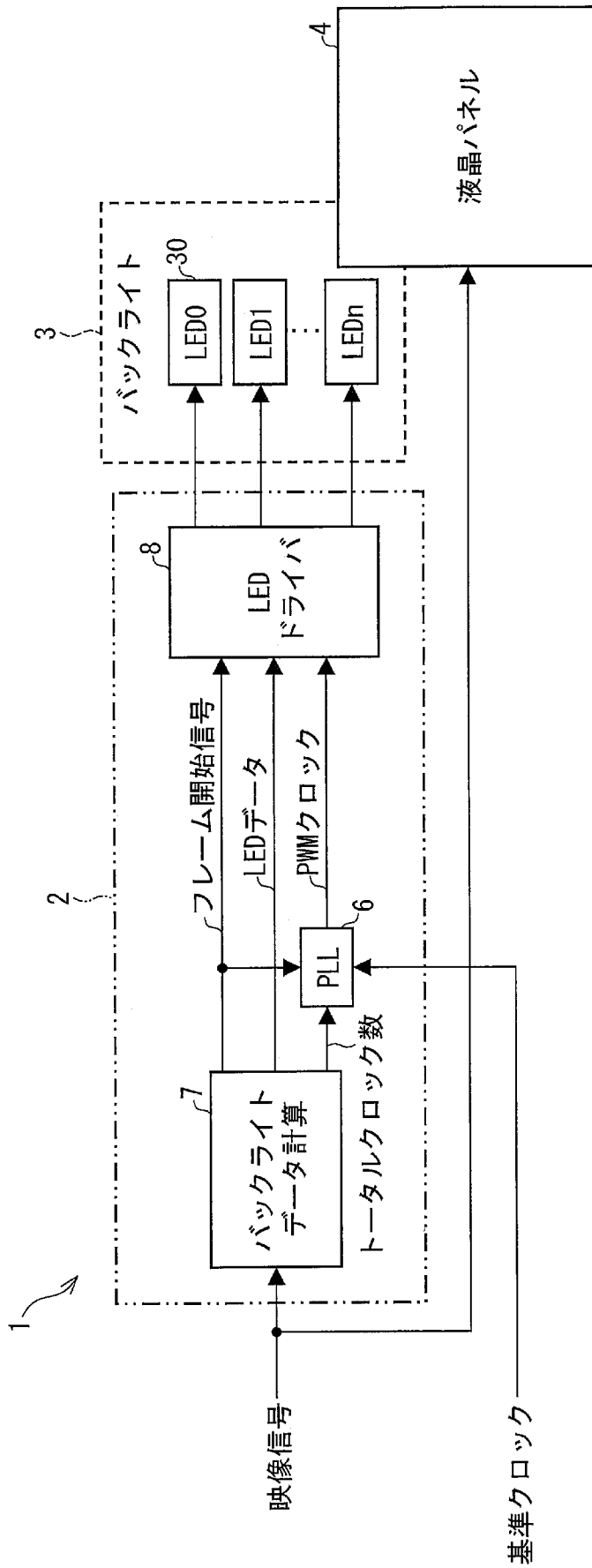
上記比較選択回路は、上記クロック数Aと上記加算回路の出力値Cとを比較し、該出力値Cが上記クロック数A未満の値であるときには該出力値Cを出力し、該出力値Cが上記クロック数A以上の値になったときには、該出力値Cから上記クロック数Aを引き算した値を出力するように構成され、

上記出力回路は、上記出力値Cが上記クロック数A以上の値になる毎に、パルスを出力するように構成されていることを特徴とする請求項3または4に記載のクロック生成回路。

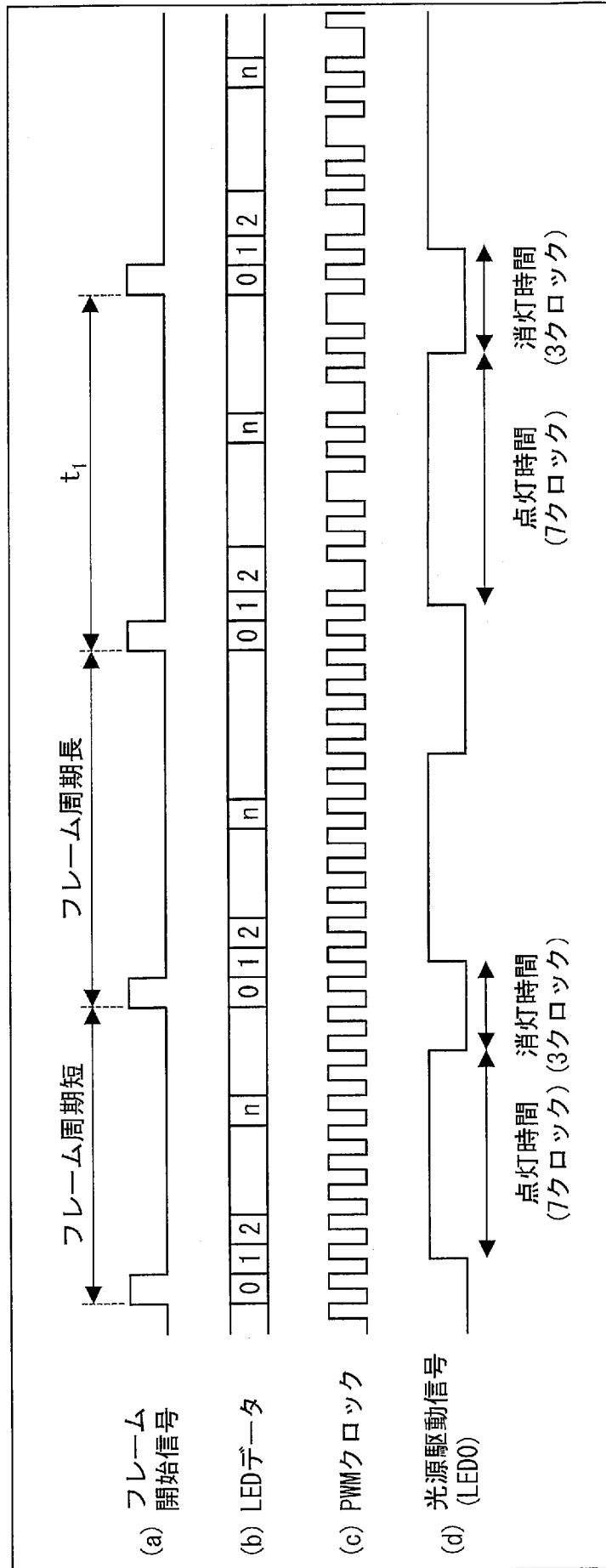
- [請求項6] 上記比較選択回路は、さらに、
 上記クロック数Aと上記加算回路の出力値Cとを比較する比較回路と、
 上記加算回路の出力値Cから上記クロック数Aを引き算する減算回路と、
 上記比較回路の出力と、上記加算回路の出力と、上記減算回路の出力とが入力され、上記出力値Cが上記クロック数A未満であることを、上記比較回路の出力が示している場合、上記加算回路の出力値Cを選択する一方、上記出力値Cが上記クロック数A以上であることを、上記比較回路の出力が示している場合、上記減算回路の出力を選択して出力する選択回路とを備えていること
 を特徴とする請求項5に記載のクロック生成回路。
- [請求項7] 上記比較選択回路は、さらに、
 上記選択回路の出力を上記第2クロックを用いてラッチし、上記加算回路に出力する第1ラッチ回路を備えていること
 を特徴とする請求項6に記載のクロック生成回路。
- [請求項8] 上記出力回路は、上記比較回路の出力を上記第2クロックを用いてラッチする第2ラッチ回路であること
 を特徴とする請求項6または7に記載のクロック生成回路。
- [請求項9] 上記クロック生成回路は、デジタル回路によって構成されていること
 を特徴とする請求項3から8のいずれか1項に記載のクロック生成回路。
- [請求項10] 上記検出回路は、さらに、
 上記周期に関して、予め定めた最大値および最小値を与える周期制限回路を備えていること
 を特徴とする請求項3から9のいずれか1項に記載のクロック生成回路。

- [請求項11] 請求項4から10のいずれか1項に記載のクロック生成回路と、
 上記映像信号が入力され、上記周期を表す同期信号を上記クロック生成回路に供給するとともに、上記光源の点灯時間を定める点灯制御信号を生成する光源制御データ生成回路と、
 上記同期信号に同期するように上記光源のオンオフを制御する際に、上記光源制御データ生成回路から入力された上記点灯制御信号が示す上記点灯時間を、上記クロック生成回路から入力された上記分周クロックを用いてカウントし、光源駆動信号を生成する光源駆動回路とを備えたことを特徴とする光源制御回路。
- [請求項12] 請求項11に記載の光源制御回路と、
 上記光源制御回路によって点灯を制御される光源と、
 上記光源が出射する光の光量を上記映像信号に基づいて変調し、映像を表示する表示パネルとを備えたことを特徴とする表示装置。

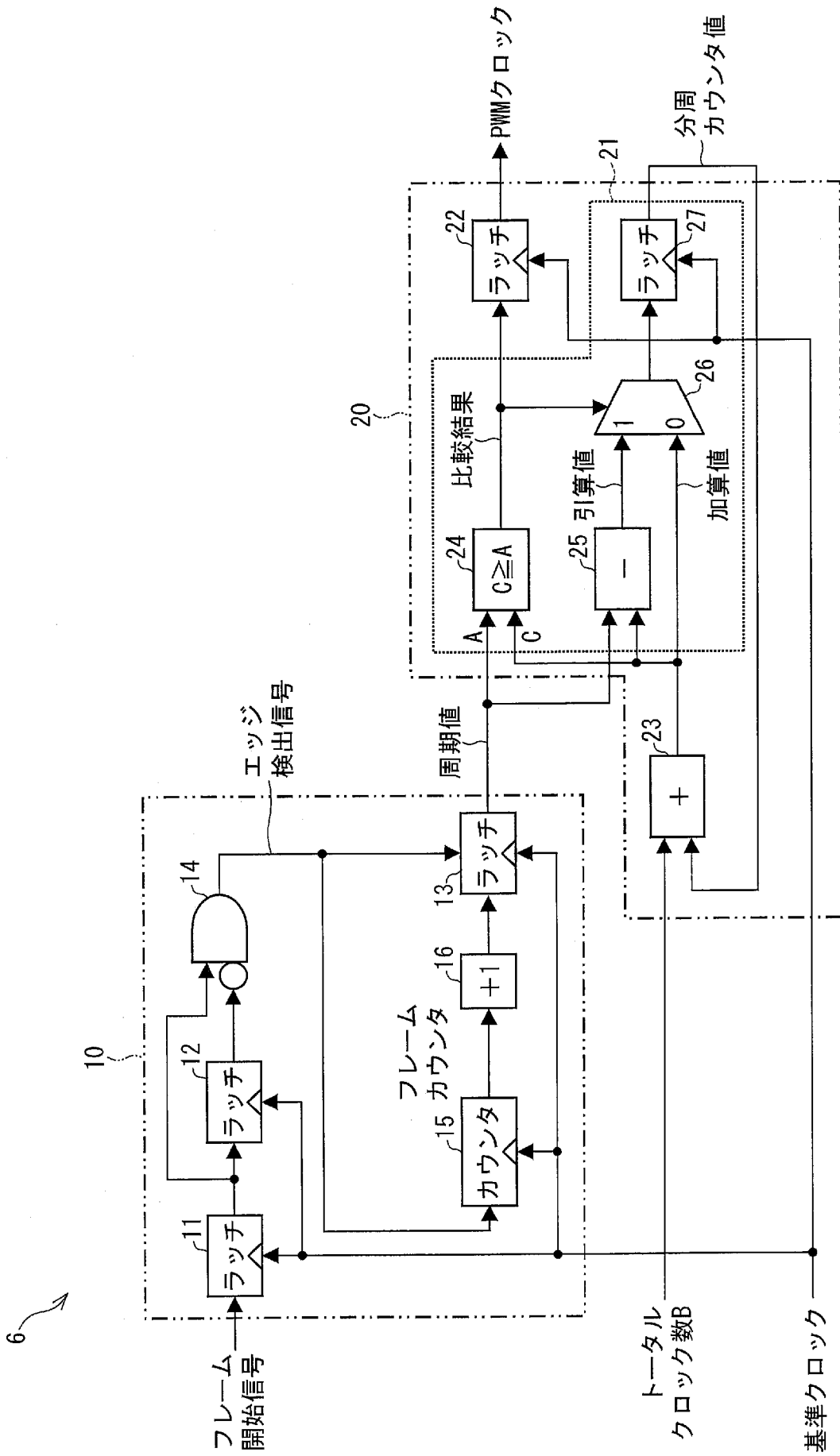
[図1]



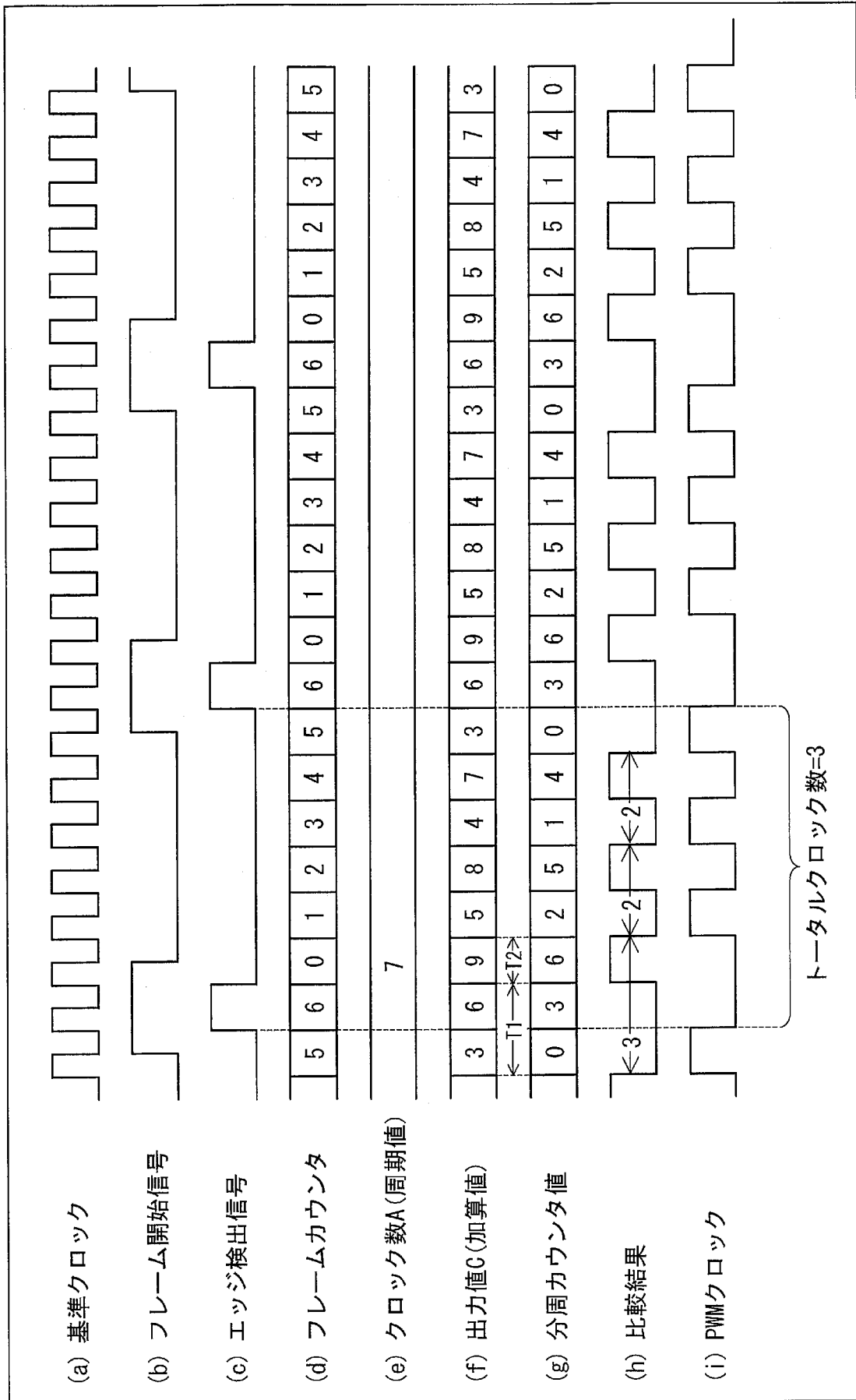
[図2]



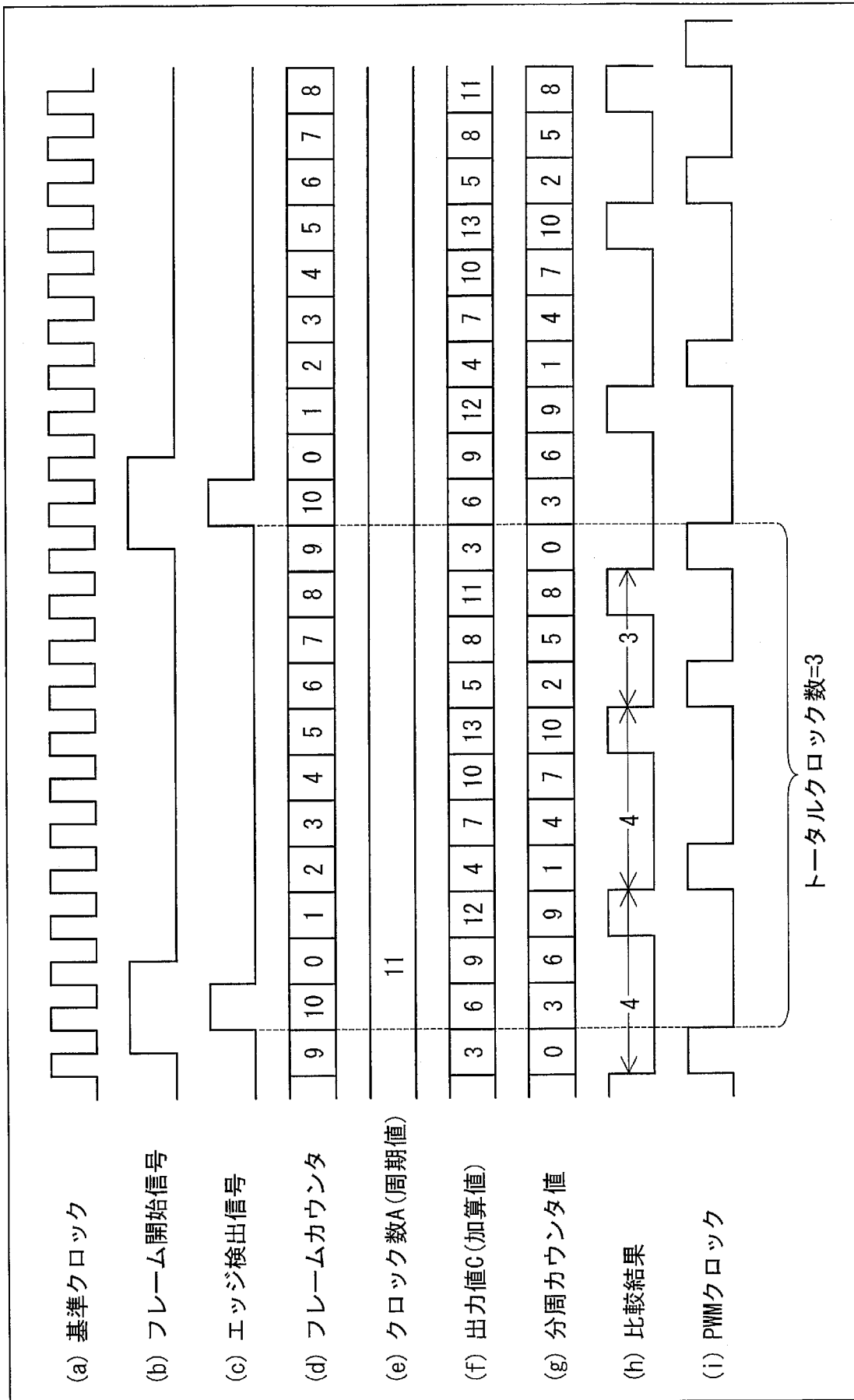
[図3]



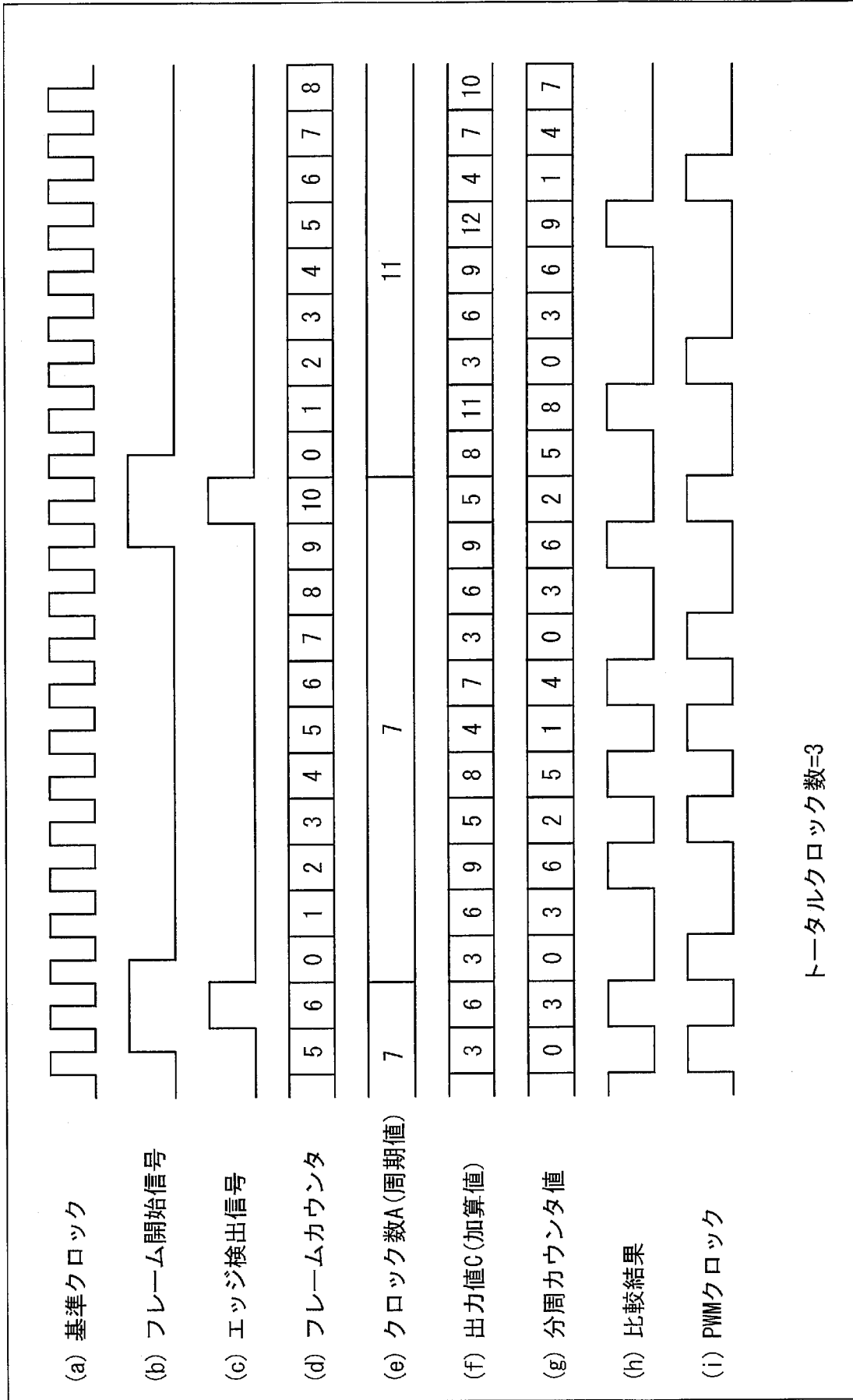
[図4]



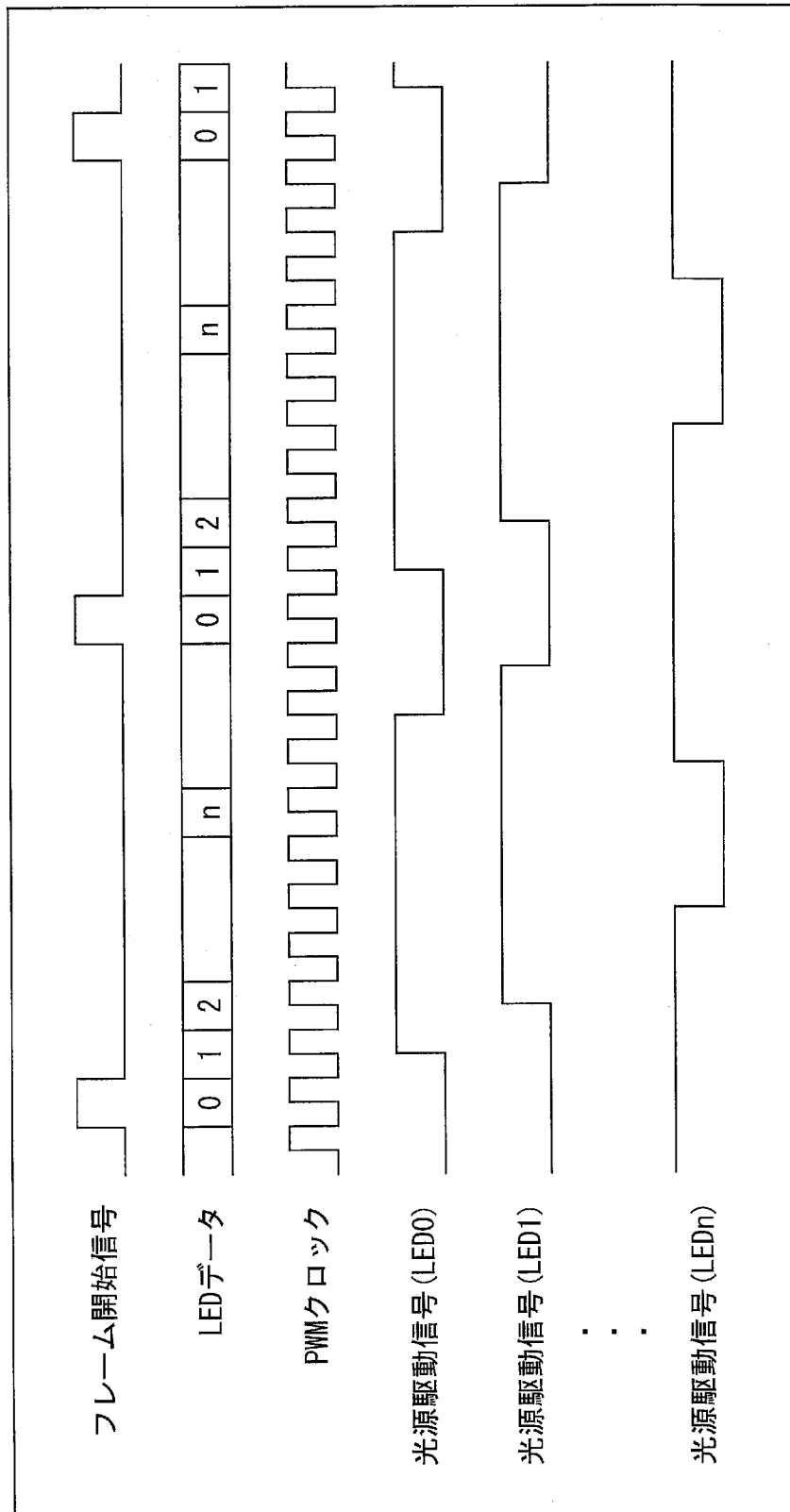
[図5]



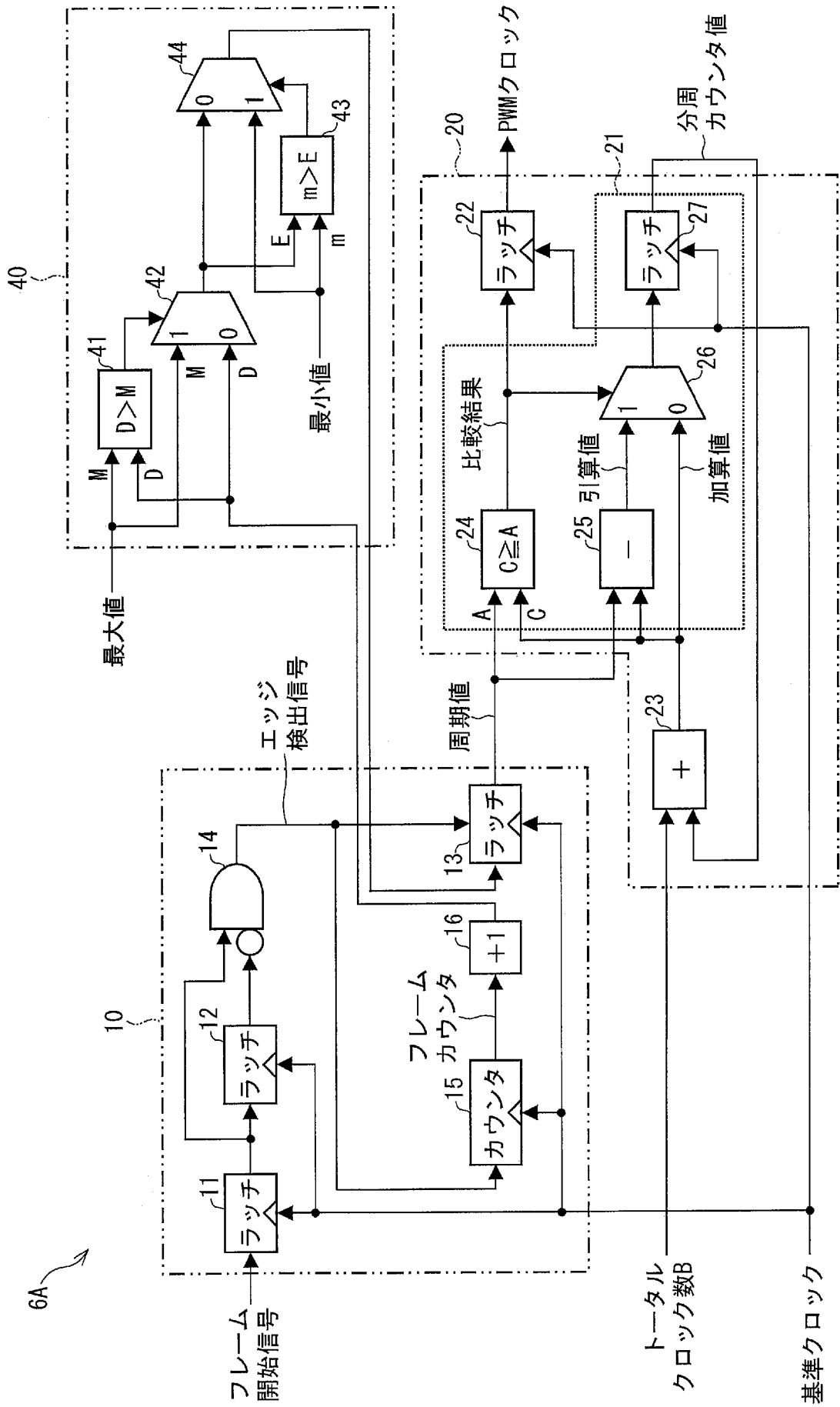
[図6]



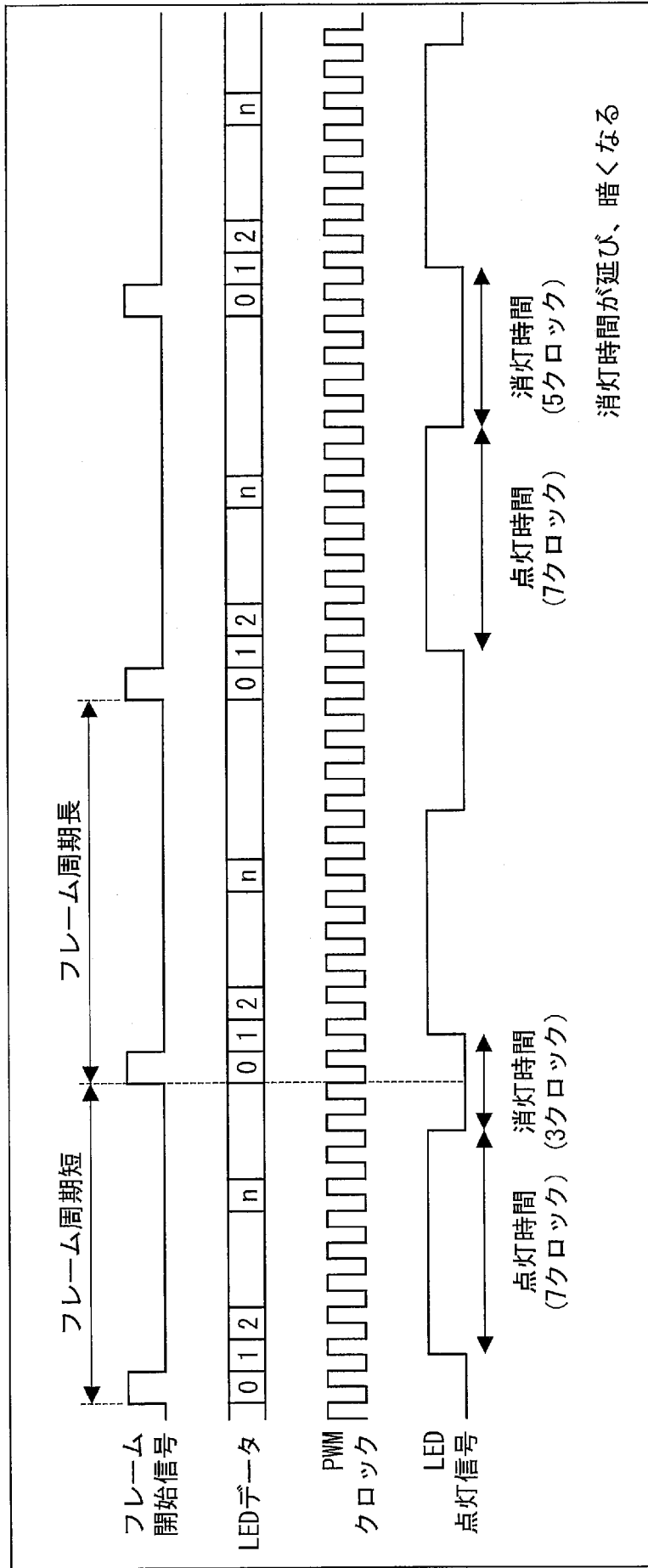
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2009/063150
--

A. CLASSIFICATION OF SUBJECT MATTER
 G09G3/34(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H04N5/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 G09G3/34, G02F1/133, G09G3/20, G09G3/36, H04N5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-241286 A (Samsung Electronics Co., Ltd.), 20 September, 2007 (20.09.07), Par. Nos. [0004], [0032] & US 2007/0211014 A1 & KR 10-2007-0092533 A	1-2, 4, 9, 11-12
X Y	JP 8-340498 A (NEC Robotics Engineering Ltd.), 24 December, 1996 (24.12.96), Par. Nos. [0011] to [0014]; Figs. 1 to 2 (Family: none)	3 1-2, 4, 9, 11-12
Y	JP 2008-139480 A (Toshiba Corp.), 19 June, 2008 (19.06.08), Par. Nos. [0014] to [0022] & US 2008/0129663 A1 & CN 101192376 A	12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 October, 2009 (05.10.09)	Date of mailing of the international search report 13 October, 2009 (13.10.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063150

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-274883 A (Sanyo Electric Co., Ltd.), 06 October, 2005 (06.10.05), Par. Nos. [0010] to [0016] & US 2005/0212461 A1 & CN 1674060 A	12
Y	JP 2008-96696 A (Sony Corp.), 24 April, 2008 (24.04.08), Par. Nos. [0006] to [0007] (Family: none)	12
A	JP 2008-145916 A (NEC Electronics Corp.), 26 June, 2008 (26.06.08), Par. Nos. [0020], [0022]; Figs. 4, 6 & US 2008/0143757 A1 & KR 10-2008-0055704 A & CN 101202017 A	1-12
A	JP 2000-292767 A (Matsushita Electric Industrial Co., Ltd.), 20 October, 2000 (20.10.00), Full text; all drawings (Family: none)	1-12
A	JP 2-249306 A (Yokogawa Electric Corp.), 05 October, 1990 (05.10.90), Full text; all drawings (Family: none)	5-8
A	JP 54-79150 U (Nippon Raina Kabushiki Kaisha), 05 June, 1979 (05.06.79), Description, page 5, line 2 to page 13, line 12; Figs. 1 to 2 (Family: none)	5-8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/063150

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 relates to a lamp ON/OFF operation control method which uses the pulse modulation method to control the ON time of a light source illuminating a display screen in synchronization with a video signal which rewrites the display screen at a predetermined cycle, wherein the pulse width corresponding to the ON time or an OFF time is determined and by modifying the pulse interval of a first clock which gives the timing for generating a light source drive signal in linkage with modification of the cycle, ...

(Continued to extra sheet)

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
- 2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

- Remark on Protest**
- the
- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
 - The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
 - No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063150

Continuation of Box No.III of continuation of first sheet(2)

it is possible to generate a modulation clock having a constant value of the number of the first clocks for one period of the cycle and to hold a constant ratio of the ON time and the OFF time even if the cycle is modified.

The inventions of claims 2-12 relate to a clock generation method and a clock generation circuit for using a second clock as a reference to generate a first clock in synchronization with periodic signal, wherein the number A of clocks obtained by detecting the cycle by the second clock and the number B of the total clocks of the first clock corresponding to one period of the cycle are used to obtain a divided clock by subjecting the second clock to A/B division.

The two groups of inventions are not so linked as to form a single general inventive concept.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/34(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H04N5/66(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/34, G02F1/133, G09G3/20, G09G3/36, H04N5/66

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-241286 A (三星電子株式会社) 2007.09.20, 段落【0004】、【0032】 & US 2007/0211014 A1 & KR 10-2007-0092533 A	1-2, 4, 9, 11-12
X	JP 8-340498 A (日本電気ロボットエンジニアリング株式会社)	3
Y	1996.12.24, 段落【0011】-【0014】、図1-2 (ファミリーなし)	1-2, 4, 9, 11-12

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 05.10.2009	国際調査報告の発送日 13.10.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 堀部 修平 電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-139480 A (株式会社東芝) 2008.06.19, 段落【0014】 －【0022】 & US 2008/0129663 A1 & CN 101192376 A	1 2
Y	JP 2005-274883 A (三洋電機株式会社) 2005.10.06, 段落【0010】 －【0016】 & US 2005/0212461 A1 & CN 1674060 A	1 2
Y	JP 2008-96696 A (ソニー株式会社) 2008.04.24, 段落【0006】 －【0007】 (ファミリーなし)	1 2
A	JP 2008-145916 A (NECエレクトロニクス株式会社) 2008.06.26, 段落【0020】, 【0022】, 図4, 6 & US 2008/0143757 A1 & KR 10-2008-0055704 A & CN 101202017 A	1 - 1 2
A	JP 2000-292767 A (松下電器産業株式会社) 2000.10.20, 全文, 全 図 (ファミリーなし)	1 - 1 2
A	JP 2-249306 A (横河電機株式会社) 1990.10.05, 全文, 全図 (ファ ミリーなし)	5 - 8
A	JP 54-79150 U (日本ライナー株式会社) 1979.06.05, 明細書第5頁 第2行目－第13頁第12行目, 第1－2図 (ファミリーなし)	5 - 8

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、表示画面を一定の周期で書き換える映像信号に同期して、上記表示画面を照射する光源の点灯時間をパルス幅変調方式にて制御する点灯制御方法において、上記点灯時間または消灯時間に対応したパルス幅を決めて光源駆動信号を生成するタイミングを与える第1クロックのパルス間隔を、上記周期の変更に連動して変更し、上記周期の1周期に対する上記第1クロックのクロック数を、上記周期の変更に問わず一定値に維持した変調クロックを生成し、上記周期が変わっても、1周期内の点灯時間と消灯時間との比率を一定に保つ点灯制御方法に関するものである。

（特別ページに続く）

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項2-12に係る発明は、周期性のある信号に同期した第1クロックを、基準となる第2クロックを元にして生成するクロック生成方法、及びクロック生成回路において、上記第2クロックによって上記周期を検出して得たクロック数Aと、上記周期の1周期分に対応した上記第1クロックのトータルクロック数Bとに基づいて、上記第2クロックをA/B分周した分周クロックを、上記第1クロックとするクロック生成方法、及びクロック生成回路に関するものである。

そして、これら2つの発明群が単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。