

①9 RÉPUBLIQUE FRANÇAISE
—
**INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE**
—
COURBEVOIE
—

①1 N° de publication : **3 080 487**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **18 53495**

⑤1 Int Cl⁸ : **H 01 L 21/77 (2018.01), H 01 L 21/20, H 01 L 27/15**

①2

BREVET D'INVENTION

B1

⑤4 PROCÉDE DE FABRICATION D'UN DISPOSITIF OPTOELECTRONIQUE A MATRICE DE DIODES.

②2 Date de dépôt : 20.04.18.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 25.10.19 Bulletin 19/43.

④5 Date de la mise à disposition du public du brevet d'invention : 12.06.20 Bulletin 20/24.

⑤6 Liste des documents cités dans le rapport de recherche :

Se reporter à la fin du présent fascicule

⑥0 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

⑦1 Demandeur(s) : *COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.*

⑦2 Inventeur(s) : CHARLES MATTHEW.

⑦3 Titulaire(s) : *COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.*

⑦4 Mandataire(s) : INNOVATION COMPETENCE GROUP.

FR 3 080 487 - B1



PROCEDE DE FABRICATION D'UN DISPOSITIF OPTOELECTRONIQUE A MATRICE DE DIODES

DOMAINE TECHNIQUE

[001] Le domaine de l'invention est celui des dispositifs optoélectroniques à matrice de diodes électroluminescentes ou de photodiodes. L'invention s'applique notamment au
5 domaine des dispositifs d'éclairage, des écrans d'affichage et des projecteurs d'images, ainsi qu'au domaine des photodétecteurs et des capteurs.

ÉTAT DE LA TECHNIQUE ANTÉRIEURE

[002] Il existe des dispositifs optoélectroniques à matrice de diodes électroluminescentes
10 adaptées à former des dispositifs d'éclairage, des écrans d'affichage ou des projecteurs d'images.

[003] Ainsi, le document EP2960940 illustre un exemple de dispositif optoélectronique à matrice de diodes électroluminescentes. Comme l'illustre de manière schématique la figure
1, ce dispositif optoélectronique A1 comporte une pluralité de diodes électroluminescentes
15 A2 comportant chacune un empilement semiconducteur formé d'une portion A31 dopée n et d'une portion A33 dopée p séparées l'une de l'autre par une zone active A32 d'où est majoritairement généré le rayonnement lumineux de la diode électroluminescente A2.

[004] Les diodes électroluminescentes A2 présentent une structure dite mesa, c'est-à-dire qu'elles sont obtenues à partir d'un empilement de couches semiconductrices
20 bidimensionnelles destinées à former les différentes portions dopées A31, A33 et les zones actives A32, une gravure localisée étant effectuée de manière à individualiser les diodes électroluminescentes A2 les unes des autres. Dans cet exemple, chaque diode A2 comporte une forme en L dont les flancs sont revêtus d'une couche isolante de passivation, hormis au niveau d'un décrochement A8 que forme la portion dopée A31. Des électrodes A3 reposent
25 sur les portions dopées A33 et des électrodes A4 s'étendent entre les diodes A2 et viennent au contact des décrochements A8 formés par les portions dopées A31. Chaque pixel d'affichage comporte alors un empilement semiconducteur formé des portions dopées A31, A33 et de la zone active A32, ainsi que les électrodes A3 et A4. Une puce de commande A40 est hybridée à la matrice de diodes électroluminescentes A2, et comporte ici une couche de
30 raccord électrique A41 et une couche de circuit intégré A43.

[005] Un procédé de fabrication de ce dispositif optoélectronique présente cependant l'inconvénient de nécessiter une étape de gravure localisée des couches semiconductrices

bidimensionnelles dopées et de la couche active, dans le but de pixelliser les diodes. Or cette étape de gravure peut entraîner la formation de défauts, surtout sur les flancs gravés, susceptibles de dégrader la performance des diodes, dans la mesure où une passivation incorrecte ou insuffisante des flancs peut générer des fuites.

- 5 [006] Par ailleurs, la différence de paramètres de maille entre le substrat de croissance et les couches semiconductrices épitaxiées peut engendrer la formation de défauts cristallins, notamment des dislocations traversantes qui s'étendent suivant la direction de croissance, venant ainsi dégrader la qualité cristalline de l'empilement semiconducteur, et dégrader en conséquence les performances des diodes.
- 10 [007] De plus, lors du refroidissement après l'étape de croissance épitaxiale, la différence de coefficients de dilatation thermique entre le substrat de croissance et l'empilement semiconducteur, par exemple entre le silicium du substrat et le matériau semiconducteur à base de nitrure, peut générer une forte contrainte mécanique en tension dans l'empilement semiconducteur, susceptible d'entraîner des fissures dans l'empilement semiconducteur, ou
- 15 de courber fortement la plaque. A ce titre, des techniques d'ingénierie de la contrainte mécanique peuvent prévoir d'introduire volontairement une contrainte initiale compressive du matériau semiconducteur au cours de la croissance, par exemple en insérant des inter-couches d'AlN ou des gradients d'AlGaIn.

20 **EXPOSÉ DE L'INVENTION**

[008] L'invention a pour objectif de remédier au moins en partie aux inconvénients de l'art antérieur, et plus particulièrement de proposer un procédé de fabrication d'un dispositif optoélectronique à matrice de diodes permettant de réduire les risques de dégradation de la qualité cristalline du composé semiconducteur à base duquel sont réalisées les diodes.

- 25 [009] Pour cela, l'objet de l'invention est un procédé de fabrication d'un dispositif optoélectronique à matrice de diodes, chaque diode comportant : un empilement semiconducteur formé d'une première portion dopée et d'une deuxième portion dopée entre lesquelles est située une zone active. Chaque empilement semiconducteur présente un coefficient de dilatation thermique α_{es} . Le procédé comporte les étapes suivantes :
- 30 i) fournir un substrat de croissance présentant un coefficient de dilatation thermique α_{sc} inférieur à α_{es} , et ayant une surface de nucléation ;
- ii) déposer, sur la surface de nucléation, une couche diélectrique réalisée en un matériau électriquement isolant présentant un coefficient de dilatation thermique α_{mc} inférieur à α_{es} ;

iii) former, dans la couche diélectrique, une pluralité d'ouvertures traversantes débouchant sur la surface de nucléation ;

iv) réaliser par croissance épitaxiale, dans les ouvertures traversantes et à partir de la surface de nucléation, lesdits empilements semiconducteurs, de sorte qu'au moins les premières portions dopées et les zones actives sont situées dans les ouvertures traversantes.

[0010] Certains aspects préférés mais non limitatifs de ce procédé de fabrication sont les suivants.

[0011] La couche diélectrique peut présenter une épaisseur e_{mc} , et chaque empilement semiconducteur peut présenter une épaisseur e_{es} inférieure ou égale à e_{mc} .

[0012] Par ailleurs, l'épaisseur e_{es} peut être inférieure à e_{mc} . L'étape iv) peut alors être suivie d'une étape de réalisation de deuxièmes électrodes reposant sur et en contact électrique avec les deuxièmes portions dopées, comportant les sous-étapes suivantes :

- déposer une couche conductrice d'une épaisseur au moins égale à la différence entre e_{mc} et e_{es} , réalisée en au moins un matériau électriquement conducteur, de manière à recouvrir les empilements semiconducteurs et une face supérieure de la couche diélectrique ;
- planariser la couche conductrice, avec arrêt sur la face supérieure de la couche diélectrique, formant ainsi une pluralité de deuxièmes électrodes au contact avec les deuxièmes portions dopées et entourées chacune par la couche diélectrique, la face supérieure de la couche diélectrique et une face supérieure des deuxièmes électrodes formant alors une surface supérieure continue et sensiblement plane d'une structure optoélectronique.

[0013] Par ailleurs, l'épaisseur e_{es} peut être inférieure à e_{mc} . Dans ce cas, l'étape iv) peut être suivie d'une étape de planarisation de la couche diélectrique avec arrêt de gravure sur une face supérieure des empilements semiconducteurs, une face supérieure de la couche diélectrique et la face supérieure des empilements semiconducteurs formant alors une surface supérieure continue et sensiblement plane d'une structure optoélectronique.

[0014] Le procédé peut comporter une étape d'hybridation de la structure optoélectronique, au niveau de sa surface supérieure, avec une puce de commande adaptée à appliquer une différence de potentiel aux diodes.

[0015] La structure optoélectronique et la puce de commande peuvent être hybridées par collage direct.

[0016] Chaque deuxième portion dopée peut comporter une première partie et une deuxième partie surdopée, la première partie étant située entre la deuxième partie surdopée

et la zone active, et la deuxième partie surdopée présentant un niveau de dopage supérieur à celui de la première partie.

[0017] La deuxième portion dopée peut présenter un type de conductivité de type p.

5 [0018] Le substrat de croissance et la couche diélectrique peuvent être réalisés à base de silicium.

[0019] Les empilements semiconducteurs peuvent être réalisés à base d'un composé III-N.

[0020] A la suite de l'étape iii), chaque ouverture traversante peuvent s'étendre à partir de la surface de nucléation suivant un axe directeur incliné par rapport à un axe orthogonal à un plan principal du substrat de croissance.

10 [0021] Chaque zone active peut être distante de la surface de nucléation correspondante d'une hauteur minimale, la hauteur minimale et l'angle d'inclinaison de l'axe directeur étant préalablement déterminés de sorte que la zone active n'est pas située à l'aplomb de la surface de nucléation correspondante.

15 [0022] A la suite de l'étape iii), chaque ouverture traversante peut comporter une première cavité débouchant sur la surface de nucléation, et une deuxième cavité débouchant au niveau d'une face supérieure de la couche diélectrique et communiquant avec la première cavité, la couche diélectrique comportant une partie s'étendant sur le substrat de croissance et délimitant partiellement la deuxième cavité, la deuxième cavité étant décalée latéralement par rapport à la première cavité de sorte que, à la suite de l'étape iv), la zone
20 active n'est pas située à l'aplomb de la surface de nucléation.

[0023] Le substrat de croissance peut comporter un substrat support revêtu par une couche de nucléation, et l'étape iii) peut comporter :

- une gravure de la couche de nucléation située dans les ouvertures traversantes, de manière à rendre libre une surface supérieure du substrat support, et à exposer une
25 surface latérale de la couche de nucléation formant une surface latérale de nucléation ; puis
- une formation d'une région diélectrique s'étendant dans le substrat support à partir de la surface supérieure du substrat support, de sorte que, lors de l'étape iv), les premières portions dopées sont formées notamment à partir de la surface latérale
30 de nucléation.

[0024] La couche de nucléation peut comporter une partie en saillie s'étendant dans chaque ouverture traversante sur le substrat support et non revêtue par la couche diélectrique, dont une surface supérieure participe à former la surface de nucléation.

BREVE DESCRIPTION DES DESSINS

[0025] D'autres aspects, buts, avantages et caractéristiques de l'invention apparaîtront mieux à la lecture de la description détaillée suivante de formes de réalisation préférées de celle-ci, donnée à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur
5 lesquels :

la figure 1, déjà décrite, est une vue schématique et partielle, en coupe transversale, d'un dispositif optoélectronique à matrice de diodes obtenu par un procédé de fabrication selon un exemple de l'art antérieur ;

les figures 2A à 2G sont des vues schématiques et partielles, en coupe transversale, de
10 différentes étapes d'un procédé de fabrication d'un dispositif optoélectronique selon un mode de réalisation comportant la réalisation d'électrodes de polarisation avant hybridation ;

les figures 3A à 3D sont vues schématiques et partielles, en coupe transversale, de
15 différentes étapes d'un procédé de fabrication d'un dispositif optoélectronique selon un autre mode de réalisation ne comportant pas la réalisation d'électrodes de polarisation avant hybridation ;

les figures 4A à 4C sont des vues schématiques et partielles, en coupe transversale, de différentes étapes d'un procédé de fabrication d'un dispositif optoélectronique selon un autre mode de réalisation dans lequel chaque ouverture traversante est inclinée ;

20 les figures 5A à 5C sont des vues schématiques et partielles, en coupe transversale, de différentes étapes d'un procédé de fabrication d'un dispositif optoélectronique selon un autre mode de réalisation dans lequel chaque ouverture traversante est structurée de manière à présenter plusieurs cavités distinctes ;

les figures 6A à 6D sont des vues schématiques et partielles, en coupe transversale, de
25 différentes étapes d'un procédé de fabrication d'un dispositif optoélectronique selon un autre mode de réalisation dans lequel chaque ouverture traversante débouche sur une région diélectrique située dans le substrat de croissance, la surface de nucléation s'étendant sur la périphérie de l'ouverture traversante ;

les figures 7A et 7B sont des vues de dessus (fig.7A) et en coupe transversale (fig.7B),
30 schématiques et partielles, d'un dispositif optoélectronique obtenu par un procédé de fabrication selon une variante du mode de réalisation illustré sur les fig.6A à 6D.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

- 5 [0026] Sur les figures et dans la suite de la description, les mêmes références représentent les éléments identiques ou similaires. De plus, les différents éléments ne sont pas représentés à l'échelle de manière à privilégier la clarté des figures. Sauf indication contraire, les termes « sensiblement », « environ », « de l'ordre de » signifient à 10% près. Par ailleurs, l'expression « comportant un » doit être comprise comme « comportant au moins un », sauf indication contraire.
- 10 [0027] L'invention porte sur un procédé de fabrication d'un dispositif optoélectronique 1 comportant une matrice de diodes 2. Ces dernières peuvent être des diodes électroluminescentes ou des photodiodes.
- 15 [0028] Les figures 2A à 2G sont des vues en coupe, schématiques et partielles, d'un mode de réalisation du procédé de fabrication d'un dispositif optoélectronique 1 à matrice de diodes 2. Dans cet exemple, les diodes 2 sont électroluminescentes et sont réalisées à base de GaN à partir d'un substrat de croissance 10 réalisé à base de silicium.
- 20 [0029] On définit ici et pour la suite de la description un repère direct orthogonal XYZ, où les axes X et Y forment un plan parallèle au plan principal du substrat de croissance 10, et où l'axe Z est orienté de manière orthogonale au plan XY. Dans la suite de la description, les termes « vertical » et « verticalement » s'entendent comme étant relatifs à une orientation sensiblement parallèle à l'axe Z. Les termes « latéral » et « latéralement » s'entendent comme étant relatifs à une orientation sensiblement parallèle ou inclinée par rapport à l'axe Z. Par ailleurs, les termes « inférieur » et « supérieur » s'entendent comme étant relatifs à un positionnement croissant lorsqu'on s'éloigne du substrat de croissance 10 suivant la direction +Z.
- 25 [0030] En référence à la fig.2A, on fournit un substrat de croissance 10 adapté à permettre la croissance épitaxiale d'empilements semiconducteurs des diodes. Il comporte une face supérieure qui définit une surface de nucléation 12b. Ce substrat de croissance 10 peut être une structure monobloc ou être formé d'un empilement de couches tel qu'un substrat de type SOI (pour *Silicon On Insulator*, en anglais).
- 30 [0031] Il peut ainsi comporter une couche de nucléation 12 reposant sur un substrat support 11. La face supérieure de la couche de nucléation 12 opposée au substrat support 11 définit ici la surface de nucléation 12b. La couche de nucléation 12 est réalisée en un matériau favorisant la nucléation et la croissance épitaxiale des empilements semiconducteurs, et peut être un nitrure ou un oxyde d'aluminium (par ex. AlN ou Al₂O₃), un nitrure de magnésium Mg_xN_y, ou un nitrure ou un carbure d'un métal de transition, ou tout autre
- 35

matériau adapté. L'épaisseur de la couche de nucléation 12 peut être de l'ordre de quelques nanomètres à quelques centaines de nanomètres. Dans cet exemple, la couche de nucléation 12 peut être en AlN. Par épaisseur, on entend la dimension d'un élément ou d'une couche suivant l'axe Z.

5 [0032] Le substrat support 11 peut être une structure monobloc ou multicouches. Il peut être en un composé semiconducteur IV, par exemple en silicium, en germanium, en carbure de silicium, ou en un composé III-V ou II-VI, tel que l'AlN, le GaN ou le SiC. Il peut également être en un matériau métallique ou en un matériau isolant comme le saphir. Dans
10 le substrat est réalisé majoritairement en silicium et que son coefficient de dilatation thermique moyen est sensiblement égal à celui du silicium. Par « réalisé majoritairement en un matériau donné », on entend un élément comprenant ledit matériau pour en moins 50% de son volume.

[0033] Le substrat de croissance 10 présente un coefficient de dilatation thermique α_{sc} qui
15 exprime l'allongement relatif $\Delta l/l$ du substrat de croissance 10 dans un plan XY parallèle au plan du substrat de croissance 10 pour une différence de température ΔT . D'une manière générale, le coefficient de dilatation thermique est défini comme $\alpha = (l_2 - l_1)/(l_1 \cdot (T_2 - T_1))$, où l_1 et l_2 sont respectivement la largeur de l'élément considéré, c'est-à-dire une dimension dans le plan XY, à la température T_1 et T_2 . Dans le cas où le substrat de croissance 10 comporte
20 plusieurs matériaux différents, on définit un coefficient de dilatation thermique moyen, qui correspond essentiellement à une pondération des coefficients de dilatation thermique des différents matériaux en fonction de leur fraction volumique. Ici, le substrat de croissance 10 est formé de plusieurs matériaux différents et son coefficient de dilatation thermique est alors un coefficient moyen $\tilde{\alpha}_{sc}$ pouvant être défini par la relation : $\tilde{\alpha} = \sum_i \alpha_i v_i$, où chaque
25 matériau i comporte un coefficient de dilatation thermique α_i et une fraction volumique v_i .

[0034] Le substrat de croissance 10 est tel que son coefficient de dilatation thermique moyen $\tilde{\alpha}_{sc}$ est inférieur au coefficient de dilatation thermique α_{es} des empilements semiconducteurs 30. Dans cet exemple, les empilements semiconducteurs 30 sont réalisés à base d'un composé semiconducteur dit de base, c'est-à-dire qu'il est formé
30 majoritairement de ce composé semiconducteur et que son coefficient de dilatation thermique α_{es} est sensiblement égal au coefficient de dilatation thermique de ce composé semiconducteur. Ici, les empilements semiconducteurs 30 sont réalisés à base de GaN, de sorte que le coefficient α_{es} est sensiblement égal à celui du GaN, c'est-à-dire à $5,6 \cdot 10^{-6} \text{ K}^{-1}$ environ. Le substrat de croissance 10 est réalisé à base de silicium, c'est-à-dire qu'il
35 comporte majoritairement du silicium et que son coefficient de dilatation moyen $\tilde{\alpha}_{sc}$ est

sensiblement égal au coefficient de dilatation thermique du silicium α_{Si} , lequel est égal à $2,6 \cdot 10^{-6} \text{ K}^{-1}$ environ.

[0035] En référence à la fig.2B, on dépose sur le substrat de croissance 10 une couche diélectrique 20 destinée à former un masque de croissance. La couche diélectrique 20 recouvre alors continûment la surface de nucléation 12b.

[0036] La couche diélectrique 20 est réalisée en au moins un matériau électriquement isolant, par exemple un oxyde ou un nitrure de silicium, tel que du SiO_2 ou du Si_3N_4 , voire un oxynitrure de silicium, un oxyde d'aluminium ou un oxyde d'hafnium. Le matériau de la couche diélectrique 20 est choisi de sorte que son coefficient de dilatation thermique α_{mc} est inférieur au coefficient de dilatation thermique α_{es} des empilements semiconducteurs 30. Dans cet exemple, la couche diélectrique 20 est réalisée en SiO_2 dont le coefficient de dilatation thermique α_{mc} est égal à $0,5 \cdot 10^{-6} \text{ K}^{-1}$ environ, lequel est bien inférieur au coefficient de dilatation thermique du GaN.

[0037] La couche diélectrique 20 présente une épaisseur e_{mc} qui est de préférence sensiblement homogène en tout point de la couche. L'épaisseur est ici la distance suivant l'axe Z entre une première face 20a dite inférieure en contact avec le substrat de croissance 10, et une deuxième face 20b opposée dite supérieure. La face supérieure 20b est ainsi sensiblement parallèle à la face supérieure du substrat de croissance 10. L'épaisseur e_{mc} de la couche diélectrique 20 est avantageusement choisie de manière à être supérieure ou égale à l'épaisseur e_{es} des empilements semiconducteurs 30 réalisés ultérieurement. La couche diélectrique 20 peut présenter une épaisseur e_{mc} comprise entre 100nm et 50 μm , de préférence comprise entre 2 μm et 5 μm environ.

[0038] En référence à la fig.2C, on réalise ensuite, par des techniques de photolithographie et de gravure classiques, par exemple par gravure sèche de type plasma (RIE, ICP...), des ouvertures traversantes 21 dans la couche diélectrique 20, de manière à rendre localement libre des parties de la surface de nucléation 12b. La couche diélectrique 20 forme alors un masque de croissance. Les ouvertures traversantes 21 sont ainsi destinées à recevoir les empilements semiconducteurs 30.

[0039] La section des ouvertures traversantes 21 dans le plan XY peut présenter différentes formes, par exemple une forme circulaire, ovale, polygonale, par exemple triangulaire, carrée, rectangulaire voire hexagonale. Le diamètre d'une ouverture traversante 21 est ici une grandeur associée à son périmètre au niveau d'une section dans le plan XY. De préférence, le diamètre est sensiblement constant suivant l'axe Z, mais peut également varier suivant l'axe Z. Les ouvertures traversantes 21 peuvent présenter les mêmes dimensions d'une ouverture à l'autre.

[0040] Les ouvertures traversantes 21 peuvent présenter des dimensions latérales, dans le plan XY, comprises entre 500nm et quelques millimètres, selon les applications visées, et de préférence comprises entre 1 μ m et 10 μ m. La dimension transversale du masque de croissance 20 séparant deux ouvertures traversantes 21 adjacentes peut être de l'ordre de
5 1 μ m environ.

[0041] La bordure latérale 22 des ouvertures traversantes 21 relie la face supérieure 20b de la couche diélectrique 20 à la surface de nucléation 12b. Dans cet exemple, la bordure latérale 22 s'étend de manière continûment rectiligne et orthogonale entre la surface de nucléation 12b du substrat de croissance 10 et la face supérieure 20b de la couche diélectrique 20. En variante, comme décrit plus loin, les ouvertures traversantes 21 peuvent être inclinées vis-à-vis de l'axe Z, c'est-à-dire qu'elles s'étendent suivant un axe directeur incliné par rapport à l'axe Z, à partir de chaque surface de nucléation 12b. En variante, les ouvertures traversantes 21 peuvent être structurées de manière à présenter une première cavité débouchant sur une surface de nucléation 12b, et une deuxième cavité,
15 communiquant avec la première cavité, et débouchant au niveau de la face supérieure 20b.

[0042] En référence à la fig.2D, on réalise ensuite les empilements semiconducteurs 30 dans les ouvertures traversantes 21, par croissance épitaxiale, à partir de chaque surface de nucléation 12b.

[0043] Chaque empilement semiconducteur 30 comporte une première portion 31 dopée selon un premier type de conductivité, par exemple de type n, et une deuxième portion 33 dopée selon un deuxième type de conductivité opposé au premier type, par exemple de type p, entre lesquelles est située une zone active 32. Bien entendu, les types de conductivité peuvent être inversés. Les empilements semiconducteurs 30 sont de préférence réalisés simultanément, de sorte que les portions dopées 31, 33 et la zone active 32 de chaque empilement semiconducteur 30 présentent avantageusement sensiblement les mêmes caractéristiques en termes de dimensions, de composition et de niveau de dopage.
25

[0044] Les empilements semiconducteurs 30 sont réalisés de sorte qu'au moins les premières portions 31 dopées n et les zones actives 32 sont situées dans les ouvertures traversantes 21. De préférence, les deuxièmes portions 33 dopées p sont entièrement situées dans les ouvertures traversantes 21, de sorte que les empilements semiconducteurs 30 présentent une épaisseur e_{es} inférieure ou égale à l'épaisseur e_{mc} du masque de croissance 20. L'épaisseur e_{es} est ici la dimension suivant l'axe Z séparant la face inférieure vis-à-vis de la face supérieure 30b des empilements semiconducteurs 30. La face inférieure est ici la face des premières portions 31 dopées n au contact avec le substrat de croissance 10, et la face supérieure 30b est ici la face des deuxièmes portions 33 dopées p opposée à la zone active
30
35 32.

[0045] Chaque empilement semiconducteur 30 est réalisé majoritairement à partir d'un même composé semiconducteur de base, par exemple un composé III-V comportant au moins un élément de la colonne III du tableau périodique et au moins un élément de la colonne V, un composé II-VI comportant au moins un élément de la colonne II du tableau périodique et au moins un élément de la colonne VI, voire un composé IV comportant au moins un élément de la colonne IV. A titre d'exemple, des composés III-V peuvent être des composés III-N, tels que GaN, InGaN, AlGaN, AlN, InN ou AlInGaN, voire comporter un élément de la colonne V du type arsenic ou phosphore, par exemple l'AsGa ou l'InP. Par ailleurs, des composés II-VI peuvent être CdTe, HgTe, CdHgTe, ZnO, ZnMgO, CdZnO ou CdZnMgO. Enfin, des éléments ou composés IV peuvent être utilisés, tels que Si, C, Ge, SiC, SiGe, ou GeC. Dans cet exemple, les empilements semiconducteurs 30 sont réalisés à base de GaN.

[0046] Les empilements semiconducteurs 30 peuvent être réalisés par un procédé du type dépôt chimique en phase vapeur (CVD, pour *Chemical Vapor Deposition*, en anglais), par exemple aux précurseurs organométalliques (MOCVD, pour *Metal-Organic Chemical Vapor Deposition*, en anglais) ou par un procédé de type épitaxie par jets moléculaires (MBE, pour *Molecular-Beam Epitaxy*, en anglais), du type épitaxie en phase vapeur aux hydrures (HVPE, pour *Hybrid Vapor Phase Epitaxy*, en anglais). Dans cet exemple, les empilements semiconducteurs 30 sont réalisés par MOCVD. Ainsi, la croissance est sélective et les empilements semiconducteurs 30 sont formés par épitaxie à partir de la surface de nucléation 12b, et non pas à partir des bordures latérales 22.

[0047] Les empilements semiconducteurs 30 présentent une épaisseur e_{es} de préférence inférieure ou égale à l'épaisseur e_{mc} du masque de croissance 20. Cela permet d'éviter d'avoir à supprimer une partie de la deuxième portion dopée 33 dans le cas où celle-ci viendrait en saillie hors de l'ouverture traversante 21, lors d'une étape ultérieure de planarisation. Ceci est particulièrement avantageux lorsque la deuxième portion 33 est dopée p et est formée d'une première partie 33.1 dopée p et d'une deuxième partie 33.2 surdopée p+, la première partie 33.1 étant située entre la zone active 32 et la deuxième partie 33.2 surdopée. On limite ainsi les risques de dégradation du contact ohmique entre l'anode 3 réalisée ultérieurement et la deuxième portion 33 dopée p.

[0048] Les empilements semiconducteurs 30 présentent des dimensions, notamment latérales, qui sont corrélées à celles des ouvertures traversantes 21. Ils peuvent ainsi présenter une épaisseur e_{es} comprise entre 100nm et 50 μ m, de préférence comprise entre 2 μ m et 5 μ m environ ; l'épaisseur des premières portions 31 dopées n peut être comprise entre 50nm et 20 μ m, par exemple égale à 2 μ m environ ; celle de la zone active 32 peut être comprise entre 10nm et 500nm ; et celle de la deuxième portion 33 dopée p peut être

comprise entre 50nm et 2 μ m, par exemple égale à 200nm environ. Les dimensions latérales, dans le plan XY, peuvent être comprises entre 500nm et quelques millimètres, selon les applications visées, et sont de préférence comprises entre 1 μ m et 10 μ m.

5 [0049] Chaque première portion dopée 31 peut être ici réalisée en GaN dopé de type n par exemple par du silicium. Elle est réalisée par épitaxie à partir de la surface de nucléation 12b et est délimitée latéralement par la bordure latérale 22 du masque de croissance 20 avec laquelle elle est en contact. La croissance étant sélective, il n'y a pas de croissance sur les bordures latérales 22.

10 [0050] La zone active 32 est la partie de la diode 2 au niveau de laquelle est émis ou détecté l'essentiel du rayonnement lumineux. Elle peut comprendre au moins un puits quantique réalisé en un composé semiconducteur présentant une énergie de bande interdite inférieure à celles des première et deuxième portions dopées 31, 33. Elle peut comporter un unique puits quantique ou une pluralité de puits quantiques sous la forme de couches ou de boîtes intercalées entre des couches barrières. Elle peut être intrinsèque, c'est-à-dire non
15 intentionnellement dopée. Elle peut être ici réalisée en une alternance de couches barrières en GaN et de puits quantiques en InGaN. La zone active 32 recouvre la surface supérieure de la première portion 31 dopée n et est délimitée latéralement par la bordure latérale 22 du masque de croissance 20 avec laquelle elle est en contact.

20 [0051] La deuxième portion 33 dopée p peut être réalisée en le composé semiconducteur de base, c'est-à-dire ici en GaN, ou être un alliage de GaN, par exemple en InGaN. Elle est ici dopée de type p par exemple par du magnésium. Elle recouvre la surface supérieure de la zone active 32 et est ici délimitée latéralement par la bordure latérale 22 du masque de croissance 20 avec laquelle elle est en contact, notamment lorsque l'épaisseur e_{mc} du masque de croissance 20 est supérieure à l'épaisseur e_{es} de l'empilement semiconducteur
25 30.

[0052] La deuxième portion 33 dopée p peut comporter en outre une couche intercalaire de blocage d'électrons (non représentée) située à l'interface avec la zone active 32. La couche de blocage d'électrons peut ici être formée d'un composé ternaire III-N, par exemple de l'AlGaN ou de l'AlInN, avantageusement dopé p. Elle permet d'accroître le taux de recombinaisons radiatives dans la zone active 32.
30

[0053] La deuxième portion 33 dopée p comprend avantageusement une première partie 33.1 dopée p à un premier niveau de dopage et une deuxième partie 33.2 surdopée p+, c'est-à-dire dopée p à un deuxième niveau de dopage supérieur au premier niveau de dopage. La première partie 33.1 est située entre la zone active 32 et la deuxième partie 33.2 surdopée p+. Cette partie 33.2 surdopée p+ permet d'améliorer le contact ohmique entre la deuxième
35 portion 33 dopée p et l'électrode de polarisation 3.

[0054] Ainsi, on obtient une pluralité d'empilements semiconducteurs 30 localisés chacun dans une ouverture traversante 21 du masque de croissance 20. Le masque de croissance 20 est une couche épaisse diélectrique qui s'étend continûment entre et au contact des empilements semiconducteurs 30. Elle est dite épaisse dans le sens où au moins les premières portions 31 dopées n et les zones actives 32, et de préférence les deuxièmes portions 33 dopées p, sont situées dans les ouvertures traversantes 21 et sont latéralement en contact avec le matériau du masque de croissance 20.

[0055] Dans cet exemple, les empilements semiconducteurs 30 présentent une épaisseur e_{es} inférieure à celle e_{mc} du masque de croissance 20, de sorte que des zones en retrait sont formées en surface des empilements semiconducteurs 30 par rapport à la face supérieure 20b du masque de croissance 20. Ces zones en retrait présentent une hauteur suivant l'axe Z égale à la différence entre l'épaisseur e_{mc} et l'épaisseur e_{es} . Dans cet exemple, la présence des zones en retrait est mise à profit pour réaliser ultérieurement des électrodes de polarisation 3, ici des anodes, disposées en contact électrique avec les deuxièmes portions 33 dopées p.

[0056] Dans le cadre du procédé de fabrication selon l'invention, les empilements semiconducteurs 30, distincts les uns des autres, sont pixellisés dès la croissance épitaxiale, par leur réalisation dans les ouvertures traversantes 21 du masque de croissance 20, et non par gravure localisée d'un empilement semiconducteur formé de couches bidimensionnelles, comme dans l'exemple de l'art antérieur mentionné précédemment. Ainsi, on réduit les risques de dégradation de la qualité cristalline du composé semiconducteur, notamment au niveau des flancs latéraux des empilements semiconducteurs puisque la pixellisation n'est pas effectuée par gravure localisée. Les propriétés optiques et/ou électroniques du dispositif optoélectronique 1 sont ainsi améliorées.

[0057] De plus, les empilements semiconducteurs 30 sont réalisés par croissance épitaxiale dans les ouvertures traversantes 21 du masque de croissance 20, celui-ci étant une couche épaisse diélectrique au contact au moins des premières portions 31 dopées n et des zones actives 32. Ainsi, le masque de croissance 20 assure une fonction supplémentaire de passivation des flancs latéraux des empilements semiconducteurs 30, permettant de limiter l'effet d'éventuels états de surface pouvant conduire à des recombinaisons non radiatives dans la zone active 32 ou de limiter les fuites verticales. Le rendement quantique interne de la zone active 32 est alors amélioré, ce qui permet d'améliorer également les propriétés optiques et/ou électroniques du dispositif optoélectronique 1.

[0058] Par ailleurs, les empilements semiconducteurs 30 pixellisés, en association avec le masque de croissance 20, forment une structure optoélectronique 6 présentant un

coefficient de dilatation thermique moyen $\tilde{\alpha}_{so}$ dont la valeur est inférieure au coefficient de dilatation thermique α_{es} des empilements semiconducteurs 30, celui-ci étant ici sensiblement égal à celui du GaN. Le coefficient moyen $\tilde{\alpha}_{so}$ est ici sensiblement égal à une pondération du coefficient α_{es} des empilements semiconducteurs 30 et du coefficient α_{mc} du masque de croissance 20 avec leurs fractions volumiques respectifs. Ainsi, la différence entre le coefficient de dilatation thermique moyen $\tilde{\alpha}_{so}$ de la structure optoélectronique 6 et le coefficient de dilatation thermique moyen α_{sc} du substrat de croissance 10 est diminué, réduisant ainsi l'intensité des contraintes mécaniques en tension subies par les empilements semiconducteurs 30 après la phase de refroidissement faisant suite à l'étape de croissance épitaxiale. Ces contraintes mécaniques sont également diminuées par le fait que les empilements semiconducteurs 30 sont pixellisés dès la croissance, améliorant ainsi la répartition des contraintes mécaniques au sein de la structure optoélectronique 6 générées par la phase de refroidissement. On limite ainsi le risque de génération de fissures dans le matériau des empilements semiconducteurs 30. Il est alors possible de réduire la complexité des techniques d'ingénierie de la contrainte mécanique éventuellement mises en œuvre pour imposer une contrainte mécanique initiale en compression au matériau des empilements semiconducteurs 30 lors de la croissance épitaxiale, simplifiant ainsi le procédé de fabrication.

[0059] En référence à la fig.2E, on réalise ensuite des électrodes de polarisation destinées à appliquer un potentiel électrique aux deuxièmes portions 33 dopées p. Dans cet exemple, on réalise un dépôt pleine plaque d'un matériau électrique conducteur, de manière à recouvrir continûment le masque de croissance 20 et les empilements semiconducteurs 30, et à remplir les zones en retrait surplombant chaque empilement semiconducteur 30. L'épaisseur de cette couche conductrice 5 est ici supérieure ou égale à la différence entre l'épaisseur e_{mc} du masque de croissance 20 et l'épaisseur e_{es} des empilements semiconducteurs 30.

[0060] Le matériau conducteur est ainsi en contact avec la face supérieure 20b du masque de croissance 20 et avec la face supérieure 30b des empilements semiconducteurs 30. Il peut être transparent ou réfléchissant au rayonnement électromagnétique émis par les diodes 2, selon que l'extraction lumineuse est effectuée au travers des deuxièmes portions 33 dopées p ou des premières portions 31 dopées n.

[0061] En référence à la fig.2F, on réalise une planarisation de la couche conductrice 5 afin de supprimer les parties de la couche recouvrant le masque de croissance 20, et de réaliser une face continue 6b sensiblement plane de la structure optoélectronique 6. La planarisation peut être de type mécano-chimique (CMP) et/ou de type gravure sèche. Elle est effectuée avec arrêt de gravure sur la face supérieure 20b du masque de croissance 20.

Ainsi, on obtient une pluralité d'électrodes de polarisation 3, ici des anodes, distinctes les unes des autres, et mutuellement séparées par le masque de croissance 20. Ces électrodes de polarisation 3 sont ici nommées deuxièmes électrodes et sont en contact avec les deuxièmes portions 33 dopées p. Des premières électrodes (cathodes) sont destinées à être
5 réalisées en contact électrique avec les premières portions 31 dopées n. La face supérieure 6b de la structure optoélectronique 6 est continue et sensiblement plane, et est formée par la face supérieure 20b du masque de croissance 20, laquelle est rendue libre, c'est-à-dire non recouverte par un autre matériau, et par la face supérieure 3b des deuxièmes électrodes 3.

10 [0062] En référence à la fig.2G, on réalise une hybridation de la structure optoélectronique 6 avec une puce de commande 40. Par hybridation, on entend un assemblage mécanique et une connexion électrique. Le caractère sensiblement plan de la face supérieure 6b de la structure optoélectronique 6 permet de réaliser une hybridation sur la puce de commande 40, notamment par collage direct. La face supérieure 6b de la structure optoélectronique 6
15 forme ici une face arrière de connexion électrique, la face avant opposée 6a correspondant à la face d'émission.

[0063] La puce de commande 40 comporte ici une couche 41 de raccord électrique (facultative) intercalée entre la structure optoélectronique 6 et une couche de circuit intégré 43, permettant de faciliter la connexion électrique. La couche de raccord 41 comporte ainsi
20 des éléments 42 de connexion électrique assurant la connexion entre les deuxièmes électrodes 3 avec des portions conductrices 44 de la couche de circuit intégré 43. Les éléments de connexion 42 sont électriquement isolés les uns des autres par un matériau diélectrique. La couche de raccord 41 présente ici une épaisseur sensiblement constante.

[0064] La couche de circuit intégré 43 est assemblée à la face arrière 6b de la structure
25 optoélectronique 6, ici par le biais de la couche de raccord. La puce de commande 40 assure notamment la connexion électrique des diodes 2 de manière à commander l'émission lumineuse par les diodes électroluminescentes. Ainsi, les portions conductrices 44 permettent ici la polarisation en direct des diodes électroluminescentes 2. La puce de commande 40 peut également comporter les éléments électroniques, de type transistors,
30 assurant la commande d'émission des diodes électroluminescentes. Alternativement, elle peut être un composant passif ne comportant essentiellement que des lignes de connexion électrique reliant les portions conductrices 44 à des éléments électroniques déposés.

[0065] La fixation de la structure optoélectronique 6 avec la puce de commande 40 peut être assurée par collage direct, également appelée collage par adhérence moléculaire, entre
35 le matériau conducteur des deuxièmes électrodes 3 et le matériau conducteur des éléments de connexion 42 de la couche de raccord le cas échéant. Alternativement, une fixation par

des microbilles ou des micro-tubes de connexion électriques et/ou par thermocompression peut également être effectuée.

[0066] De plus, on supprime ici le substrat de croissance 10, par exemple par planarisation mécano-chimique, par gravure sèche, par laser (LLO, pour *Laser Lift-Off*, en anglais) ou par abrasion, de manière à exposer la face inférieure des premières portions 31 dopées n ainsi que la face inférieure du masque de croissance 20. La face inférieure 6a de la structure optoélectronique 6 est ici continue et sensiblement plane, et forme dans cet exemple la face d'émission du dispositif optoélectronique 1.

[0067] On réalise ensuite des premières électrodes 4 de polarisation en contact électrique avec les premières portions 31 dopées n. Cette étape est effectuée par dépôt, photolithographie et gravure, d'un matériau électriquement conducteur et transparent au rayonnement électromagnétique émis par les diodes 2, par exemple de l'oxyde d'indium étain (ITO, pour *Indium Tin Oxide*) ou du ZnO. Ces premières électrodes 4 peuvent présenter une épaisseur de quelques nanomètres à quelques dizaines ou centaines de nanomètres. Les électrodes 4 peuvent se présenter sous la forme de plots distincts ou être des zones d'une même couche continue.

[0068] Une couche de protection 7, réalisée en un matériau diélectrique et transparent au rayonnement électromagnétique, peut ensuite être déposée sur la face d'émission 6a de la structure optoélectronique 6, de manière à assurer une protection structurelle des diodes 2.

[0069] On obtient ainsi un dispositif optoélectronique 1, dont la structure optoélectronique 6 comporte une matrice de diodes 2 localisées dans les ouvertures traversantes 21 du masque de croissance 20 et isolées les unes des autres par ce dernier. Au moins les premières portions 31 dopées n et les zones actives 32, et de préférence également les deuxièmes portions 33 dopées p, sont situées dans ces ouvertures traversantes 21 et en contact avec la bordure latérale 22 du masque de croissance 20. Celui-ci permet non seulement la croissance localisée des empilements semiconducteurs 30 et assure également la passivation des flancs latéraux des empilements semiconducteurs 30. Comme décrit précédemment, le dispositif optoélectronique 1 présente une bonne qualité cristalline du matériau des empilements semiconducteurs 31, améliorant ainsi ses propriétés optiques et/ou électroniques.

[0070] Les figures 3A à 3D illustrent, de manière schématique et partielle, certaines étapes d'un procédé de fabrication d'un dispositif optoélectronique 1 selon un autre mode de réalisation. Dans cet exemple, le procédé diffère de celui illustré sur les fig.2A à 2G

essentiellement en ce qu'il ne comporte pas d'étape de réalisation des deuxièmes électrodes 3 avant l'hybridation à la puce de commande 40.

5 [0071] La fig.3A illustre la structure obtenue à la suite de la réalisation des empilements semiconducteurs 30 par croissance épitaxiale dans les ouvertures traversantes 21. Cette structure est identique ou similaire à celle décrite en référence à la fig.2D et les étapes antérieures de fabrication ne sont pas décrites à nouveau.

10 [0072] La fig.3B illustre une étape de planarisation de la face supérieure 6b de la structure optoélectronique 6. Pour cela, on planarise le masque de croissance 20, par polissage mécano-chimique et/ou gravure, avec arrêt de gravure sur la face supérieure 30b des empilements semiconducteurs 31. Ainsi, la structure optoélectronique 6 présente une face supérieure 6b continue et sensiblement plane, définie par la face supérieure 20b du masque de croissance 20 et la face supérieure 30b des empilements semiconducteurs 31, ces faces supérieures 20b, 30b étant sensiblement coplanaires.

15 [0073] La fig.3C illustre l'hybridation de la structure optoélectronique 6 ainsi obtenue à une puce de commande 40. Le caractère sensiblement plan de la face supérieure 6b de la structure optoélectronique 6 permet d'effectuer l'hybridation, par exemple par collage direct.

20 [0074] Dans cet exemple, la puce de commande 40 comporte une couche de circuit intégré 43 dont la face de connexion comporte des portions conductrices 44. Comme mentionné précédemment, ces dernières peuvent être reliées à des éléments électroniques, de type transistors, assurant la commande d'émission des diodes électroluminescentes, ces éléments électroniques pouvant être situés dans la puce de commande ou être des éléments déportés. Les portions conductrices 44 peuvent être des plots distincts, ou être des zones d'une même couche continue.

25 [0075] La fixation de la structure optoélectronique 6 avec la puce de commande 40 est ici assurée par collage direct entre le composé semiconducteur des deuxièmes portions 33 dopées p et le matériau conducteur des portions conductrices 44 de la puce de commande 40. Une couche de raccord (non représentée), identique ou similaire à celle décrite sur la fig.2G, peut être intercalée entre la structure optoélectronique 6 et la couche de circuit
30 intégré 43 de la puce de commande 40.

[0076] La fig.3D illustre la suppression du substrat de croissance 10 de manière à rendre libre la face inférieure 6a de la structure optoélectronique 6, devenant ainsi la face d'émission. Les premières électrodes 4 de polarisation sont ensuite réalisées de manière à être en contact électrique avec les premières portions 31 dopées n, puis le dépôt de la couche

de protection 7 est effectué. Ces étapes ont été décrites précédemment et ne sont pas détaillées à nouveau.

[0077] Ainsi, on obtient un dispositif optoélectronique 1 dans lequel le collage direct est effectué entre les deuxièmes portions 33 dopées p de la structure optoélectronique 6 et les portions conductrices 44 de la puce de commande 40. Cette étape d'hybridation par collage direct est rendue possible par la planarisation préalable de la face supérieure 6b de la structure optoélectronique 6, effectuée après l'étape de croissance épitaxiale des empilements semiconducteurs 30, de manière à réduire l'épaisseur e_{mc} du masque de croissance 20.

10

[0078] Les figures 4A à 4C illustrent, de manière schématique et partielle, certaines étapes d'un procédé de fabrication d'un dispositif optoélectronique 1 selon un autre mode de réalisation. Dans cet exemple, le procédé diffère de celui illustré sur les fig.2A à 2G essentiellement en ce que les ouvertures traversantes 21 de la couche diélectrique 20 s'étendent de manière inclinée à rapport à l'axe Z.

15

[0079] La fig.4A illustre le dépôt de la couche diélectrique 20 sur le substrat de croissance 10. Cette étape est identique ou similaire à celle décrite en référence à la fig.2B.

[0080] La fig.4B illustre la réalisation d'ouvertures traversantes 21 au travers de la couche diélectrique 20, par exemple par gravure sèche de type RIE. Chaque ouverture traversante 21 s'étend à partir de la face supérieure 20b de la couche diélectrique 20 jusqu'à déboucher sur la surface de nucléation 12b. La couche diélectrique 20 forme alors un masque de croissance.

20

[0081] Les ouvertures traversantes 21 sont ici inclinées par rapport à l'axe Z, c'est-à-dire qu'elles s'étendent suivant un axe directeur A, lequel forme un angle β non nul par rapport à l'axe Z. D'une manière générale, l'axe directeur A d'une ouverture traversante 21 est une droite passant par le centre des sections planes de l'ouverture traversante 21 parallèles au plan XY. Une section plane est ici une intersection entre l'ouverture traversante 21 et un plan parallèle au plan XY. La section plane dite inférieure, respectivement supérieure, est celle qui est située au niveau de la face inférieure 20a, respectivement supérieure 20b, du masque de croissance 20. La section plane inférieure débouche ici sur la surface de nucléation 12b de l'ouverture traversante 21 considérée.

25

30

[0082] Dans cet exemple, les ouvertures traversantes 21 sont toutes inclinées suivant le même angle β . Par ailleurs, la bordure latérale 22 de chaque ouverture est sensiblement rectiligne, et est ici sensiblement parallèle à l'axe directeur A. Dans la réalité, les formes obtenues pourront être moins régulières et rectilignes, mais s'approcheront des formes

35

illustrées sur la fig.4B. En variante, la bordure latérale 22 peut ne pas être parallèle à l'axe directeur A, notamment lorsque l'ouverture traversante 21 présente une forme conique.

[0083] L'angle d'inclinaison β des ouvertures traversantes 21 est avantageusement choisi de sorte que la section plane supérieure n'est pas située à l'aplomb, c'est-à-dire à la perpendiculaire, de la surface de nucléation 12b correspondante. Autrement dit, la section plane supérieure et la section plane inférieure ne sont pas sécantes, en projection suivant l'axe Z. De préférence, comme illustré sur la fig.4B, l'angle d'inclinaison β est choisi de sorte qu'à partir d'une section plane dite minimale, située à la hauteur h_{\min} vis-à-vis de la surface de nucléation 12b suivant l'axe Z, les sections planes ne sont pas situées à l'aplomb de la surface de nucléation 12b correspondante. Ainsi, chaque zone active 32 se trouve avantagement à une distance de la surface de nucléation 12b, suivant l'axe Z, supérieure ou égale à h_{\min} .

[0084] La fig.4C illustre la réalisation des empilements semiconducteurs 30 dans les ouvertures traversantes 21. Comme décrit précédemment, les premières portions 31 dopées n sont réalisées à partir de la surface de nucléation 12b de chaque ouverture traversante 21, par exemple par MOCVD. Elles présentent avantagement une épaisseur au moins égale à la hauteur minimale h_{\min} . Rappelons que l'épaisseur est ici une dimension mesurée suivant l'axe Z. Les zones actives 32 sont formées à partir des premières portions 31 dopées n, puis les deuxièmes portions 33 dopées p sont réalisées.

[0085] Ainsi, dans cet exemple, la zone active 32 est située à une distance, suivant l'axe Z, au moins égale à la hauteur h_{\min} , de sorte qu'elle n'est pas située à l'aplomb de la surface de nucléation 12b. Cette configuration est particulièrement avantageuse dans la mesure où elle permet d'éviter que des défauts structuraux tels que des dislocations traversantes (*threading dislocations*, en anglais) ne puissent pas se propager verticalement jusqu'à la zone active 32. Cela concerne notamment le cas où les empilements semiconducteurs 30 sont réalisés à base d'un composé III-N dont la maille cristalline est de type wurtzite (hexagonal). Le rendement quantique interne de la zone active 32, et donc les propriétés optiques et/ou électroniques du dispositif optoélectronique 1, sont alors améliorés.

[0086] Dans le cas où le masque de croissance 20 surplombe au moins en partie la zone active 32, le matériau du masque de croissance 20 est en outre choisi pour être transparent au rayonnement électromagnétique émis ou détecté par les diodes.

[0087] Les figures 5A à 5C illustrent, de manière schématique et partielle, certaines étapes d'un procédé de fabrication d'un dispositif optoélectronique 1 selon un autre mode de réalisation. Dans cet exemple, le procédé diffère de celui illustré sur les fig.4A à 4C

essentiellement en ce que les ouvertures traversantes 21 sont structurées de manière à former plusieurs cavités 23, 26 distinctes et communiquant les unes avec les autres.

[0088] La fig.5A illustre la réalisation des ouvertures traversantes 21 structurées. Dans cet exemple, chaque ouverture traversante 21 comporte une cavité inférieure 23 débouchant sur la surface de nucléation 12b, et une cavité supérieure 26 débouchant sur la face supérieure 20b du masque de croissance 20. Les deux cavités 23, 26 communiquent entre elles. D'une manière générale, les ouvertures traversantes 21 structurées peuvent comporter plus de deux cavités distinctes. Les différentes cavités 23, 26 peuvent être réalisées en différents temps, lors de l'étape de réalisation du masque de croissance 20, par des étapes classiques de dépôt, photolithographie et gravure.

[0089] La cavité inférieure 23 est ici délimitée suivant la direction $-Z$ par la surface de nucléation 12b, suivant la direction $+Z$ par une surface supérieure 25 du masque de croissance 20 opposée à la surface de nucléation 12b, et est partiellement délimitée latéralement, d'une part, par une surface latérale 24 du masque de croissance 20 qui s'étend jusqu'à la surface supérieure 25, et d'autre part, par une surface latérale 27c d'une partie inférieure 27 du masque de croissance 20. Elle est délimitée latéralement de manière partielle et non pas totale pour ainsi pouvoir communiquer avec la cavité supérieure 26.

[0090] La cavité supérieure 26 est délimitée latéralement par la bordure latérale 22, et suivant la direction $-Z$ par la partie inférieure 27 du masque de croissance 20. Cette partie inférieure 27 repose ici sur le substrat de croissance 10. Dans cet exemple, il est avantageux que la cavité supérieure 26 soit décalée latéralement par rapport à la cavité inférieure 23 de telle sorte que des dislocations traversantes générées dans la cavité inférieure 23 ne puissent se propager verticalement dans la cavité supérieure 26. Pour cela, la surface supérieure 25 de la cavité inférieure 23 s'étend dans le plan XY de manière à être à l'aplomb de toute la surface de nucléation 12b sous-jacente. De préférence, la surface 25 recouvre une partie de la partie inférieure 27, c'est-à-dire qu'elle est située en partie en regard de la partie 27.

[0091] La fig.5B illustre une phase de croissance épitaxiale des premières portions 31 dopées n à partir de la surface de nucléation 12b de chaque ouverture traversante 21. Chaque première portion 31 dopée n nucléée à partir de la surface de nucléation 12b située dans la cavité inférieure 23, croît jusqu'à remplir progressivement la cavité inférieure 23 et à s'introduire dans la cavité supérieure 26, puis continue de croître en remplissant progressivement la cavité supérieure 26.

[0092] Lors de la croissance épitaxiale, les conditions de fonctionnement du réacteur d'épitaxie peuvent être modifiées pour favoriser une croissance verticale par rapport à la croissance latérale, ou inversement. Il peut ainsi s'agir, dans le cas de la croissance d'un composé III-V par MOCVD, de la pression dans le réacteur, du rapport V/III entre le flux

molaire de l'élément V et le flux molaire de l'élément III, et/ou du rapport H_2/N_2 entre le flux de H_2 sur le flux de N_2 . Ainsi, les conditions de croissance peuvent être tout d'abord imposées de manière à favoriser la croissance verticale jusqu'à remplir l'essentiel de la cavité inférieure 23, puis peuvent être modifiées de manière à favoriser la croissance latérale de manière à s'étendre progressivement dans la cavité supérieure 26, et peuvent ensuite être modifiées de manière à favoriser à nouveau la croissance verticale de manière à terminer la formation des premières portions 31 dopées n, et à réaliser les zones actives 32 puis les deuxièmes portions 33 dopées p.

[0093] La fig.5C illustre la structure obtenue à la suite de l'étape de réalisation des empilements semiconducteurs 30, après l'épitaxie des zones actives 32 et celle des deuxièmes portions 33 dopées p dans la cavité supérieure 26 des ouvertures traversantes 21. Ainsi, par le décalage latéral de la cavité supérieure 26 par rapport à la cavité inférieure 23, on limite voire évite que des défauts structuraux formés dans la cavité inférieure 23, tels que les dislocations traversantes, ne puisse se propager verticalement jusqu'à la zone active 32. La qualité cristalline de la zone active 32 est ainsi améliorée, ce qui augmente alors son rendement quantique interne et améliore les propriétés optiques et/ou électroniques du dispositif optoélectronique 1.

[0094] Les figures 6A à 6D illustrent, de manière schématique et partielle, certaines étapes d'un procédé de fabrication d'un dispositif optoélectronique 1 selon un autre mode de réalisation. Dans cet exemple, le procédé diffère de celui illustré sur les fig.2A à 2G essentiellement en ce que les ouvertures traversantes 21 sont délimitées suivant la direction $-Z$ par une région diélectrique 13 du substrat de croissance 10 et non par une surface de nucléation 12b ou par une partie 27 du masque de croissance 20.

[0095] La fig.6A illustre le dépôt de la couche diélectrique 20 sur le substrat de croissance 10. Cette étape est identique ou similaire à celle décrite en référence à la fig.2B. Dans cet exemple, le substrat de croissance 10 est formé d'une couche de nucléation 12 qui revêt la face supérieure du substrat support 11, lequel est réalisé ici à base de silicium.

[0096] La fig.6B illustre la structure obtenue après réalisation des ouvertures traversantes 21. Ces dernières sont délimitées suivant la direction $-Z$ par la face supérieure du substrat support 11, formé ici par la face supérieure d'une région diélectrique 13 qui s'étend dans le substrat support 11. Elles sont délimitées latéralement par une surface latérale 12c de la couche de nucléation 12 et par la bordure latérale 22 du masque de croissance 20. Ainsi, la surface de nucléation qui débouche dans les ouvertures traversantes 21 est la bordure latérale 12c de la couche de nucléation 12, qui s'étend ici suivant l'axe Z d'une part, et suivant le périmètre de l'ouverture traversante 21 d'autre part.

[0097] Pour cela, les ouvertures traversantes 21 peuvent être formées par gravure sèche de type RIE, avec arrêt de gravure sur la face supérieure du substrat support 11. Dans cet exemple, le substrat support 11 étant réalisé à base de silicium, et de préférence est une couche de silicium, la région diélectrique 13 peut être obtenue par oxydation thermique ou nitruration localisée du silicium du substrat support 11. La région diélectrique 13 est alors
5 essentiellement formée de nitrure de silicium ou d'oxyde de silicium. La profondeur de la région diélectrique 13 peut être comprise entre 5nm et 100nm, de préférence supérieure ou égale à 10nm.

[0098] L'étape de nitruration peut être réalisée avec de l'ammoniac, dans un four dédié ou dans le réacteur d'épitaxie. L'étape d'oxydation thermique peut être réalisée avec de l'oxygène ou de la vapeur d'eau, dans un four dédié. Cette étape peut comporter une exposition de la structure à une température égale à 1000°C environ, pendant une durée allant de quelques minutes à une heure.
10

[0099] La fig.6C illustre une phase de croissance épitaxiale des premières portions 31 dopées n à partir de la surface de nucléation 12c dans chaque ouverture traversante 21. Ainsi, il est avantageux, dans le cas de la croissance d'un composé III-V par MOCVD, que les conditions de nucléation et de croissance soient définies de manière à favoriser initialement la croissance latérale du composé semiconducteur dans le plan XY. Lorsqu'une zone inférieure de l'ouverture traversante 21 est remplie par la première portion 31 dopée n, les conditions de croissance peuvent être modifiées de manière à favoriser la croissance verticale.
15
20

[00100] La fig.6D illustre la structure obtenue à la suite de l'étape de réalisation des empilements semiconducteurs 30, après l'épitaxie des zones actives 32 et celle des deuxièmes portions 33 dopées p des ouvertures traversantes 21.
25

[00101] Les figures 7A et 7B illustrent, de manière schématique et partielle, un dispositif optoélectronique 1, en vue de dessus (fig.7A) et en coupe transversale (fig.7B) obtenu par procédé de fabrication selon une variante du mode de réalisation illustré sur les fig.6A à 6D. Dans cet exemple, le procédé diffère de celui illustré sur les fig. 6A à 6D essentiellement en ce qu'une partie en saillie 14 de la couche de nucléation 12 s'étend dans l'ouverture traversante 21, et n'est donc pas recouverte par le masque de croissance 20. La partie en saillie 14 s'étend dans l'ouverture traversante 21 que sur une portion de son périmètre.
30

[00102] Ainsi, les ouvertures traversantes 21 sont délimitées suivant la direction -Z par la région diélectrique 13 et par la partie en saillie 14 de la couche de nucléation 12. Elles sont

délimitées latéralement essentiellement par la bordure latérale 22 du masque de croissance 20.

- 5 [00103] Lors de la croissance épitaxiale des premières portions 31 dopées n, la nucléation a lieu essentiellement sur la face supérieure 14b de la partie en saillie 14 de la couche de nucléation 12. Les premières portions 31 dopées n peuvent croître verticalement et latéralement, suivant les conditions de croissance imposées. Il est avantageux que la croissance soit initialement principalement latérale. Lorsque les premières portions 31 dopées n remplissent une zone inférieure des ouvertures traversantes 21, les conditions de croissance peuvent être modifiées de manière à favoriser la croissance verticale.
- 10 [00104] Ainsi, on améliore la qualité cristalline du matériau de l'empilement semiconducteur, en évitant la coalescence du composé semiconducteur qui a été nucléé à partir d'une surface de nucléation 12b telle que l'illustre la fig.6C, c'est-à-dire une surface de nucléation qui s'étende suivant le périmètre de l'ouverture traversante 21, une telle coalescence pouvant se traduire par la formation de défauts structuraux.
- 15
- 20 [00105] Des modes de réalisation particuliers viennent d'être décrits. Ils ne sont pas exclusifs les uns des autres et peuvent être combinés entre eux, de sorte que différentes variantes et modifications apparaîtront à l'homme du métier. Ainsi, dans les différentes variantes, les ouvertures traversantes 21 peuvent être inclinées suivant un axe directeur formant un angle β non nul par rapport à l'axe Z et/ou structurées de manière à comporter plusieurs cavités distinctes les unes des autres.

REVENDEICATIONS

1. Procédé de fabrication d'un dispositif optoélectronique (1) à matrice de diodes (2), chaque diode (2) comportant : un empilement semiconducteur (30) formé d'une première
5 portion dopée (31) et d'une deuxième portion dopée (33) entre lesquelles est située une zone active (32) et présentant un coefficient de dilatation thermique α_{es} , le procédé comportant les étapes suivantes :
 - i) fournir un substrat de croissance (10) présentant un coefficient de dilatation thermique α_{sc} inférieur à α_{es} , et ayant une surface de nucléation (12b), le substrat de croissance
10 (10) comportant un substrat support (11) revêtu par une couche de nucléation (12) ;
 - ii) déposer, sur la surface de nucléation (12b), une couche diélectrique (20) réalisée en un matériau électriquement isolant présentant un coefficient de dilatation thermique α_{mc} inférieur à α_{es} ;
 - iii) former, dans la couche diélectrique (20), une pluralité d'ouvertures traversantes (21)
15 débouchant sur la surface de nucléation (12b), cette étape iii) comportant :
 - une gravure de la couche de nucléation (12) située dans les ouvertures traversantes (21), de manière à rendre libre une surface supérieure du substrat support (11), et à exposer une surface latérale (12c) de la couche de nucléation (12) formant une surface latérale de nucléation ; puis
20
 - une formation d'une région diélectrique (13) s'étendant dans le substrat support (11) à partir de la surface supérieure du substrat support (11), de sorte que, lors de l'étape iv), les premières portions dopées (31) sont formées notamment à partir de la surface latérale de nucléation ;
 - iv) réaliser par croissance épitaxiale, dans les ouvertures traversantes (21) et à partir de la
25 surface de nucléation (12b), lesdits empilements semiconducteurs (30), de sorte qu'au moins les premières portions dopées (31) et les zones actives (32) sont situées dans les ouvertures traversantes (21).
2. Procédé de fabrication selon la revendication 1, dans lequel la couche diélectrique (20) présente une épaisseur e_{mc} , et dans lequel chaque empilement semiconducteur (30)
30 présente une épaisseur e_{es} inférieure ou égale à e_{mc} .
3. Procédé de fabrication selon la revendication 2, l'épaisseur e_{es} étant inférieure à e_{mc} , dans lequel l'étape iv) est suivie d'une étape de réalisation de deuxièmes électrodes (3) reposant sur et en contact électrique avec les deuxièmes portions dopées (33), comportant les sous-étapes suivantes :

- déposer une couche conductrice (5) d'une épaisseur au moins égale à la différence entre ϵ_{mc} et ϵ_{es} , réalisée en au moins un matériau électriquement conducteur, de manière à recouvrir les empilements semiconducteurs (30) et une face supérieure (20b) de la couche diélectrique (20),
 - 5 - planariser la couche conductrice (5), avec arrêt sur la face supérieure (20b) de la couche diélectrique (20), formant ainsi une pluralité de deuxièmes électrodes (3) au contact avec les deuxièmes portions dopées (33) et entourées chacune par la couche diélectrique (20), la face supérieure (20b) de la couche diélectrique (20) et une face supérieure (3b) des deuxièmes électrodes (3) formant alors une surface supérieure
 - 10 (6b) continue et sensiblement plane d'une structure optoélectronique (6).
4. Procédé de fabrication selon la revendication 2, l'épaisseur ϵ_{es} étant inférieure à ϵ_{mc} , dans lequel l'étape iv) est suivie d'une étape de planarisation de la couche diélectrique (20) avec arrêt de gravure sur une face supérieure (30b) des empilements semiconducteurs (30), une face supérieure (20b) de la couche diélectrique (20) et la face supérieure (30b) des
- 15 empilements semiconducteurs (30) formant alors une surface supérieure (6b) continue et sensiblement plane d'une structure optoélectronique (6).
5. Procédé de fabrication selon la revendication 3 ou 4, comportant une étape d'hybridation de la structure optoélectronique (6), au niveau de sa surface supérieure (6b), avec une puce de commande (40) adaptée à appliquer une différence de potentiel aux diodes
- 20 (2).
6. Procédé de fabrication selon la revendication 5, dans lequel la structure optoélectronique (6) et la puce de commande (40) sont hybridées par collage direct.
7. Procédé de fabrication selon l'une quelconque des revendications 1 à 6, chaque deuxième portion dopée (33) comportant une première partie (33.1) et une deuxième partie (33.2) surdopée, la première partie (33.1) étant située entre la deuxième partie (33.2) surdopée et la zone active (32), et la deuxième partie (33.2) surdopée présentant un niveau de dopage supérieur à celui de la première partie (33.1).
- 25 (33.2) surdopée, la première partie (33.1) étant située entre la deuxième partie (33.2) surdopée et la zone active (32), et la deuxième partie (33.2) surdopée présentant un niveau de dopage supérieur à celui de la première partie (33.1).
8. Procédé de fabrication selon la revendication 7, dans lequel la deuxième portion dopée (33) présente un type de conductivité de type p.
- 30 9. Procédé de fabrication selon l'une quelconque des revendications 1 à 8, le substrat de croissance (10) et la couche diélectrique (20) sont réalisés à base de silicium.
10. Procédé de fabrication selon l'une quelconque des revendications 1 à 9, dans lequel les empilements semiconducteurs (30) sont réalisés à base d'un composé III-N.

11. Procédé de fabrication selon l'une quelconque des revendications 1 à 10, dans lequel, à la suite de l'étape iii), chaque ouverture traversante (21) s'étend à partir de la surface de nucléation (12b) suivant un axe directeur (A) incliné par rapport à un axe (Z) orthogonal à un plan principal du substrat de croissance (10).
- 5 12. Procédé de fabrication selon la revendication 11, dans lequel chaque zone active (32) est distante de la surface de nucléation (12b) correspondante d'une hauteur minimale (h_{\min}), la hauteur minimale (h_{\min}) et l'angle d'inclinaison (β) de l'axe directeur (A) étant préalablement déterminés de sorte que la zone active (32) n'est pas située à l'aplomb de la surface de nucléation (12b) correspondante.
- 10 13. Procédé de fabrication selon l'une quelconque des revendications 1 à 12, dans lequel, à la suite de l'étape iii), chaque ouverture traversante (21) comporte une première cavité (23) débouchant sur la surface de nucléation (12b), et une deuxième cavité (26) débouchant au niveau d'une face supérieure (20b) de la couche diélectrique (20) et communiquant avec la première cavité (23), la couche diélectrique (20) comportant une partie (27) s'étendant
15 sur le substrat de croissance (10) et délimitant partiellement la deuxième cavité (26), la deuxième cavité (26) étant décalée latéralement par rapport à la première cavité (23) de sorte que, à la suite de l'étape iv), la zone active (32) n'est pas située à l'aplomb de la surface de nucléation (12b).
14. Procédé de fabrication selon la revendication 1, dans lequel la couche de nucléation
20 (12) comporte une partie en saillie (14) s'étendant dans chaque ouverture traversante (21) sur le substrat support (11) et non revêtue par la couche diélectrique (10), dont une surface supérieure (14b) participe à former la surface de nucléation (12b).

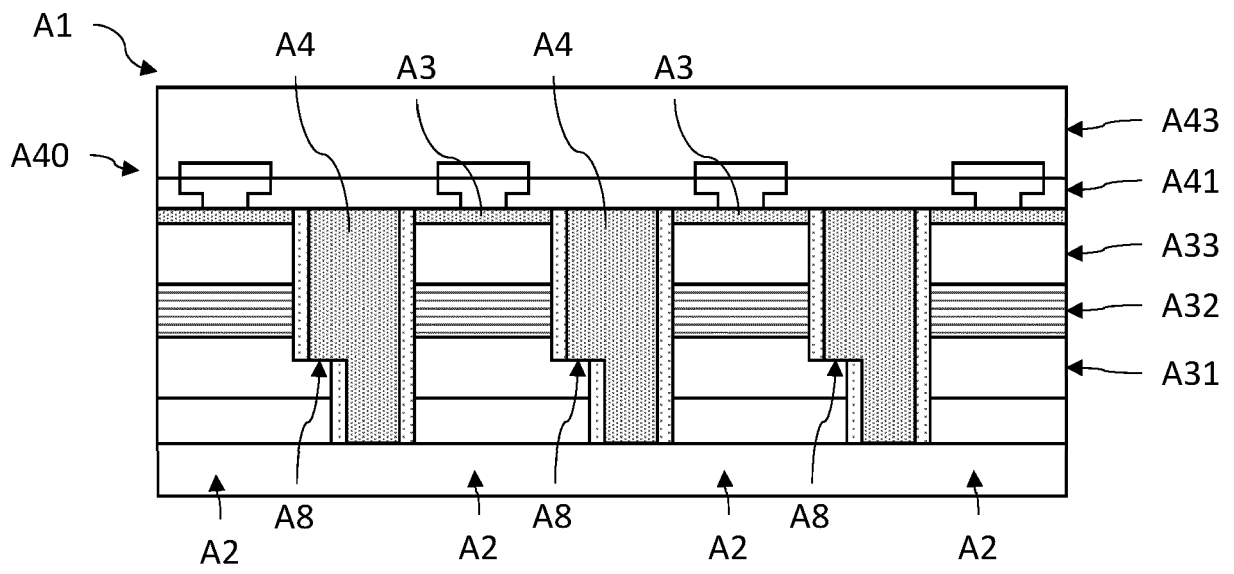


Fig.1

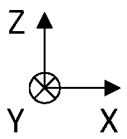


Fig.2A

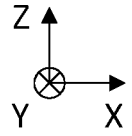
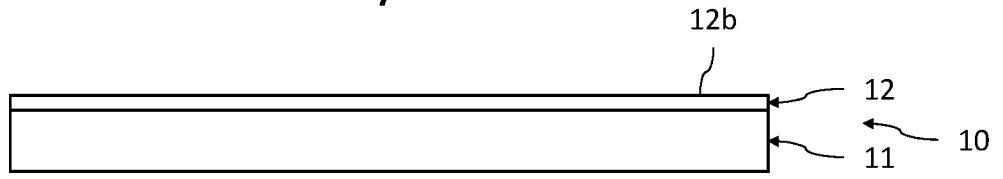


Fig.2B

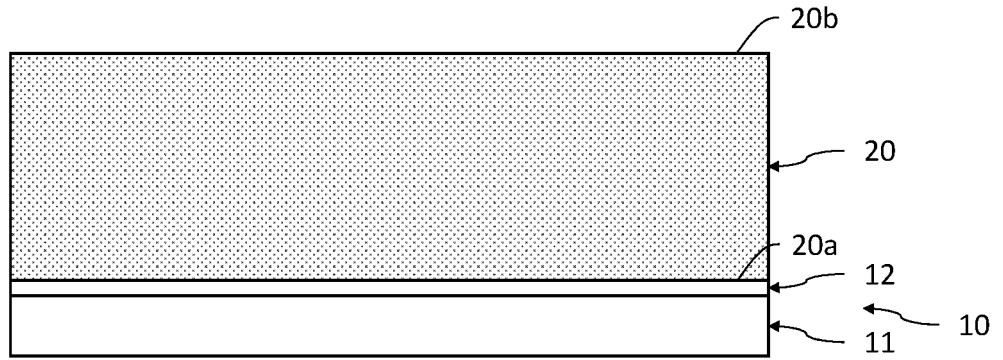


Fig.2C

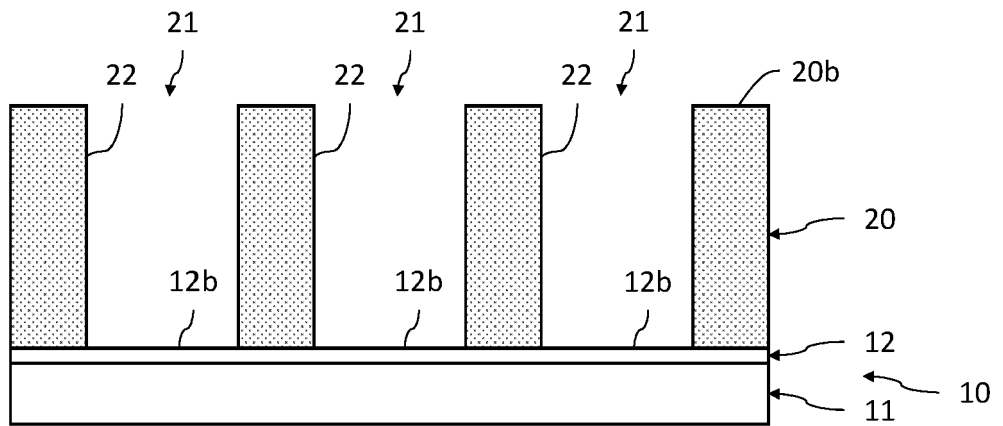
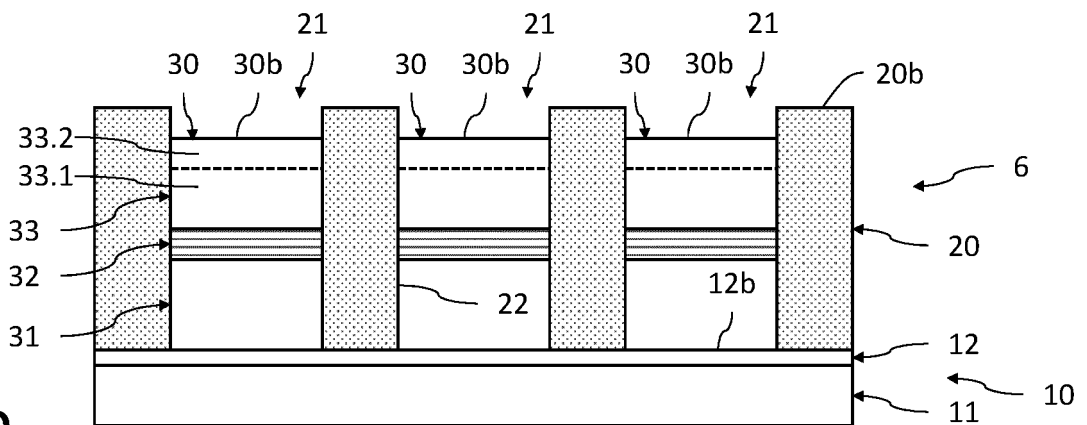


Fig.2D



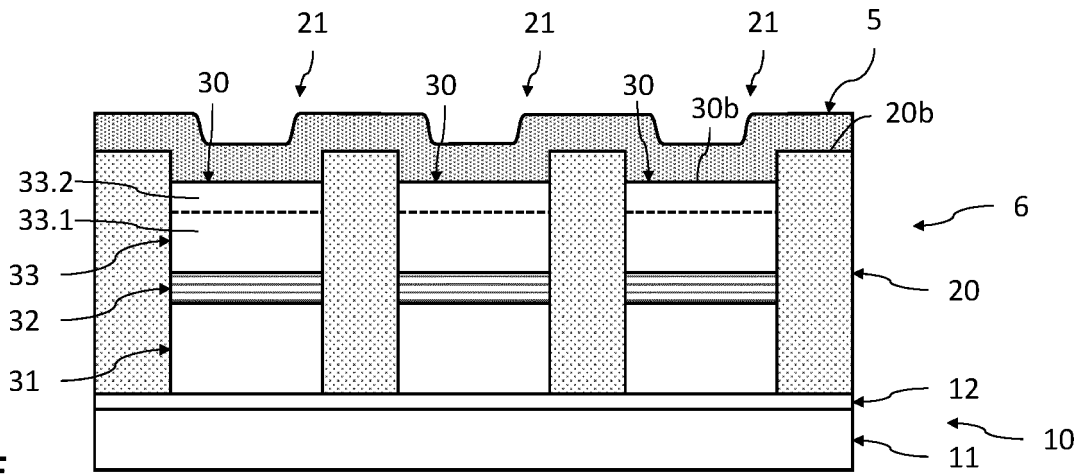


Fig.2E

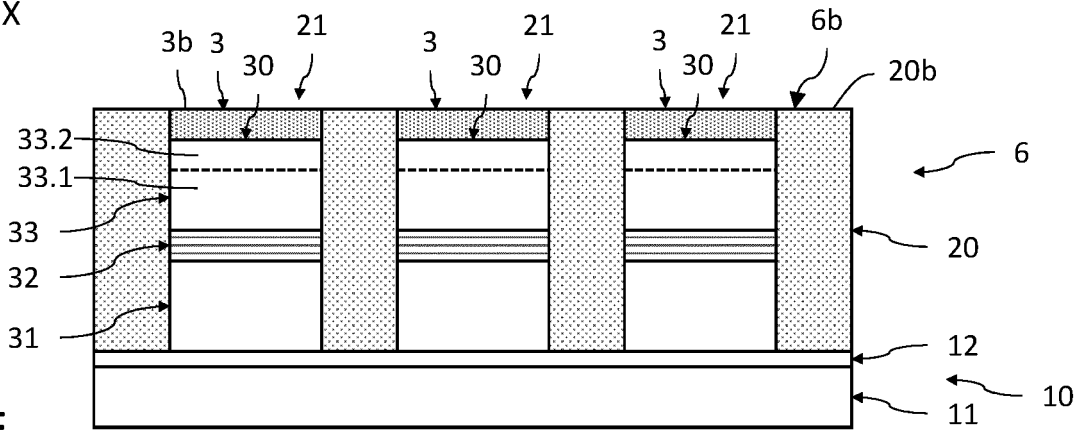
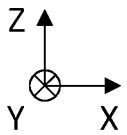


Fig.2F

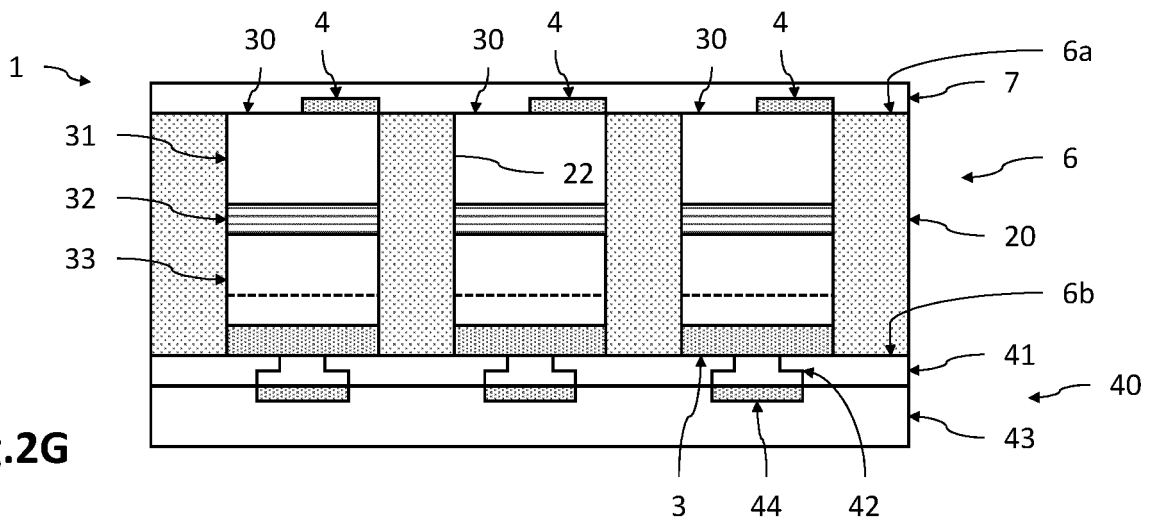


Fig.2G

4/8

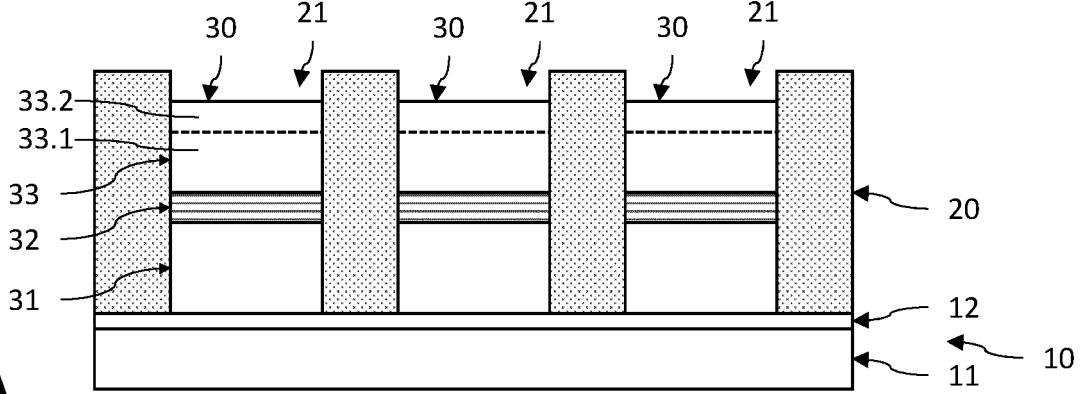


Fig. 3A

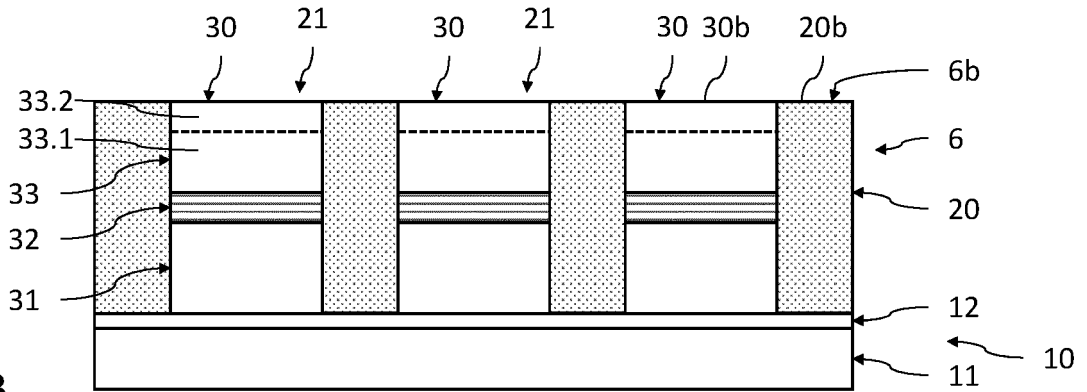


Fig. 3B

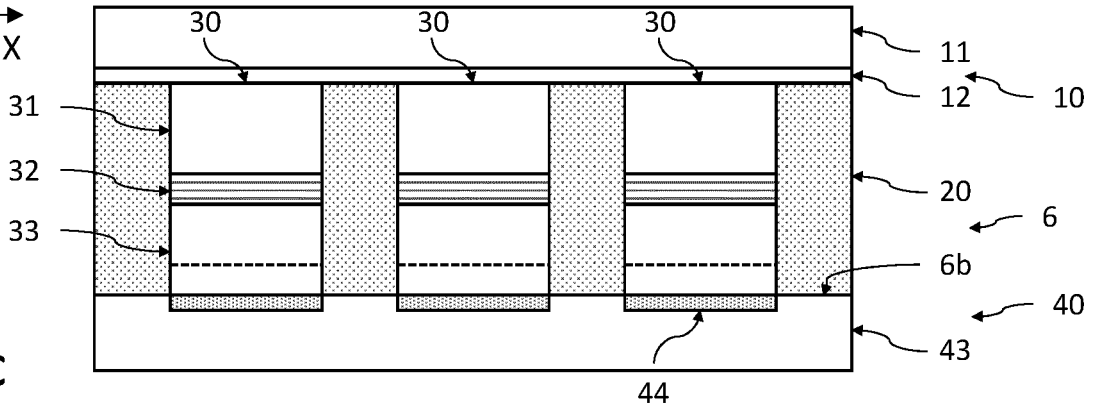


Fig. 3C

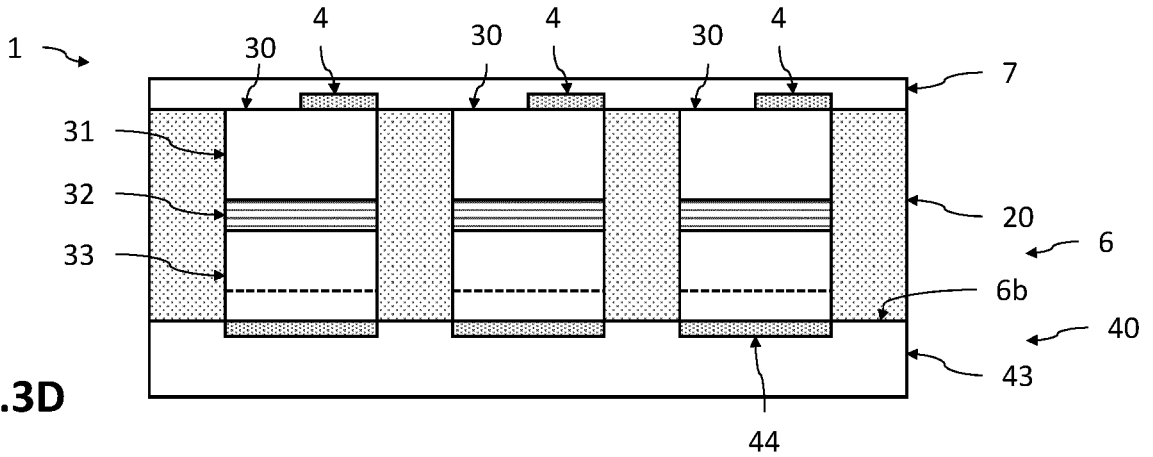
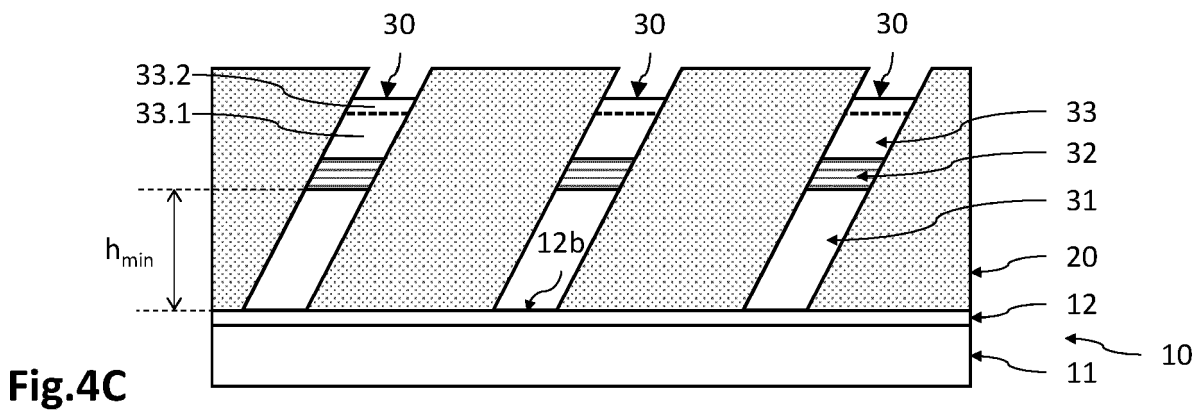
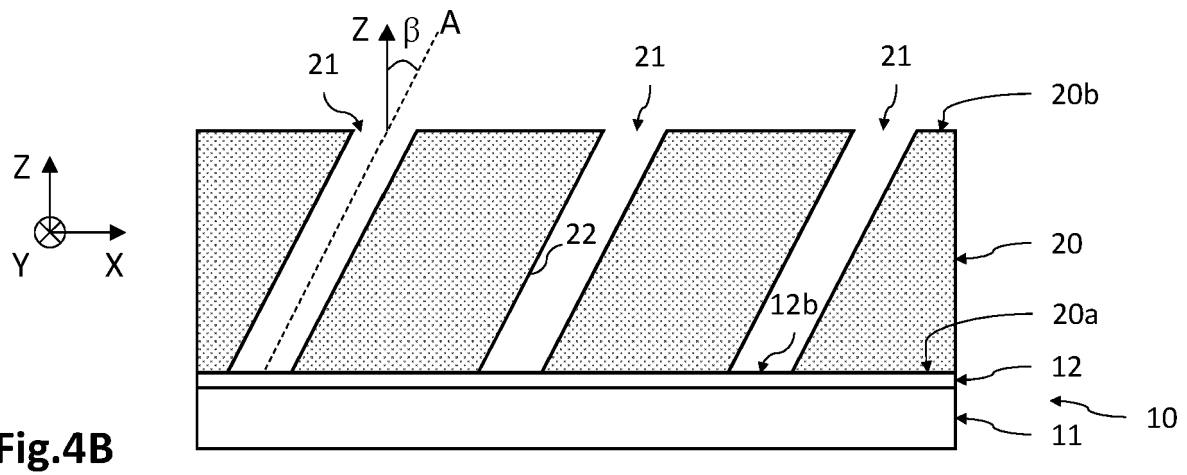
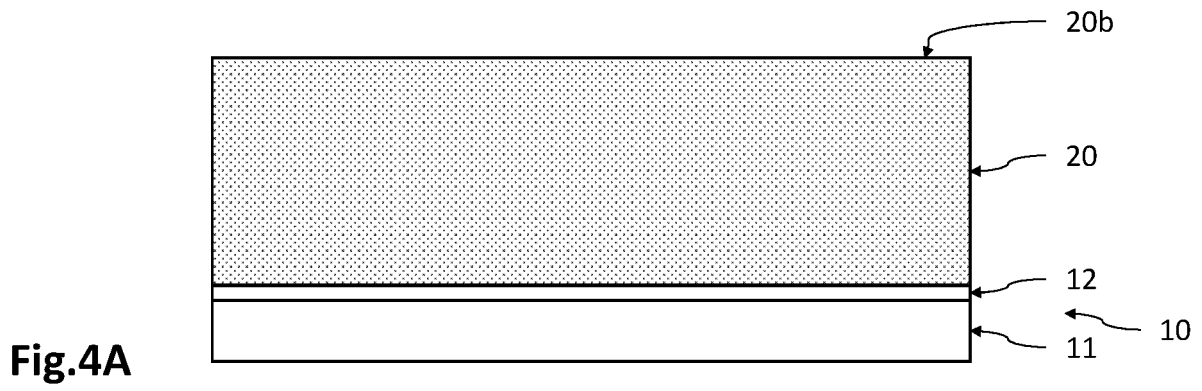


Fig. 3D

5/8



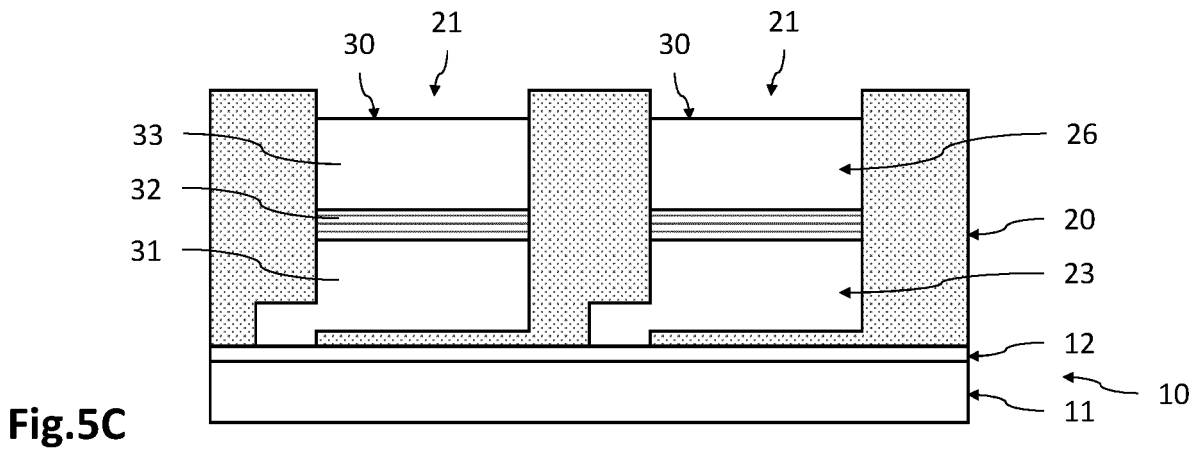
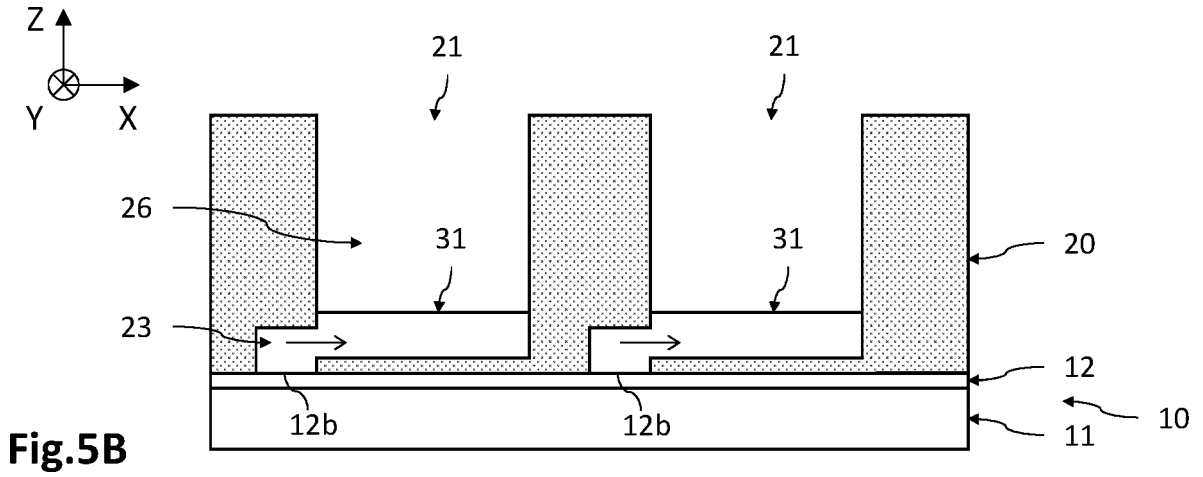
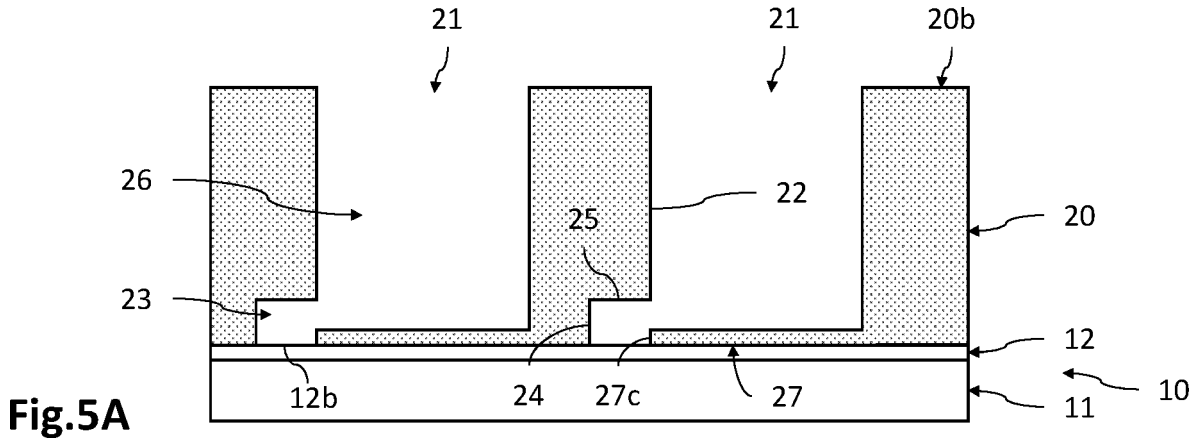


Fig.6A



Fig.6B

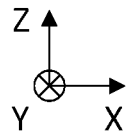
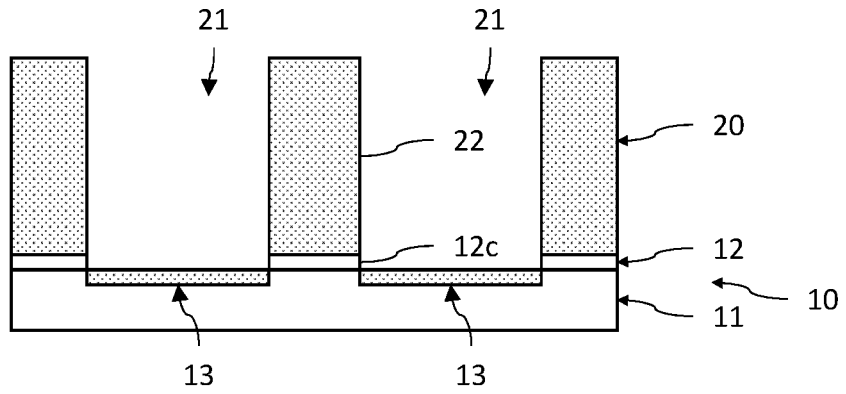


Fig.6C

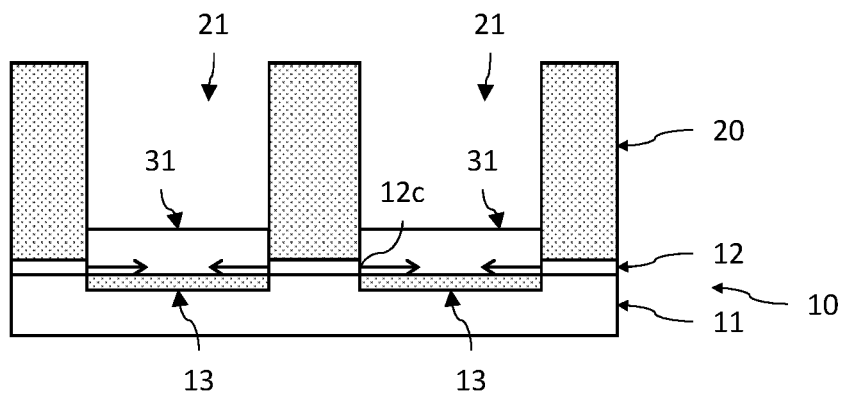
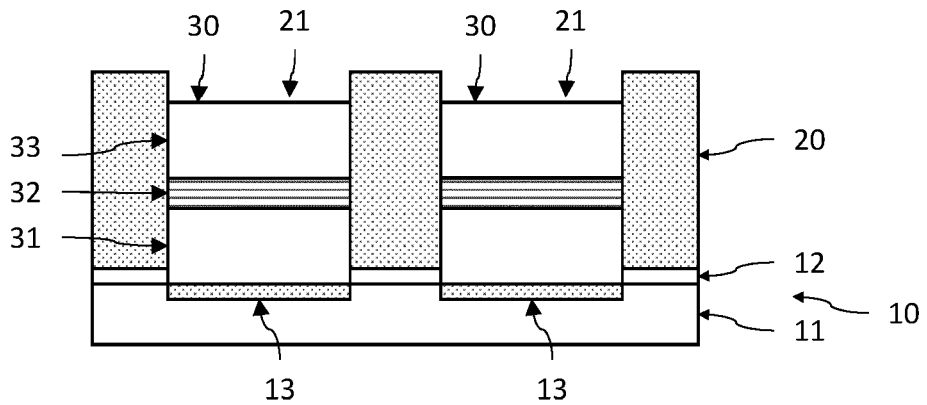


Fig.6D



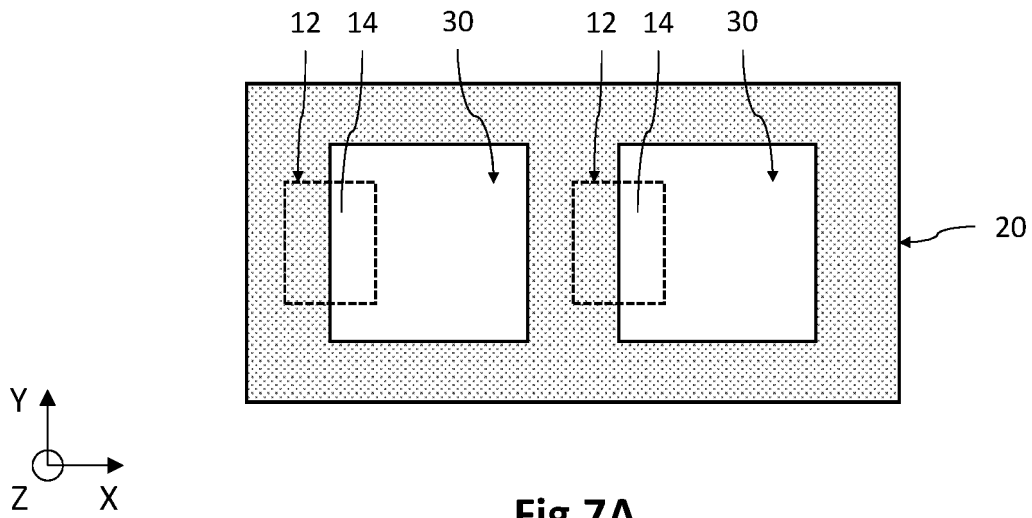


Fig.7A

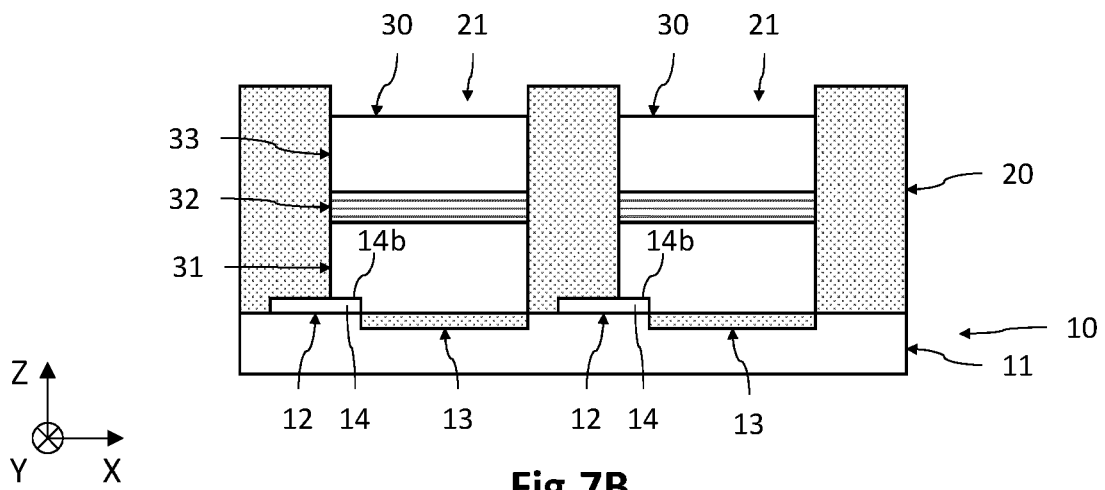


Fig.7B

RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION

US 2002/079498 A1 (KOIDE NORIKATSU [JP])
27 juin 2002 (2002-06-27)

EP 1 667 228 A2 (SAMSUNG ELECTRO MECH [KR]) 7 juin 2006 (2006-06-07)

US 2015/137072 A1 (LEE DONG-SEON [KR] ET AL) 21 mai 2015 (2015-05-21)

US 6 342 404 B1 (SHIBATA NAOKI [JP] ET AL)
29 janvier 2002 (2002-01-29)

2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL

US 2014/246647 A1 (CHA NAM GOO [KR] ET AL)
4 septembre 2014 (2014-09-04)

US 2013/221368 A1 (ORAW BRADLEY S [US])
29 août 2013 (2013-08-29)

US 2017/352532 A1 (DASGUPTA SANSAPTAK [US] ET AL) 7 décembre 2017 (2017-12-07)

3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES

NEANT