



(12) 发明专利

(10) 授权公告号 CN 102867798 B

(45) 授权公告日 2016. 02. 03

(21) 申请号 201110215623. 7

(56) 对比文件

(22) 申请日 2011. 07. 25

US 2008/0298038 A1, 2008. 12. 04,

(30) 优先权数据

CN 101567355 A, 2009. 10. 28, 全文 .

100124351 2011. 07. 08 TW

KR 10-2010-0071568 A, 2010. 06. 29, 全文 .

(73) 专利权人 欣兴电子股份有限公司

审查员 廉海峰

地址 中国台湾桃园县

(72) 发明人 曾子章 何崇文

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/488(2006. 01)

H01L 23/00(2006. 01)

H01L 21/60(2006. 01)

H01L 21/48(2006. 01)

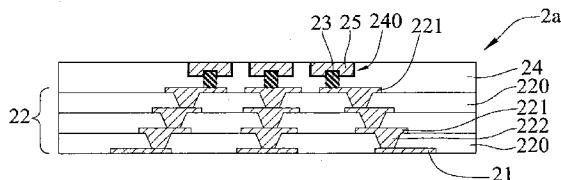
权利要求书2页 说明书6页 附图7页

(54) 发明名称

无核心层的封装基板及其制造方法

(57) 摘要

一种无核心层的封装基板及其制造方法，该无核心层的封装基板包括：由至少一介电层、线路层与导电结构所组成的线路增层结构、埋设于该线路增层结构最下层介电层中的第一电性接触垫、设于该线路增层结构最上层线路层上的多个金属凸块、设于该线路增层结构最上层表面与该金属凸块上的介电保护层、以及埋设于该介电保护层中且电性连接该金属凸块的第二电性接触垫。借由该第二电性接触垫嵌接该金属凸块，且该第二电性接触垫的全部顶表面完全外露，以增加该第二电性接触垫与芯片之间、及该第二电性接触垫与金属凸块之间的结合力。



1. 一种无核心层的封装基板，包括：

线路增层结构，其具有至少一介电层、设于各该介电层上的线路层、及设于各该介电层中且电性连接各该线路层的多个导电结构；

多个第一电性接触垫，其嵌埋于最下层的该介电层上，且电性连接部分该导电结构，并外露于最下层的该介电层表面；

多个金属凸块，其设于最上层的该线路层；

介电保护层，其设于最上层的该介电层、最上层的该线路层与该些金属凸块上并包覆部份该些金属凸块，且具有外露该金属凸块的多个凹槽，令该金属凸块未被该介电保护层所包覆的部份突出该凹槽底部；以及

第二电性接触垫，其设于各该凹槽中以嵌接各该金属凸块未被该介电保护层所包覆的部份，且该第二电性接触垫电性连接该金属凸块，以供电性连接半导体芯片。

2. 根据权利要求 1 所述的无核心层的封装基板，其特征在于，该线路层嵌埋于该介电层中。

3. 根据权利要求 1 所述的无核心层的封装基板，其特征在于，该导电结构为导电盲孔或导电柱。

4. 根据权利要求 1 所述的无核心层的封装基板，其特征在于，该第一电性接触垫表面的高度齐平或低于最下层的该介电层表面的高度。

5. 根据权利要求 1 所述的无核心层的封装基板，其特征在于，该第二电性接触垫表面的高度与该介电保护层表面的高度齐平。

6. 根据权利要求 1 所述的无核心层的封装基板，其特征在于，该封装基板还包括导电层，其设于该第二电性接触垫与该金属凸块之间、该第二电性接触垫与该介电保护层之间。

7. 一种无核心层的封装基板的制造方法，包括：

提供一具有相对两表面的承载板，且于该承载板的表面上形成多个第一电性接触垫；

于该承载板及该些第一电性接触垫上形成线路增层结构，该线路增层结构具有至少一介电层、设于各该介电层上的线路层、及设于各该介电层中且电性连接各该线路层的多个导电结构，该第一电性接触垫埋设于最下层的该介电层中，且部分该导电结构电性连接该些第一电性接触垫；

于最上层的该线路层上形成多个金属凸块；

于最上层的该介电层与最上层的该线路层上形成介电保护层，以包覆该些金属凸块；

于该介电保护层上形成多个凹槽，以对应外露该些金属凸块，且该金属凸块突出该凹槽底部；

于各该凹槽中形成用以嵌接及电性连接该金属凸块的第二电性接触垫，以供电性连接半导体芯片；以及

移除该承载板，使各该第一电性接触垫外露于最下层的该介电层表面。

8. 根据权利要求 7 所述的无核心层的封装基板的制造方法，其特征在于，该承载板的相对两表面上设有剥离层，以令该些第一电性接触垫与最下层的该介电层结合于该剥离层上，且借由分离该剥离层以移除该承载板。

9. 根据权利要求 7 所述的无核心层的封装基板的制造方法，其特征在于，该介电层中形成有线路槽，以于该线路槽中形成该线路层。

10. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 该导电结构为导电盲孔或导电柱。

11. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 形成该金属凸块的材料为铜、镍、锡、金、银或铜锡合金。

12. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 该金属凸块是以加成法、半加成法、减成法、电镀、无电镀沉积、化学沉积或印刷的方式形成。

13. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 该凹槽是以激光灼烧或电浆蚀刻形成。

14. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 该第二电性接触垫表面的高度与该介电保护层表面的高度齐平。

15. 根据权利要求 7 所述的无核心层的封装基板的制造方法, 其特征在于, 该第二电性接触垫的制造方法包括 :

于该介电保护层与该些凹槽上形成导电层 ;

于该导电层上形成金属材 ; 以及

移除该介电保护层上的金属材与导电层, 仅保留该些凹槽中的金属材与导电层, 以作为该第二电性接触垫。

16. 根据权利要求 15 所述的无核心层的封装基板的制造方法, 其特征在于, 移除该介电保护层上的金属材与导电层的方式为刷磨、机械研磨、或化学机械研磨。

无核心层的封装基板及其制造方法

技术领域

[0001] 本发明有关一种封装基板，尤指一种无核心层 (coreless) 的封装基板及其制造方法。

背景技术

[0002] 随着电子产业的蓬勃发展，电子产品也逐渐迈向多功能、高性能的趋势。目前半导体封装结构已开发出不同的封装型态，例如：打线式或覆晶式，是于一封装基板上设置半导体芯片，且该半导体芯片借由导线或焊锡凸块电性连接至该封装基板上。为了满足半导体封装件高整合度 (integration) 及微型化 (miniaturization) 的封装需求，以供更多主、被动组件及线路载接，封装基板也逐渐由双层电路板演变成多层电路板 (multi-layer board)，以于有限的空间下运用层间连接技术 (interlayer connection) 以扩大封装基板上可供利用的线路布局面积，并能配合高线路密度的集成电路 (integrated circuit) 的使用需求，且降低封装基板的厚度，而能达到封装结构轻薄短小及提高电性功能的目的。

[0003] 现有技术中，封装基板是由一具有内层线路的核心板及对称形成于其两侧的线路增层结构所构成。因使用核心板将导致整体结构厚度增加，所以难以满足电子产品功能不断提升而体积却不断缩小的需求。

[0004] 因此，遂发展出无核心层 (coreless) 的封装基板，以缩短导线长度及降低整体结构厚度而符合高频化、微小化的趋势。如图 1 所示的无核心层的封装基板 1，其制造方法包括：于一承载板 (图未示) 上形成第一介电层 10，且于该第一介电层 10 上形成具有多个第一电性接触垫 110 的第一线路层 11；于该第一介电层 10 与第一线路层 11 上形成线路增层结构 12，该线路增层结构 12 具有至少一第二介电层 120，且于该第二介电层 120 上形成有第二线路层 121，并借由导电盲孔 122 电性连接该第一与第二线路层 11, 121，又最上层的第二线路层 121 具有多个第二电性接触垫 123；移除该承载板，以外露该第一介电层 10；于该第一介电层 10、最上层的第二介电层 120 与第二线路层 121 上形成如绿漆的防焊层 14a, 14b；于该防焊层 14a, 14b 与第一介电层 10 上形成多个开孔 140a, 140b，以对应外露各该第一及第二电性接触垫 110, 123 的部分顶表面；于该开孔 140a, 140b 中形成金属凸块 13a, 13b，以结合焊球 15a, 15b，令上侧焊球 15b 用以接置芯片的焊锡凸块 (图未示)，而下侧焊球 15a 用以接置电路板 (图未示)。

[0005] 然而，现有封装基板 1 中，需于该防焊层 14a, 14b 上形成开孔 140a, 140b，而焊球 15a, 15b 与开孔 140a, 140b 之间的对位不易，因而增加工艺难度。

[0006] 此外，该防焊层 14b 的开孔 140b 仅露出该第二电性接触垫 123 的部分顶表面，而非外露全部顶表面，以致于该金属凸块 13b 的顶表面的面积缩小，导致于后续接置芯片时，该金属凸块 13b 与芯片之间的结合力减小，使该芯片容易脱落因而损毁。

[0007] 又，为了避免该上侧焊球 15b 之间相连接而产生短路，且需考量该防焊层 14b 的开孔 140b 的尺寸以维持该金属凸块 13b 的结合力，所以各该第二电性接触垫 123 之间的距离需增加，使该第二电性接触垫 123 的间距无法细间距化，导致难以提高该第二电性接触垫

123 的布设密度。

[0008] 因此,如何克服上述现有技术中的种种问题,实已成目前亟欲解决的课题。

发明内容

[0009] 鉴于上述现有技术的种种缺失,本发明提供一种无核心层的封装基板及其制造方法,以增加该第二电性接触垫与芯片之间、及该第二电性接触垫与金属凸块之间的结合力。

[0010] 本发明所提供之无核心层的封装基板的制造方法,包括:提供一具有相对两表面的承载板,且于该承载板的表面上形成多个第一电性接触垫;于该承载板及该些第一电性接触垫上形成线路增层结构,该线路增层结构具有至少一介电层、设于各该介电层上的线路层、及设于各该介电层中且电性连接各该线路层的多个导电结构,该第一电性接触垫埋设于最下层的该介电层中,且最下层的该介电层中的导电结构电性连接该些第一电性接触垫;于最上层的该线路层上形成多个金属凸块;于最上层的该介电层与最上层的线路层上形成介电保护层,以包覆该些金属凸块;于该介电保护层上形成多个凹槽,以对应外露该些金属凸块,且该金属凸块突出该凹槽底部;于各该凹槽中形成用以嵌接及电性连接该金属凸块的第二电性接触垫,以供电性连接半导体芯片;以及移除该承载板,使各该第一电性接触垫外露于最下层的该介电层表面。

[0011] 依上述制造方法可知,借由于凹槽中形成第二电性接触垫,使该第二电性接触垫的全部顶表面完全外露,以于后续接置半导体芯片时,可避免如现有技术的焊球与开孔之间的对位问题,将半导体芯片直接放置于该第二电性接触垫上即可,因而使制造方法简易化。

[0012] 此外,该第二电性接触垫嵌接该金属凸块,且该第二电性接触垫的全部顶表面完全外露,相比于现有技术,不仅增加该第二电性接触垫与半导体芯片之间的结合面积,使该第二电性接触垫与半导体芯片之间的结合力增加,也增加该第二电性接触垫与该金属凸块之间的结合力,所以该芯片不易脱落或损毁。

[0013] 又,因该多个凹槽中的第二电性接触垫的面积可依工艺需求微缩,使该金属凸块之间的距离可缩小,只要该第二电性接触垫不会相碰触即可,所以各该金属凸块之间的距离及各该第二电性接触垫之间的距离可达到细间距化,以提高第二电性接触垫的布设密度。

[0014] 另外,依前述的本发明无核心层的封装基板的制造方法,本发明还提供一种无核心式封装基板及该制造方法的更具体技术,详如后述。

附图说明

[0015] 图 1 为现有无核心层的封装基板的剖视示意图;

[0016] 图 2A 至图 2G 为本发明无核心层的封装基板的制造方法的剖视示意图;其中,图 2G' 为图 2G 的另一实施例;

[0017] 图 3、图 3' 及图 3" 为本发明无核心层的封装基板的不同实施例的剖视示意图;以及

[0018] 图 4、图 4' 及图 4" 为本发明无核心层的封装基板后续应用的不同实施例的剖视示意图。

- [0019] 主要组件符号说明
- [0020] 1, 2, 2a 封装基板
- [0021] 10 第一介电层
- [0022] 11 第一线路层
- [0023] 110, 21, 21' 第一电性接触垫
- [0024] 12, 22 线路增层结构
- [0025] 120 第二介电层
- [0026] 121 第二线路层
- [0027] 122, 222 导电盲孔
- [0028] 123, 25 第二电性接触垫
- [0029] 13a, 13b, 23 金属凸块
- [0030] 14a, 14b 防焊层
- [0031] 140a, 140b 开孔
- [0032] 15a, 15b 焊球
- [0033] 20 承载板
- [0034] 201 剥离层
- [0035] 220 介电层
- [0036] 220a 线路槽
- [0037] 221, 221' 线路层
- [0038] 222' 导电柱
- [0039] 24 介电保护层
- [0040] 240 凹槽
- [0041] 25a 金属材
- [0042] 250 导电层
- [0043] 3 焊球
- [0044] 4 半导体芯片
- [0045] 40 焊锡凸块
- [0046] 41 底胶。

具体实施方式

[0047] 以下借由特定的具体实施例说明本发明的实施方式,熟悉此技艺的人士可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0048] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供熟悉此技艺的人士的了解与阅读,并非用以限定本发明可实施的限定条件,所以不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“下方”、“上方”及“一”等用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,也当视为本发明可实施的范畴。

[0049] 请参阅图 2A 至图 2G, 其为本发明无核心层的封装基板的制造方法的剖视示意图。

[0050] 如图 2A 所示, 首先, 提供一具有相对两表面的承载板 20, 且于该承载板 20 的两表面上形成多个第一电性接触垫 21。

[0051] 接着, 于该承载板 20 及该些第一电性接触垫 21 上形成线路增层结构 22, 该线路增层结构 22 具有至少一介电层 220、设于各该介电层 220 上的线路层 221、及设于各该介电层 220 中且电性连接各该线路层 221 的多个导电结构 (于此为导电盲孔 222), 该第一电性接触垫 21 埋设于最下层的该介电层 220 中, 且最下层的该介电层中的导电盲孔 222 电性连接该些第一电性接触垫 21。

[0052] 于本实施例中, 该承载板 20 的相对两表面上设有剥离层 201, 令该些第一电性接触垫 21 与最下层的该介电层 220 结合于该剥离层 201 上。另外, 该剥离层 201 上可形成铜层, 以电镀形成该第一电性接触垫 21。

[0053] 如图 2B 所示, 于该线路增层结构 22 上借由图案化工艺, 以于最上层的该线路层 221 上形成多个金属凸块 23。

[0054] 其中, 形成该金属凸块 23 的材料为铜、镍、锡、金、银或铜锡合金, 且该图案化工艺可为加成法、半加成法 (SAP)、减成法、电镀、无电镀沉积 (electroless plating deposit)、化学沉积或印刷的方式形成该金属凸块 23。然而, 有关形成金属凸块的方式与材料种类繁多, 并不限于上述。

[0055] 如图 2C 所示, 于最上层的该介电层 220 与最上层的线路层 221 上形成介电保护层 24, 以包覆该些金属凸块 23。接着, 于该介电保护层 24 上借由激光灼烧或电浆蚀刻形成多个凹槽 240, 以对应外露该些金属凸块 23, 且该金属凸块 23 突出该凹槽 240 底部。

[0056] 于另一实施例中, 可先于介电保护层 24 上形成形成高分子薄膜 (图未示), 形成该薄膜的材料可为液态或固态的高分子材料; 再以激光烧蚀贯穿该薄膜与介电保护层 24 而形成该凹槽 240, 且以电浆增强该凹槽 240 的表面极性强度; 接着, 借由浸镀方式, 于该些凹槽 240 的孔壁上形成活化层 (图未示), 也就是将该介电保护层 24 浸泡于含有金属颗粒的化学溶液中, 使该些金属颗粒作为活化层而附着该些凹槽 240 的孔壁上, 再对活化层进行速化; 最后, 借由剥除、研磨或化学蚀刻方式移除该高分子薄膜, 而保留该凹槽 240 的孔壁上的金属颗粒。其中, 形成活化层的材料可为钯、铂、金或银, 且钯材可以来自于氯化物锡钯胶体或硫酸钯螯合物 (chelator)。

[0057] 如图 2D 所示, 于该介电保护层 24、金属凸块 23 与该些凹槽 240 (或活化层) 上形成导电层 250。该导电层 250 主要作为后述电镀金属材料所需的电流传导路径, 且该导电层 250 可由电镀铜、金属、合金或沉积数层金属层、或导电高分子材料所构成。

[0058] 如图 2E 所示, 于该导电层 250 上电镀形成金属材 25a。该金属材 25a 可例如为铜材, 但无特别限制。

[0059] 如图 2F 所示, 借由整平工艺, 如刷磨、机械研磨、或化学机械研磨 (Chemical Mechanical Polishing) 等方式, 移除该介电保护层 24 表面上的金属材 25a 与导电层 250, 仅保留该些凹槽 240 中的金属材 25a 与导电层 250, 以于各该凹槽 240 中形成用以嵌接及电性连接该金属凸块 23 的第二电性接触垫 25, 且该第二电性接触垫 25 表面的高度与该介电保护层 24 表面的高度齐平。

[0060] 如图 2G 所示, 借由分离该剥离层 201 以移除该承载板 20, 使各该第一电性接触垫

21 外露于最下层的该介电层 220 表面,以制作出本发明无核心层的封装基板 2。

[0061] 如图 2G' 所示,若该剥离层 201 上具有铜层,则于移除该承载板 20 后,需以蚀刻方式移除该铜层,因而使该第一电性接触垫 21' 微凹于最下层的该介电层 220 表面。

[0062] 请参阅图 3 及图 4,借由切单工艺,以取得单一封装基板 2a,且将半导体芯片 4 借由焊锡凸块 40 覆晶结合至该第二电性接触垫 25 上,再于该半导体芯片 4 与该介电保护层 24 之间形成底胶 41 以包覆该焊锡凸块 40,并于该第一电性接触垫 21 的外露表面上结合例如焊球 3、针脚的导电组件以接置例如电路板或封装结构的电子装置(图未示)。

[0063] 本发明的制造方法借由整平工艺,使该第二电性接触垫 25 的全部顶表面完全外露于该介电保护层 24,以避免如现有技术的于防焊层上形成开孔,所以于后续接置半导体芯片 4 时,半导体芯片 4 不需以开孔对位,而是将半导体芯片 4 的焊锡凸块 40 直接放置于该第二电性接触垫 25 上即可,不需再于该金属凸块 23 上形成如图 1 所示的焊球 15b,因而使工艺简易化。

[0064] 此外,该第二电性接触垫 25 嵌接该金属凸块 23,且该第二电性接触垫 25 的全部顶表面完全外露于该介电保护层 24,不仅增加该第二电性接触垫 25 与该焊锡凸块 40 之间的结合面积,使该第二电性接触垫 25 与该焊锡凸块 40 之间的结合力增加,且也增加该第二电性接触垫 25 与该金属凸块 23 之间的结合力,使该半导体芯片 4 不会脱落及损毁。

[0065] 又,因第二电性接触垫 25 的全部顶表面完全外露于该介电保护层 24,使该金属凸块 23 之间的距离可缩小,只要该第二电性接触垫 25 不会相碰触即可,所以各该金属凸块 23 之间的距离及各该第二电性接触垫 25 之间的距离均可作细间距设计,以提高该第二电性接触垫 25 的布设密度。

[0066] 另外,请参阅图 3'、图 3''、图 4' 及图 4'',其为图 2A 的其它制造方法。如图 3' 所示,于制作该线路增层结构 22 时,可于该介电层 220 中形成线路槽 220a,使线路层 221' 形成于该线路槽 220a 中,且同时形成导电盲孔 222,以形成嵌埋式线路层 221'。或者,如图 3'' 所示,导电结构为导电柱 222',以电性连接各层线路层 221' 及第一电性接触垫 21,且该线路层 221' 与该导电柱 222' 是分开制作。其中,形成该线路槽 220a 的制造方法种类繁多,例如上述使用的活化层技术,所以无特别限制。

[0067] 本发明还提供一种无核心层的封装基板 2a,包括:线路增层结构 22、设于该线路增层结构 22 下方的多个第一电性接触垫 21、设于该线路增层结构 22 上方的多个金属凸块 23、设于该线路增层结构 22 与该金属凸块 23 上的介电保护层 24、以及埋设于该介电保护层 24 中的第二电性接触垫 25。

[0068] 所述的线路增层结构 22 具有至少一介电层 220、设于各该介电层 220 上的线路层 221、及设于各该介电层 220 中且电性连接各该线路层 221 的多个导电盲孔 222。于一实施例中,线路层 221' 可嵌埋于该介电层 220 中,如图 3' 所示。于另一实施例中,以导电柱 222' 取代导电盲孔 222,以电性连接各层线路层 221',如图 3'' 所示。

[0069] 所述的第一电性接触垫 21 嵌埋于最下层的该介电层 220,且电性连接部分的导电盲孔 222 或导电柱 222',又该第一电性接触垫 21 外露于最下层的该介电层 220 表面。其中,该第一电性接触垫 21 可齐平于最下层的该介电层 220 表面、或该第一电性接触垫 21' 可微凹于最下层的该介电层 220 表面。

[0070] 所述的金属凸块 23 设于最上层的该线路层 221 上。

[0071] 所述的介电保护层 24 设于最上层的该介电层 220、最上层的线路层 221 与该些金属凸块 23 上,且具有外露该金属凸块 23 的多个凹槽 240,令该金属凸块 23 突出该凹槽 240 底部。

[0072] 所述的第二电性接触垫 25 设于各该凹槽 240 中以嵌接各该金属凸块 23,并可与该介电保护层 24 齐平,且该第二电性接触垫 25 电性连接该金属凸块 23,以供电性连接半导体芯片 4。

[0073] 所述的封装基板 2a 还包括导电层 250,其设于该第二电性接触垫 25 与该金属凸块 23 之间、该第二电性接触垫 25 与该介电保护层 24 之间。

[0074] 综上所述,本发明无核心层的封装基板及其制造方法,主要借由介电保护层取代现有防焊层,使该第二电性接触垫的全部顶表面可完全外露于该介电保护层,而无需于该介电保护层上开孔,以于后续接置半导体芯片时,可使制造方法简易化。

[0075] 此外,借由该第二电性接触垫嵌接该金属凸块,且该第二电性接触垫的全部顶表面完全外露于该介电保护层,以增加该第二电性接触垫的结合力,而避免该半导体芯片脱落及损毁。

[0076] 又,该第二电性接触垫的全部顶表面完全外露于该介电保护层,所以各该金属凸块的间距及各该第二电性接触垫的间距均可朝细间距设计,以达到提高该第二电性接触垫的布设密度的目的。

[0077] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

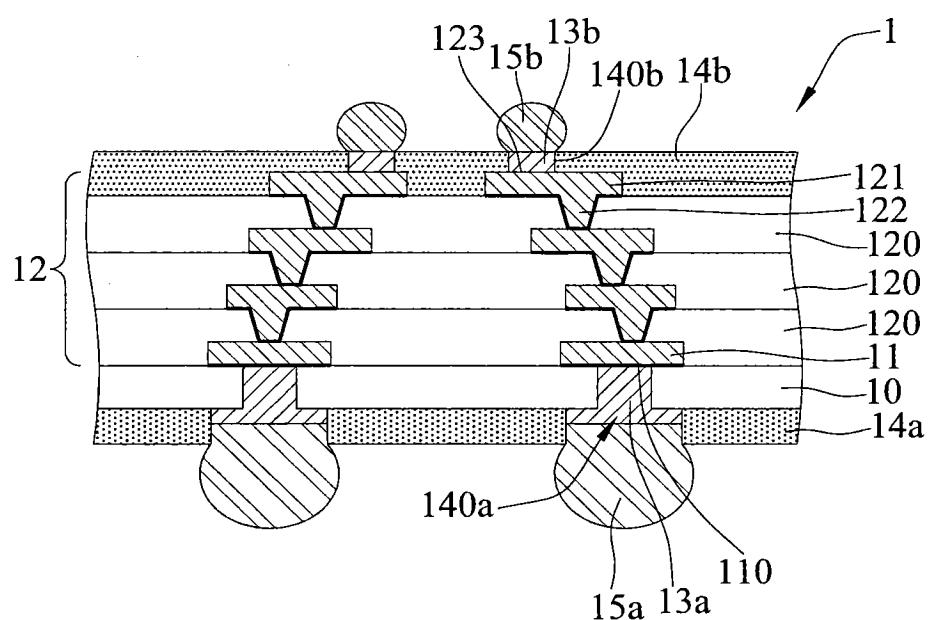


图 1

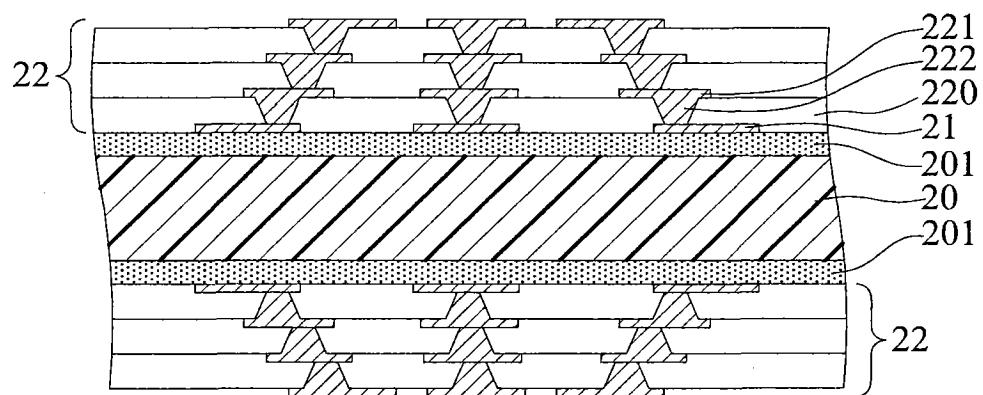


图 2A

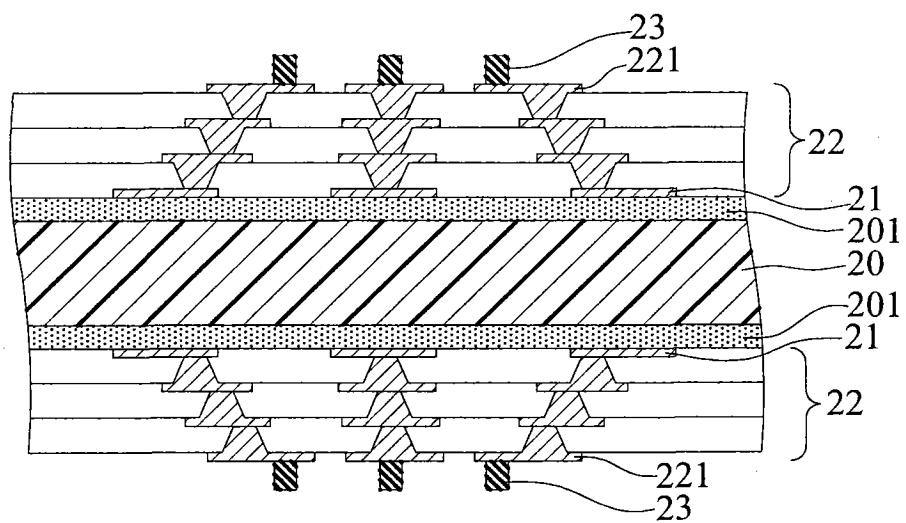


图 2B

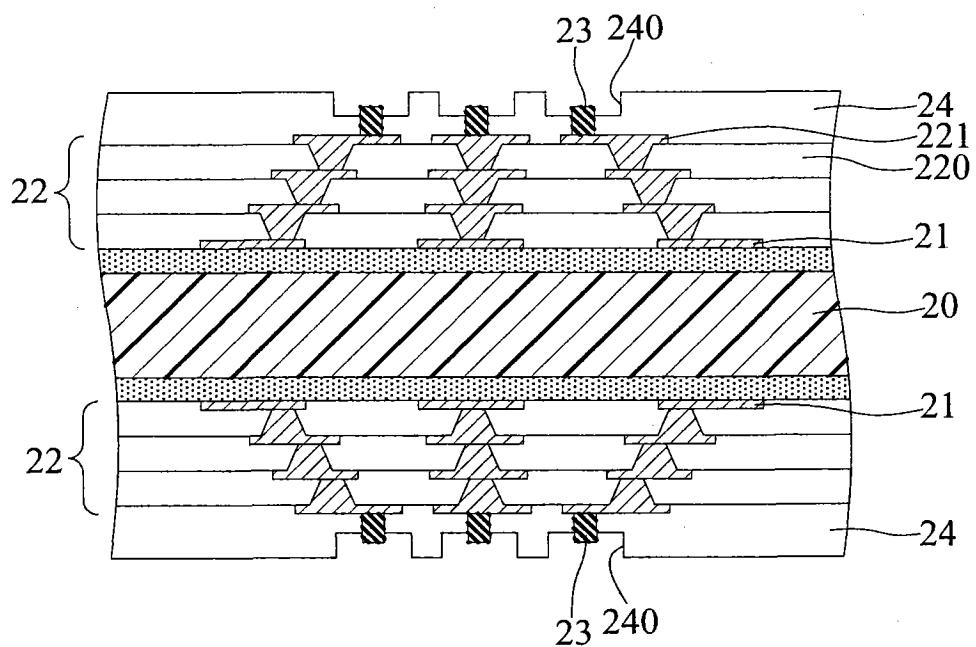


图 2C

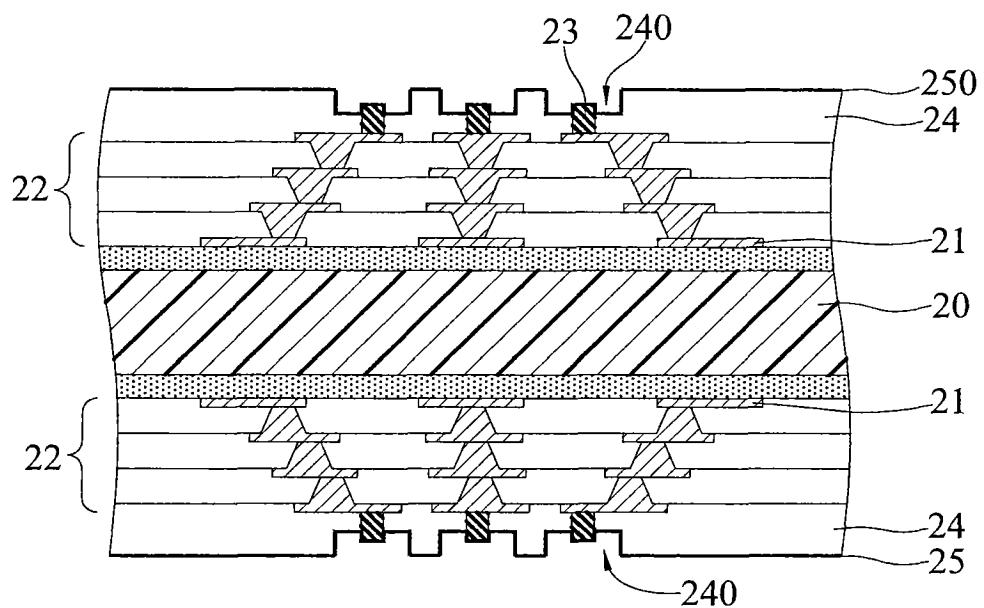


图 2D

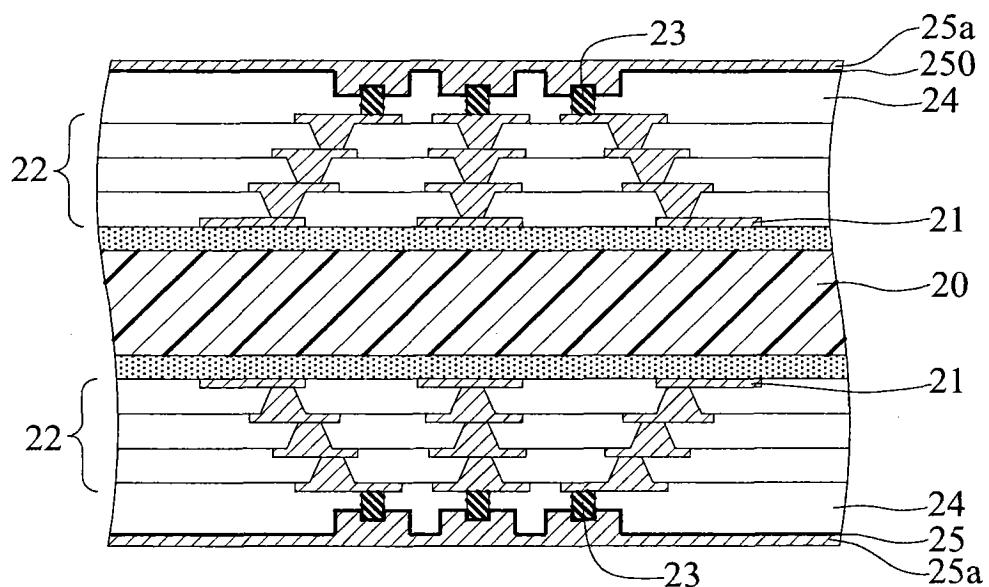


图 2E

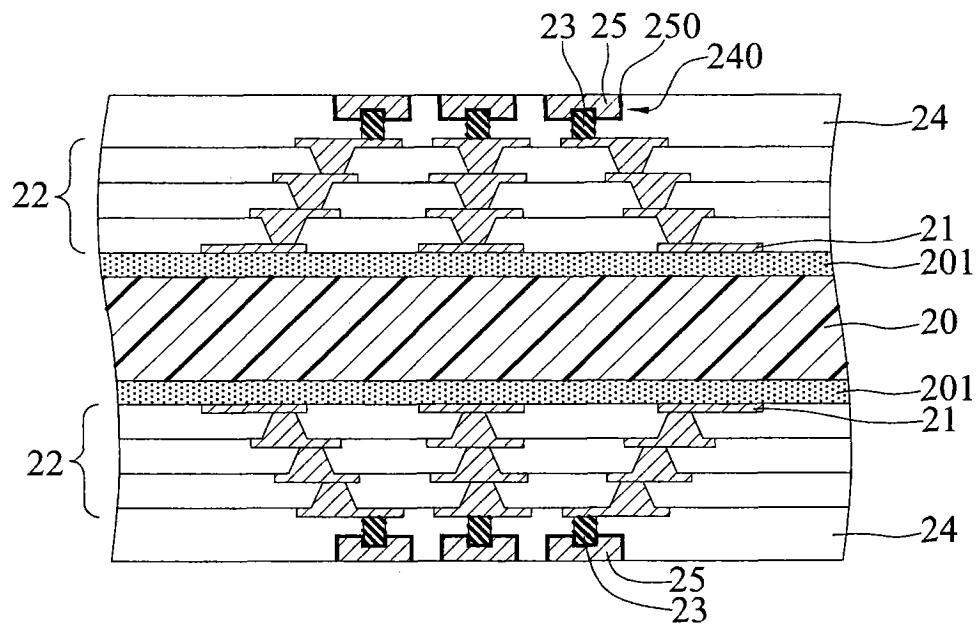


图 2F

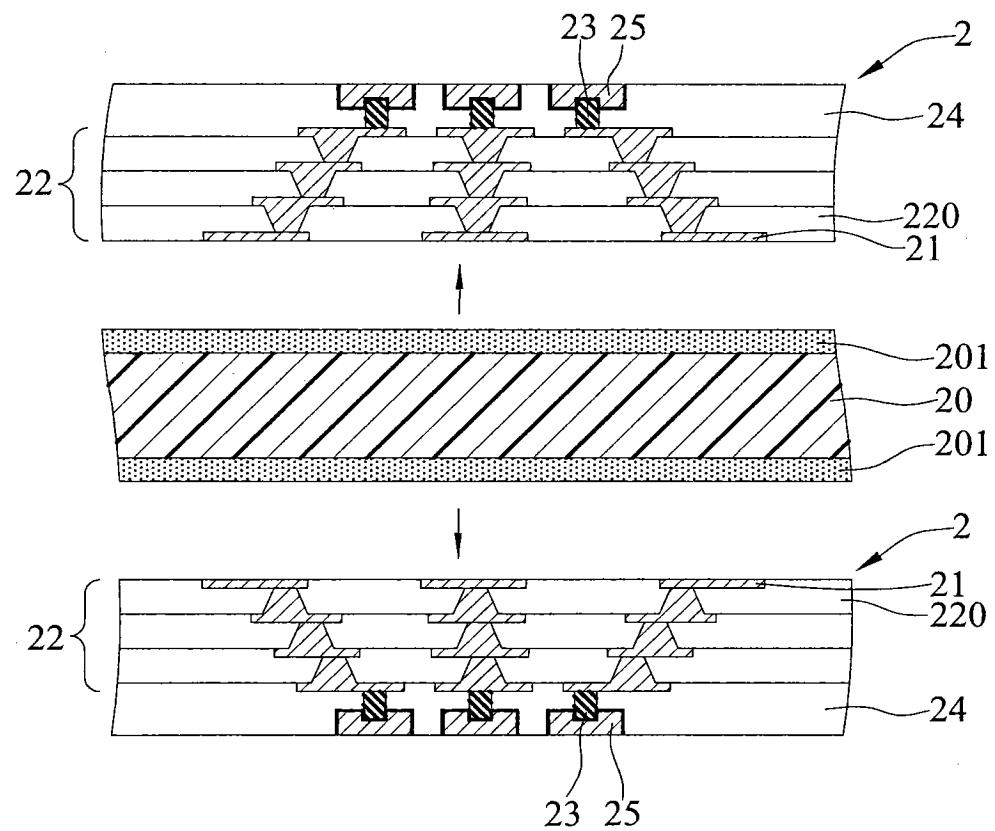


图 2G

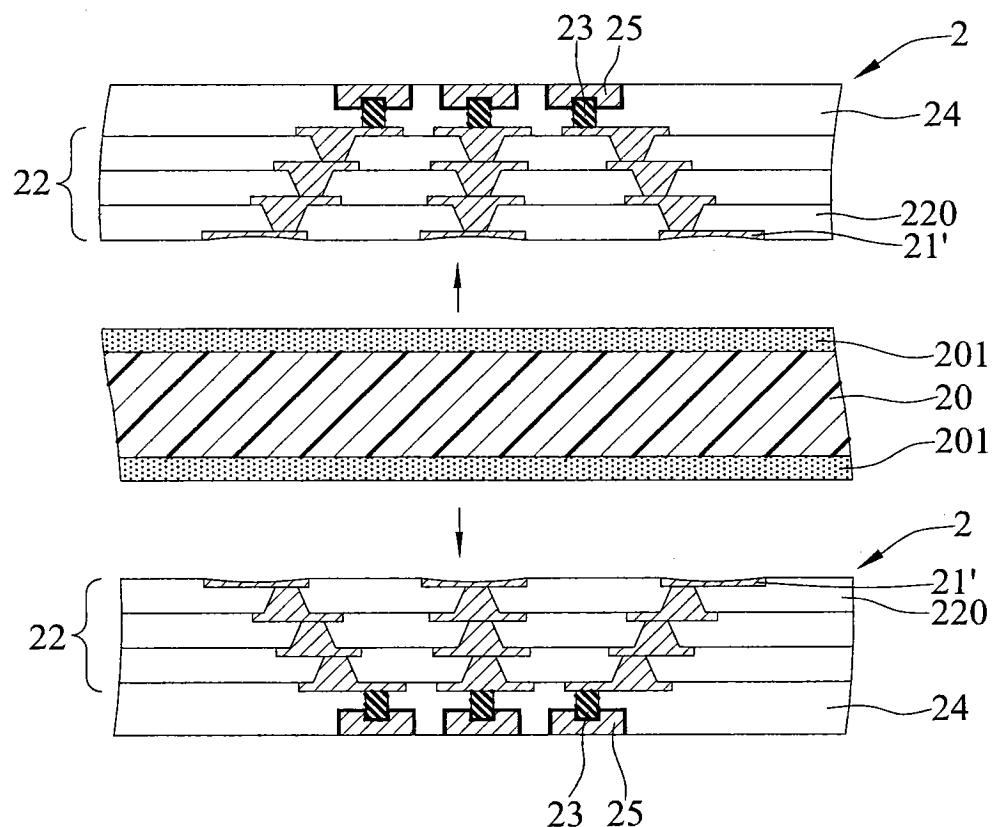


图 2G'

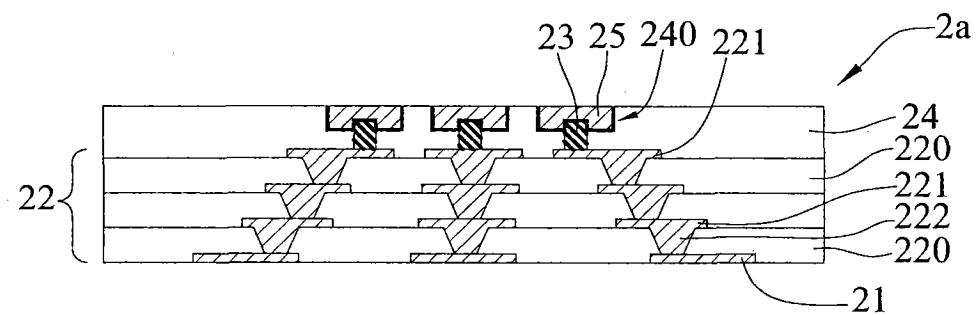


图 3

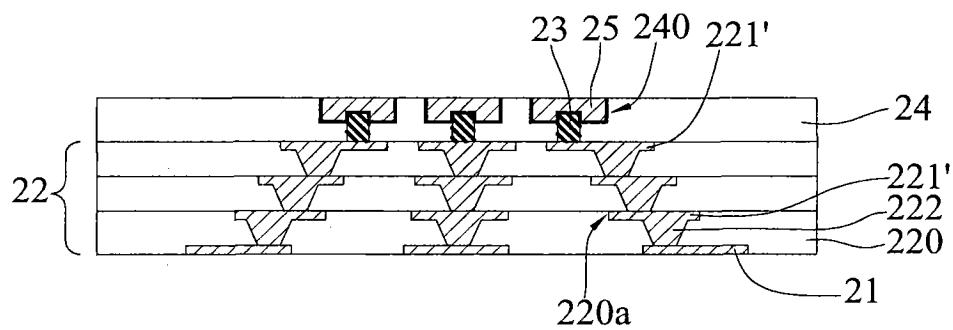


图 3'

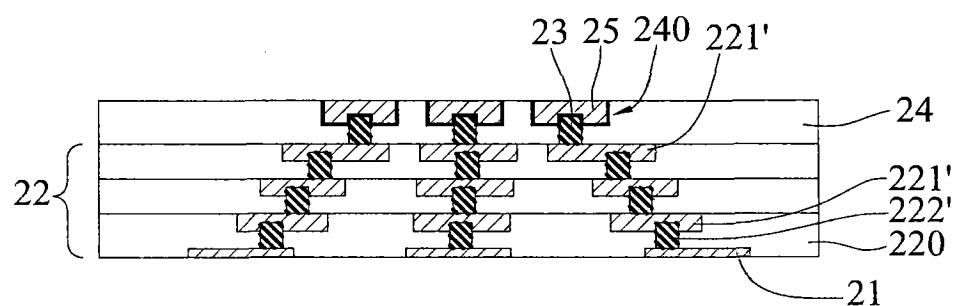


图 3''

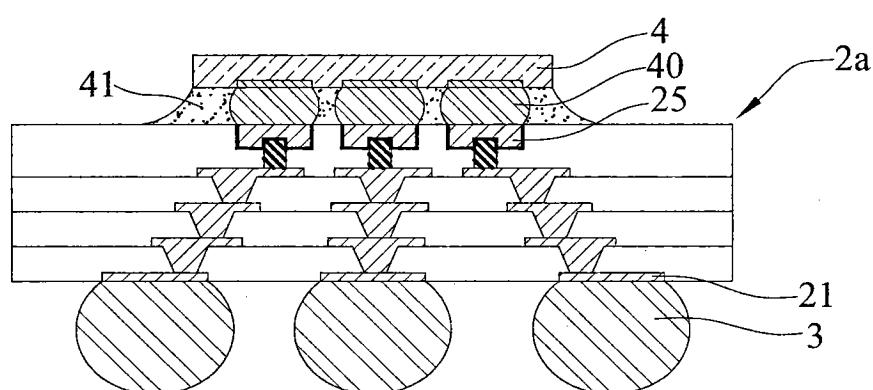


图 4

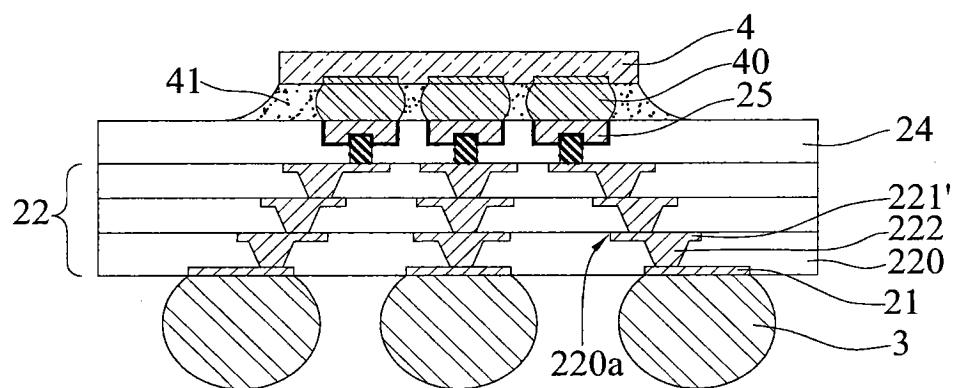


图 4'

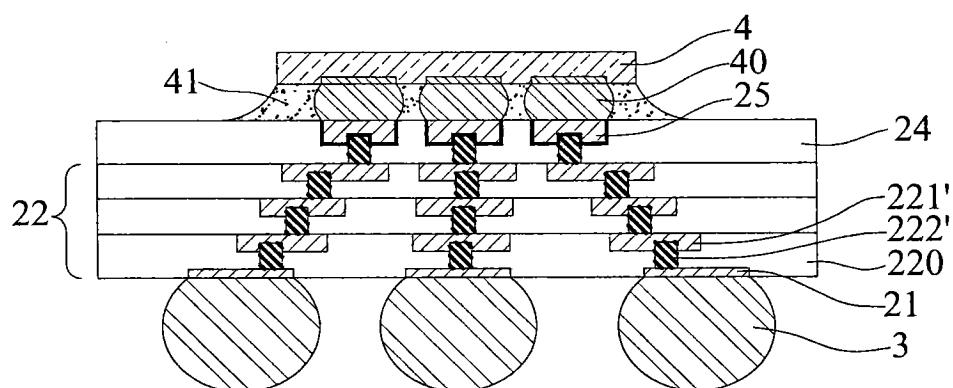


图 4''