(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/06

(45) 공고일자 1999년03월20일
(11) 등록번호 특0184084
(24) 등록일자 1998년12월17일

(21) 출원번호 특1995-008902
(22) 출원일자 1995년04월15일
(65) 공개번호 특1995-030344
(43) 공개일자 1995년11월24일
(30) 우선권주장 94-77161 1994년04월15일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 나카지마 다카오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
하리마 다카유키
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
세가와 마코토
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 이세진, 김윤배

심사관 : 민병준

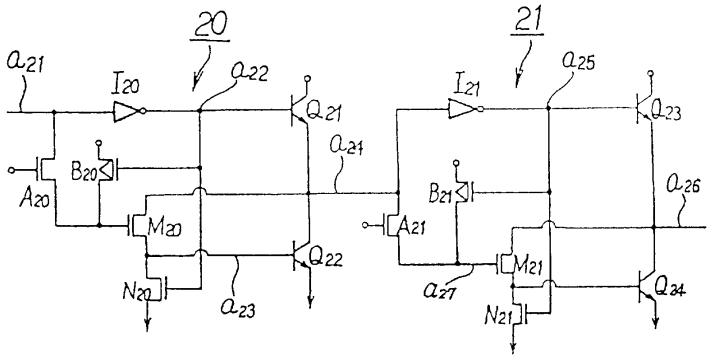
(54) 바이씨모스 회로

요약

본 발명은, 저전압에서도 지연시간의 열화를 야기시키지 않고서 정상으로 동작하여 CMOS회로에 대해 우위성을 갖춘 BiCMOS회로를 제공하기 위한 것이다.

BiCMOS회로는 입력단자에 입력된 데이터를 반전하는 CMOS회로와, 이 CMOS회로의 출력점이 베이스에, 전원전압이 콜렉터에 각각 접속되고, 에미터가 상기 출력단자에 접속되어 출력단자를 충전하는 제1바이폴라 트랜지스터, 콜렉터가 상기 출력단자에 접속되어 출력단자를 방전하는 제2바이폴라 트랜지스터, 베이스-콜렉터간에 병렬로 접속된1도전형의 제1MOS트랜지스터, 제1MOS트랜지스터와 접지간에 직렬로 접속되고, CMOS인버터의 출력점이 그 게이트에 접속된 1도전형의 제2MOS트랜지스터, 입력단자와 제1MOS트랜지스터의 게이트간에 접속되고, 게이트에 제1기준전압이 인가되는 1도전형의 제3MOS트랜지스터 및, 제1기준전압과 제1MOS트랜지스터의 게이트간에 접속된 역도전형 MOS트랜지스터를 구비하고, 출력전위의 변화폭을 넓게 확보한다.

대표도



명세서

[발명의 명칭]

바이씨모스(BiCMOS)회로(A BiCMOS CIRCUIT)

[도면의 간단한 설명]

제1도는 본 발명에 있어서의 BiCMOS인버터회로를 직렬로 접속한 실시예를 나타낸 회로도.

제2도는 본 발명에 있어서의 BiCMOS인버터회로를 직렬로 접속한 실시예를 나타낸 회로도.

제3도는 본 발명에 있어서의 BiCMOS인버터회로를 직렬로 접속한 실시예를 나타낸 회로도.

제4도는 본 발명에 있어서의 BiCMOS인버터회로를 직렬로 접속한 실시예를 나타낸 회로도.

제5도는 본 발명에 있어서의 BiCMOS NAND회로의 실시예를 나타낸 회로도.

제6도는 본 발명에 있어서의 BiCMOS NAND회로의 실시예를 나타낸 회로도.

제7도는 본 발명에 있어서의 BiCMOS NAND회로의 실시예를 나타낸 회로도.

제8도는 본 발명에 있어서의 BiCMOS NAND회로의 실시예를 나타낸 회로도.

제9도는 본 발명에 있어서의 BiCMOS NOR회로의 실시예를 나타낸 회로도.

제10도는 본 발명에 있어서의 BiCMOS NOR회로의 실시예를 나타낸 회로도

제11도는 본 발명에 있어서의 BiCMOS NOR회로의 실시예를 나타낸 회로도.

제12도는 본 발명에 있어서의 BiCMOS NOR회로의 실시예를 나타낸 회로도.

제 13도는 본 발명에 의한 특성개선효과를 종래의 것과 비교 대조한 그래프.

제 14도는 종래의 BiCMOS인버터회로를 직렬로 접속한 예를 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

I 10 , I 11, I 20, I 21, I 30, I 31, I 40, I 41, I 50, I 51 : CMOS인버터

NA6 ~ NA9 : CMOS NAND게이트

NR10 ~ NR13 : CMOS NOR게이트

Q11~Q14, Q21~Q24, Q31~Q34, Q41~Q44, Q51~Q54, Q61, Q62, Q71, Q72, Q81, Q82, Q91, Q92, Q101, Q102, Q111, Q112, Q121, Q122, Q131, Q132 : NPN형 바이폴라 트랜지스터

A20, A21, A30, A31, A40, A41, A50, A51, A60, A61, A70, A71, A80, A81, A90, A91, A100, A101, A110, A111, A120, A121, M10, M11, M20, M21, M30, M31, M40, M41, M50, M51, M60, M61, M70, M71, M80, M81, M90, M91, M100, M101, M110, M111, M120, M121, M130, M131, N10, N11, N20, N21, N30, N31, N40, N41, N50, N51, N60, N70, N80, N90, N100, N110, N120 : NMOS트랜지스터

B20, B21, B30, B31, B40, B41, B50, B51, B60, B61, B70, B71, B80, B81, B90, B91, B100, B101, B110, B111, B120, B121 : PMOS트랜지스터

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 바이폴라 트랜지스터와 CMOS트랜지스터를 조합시킨, 소위 BiCMOS회로에 관한 것으로, 특히 저전압에서 고속동작하는 반도체 기억장치에 사용하기에 적당한 것이다.

[종래의 기술 및 그 문제점]

반도체 기억장치등에 있어서는 고속화를 목적으로 하여 바이폴라회로와 CMOS회로를 혼재시킨 BiCMOS회로가 사용되는 일이 많다.

제14도는 BiCMOS회로의 일례를 나타낸 회로도로서, 2개의 BiCMOS인버터회로(10 및 11)가 직렬접속된 구성을 나타내고 있다. 제1단 인버터의 NPN형 바이폴라 트랜지스터(Q11및 Q12)와, 제2단 인버터의 NPN형 바이폴라 트랜지스터(Q13 및 Q14)는 각각 직렬로 접속되어 있고, 바이폴라 트랜지스터(Q11)의 베이스를 제어하기 위한 CMOS인버터(I10), 바이폴라 프랜지스터(Q13)의 베이스를 제어하기 위한 CMOS인버터(I 11)가 각각 설치되어 있다. 또한, N채널 MOS(NMOS)트랜지스터(M10 및 N10)가 바이폴라 트랜지스터(Q11)의 에미터와 바이폴라 트랜지스터(Q12)의 콜렉터와의 접속점과 접지간에 직렬접속되고, 마찬가지로 트랜지스터(M11 및 N11)가 바이폴라 트랜지스터(Q13)의 에미터와 바이폴라 트랜지스터(Q14)의 콜렉터와의 접속점과 접지간에 직렬접속되어 있다. NMOS트랜지스터(M10)의 게이트는 인버터(I 10)와 공통의 입력점(a11)에 접속되고, NMOS트랜지스터(M11) 의 게이트는 인버터(I 11) 와 공통의 입력점(a14)에 접속되고 있다. NMOS트랜지스터(N10)의 게이트는 인버터(I 10) 의 출력점(a12)에 접속되고, NMOS트랜지스터(N11)의 게이트는 인버터(I 11)의 출력점(a15)에 접속되어 있다. 또한, NMOS트랜지스터(M10 및 N10)의 접속점은 바이폴라 트랜지스터(Q12)의 베이스에 접속되고, NMOS트랜지스터(M11 및 N11)의 접속점은 바이폴라 트랜지스터(Q14)의 베이스에 접속되어 있다.

다음에 이 회로의 동작을 설명한다.

BiCMOS인버터회로(10)의 입력점인 CMOS인버터(I 10)의 입력점(a11)에 「H」 레벨의 전압이 인가된 때, 출력점(a14)에는 「L」 레벨의 전압이 출력된다. 이는 입력점(a11)이 「H」레벨이면, 바이폴라 트랜지스터(Q11) 및 NMOS트랜지스터(N10)가 함께 오프로 되고, NMOS트랜지스터(M10)는 온으로 되기 때문에 바이폴라 트랜지스터(Q12)의 베이스(a13)의 전압이 Vbi까지 충전되면 바이폴라 트랜지스터(Q12)가 온되어 출력점(a14)으로부터 방전이 일어나 그 전위가 저하하기 때문이다. 단, 이때 출력점(a14)의 전압은 바이폴라 트랜지스터(Q12)를 매개로 방전이 행해지므로 Vss로 되지 않고 Vbi로 된다.

BiCMOS인버터회로(11)측에서는 그 입력점(a14)에 「L」 레벨의 전압이 인가 된 경우, NMOS트랜지스터(M11)가 오프, CMOS인버터(I 11)의 출력점(a15)이 Vcc레벨로 되고, NMOS트랜지스터(N11)가 온됨으로써 바이폴라 트랜지스터(Q14)가 오프, 바이폴라 트랜지스터(Q13)의 베이스전압이 Vbi까지 충전되는 것에 의

해 바이폴라 트랜지스터(Q13)가 온되어 출력점(a16)이 충전된다. 이 때 출력점(a16)의 전위는 바이폴라 트랜지스터(Q13)를 매개로 충전되기 때문에 Vcc보다 Vbi 만큼 낮아지게(Vcc- Vbi)된다.

제13a도에 제1도의 BiCMOS인버터회로(10)의 입력단자에 「H」레벨의 전압을 입력한 후, 「L」레벨의 전압을 입력한 때의 출력단자(a14)에 있어서의 전위변화를 나타낸다. 상기한 바와 같이 출력전압은 Vbi에서 (Vcc-Vbi)까지 변화하고 있고, CMOS인버터회로의 출력에서와 같은 Vss에서 Vcc로는 되어 있지 않다.

이와 같이 종래의 BiCMOS회로의 출력은 풀스윙하지 않고 Vbi에서 (Vcc-Vbi)까지 변화하 뿐이다.

또한, 제14도에 나타낸 BiCMOS인버터회로(10)에 있어서, 입력(a11)에 「L」레벨의 전압이 입력된 때에 BiCMOS인버터회로(11)에 있어서의 출력(a16) 에서의 방전이 행해지기 위한 필요조건은 NMOS트랜지스터(M11)이 온되고, 동시에 바이폴라 트랜지스터의(Q14) 베이스전압을 Vbi까지 방전시키는 것이다. 또 이때 NMOS트랜지스터(N11)와 바이폴라 트랜지스터(Q13)는 오프로 되어 있다. 여기서 NMOS트랜지스터(M11)가 온되기 위해서는 게이트전압(Vcc-Vbi)과 소오스전압(Vbi)의 차가 NMOS트랜지스터(M11)의 임계치(V_{THN})보다 클 필요가 있다. 이것을 식으로 나타내면,

$$Vcc \geq 2Vbi + V_{THN}$$

으로 된다.

그러나, 최근의 전원전압의 저하경향에 의해 이 관계를 확보하는 것이 곤란하게 되어 있고, 그로 인해 종래의 BiCMOS인버터회로에서는 지연시간의 열화를 억제하는 것이 어려워 정상적인 회로동작도 보장할 수 없다.

더욱이, NMOS트랜지스터(M11)의 소오스전위는 바이폴라 트랜지스터(Q14)에 의해 Vbi로 되기 때문에 NMOS트랜지스터(M11)의 임계치(V_{THN})는 백게이트효과에 의해 소오스전위가 Vss인 때와 비교하여 커진다는 문제도 있다.

이와 같이 트랜지스터의 미세화에 수반하여 MOS의 핫캐리어, 게이트산화막의 신뢰성의 문제로부터 전원전압의 저전압화가 바람직한 반면, 종래 기술의 BiCMOS인버터회로에서는 저전압화에 의한 지연시간의 열화를 방지할 수 없다.

[발명의 목적]

본 발명은 상기의 점을 감안하여 발명된 것으로, 저전압에서도 지연시간의 열화를 일으키지 않고 정상으로 동작하고, CMOS회로에 대해 우위성을 갖춘 BiCMOS회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명에 따른 BiCMOS회로에 있어서는, 입력단자와, 출력단자, 상기 입력단자에 입력된 데이터를 반전하는 CMOS회로, 이 CMOS회로의 출력점이 베이스에, 전원전압이 콜렉터에 각각 접속되고, 에미터가 상기 출력단자에 접속되어 상기 출력단자를 충전하는 제1바이폴라 트랜지스터, 콜렉터가 상기 출력단자에 접속되어 상기 출력단자를 방전하는 제2바이폴라 트랜지스터, 상기 제2바이폴라 트랜지스터의 베이스-콜렉터간에 병렬로 접속된 1 도전형의 제1MOS트랜지스터, 이 제1MOS트랜지스터와 접지간에 직렬로 접속되고, 상기 CMOS회로의 출력점이 그 게이트에 접속된 1도전형의 제2MOS트랜지스터, 상기 입력단자와 상기 제1MOS트랜지스터의 게이트간에 접속되고, 게이트에 제1기준전압이 인가되는 1도전형의 제3MOS트랜지스터 및, 상기 제1기준전압과 상기 제1MOS트랜지스터의 게이트간에 접속된 역도전형 MOS트랜지스터를 구비하여 구성된 것을 특징으로 한다.

CMOS회로로서는 인버터, NAND회로, NOR회로등을 이용할 수 있다.

제3MOS 트랜지스터는 입력단자와 CMOS회로와의 사이, 또는 입력단자와 상기 CMOS회로와의 접속점과 제1MOS트랜지스터의 게이트 사이에 설치할 수 있다.

역도전형 MOS트랜지스터의 게이트는 CMOS회로의 출력 또는 정전위, 예컨대 접지전위로 할 수 있다.

[작용]

상기와 같이 구성된 본 발명은, CMOS회로의 출력이 콜렉터가 전원에 접속된 제1NPN형 바이폴라 트랜지스터의 베이스에 입력되고, 에미터가 출력단으로 된다. 이 출력단자를 콜렉터, 접지전위를 에미터로 하는 제2NPN형 바이폴라 트랜지스터는 출력단을 방전하는 작용을 수행한다. 이 제2바이폴라 트랜지스터의 베이스, 콜렉터 사이에는 제1NMOS트랜지스터가 병렬로 접속되어 있다. 이 제1NMOS트랜지스터에는 CMOS회로의 출력에 의해 제어되는 제2NMOS트랜지스터가 직렬접속되어 있고, 제1NMOS트랜지스터의 게이트에는 입력신호가 제3NMOS를 매개로 입력되며, 또 CMOS회로의 출력 또는 정전위에 의해 제어되어 소정전위를 공급하는 PMOS트랜지스터가 설치되어 있으므로, CMOS회로에 [H] 레벨의 전압이 입력된 때, PMOS트랜지스터가 온되고, 제1NMOS트랜지스터의 게이트가 Vcc로 되어 종래와 비교하여 저전압에서의 동작을 보장한다. 또, 제3NMOS트랜지스터는 제1NMOS트랜지스터의 게이트에 접속되는 용량을 경감하기 위해 제1NMOS트랜지스터의 게이트는 Vcc로 방전하기 쉽게 되어 있다.

[실시예]

이하, 예시도면을 참조하여 본 발명의 실시예를 설명한다.

제1도는 본 발명의 1실시예를 나타낸 회로도로서, 제14도의 경우와 마찬가지로 2개의 BiCMOS인버터회로(20, 21)를 직렬로 접속한 상태를 나타내고 있다.

BiCMOS인버터회로(20)는 입력점(a21)에 접속된 CMOS인버터(I 20)의 출력에 의해 제어되는 NPN형 바이폴라 트랜지스터(Q21), 이 트랜지스터(Q21)의 에미터에 에미터접지된 바이폴라 트랜지스터(Q22)의 콜렉터가 접

속되어 있다. 이들 트랜지스터의 접속점은 출력노드(a24)를 구성함과 더불어 이 출력노드와 트랜지스터(Q22)의 베이스간에 NMOS트랜지스터(M20)가 병렬로 접속되어 있다. 또 NMOS트랜지스터(N20)의 드레인이 트랜지스터(Q22)의 베이스에 접속되고, 이 소오스는 접지되어 있다. NMOS트랜지스터(N20)의 게이트는 인버터(I 20)의 출력점(a22)에 접속됨과 더불어 NMOS트랜지스터(M20)의 게이트에는 P채널 MOS(PMOS)트랜지스터(B20)의 드레인이 접속되어 있다. 이 PMOS트랜지스터(B20)의 소오스는 전원전압이고, 그 게이트는 인버터(I 20)의 출력점(a22)에 접속되어 있다. NMOS트랜지스터(M20)의 게이트와 입력점(a21)과의 사이에는 전원전압으로 게이트제어되는 NMOS트랜지스터(A20)가 접속되어 있다.

마찬가지로, BiCMOS인버터회로(21)는 입력점(a24)에 접속된 CMOS인버터(I 21), 그 출력점(a25)에 베이스가 접속되어 CMOS인버터(I 21)의 출력에 의해 제어되는 NPN형 바이폴라 트랜지스터(Q23), 이 트랜지스터(Q23)의 에미터에 에미터접지된 바이폴라 트랜지스터(Q24)의 콜렉터가 접속되어 있다. 이들 트랜지스터의 접속점은 출력노드(a26)를 구성함과 더불어 이 점과 접지간에 직렬접속된 NMOS트랜지스터(M21 및 N21)가 설치되어 있다. NMOS트랜지스터(N21)의 게이트는 인버터(I 21)의 출력점(a25)에 접속됨과 동시에 NMOS트랜지스터(M21)의 게이트와 전원간에 접속된 PMOS트랜지스터(B21)의 게이트에 접속되어 있다. NMOS트랜지스터(M21)의 게이트와 입력점(a24)과의 사이에는 전원전압으로 게이트제어되는 NMOS트랜지스터(A21)가 접속되어 있다.

다음에, 이 회로의 동작을 설명한다.

입력단자(a21)에 「L」레벨의 전압이 입력된 때, 출력노드(a24)에는 바이폴라 트랜지스터(Q21)에 의해 (Vcc-Vbi)가 출력된다. 그리고, CMOS인버터(I 21)에(Vcc-Vbi) 가 입력되는 것에 의해 CMOS인버터의 출력점(a25)에서의 레벨이 Vss로 된다. 그러면 PMOS트랜지스터(B21)가 온으로 되는 것에 의해 NMOS 트랜지스터(M21)의 게이트에 접속된 노드(a27)가 로 Vcc로 충전된다. 출력점(a26)이 방전되기 위해서는 NMOS트랜지스터(M21)가 온될 필요가 있다. 이것은 NMOS트랜지스터(N21)가 온되는 것에 의해 바이폴라 트랜지스터(Q24)의 베이스전압이 Vbi까지 충전되는 결과, 바이폴라 트랜지스터(Q24)를 온시킬 수 있기 때문이다.

이때 NMOS트랜지스터(N21) 및 바이폴라 트랜지스터(Q23)는 노드(a25)가 Vss이기 때문에 오프로 되어 있다. 여기에서 NMOS트랜지스터(M21)가 온되기 위해서는 게이트(Vcc)와 소오스(Vbi)의 전위차가 NMOS트랜지스터(M21)의 임계치(V_{THN})보다 클 필요가 있다.

즉,

$$Vcc \geq 2Vbi + V_{THN}$$

의 관계를 만족할 필요가 있다.

이것을 종래의 회로에서이 동일한 관계와 비교하면, 전원전압(Vcc)의 요구전압이 Vbi 만큼 낮아지기 때문에 , 전원전압을 보다 낮게 설정할 수가 있다. 또, NMOS트랜지스터(A21)에 의해 PMOS트랜지스터(B21)가 온되어 노드(27)를 (Vcc-Vbi) 혹은 (Vcc-V_{THN}; V_{THN}은 NMOS트랜지스터(A21)의 임계치)에서 Vcc로 충전하는데에 요구되는 시간이 적게 된다.

이것은 상단의 BiCMOS인버터회로(20)의 접합용량, CMOS인버터(I 21)의 게이트용량 및 입출력단자(a24)의 배선용량이 NMOS트랜지스터(A21)에 의해 외관상 감소했기 때문이다. 이때 NMOS트랜지스터(A21)의 임계치를 V_{THN}으로 하면, 입출력단자(a24)의 전위는(Vcc-V_{THN}) 혹은 (Vcc-V_{THN})로 된다.

제13b도는 제1도의 BiCMOS인버터회로(20)의 입력단자(a21)에 「H」레벨의 전압을 입력한 후, 「L」레벨의 전압을 입력한 때의 노드(a24와 a27)에 있어서의 전위의 변화를 나타낸 그래프로서, 노드(a27)에 대해서는 종래의 BiCMOS인버터회로의 경우보다도 스윙폭이 Vbi만큼 증가하고 있는 것을 알 수 있다.

다음에, 제2도에 나타낸 실시예는 제1도의 실시예의 변형예를 나타낸 것으로, 대응하는 구성요소에 대해서는 첨자를 30번대로서 나타내고 있다. 본 실시예에 있어서도 제1도에 있어서의 NMOS트랜지스터(A20, A21)에 상당하는 NMOS트랜지스터를 A30, A31을 가지고 있지만, 제1도의 경우와 달리 NMOS트랜지스터(A30)는 입력점(a31)과 CMOS인버터(I 30)과의 사이에, NMOS트랜지스터(A31)는 입력점(a34)와 CMOS인버터(I 31)과의 사이에 각각 설치되어 있고, NMOS트랜지스터(A30)과 CMOS인버터(I 30)와의 접속점은 NMOS트랜지스터(M30)의 게이트에, NMOS트랜지스터(A31)와 CMOS인버터(I 31)와의 접속점은 NMOS트랜지스터(M31)의 게이트에 각각 접속되어 있다.

이와 같은 구성에 의하면, BiCMOS인버터회로(31)의 입력점인 노드(a34)의 입력전위는 제1도의 경우와 마찬가지로 (Vcc-Vbi)로 되면, PMOS트랜지스터(B31)가 온되는 것으로부터 노드(37)는 Vcc충전된다. 이에 의해 CMOS인버터(I 31)에 입력되는 전위는 (Vcc-Vbi) 혹은 (Vcc-V_{THN})에서 Vcc로 상승하는 것으로 되어 제1도의 경우와 마찬가지의 동작을 실현할 수 있다.

다음에, 제3도에 나타낸 실시예도 제1도의 실시예의 변형예를 나타내고 있고, 대응하는 구성요소의 첨자를 40번대로서 나타내고 있다. 본 실시예에 있어서는 제1도에 있어서의 PMOS트랜지스터(B20, B21)에 상당하는 PMOS트랜지스터(B40, B41)를 가지고 있지만, 제1도의 경우와 달리 이들 게이트는 접지되어 있다.

본 실시예에서는 PMOS트랜지스터(B41)의 게이트가 CMOS인버터(I 41)의 출력에 저속되지 않고 접지전위로 되어 있기 때문에 , 입력노드(a44)의 레벨 여하에 상관없이 PMOS트랜지스터(B41)는 ON되고 있다.

따라서 , 노드(a47)가 Vcc로 충전되기 위해 요구되는 시간이 단축되게 된다.

여기서, 입력단자(a41)는 입력점(a44)과 마찬가지로 바이폴라 트랜지스터에 의해 방전된 상태와 등가이다. 그리고, Q42와 같은 바이폴라 트랜지스터는 방전능력은 크지만, 이에 대해 PMOS트랜지스터(B40)에 의한 충전능력은 작게 설정되어 있다.

따라서, 입력단자(a41)가 LOW레벨일때에 전압충돌이 발생하여도, NMOS트랜지스터(M40)의 게이트가 HIGH

레벨로 되는 것은 없게 된다.

한편, 입력단자(a41)가 HIGH레벨일때에, PMOS트랜지스터(B40)는 NMOS트랜지스터(M40)의 게이트를 Vcc까지 충전하게 된다. PMOS트랜지스터(B40)는 상기한 바와 같이 충전능력은 작지만, 게이트가 Vcc로 제어된 NMOS트랜지스터(A40)의 효과에 의해 NMOS트랜지스터(M40)의 게이트용량이 경감되기 때문에 NMOS 트랜지스터(M40)의 게이트에 대한 충전이 가능하게 된다.

제4도에 나타낸 실시예는 제2도 및 제3도의 실시예를 조합한 것으로, 이때까지와 마찬가지로 제1도에 대응하는 구성요소의 첨자를 50번대로 하고 있다. 본 실시예는 BiCMOS인버터(50)에서는 NMOS트랜지스터(A50)를 입력노드(a51)와 CMOS인버터(I 50)와의 사이에 접속하고, NMOS트랜지스터(A50)와 CMOS인버터(I 50)와의 접속점을 NMOS트랜지스터(M50)의 게이트에 접속하며, PMOS트랜지스터(B50)의 게이트를 접지하고 있다. 마찬가지로 BiCMOS인버터회로(51)에서는 NMOS트랜지스터(A51)를 입력노드(a54)와 CMOS인버터(I 51)와의 사이에 접속하고, NMOS트랜지스터(A51)와, CMOS인버터(I51)와의 접속점을 NMOS트랜지스터(M51)의 게이트에 접속하며, PMOS트랜지스터(B51)의 게이트를 접지하고 있다.

본 실시예에 있어서도 출력노드(a57)가 Vcc로 충전되기 위해 필요한 시간이 단축되게 된다.

제5도 이하에 있어서는 간략화를 위하여, 상단의 BiCMOS인버터만을 도시하고 있다.

제5도는 제1도의 구성에 있어서 CMOS인버터(I 20)대신에 NAND게이트(NA6)를 설치하고, 그 2개의 입력을 각각 NMOS트랜지스터(A60, A61)를 매개로 NMOS트랜지스터(M60, M61)의 게이트에 접속한 것이다. 이들 NMOS트랜지스터(M60, M61)는 NMOS트랜지스터(N60)와 직렬접속되고, NMOS트랜지스터(M60)의 게이트는 NAND게이트(NA6)의 출력에 의해 제어되는 PMOS트랜지스터(B60)를 매개로 전원에 접속되며, M61의 게이트는 NAND게이트(NA6)의 출력에 의해 제어되는 PMOS트랜지스터(B61)를 매개로 전원에 접속되어 있다.

본 회로에 있어서의 동작은 2개의 입력에 따라 설치된 2개의 구성이 각각 제1도의 경우와 같은 동작을 하게 된다.

제6도에 나타낸 실시예는 제5도에 나타낸 NAND게이트를 이용한 실시예에 있어서, 제2도의 실시예와 마찬가지로 입력점과 NAND게이트(NSA7)와의 사이에 NMOS트랜지스터(A70 및 A71)를 접속하도록 한 것이다.

제7도에 나타낸 실시예는 제5도와 같은 NAND게이트를 이용한 실시예에 있어서, 제3도의 실시예와 마찬가지로 PMOS트랜지스터(B80 및 B81)의 게이트를 접지하도록 한 것이다.

제8도에 나타낸 실시예는 제5도에 나타낸 NAND게이트를 이용한 실시예에 있어서, 제4도의 실시예와 대응하도록 NAND게이트의 입력측에 NMOS트랜지스터(A90, A91)를 설치하고, 또 PMOS트랜지스터(B90 및 B91)의 게이트를 접지하도록 한 것이다.

제9도에서 제11도는 제5도에서 제8도의 실시예에 대응하는 것으로, 각각 NAND게이트 대신에 NOR게이트를 이용하도록 한 것이다.

이들 실시예에 있어서는 NOR게이트에 대응하여 NMOS트랜지스터(N100, N110, N120, N130)에 접속되는 것은 각각 병렬접속된 NMOS트랜지스터(M100과 M101, M110과 M111, M120과 M121, M130과 M131))로 되어 있다.

이들도 NAND게이트의 경우와 같이, 각 입력에 따른 구성이 각각 제1도에 설명한 동작을 행하도록 된다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 종래의 BiCMOS인버터회로와 비교해 보다 저전압에서의 동작이 가능하고, 또 통상의 CMOS회로보다도 고속동작이 가능하게 된다.

(57) 청구의 범위

청구항 1

입력단자(a21, a31, a41, a51)와, 출력단자(a24, a34, a44, a54), 상기 입력단자에 입력된 데이터를 반전하는 CMOS회로(I20, I30, I40, I50),이 CMOS회로의 출력점이 베이스에, 전원전압이 콜렉터에 각각 접속되고, 에미터가 상기 출력단자에 접속되어 상기 출력단자를 충전하는 제1바이폴라 트랜지스터(Q21, Q31, Q41, Q51), 콜렉터가 상기 출력단자에 접속되어 상기 출력단자를 방전하는 제2바이폴라 트랜지스터(Q22, Q32, Q42, Q52), 상기 제2바이폴라 트랜지스터의 베이스-콜렉터간에 병렬로 접속된 1도전형의 제1MOS트랜지스터(M20, M30, M40, M50), 이 제1MOS트랜지스터와 접지간에 직렬로 접속되고, 상기 CMOS회로의 출력점이 그 게이트에 접속된 1도전형의 제2MOS트랜지스터(N20, N30, N40, N50), 상기 입력단자와 상기 제1MOS트랜지스터의 게이트간에 접속되고, 게이트에 제1기준전압이 인가되는 1도전형의 제3MOS트랜지스터(A20, A30, A40, A50) 및, 상기 제1기준전압과 상기 제1MOS트랜지스터의 게이트간에 접속된 역도전형 MOS트랜지스터(B20, B30, B40, B50)를 구비하여 구성된 것을 특징으로 하는 BiCMOS회로.

청구항 2

제1항에 있어서, 상기 역도전형 MOS트랜지스터(B20, B30)의 게이트가 상기 CMOS회로(I20, I30)의 출력(a22, a32)에 접속되는 것을 특징으로 하는 BiCMOS회로.

청구항 3

제1항에 있어서, 상기 역도전형 MOS트랜지스터(B40, B50)의 게이트가 제2기준전압과 접속되는 것을 특징으로 하는 BiCMOS회로.

청구항 4

제1항에 있어서, 상기 제3MOS트랜지스터(A30, A50)가 상기 입력단자(a31, a51)와 상기 CMOS회로(I30,

I50)와의 사이에 접속되는 것을 특징으로 하는 BiCMOS회로.

청구항 5

제1항에 있어서, 상기 제3MOS트랜지스터(A20, A40)가 상기 입력단자(a21, a41)와 상기 CMOS회로(I20, I40)와의 접속점과 상기 제1MOS트랜지스터(M20, M40)의 게이트 사이에 접속되는 것을 특징으로 하는 BiCMOS회로.

청구항 6

제1항에 있어서, 상기 CMOS회로(I20, I30, I40, I50)가 인버터인것을 특징으로 하는 BiCMOS회로.

청구항 7

제1항에 있어서, 상기 CMOS회로(NA6, NA7, NA8, NA9)가 NAND게이트인 것을 특징으로 하는 BiCMOS회로.

청구항 8

제7항에 있어서, 상기 제1MOS트랜지스터가 상기 NAND게이트의 2개의 입력에 대응한 직렬접속된 2개의 트랜지스터(M60,M61;M70,M71; M80,M81;M90,M91)로 이루어지고, 상기 제3MOS트랜지스터 및 상기 역도전형 MOS트랜지스터가 각각 2개의 입력에 대응한 2개의 트랜지스터 (A60,A61;A70,A71;A80,A81;A90,A91)(B60,B61;B70,B71;B80,B81;B90,B91)로 이루어진 것을 특징으로 하는 BiCMOS회로.

청구항 9

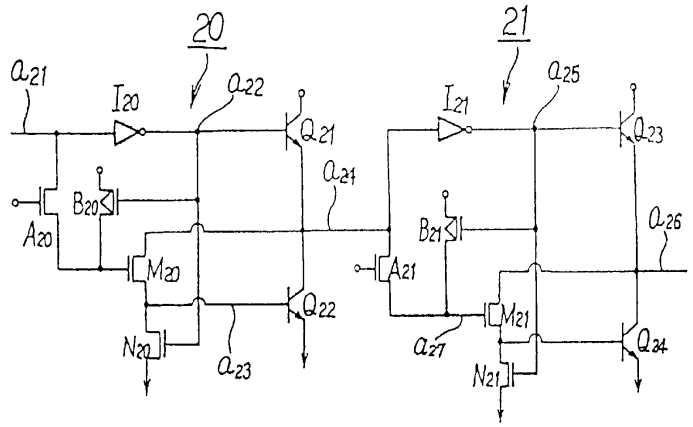
제1항에 있어서, 상기 CMOS회로가 NOR게이트(NR10, NR11, NR12, NR13)인 것을 특징으로 하는 BiCMOS회로.

청구항 10

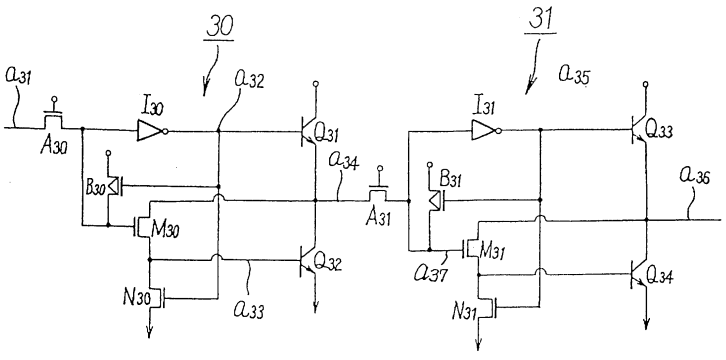
제9항에 있어서, 상기 제1MOS트랜지스터가 상기 NOR게이트의 2개의 입력에 대응한 병렬접속된 2개의 트랜지스터(M100,M101;M110,M111;M120,M121;M130,M131)로 이루어지고, 상기 제3MOS트랜지스터및 상기 역도전형 트랜지스터가 각각 2개의 입력에 대응한 2개의 트랜지스터 (A100,A101;A110,A111;A120,A121;A130,A131)(B100,B101;B110,B111;B120,B121;B130,B131)로 이루어진 것을 특징으로 하는 BiCMOS회로.

도면

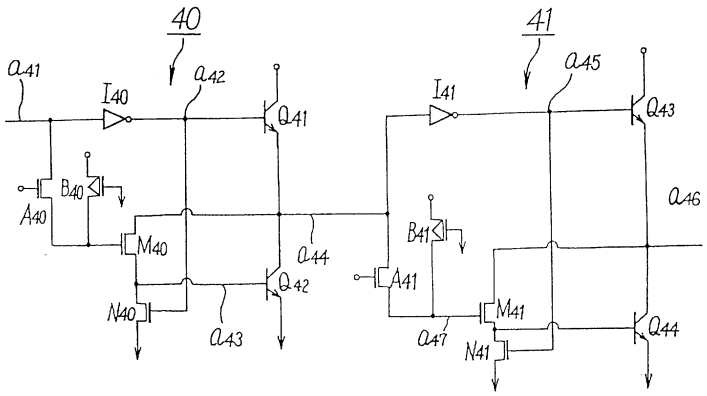
도면1



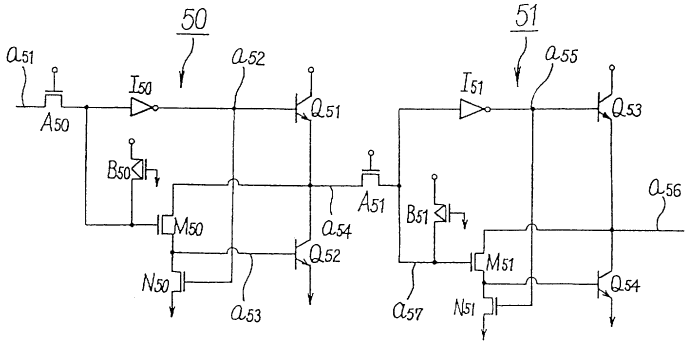
도면2



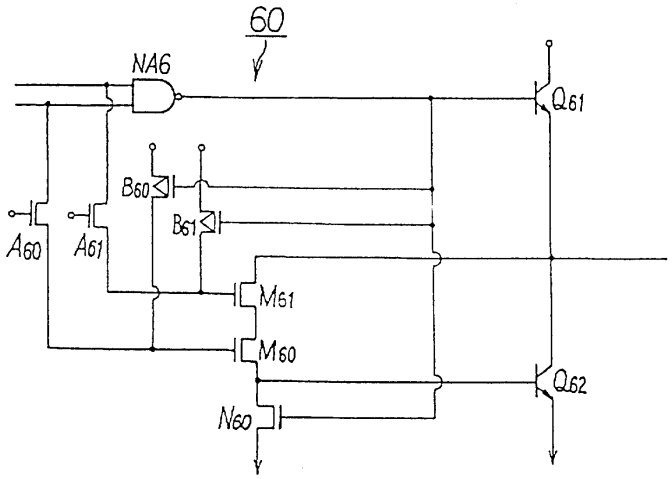
도면3


40
41
a41
I40
a42
Q41
I41
a45
Q43
a46
B40
A40
M40
a44
B41
A41
Q42
N40
a43
a47
M41
Q44
N41

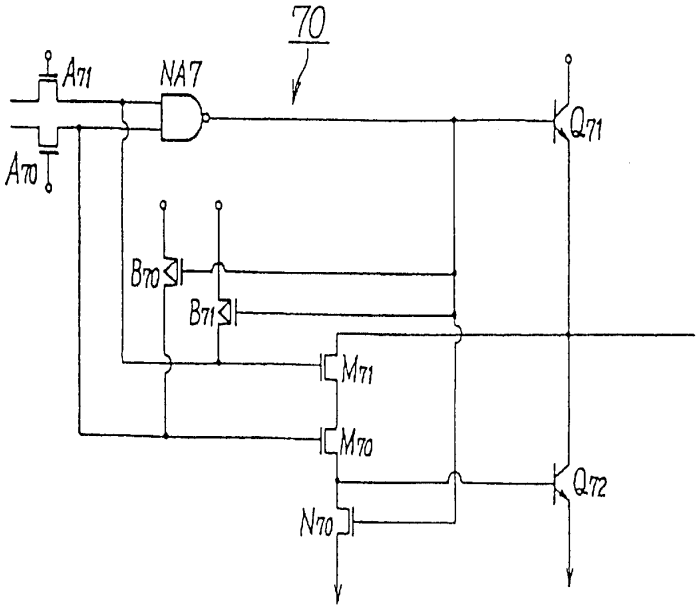
도면4


50
51
a51
I50
a52
Q51
I51
a55
Q53
A50
B50
A51
a56
B51
M50
a54
Q52
M51
Q54
N50
a53
a57
N51

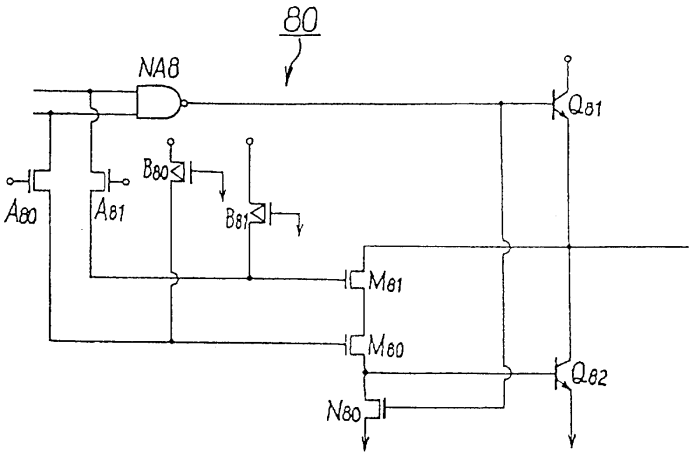
도면5


60
NA6
Q61
B60
B61
A60
A61
M61
M60
Q62
N60

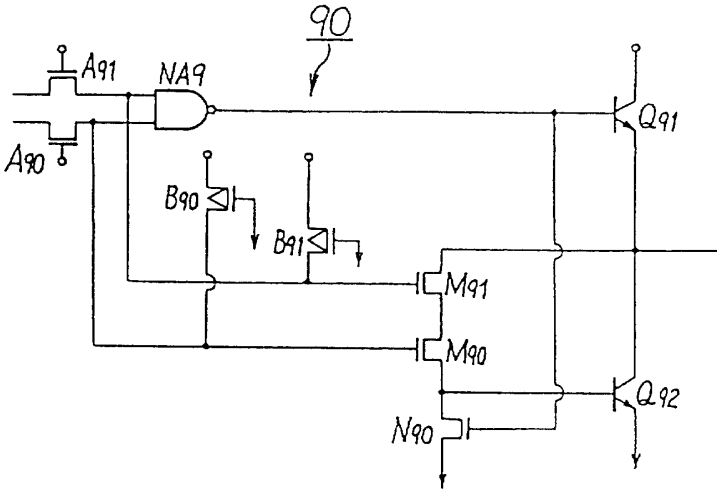
도면6


70
A71
NA7
A70
Q71
B70
B71
M71
M70
Q72
N70

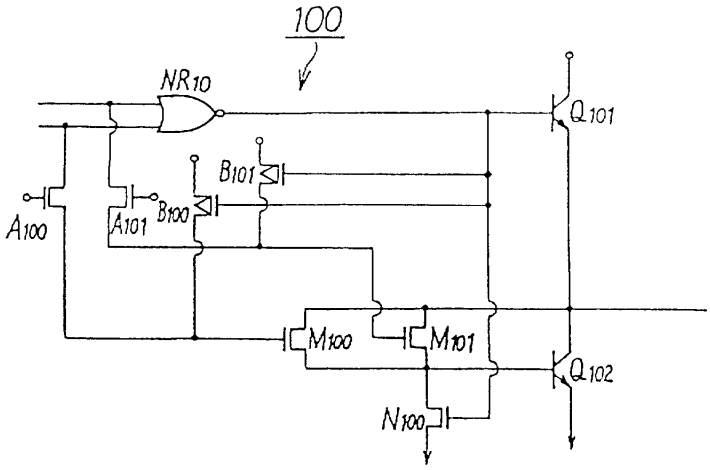
도면7


80
NA8
Q81
B80
A80
A81
B81
M81
M80
Q82
N80

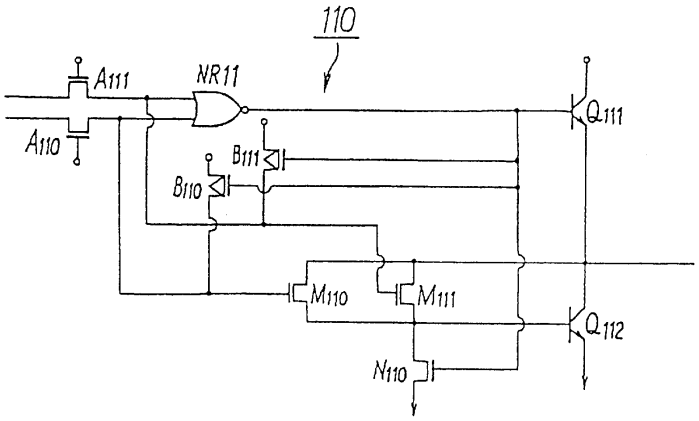
도면8


90
A91
NA9
Q91
A90
B90
B91
M91
M90
Q92
N90

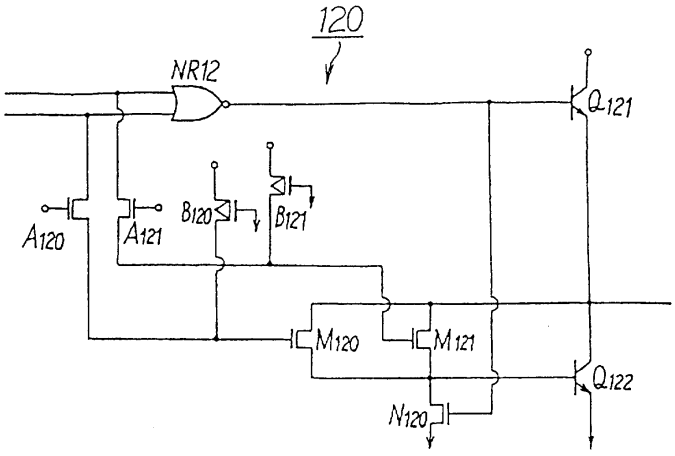
도면9



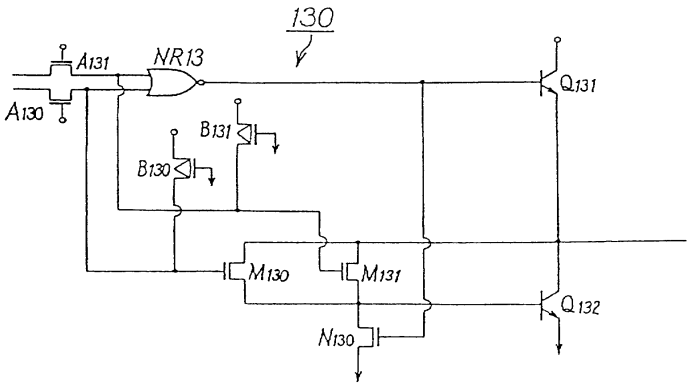
도면10



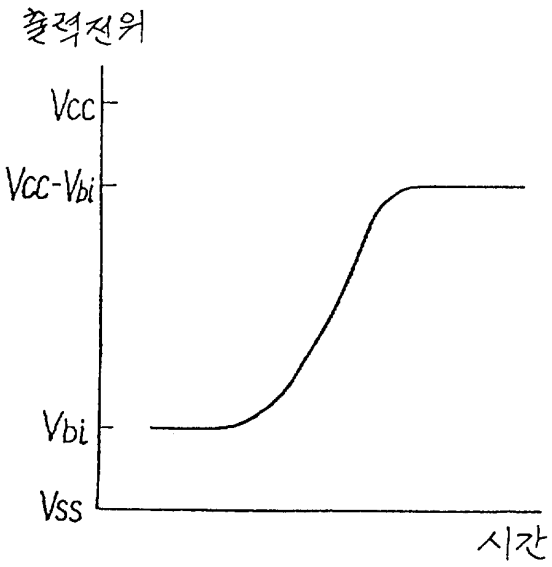
도면11



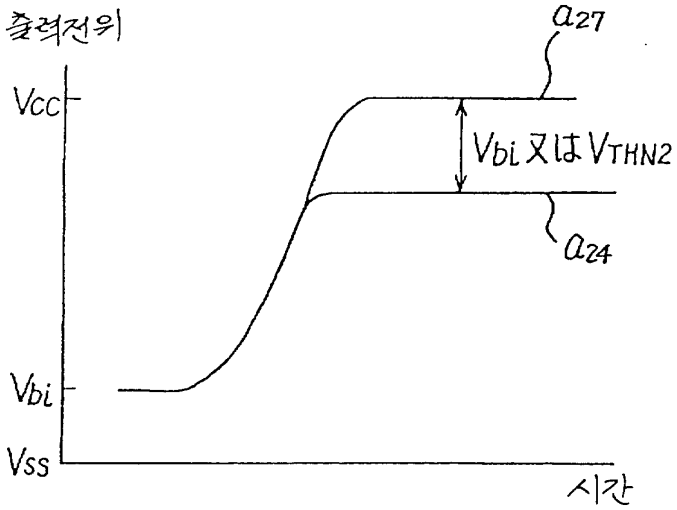
도면12



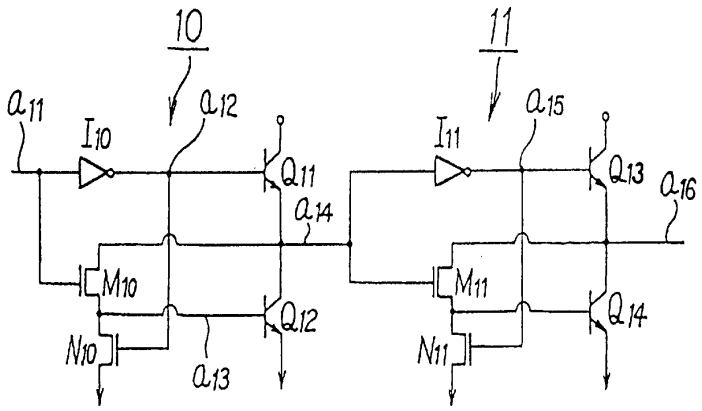
도면13a



도면13b



도면14


10
11
a11
I10
a12
Q11
a14
M10
Q12
N10
a13
I11
a15
Q13
a16
M11
Q14
N11