

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月6日(06.05.2021)



(10) 国際公開番号

WO 2021/084652 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 21/8244 (2006.01)
H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/8238 (2006.01) H01L 27/11 (2006.01)

(21) 国際出願番号: PCT/JP2019/042593

(22) 国際出願日: 2019年10月30日(30.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(USを除く全ての指定国について):ユニ
サンティス エレクトロニクス シンガポ
ール プライベート リミテッド(UNISANTIS
ELECTRONICS SINGAPORE PTE. LTD.) [SG/
SG]; 179098 ノースブリッジロード 1
1 1、ペニンシュラ プラザ # 1 6
- 0 4 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてのみ): 舩岡 富士雄
(MASUOKA Fujio) [JP/JP]; 〒1020083 東京都

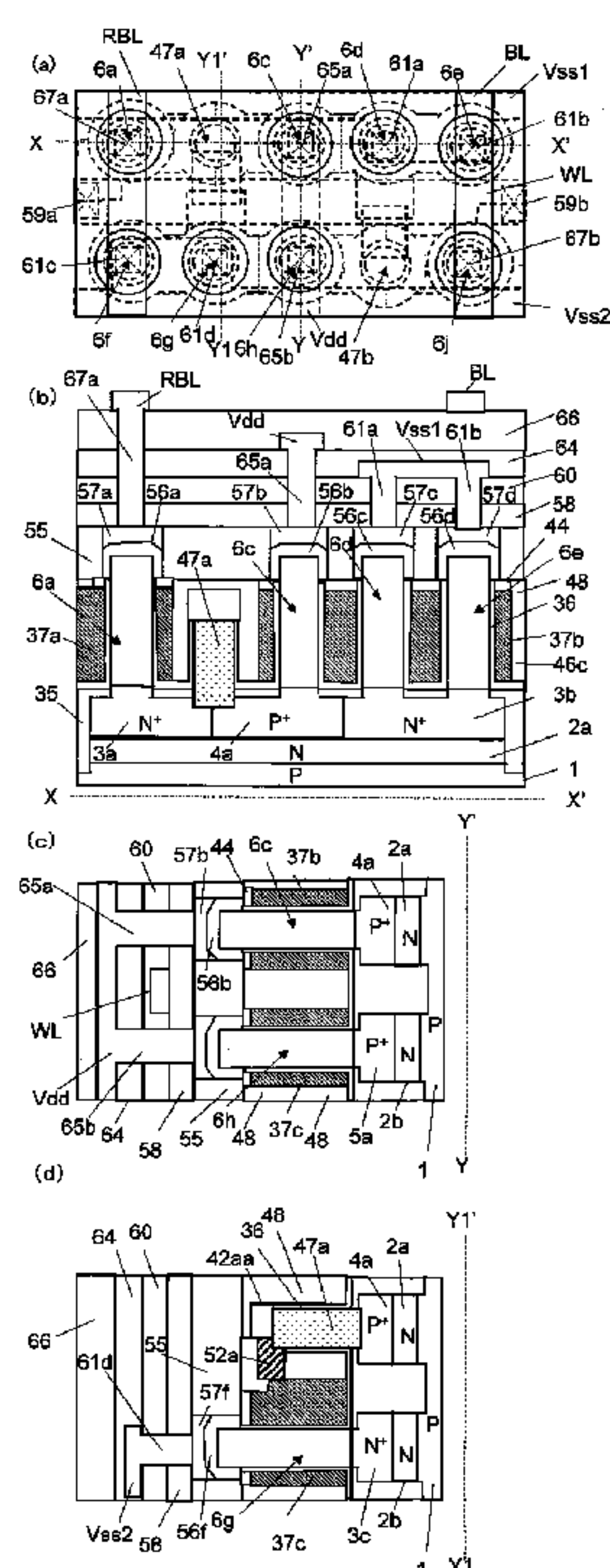
千代田区麹町1丁目3番7号 日月館麹町ビル5
階 S e m i c o n C o n s u l t i n g 株 式
会社内 Tokyo (JP). 原田 望(HARADA Nozomu)
[JP/JP]; 〒1020083 東京都千代田区麹町1丁目
3番7号 日月館麹町ビル5階 S e m i c o n
C o n s u l t i n g 株 式 会 社 内 Tokyo (JP).

(74) 代理人: 田中 伸一郎, 外(TANAKA Shinichiro
et al.); 〒1008355 東京都千代田区丸の内3
丁目3番1号 新東京ビル 中村合同特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: COLUMNAR SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 柱状半導体装置と、その製造方法



(57) Abstract: A bottom part of a contact Ta column 47a is connected to an N⁺ layer 3a and a P⁺ layer 4a, and a gate HfO₂ layer 36 is connected to side surfaces of Si columns 6a, 6b and the contact Ta column 47a, and to the upper surface of an SiO₂ layer 34 between the Si columns 6a, 6b and the contact Ta column 47a. In addition, gate TiN layers 37a, 37b are present on a side surface of the gate HfO₂ layer 36 that encircles Si columns 6a, 6c. Further, a middle point between the Si columns 6a, 6b and the contact Ta column is present on a single first line in a plan view.

(57) 要約: コンタクトTa柱47aの底部がN⁺層3a、P⁺層4aに繋がり、ゲートHfO₂層36が、Si柱6a、6b、コンタクトTa柱47aの側面と、Si柱6a、6b、コンタクトTa柱47a間のSiO₂層34上面と、に繋がっている。そしてSi柱6a、6cを囲んだゲートHfO₂層36の側面にゲートTiN層37a、37bがある。そして、Si柱6a、6b、コンタクトTa柱の midpoint が、平面視において、一つの第1の線上にある。

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :
一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：柱状半導体装置と、その製造方法

技術分野

[0001] 本発明は、柱状半導体装置と、その製造方法に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration)に3次元構造トランジスタが使われている。その中で、柱状半導体装置であるS G T (Surrounding Gate Transistor)は、高集積な半導体装置を提供する半導体素子として注目されている。また、S G Tを有する半導体装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレーナ型M O S トランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、S G Tのチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、S G Tはプレーナ型M O S トランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図5に、NチャネルS G Tの構造模式図を示す。P型又はi型（真性型）のS i 柱2 1 5（以下、シリコン半導体柱を「S i 柱」と称す。）の上下の位置に、一方がソースとして機能するときに、他方がドレインとして機能するN⁺領域2 1 6 a、2 1 6 bが形成されている。S i 柱2 1 5のソース、ドレインN⁺領域2 1 6 a、2 1 6 bの間の領域がチャネル領域2 1 7となる。このチャネル領域2 1 7を囲むようにゲート絶縁層2 1 8が形成され、ゲート絶縁層2 1 8を囲むようにゲート導体層2 1 9が形成されている。S G Tでは、ソース、ドレインN⁺領域2 1 6 a、2 1 6 b、チャネル領域2 1 7、ゲート絶縁層2 1 8、ゲート導体層2 1 9が、単一のS i 柱2 1 5に形成されている。このため、S G Tの表面の占有面積は、見かけ上、プレーナ型M O S トランジスタの単一のソース又はドレインN⁺領域の占有面積に相当するものになる。そのため、S G Tを有する回路チップでは、プレーナ型M O S

トランジスタを有する回路チップと比較して、更なるチップサイズの縮小化を実現することが可能である。

[0005] 図6に、SGTを用いたCMOSインバータ回路の断面図を示す（例えば、特許文献2、図38（b）を参照）。

このCMOSインバータ回路では、絶縁層基板120上にi層121（「i層」は、真性型Si層を示す。）が形成され、このi層121上にPチャネルSGTのためのSi柱SP1とNチャネルSGTのためのSi柱SP2とが形成されている。PチャネルSGTのドレインP⁺領域122が、i層121と同層に、かつ、平面視においてSi柱SP1の下部を囲むように形成されている。また、NチャネルSGTのドレインN⁺領域123が、i層121と同層に、かつ、平面視においてSi柱SP2の下部を囲むように形成されている。PチャネルSGTのソースP⁺領域124がSi柱SP1の頂部に形成され、NチャネルSGTのソースN⁺領域125がSi柱SP2の頂部に形成されている。Si柱SP1、SP2を囲み、P⁺領域122及びN⁺領域123の上表面上に延びるように、ゲート絶縁層126a、126bが形成され、ゲート絶縁層126a、126bを囲むように、PチャネルSGTのゲート導体層127aと、NチャネルSGTのゲート導体層127bと、が形成されている。これらゲート導体層127a、127bを囲むように、絶縁層であるサイドウォール窒化膜128a、128bが形成されている。これと同様に、Si柱SP1、SP2の頂部のP⁺領域、N⁺領域をそれぞれ囲むように、絶縁層であるサイドウォール窒化膜128c、128dが形成されている。PチャネルSGTのドレインP⁺領域122とNチャネルSGTのドレインN⁺領域123とはシリサイド層129bを介して接続されている。PチャネルSGTのソースP⁺領域124上にシリサイド層129aが形成され、NチャネルSGTのソースN⁺領域125上にシリサイド層129cが形成されている。さらに、ゲート導体層127a、127bの頂部にシリサイド層129d、129eが形成されている。Si柱SP1のP⁺領域122、124間にあるi層130aがPチャネルSGTのチャンネルとして機能し、Si

柱SP2のN⁺領域123、125間のi層130bがNチャネルSGTのチャネルとして機能する。絶縁層基板120、i層121及びSi柱SP1、SP2を覆うように、SiO₂層131が形成されている。コンタクトホール132aを介して、電源配線金属層Vdと、P⁺領域124及びシリサイド層129aと、が接続されている。コンタクトホール132bを介して、出力配線金属層Voと、P⁺領域122、N⁺領域123、シリサイド層129bと、が接続されている。さらに、コンタクトホール132cを介して、グランド配線金属層Vsと、N⁺領域125及びシリサイド層129cと、が接続されている。PチャネルSGTのゲート導体層127aとNチャネルSGTのゲート導体層127bとは、互いに接続された状態で入力配線金属層（図示せず）に繋がっている。これによりSGTを用いたCMOSインバータ回路が形成される。

[0006] 図6に示すSGTを有するCMOSインバータ回路においても、更なる回路の高密度化と高性能化が求められている。本回路において、更なる回路の高密度化と高性能化に対して、下記のような問題がある。コンタクトホール132bはSi柱SP1とSi柱SP2の間に形成されている。Si柱SP1、SP2とコンタクトホール132bは、別々のリソグラフィ工程と、エッチング工程により形成される。これにより、コンタクトホール132bの位置が、リソグラフィ工程のマスク合わせズレにより、Si柱SP1、SP2のいずれかに、近づいて形成される。このマスク合わせズレが、一方に大きくズレると、ゲート導体層126a、126bのいずれかと、出力配線金属層Voとの電氣的短絡不良が生じる。このため、この電氣的短絡が生じないように、Si柱SP1、SP2とコンタクトホール132bとの距離を、広げる必要がある。これは、更なる回路の高密度化に対する阻害要因になる。

[0007] SGTを用いた回路の高集積化が求められている。

先行技術文献

特許文献

[0008] 特許文献1：特開平2－188966号公報

特許文献2：米国特許出願公開第2010／0219483号明細書

非特許文献

[0009] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

発明の概要

発明が解決しようとする課題

[0010] 柱状半導体装置の高密度化の実現が求められている。

課題を解決するための手段

[0011] 本発明の観点に係る、SGT柱状半導体装置は、基板上に、垂直方向に立つ、第1の半導体柱と第2の半導体柱と、

前記第1の半導体柱の底部に、及び／または底部側面に接続するドレインまたはソースとなる第1の不純物層と、前記第2の半導体柱の底部に、及び／または底部側面に接続するソースまたはドレインとなる第2の不純物層と、

前記第1の半導体柱の上部内部に、及び／または上部を囲んであるドレインまたはソースとなる第3の不純物層と、前記第2の半導体柱の上部内部に、及び／または上部を囲んであるソースまたはドレインとなる第4の不純物層と、

前記第1の半導体柱と、前記第2の半導体柱と、を囲んだ第1のゲート絶縁層と、

前記第1の半導体柱外周の前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、前記第2の半導体柱外周の前記第1のゲート絶縁層を囲んだ第2のゲート導体層と、

平面視において、前記第1の不純物層と、前記第2の不純物層と、の間に位置し、且つ垂直方向に立ち、少なくとも中央部に導体層を有する第1のコ

ンタクト柱と、

前記第1のゲート絶縁層が、前記第1のコンタクト柱まで伸延して繋がり、且つ前記第1のコンタクト柱の側面を囲んでいる、
ことを特徴にする。

[0012] 前記第1のコンタクト柱の底部の、垂直方向における位置が、前記第1の半導体柱と、前記第2の半導体柱と、の底部位置より下にあることが好ましい。

[0013] 平面視において、前記第1の半導体柱と、前記第2の半導体柱と、に平行した2つの仮想の接線が、前記第1のコンタクト柱とも接していることが好ましい。

[0014] 前記第1のゲート絶縁層が、前記第1の半導体柱と、前記第2の半導体柱と、の外周部で異なる材料であり、前記第1のコンタクト柱の外周部には、前記第1の半導体柱と、前記第2の半導体柱と、のいずれかの前記第1のゲート絶縁層が、繋がっていることが好ましい。

[0015] 前記コンタクト柱の外周部に、平面視において、金属、合金、または絶縁層の単層、または複数層よりなる第1の材料層を設けることができる。

[0016] さらに、

平面視で、前記第1の半導体柱の midpoint と、前記第2の半導体柱の midpoint を結ぶ第1の線上に、前記第1のコンタクト柱の midpoint があることがあり、前記第1のコンタクト柱の反対側で前記第2の半導体柱に隣接して、前記第1の線上に midpoint を有する、第3の半導体柱があり、

前記第1のゲート絶縁層が、前記第2の半導体柱から伸延して、前記第3の半導体柱の側面を囲み、

前記第2のゲート導体層が、前記第2の半導体柱から伸延して、前記第3の半導体柱の外周部側面を囲み、

前記第2のゲート導体層が、前記第2の半導体柱と、前記第3の半導体柱と、の前記第1のゲート絶縁層の側面全体で接触している、ものとする
ことができる。

[0017] さらに、

前記第2の半導体柱の反対側で前記第3の半導体柱に隣接して、前記第1の中心線上に中点を有する、第4の半導体柱があり、

前記第1のゲート絶縁層が、前記第2の半導体柱と、前記第3の半導体柱と、から伸延して、前記第4の半導体柱側面を囲み、

前記第2のゲート導体層が、前記第2の半導体柱と、前記第3の半導体柱から伸延して、前記第4の半導体柱の外周部側面を囲み、

前記第2のゲート導体層が、前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱の前記第1のゲート絶縁層の側面全体で接触している、ものとすることができる。

[0018] 前記第1の半導体柱は選択用SGTを含み、

前記第2の半導体柱は負荷用SGTを含み、

前記第3の半導体柱は駆動用SGTを含み、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、を有してSRAMセルを構成することができる。

[0019] 前記第1の半導体柱は選択用SGTを含み、

前記第2の半導体柱は負荷用SGTを含み、

前記第3の半導体柱は駆動用SGTを含み、

前記第4の半導体柱は駆動用SGTを含み、

前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱と、を有してSRAMセルを構成することができる。

[0020] さらに、

前記第1半導体柱と、前記第2の半導体柱と、前記第1のコンタクト柱と、が平面視において、1つの方向に伸延した矩形形状を有し、且つ平面視において、互いに平行して配置することができる。

[0021] SGT柱状半導体装置の製造方法であって、

基板上に、第1の半導体柱と、第5の半導体柱と、第2の半導体柱とを、平面視でそれぞれの中点が第1の線上にあるように形成する工程と、

前記第 1 の半導体柱の底部に繋げてソースまたはドレインになる第 1 の不純物層を形成し、前記第 2 の半導体柱の底部に繋げてドレインまたはソースになる第 2 の不純物層を形成する工程と、

前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を囲み、且つ繋がった第 1 のゲート絶縁層を形成する工程と、

前記第 1 のゲート絶縁層の外側に、前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を囲み、且つ繋がった第 1 の導体層を形成する工程と、

前記第 5 の半導体柱をエッチングして、第 1 の空孔を形成する工程と、

前記第 1 の空孔内に、少なくとも中心部が導体である第 1 のコンタクト柱を形成する工程と、

前記第 1 の導体層をエッチングして、前記第 1 のコンタクト柱の外周部を囲む前記第 1 の導体層を除去し、且つ前記第 1 の半導体柱を囲む前記第 1 の導体層よりなる第 1 のゲート導体層と、前記第 2 の半導体柱を囲む前記第 1 の導体層よりなる第 2 のゲート導体層とを形成する工程と、

前記第 1 のゲート導体層と、前記第 1 のコンタクト柱を囲む前記第 1 のゲート絶縁層と、前記第 2 のゲート導体層の外周部に第 1 の絶縁層を形成する工程と、を有し、

前記第 1 のコンタクト柱が、前記第 1 の不純物層と、前記第 2 の不純物層とに電氣的に接続して、この接続が垂直方向へ伸延している、

ことを特徴とする。

[0022] 前記方法において、前記第 1 の空孔の底部の位置が、前記第 1 の半導体柱と、前記第 2 の半導体柱と、の底部位置より、垂直方向において下方になるように形成することが望ましい。

[0023] 前記方法において、さらに、

第 1 の空孔を形成した後、前記空孔の側面に、金属、合金、または絶縁層の単層、または複数層よりなる第 1 の材料層を形成する工程と、

平面視において、前記第 1 材料層の内側に第 2 の導体層を形成する工程、

を有し、

前記第1の材料層と、前記第2の導体層とが、前記第1のコンタクト柱であることが好ましい。

[0024] 前記方法において、さらに、平面視において、前記第1の半導体柱と、前記第5の半導体柱と、前記第2の半導体柱と、を前記第1の線と直交する方向に伸延した矩形形状に形成する工程、を有することができる。

[0025] 前記方法において、

前記第1の線と直交する方向に伸延する、前記第1の半導体柱と、前記第5の半導体柱と、前記第2の半導体柱を形成する前、

前記第1の半導体柱と、前記第5の半導体柱と、前記第2の半導体柱を形成するためのエッチングマスク材料層の内、前記第5の半導体柱を形成するための第1のエッチングマスク層の平面視における上下のいずれかの一部領域を除去する工程、を有することができる。

[0026] 前記方法において、

前記第1のコンタクト柱の反対側で前記第2の半導体柱に隣接して、平面視で前記第1の半導体柱の midpoint と前記第5の半導体柱との midpoint を結ぶ前記第1の線上に、midpoint を有する第3の半導体柱を形成する工程と、

前記第1のゲート絶縁層を、前記第2の半導体柱から伸延して、前記第3の半導体柱の側面を囲む工程と、

前記第2のゲート導体層を、前記第2の半導体柱と、前記第3の半導体柱と、の前記第1のゲート絶縁層の側面全体で接触させて形成する工程、を有することができる。

[0027] 前記方法において、

前記第2の半導体柱の反対側で前記第3の半導体柱に隣接して、前記第1の線上に、第4の半導体柱を形成する工程と、

前記第1のゲート絶縁層を、前記第3の半導体柱から伸延して、前記第4の半導体柱の側面を囲む工程と、

前記第2のゲート導体層を、前記第2の半導体柱と、前記第3の半導体柱

と、前記第4の半導体柱と、の前記第1のゲート絶縁層の側面全体で接触させて形成する工程、を有することができる。

[0028] 前記方法において、
前記第1の半導体柱に選択用SGTを形成し、
前記第2の半導体柱に負荷用SGTを形成し、
前記第3の半導体柱に駆動用SGTを形成する工程を、有し、
前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、
がSRAMセルの一部を構成することができる。

[0029] さらに、
前記第1の半導体柱に選択用SGTを形成し、
前記第2の半導体柱に負荷用SGTを形成し、
前記第3の半導体柱に駆動用SGTを形成し、
前記第4の半導体柱に駆動用SGTを形成する工程を、有し、
前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、
前記第4の半導体柱と、がSRAMセルの一部を構成することができる。

発明の効果

[0030] 本発明によれば、高密度の柱状半導体装置が実現する。

図面の簡単な説明

[0031] [図1A]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1B]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1C]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1D]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1E]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1F]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1G]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1H]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1I]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1J]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1K]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1L]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1M]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1N]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1O]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1P]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Q]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1R]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1S]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1T]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1U]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1V]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1W]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1X]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Y]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図1Z]第1実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2A]本発明の第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2B]第2実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3A]本発明の第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3B]本発明の第3実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4A]第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4B]第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4C]第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4D]第4実施形態に係るSGTを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5]従来例のSGTを示す模式構造図である。

[図6]従来例のSGTを用いたインバータ回路を示す模式構造図である。

発明を実施するための形態

[0032] 以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図面を参照しながら説明する。

[0033] (第1実施形態)

以下、図1A～図1Zを参照しながら、本発明の第1実施形態に係る、SGTを有する柱状半導体装置の製造方法について説明する。各図において、(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図、(d)はY1-Y1'に沿う断面構造図である。

[0034] 図1Aに示すように、P型半導体層（以下「P層」ともいう。）基板1上にN型半導体層（以下「N層」ともいう。）2をエピタキシャル結晶成長法により形成する。そして、N層2の表層にN⁺層3とP⁺層4、5をイオン注入法により形成する。そして、i層（真性型Si層）6を形成する。なお、i層6はドナーまたはアクセプタ不純物を少量含むN型、またはP型のSiで形成されてもよい。そして、例えば、SiO₂層、酸化アルミニウム（Al₂O₃、以後AlOと称する）層、SiO₂層が積層したマスク材料層7を形成する。そして、窒化シリコン（SiN）層8を堆積する。そして、SiO₂層からなるマスク材料層9を堆積する。そして、SiN層からなる上部マスク材料層10を堆積する。なお、本実施形態でシリコン（Si）層とされた部分には、シリコン（Si）以外の半導体材料を用いることもできる。他の実施形態でも同様である。

[0035] 次にリソグラフィ法により形成した平面視においてY方向に伸延した帯状レジスト層（図示せず）をマスクにして、上部マスク材料層10をエッチングする。これにより、平面視においてY方向に伸延した上部帯状マスク材料

層（図示せず）を形成する。なお、この上部帯状マスク材料層を等方性エッチングすることにより、上部帯状マスク材料層の幅を、レジスト層の幅より細くなるように形成する。これにより、リソグラフィ法で形成できる最小のレジスト層の幅より小さい幅を持つ帯状上部マスク材料層が形成できる。そして、図1Bに示すように、上部帯状マスク材料層をエッチングマスクにして、マスク材料層9と、SiN層8を、例えばRIE（Reactive Ion Etching）により、エッチングして帯状マスク材料層9a、帯状SiN層8aを形成する。等方エッチングにより形成した上部帯状マスク材料層の断面は底部の幅が、頂部の幅より大きい台形状になるのに対して、帯状マスク材料層9aの断面はRIEによりエッチングされるので、矩形状になる。そして、帯状上部マスク材料層を除去する。なお、この帯状上部マスク材料層は、マスク材料層8のエッチング後も残存させていてもよい。

[0036] 次に、全体に、ALD（Atomic Layered Deposition）法によりSiGe層（図示せず）と、SiO₂層（図示せず）と、をマスク材料層7、帯状マスク材料層8a、9aを覆って形成する。この場合、SiGe層の断面は頂部で丸み部分を生じる。この丸み部分は帯状マスク材料層9aより上部になるように形成するのが望ましい。次に、全体を、例えばフローCVD（Flow Chemical Vapor Deposition）法によるSiO₂層（図示せず）で覆い、そして、図1Cに示すように、CMP（Chemical Mechanical Polishing）により、上表面位置が帯状マスク材料層9a上表面位置になるように研磨して、SiO₂層13、SiGe層12a、12bを形成する。この場合、SiGe層12a、12bの頂部側面は垂直であることが望ましい。このためには、全体を覆ったSiO₂層と、SiGe層の研磨を、SiGe層12a、12b頂部の丸み部分が生じないようにおこなうことが望ましい。

[0037] 次に、SiO₂層13、帯状マスク材料層9aをマスクにして、SiGe層12a、12bの頂部をエッチングして凹部（図示せず）を形成する。このエッチングは、凹部の底部位置が、マスク材料層9aの下部位置にあるように行う。次に、全体にSiN層（図示せず）を被覆する。そして、全体をC

MP法により、上表面位置がマスク材料層9a上表面位置になるようにSiN層を研磨する。そして、SiO₂層13を除去する。これにより、図1Dに示すように、帯状マスク材料層8a、9aの両側に、平面視においてSiGe層12a、12bの頂部形状と同じ形状を有するSiN層15a、15bが形成される。

[0038] 次に、図1Eに示すように、帯状マスク材料層9a、15a、15bをマスクにして、SiGe層12a、12bをエッチングして、帯状SiGe層12aa、12abを形成する。この場合、平面視において、帯状SiGe層12aaと、帯状SiGe層12abとの幅は同じになる。

[0039] そして、帯状マスク材料層15a、15bと、帯状SiGe層12aa、12abを形成したのと、同様の方法を用いて、図1Fに示すように、帯状SiGe層12aaの左側面（（b）において。以下同様）に接した帯状SiN層16a、帯状SiGe層12abの右側面に接した帯状SiN層16bと、帯状マスク材料層15aの左側面に接した帯状マスク材料層17a、帯状マスク材料層15bの右側面に接した帯状マスク材料層17bと、を形成する。

[0040] そして、帯状マスク材料層15a、15bと、帯状SiGe層12aa、12abを形成したのと、同様の方法を用いて、図1Gに示すように、帯状SiN層16aの左側面（（b）において。以下同様）に接した帯状SiGe層18a、帯状SiN層16bの右側面に接した帯状SiGe層18bと、帯状マスク材料層17aの左側面に接した帯状マスク材料層19a、帯状マスク材料層17bの右側面に接した帯状マスク材料層19bと、を形成する。

[0041] そして、帯状マスク材料層17a、17bと、帯状SiN層16a、16bを形成したのと、同様の方法を用いて、図1Hに示すように、帯状SiGe層18aの左側面（（b）において。以下同様）に接した帯状SiN層20a、帯状SiGe層18bの右側面に接した帯状SiN層20bと、帯状マスク材料層19aの左側面に接した帯状マスク材料層21a、帯状マスク

材料層 19b の右側面に接した帯状マスク材料層 21b と、を形成する。

[0042] 次に、帯状マスク材料層 15a、15b、19a、19b と、帯状SiGe層 12aa、12ab、18a、18b をエッチングにより除去する。これにより、図 1 I に示すように、マスク材料層 7 上に、帯状SiN層 8a、16a、16b、20a、20b と、帯状SiN層 8a、16a、16b、20a、20b 上の帯状マスク材料層 9a、17a、17b、21a、21b が形成される。

[0043] 次に、全体にSiO₂層（図示せず）を被覆する。そして、図 1 J に示すように、CMP 法により、SiO₂層の上表面位置が、帯状マスク材料層 9a の上表面位置になるように研磨して、SiO₂層 22 を形成する。そして、全体にSiN層 24 とSiGe層（図示せず）と、マスク材料層（図示せず）を形成する。そして、リソグラフィ法と、RIE エッチング法により、X 方向に伸延した帯状マスク材料層 26 と、帯状SiGe層 25 と、を形成する。

[0044] そして、帯状マスク材料層 15a、15b と、帯状SiGe層 12aa、12ab を形成したのと、同様の方法を用いて、図 1 K に示すように、帯状SiGe層 25 の両側側面に接した、帯状SiN層 28a、28b と、帯状マスク材料層 26 の両側側面に接した帯状マスク材料層 27a、27b と、を形成する。

[0045] 次に、図 1 L に示すように、帯状マスク材料層 26 と、帯状SiGe層 25 と、を除去して、SiN層 24 上に、平面視において、X 方向に伸延した帯状SiN層 28a、28b と、帯状SiN層 28a、28b 上の帯状マスク材料層 27a、27b と、を形成する。

[0046] 次に、図 1 M に示すように、帯状マスク材料層 27a、27b、帯状SiN層 28a、28b をマスクにしてSiN層 24、帯状マスク材料層 9a、17a、17b、21a、21b、帯状SiN層 8a、16a、16b、20a、20b と、SiO₂層 22 と、をエッチングする。これにより、帯状マスク材料層 27a、帯状SiN層 28a の下に、帯状SiN層 24a と、平面視において、正形状のマスク材料層 21aa、21ab、17aa、1

7 a b、9 a aと、正方形形状マスク材料層2 1 a a、2 1 a b、1 7 a a、1 7 a b、9 a aの下に位置する正方形形状S i N材料層2 0 a a、2 0 a b、1 6 a a、1 6 a b、8 a aと、が形成される。同じく、帯状マスク材料層2 7 b、2 8 bの下に、帯状S i N層2 4 bと、平面視において、正方形形状のマスク材料層2 1 b a、2 1 b b、1 7 b a、1 7 b b、9 a bと、正方形形状マスク材料層2 1 b a、2 1 b b、1 7 b a、1 7 b b、9 a bの下に位置する正方形形状S i N材料層2 0 b a（図示せず）、2 0 b b（図示せず）、1 6 b a（図示せず）、1 6 b b（図示せず）、8 a bと、が形成される。また、同時に、帯状S i N層2 4 aの下にあって正方形形状マスク材料層2 1 a a、2 1 a b、1 7 a a、1 7 a b、9 a a、正方形形状S i N層2 0 a a、2 0 a b、1 6 a a、1 6 a b、8 a aの間に、S i O₂層2 2 aが形成される。同様に、帯状S i N層2 4 bの下にあって正方形形状マスク材料層2 1 b a、2 1 b b、1 7 b a、1 7 b b、9 a b、正方形形状S i N層2 0 b a、2 0 b b、1 6 b a、1 6 b b、8 a bの間に、S i O₂層2 2 b（図示せず）が形成される。

[0047] 次に、帯状マスク材料層2 7 a、2 7 b、帯状S i N層2 8 a、2 8 b、帯状S i N層2 4 a、2 4 b、S i O₂層2 2 a、2 2 bを除去する。これにより、マスク材料層7上に、平面視において正方形形状マスク材料層2 1 a a、2 1 a b、2 1 b a、2 1 b b、1 7 a a、1 7 a b、1 7 b a、1 7 b b、9 a a、9 a bと、正方形形状S i N層2 0 a a、2 0 a b、2 0 b a、2 0 b b、1 6 a a、1 6 a b、1 6 b a、1 6 b b、8 a a、8 a bと、が形成される。次に、正方形形状マスク材料層2 1 a a、2 1 a b、2 1 b a、2 1 b b、1 7 a a、1 7 a b、1 7 b a、1 7 b b、9 a a、9 a bと、正方形形状S i N層2 0 a a、2 0 a b、2 0 b a、2 0 b b、1 6 a a、1 6 a b、1 6 b a、1 6 b b、8 a a、8 a bと、をマスクにしてマスク材料層7をR I E法によりエッチングする。そして、正方形形状マスク材料層2 1 a a、2 1 a b、2 1 b a、2 1 b b、1 7 a a、1 7 a b、1 7 b a、1 7 b b、9 a a、9 a bと、正方形形状S i N層2 0 a a、2 0 a b、2

0 b a、2 0 b b、1 6 a a、1 6 b a、1 6 b b、8 a a、8 a bと、を除去する。これにより、i 層6上にマスク材料層7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h、7 i、7 jを形成する。例えば、マスク材料層7のR I Eエッチングの前に、正形状のマスク材料層2 1 a a、2 1 a b、2 1 b a、2 1 b b、1 7 a a、1 7 a b、1 7 b a、1 7 b b、9 a a、9 a bと、正形状S i N層2 0 a a、2 0 a b、2 0 b a、2 0 b b、1 6 a a、1 6 a b、1 6 b a、1 6 b b、8 a a、8 a bの片方、または両方を軽い等方性エッチングする。これにより、平面視における、マスク材料層7 a～7 jの形状を円形にする。次に、図1 Nに示すように、マスク材料層7 a～7 jをマスクにして、i 層6をエッチングして、N⁺層3と、P⁺層4、5との上に、S i 柱6 a（これは特許請求範囲の第1の半導体柱に対応する）、6 b（これは特許請求範囲の第5の半導体柱に対応する）、6 c（これは特許請求範囲の第2の半導体柱に対応する）、6 d（これは特許請求範囲の第3の半導体柱に対応する）、6 e（これは特許請求範囲の第4の半導体柱に対応する）、6 f、6 g、6 h、6 i、6 jを形成する。なお、S i 柱6 jも特許請求の範囲の第1の半導体柱に対応し、S i 柱6 iも特許請求範囲の第5の半導体柱に対応し、S i 柱6 hも特許請求の範囲の第2の半導体柱に対応することは明らかであるので、以下では特にこの点については記載しない。

[0048] 次に、F C V D (Flowable Chemical Vapor Deposition) 法でS i O₂層（図示せず）を被覆し、その後にC M P法と、R I E法により、表面位置がマスク材料層7 a～7 jの上部位置になるように研磨してS i O₂層（図示せず）を形成する。次に、R I E法によりS i O₂層を、上面位置がマスク材料層7 a～7 jの底部位置までエッチングする。そして、図1 Oに示すように、マスク材料層7 a、7 b、7 c、7 d、7 e側面を囲んだマスク材料層3 0 aと、マスク材料層7 f、7 g、7 h、7 i、7 j側面を囲んだマスク材料層3 0 bと、を形成する。そして、この平滑面上に、平面視においてS i 柱6 a、6 b、6 c、6 d、6 eに繋がった、帯状マスク材料層3 3 aと、S

i 柱 6 f、6 g、6 h、6 i、6 j に繋がった、帯状マスク材料層 3 3 b と、を形成する。次に、マスク材料層 3 0 a、3 0 b、7 a ~ 7 j、3 3 a、3 3 b をマスクにして、R I E により、S i O₂ 層、N⁺ 層 3、P⁺ 層 4、5、N 層 2、P 層基板 1 をエッチングする。これにより、マスク材料層 3 0 a、帯状マスク材料層 3 3 a の下に S i O₂ 層 3 1 a が形成される。同時に、マスク材料層 3 0 b、帯状マスク材料層 3 3 b の下に S i O₂ 層 3 1 b が形成される。そして、S i 柱 6 a、6 b、6 c、6 d、6 e の下部にあって、且つ P 層基板 1 上に、N 層 2 a と、N⁺ 層 3 a、3 b、P⁺ 層 4 a が形成される。同様に、S i 柱 6 f、6 g、6 h、6 i、6 j の下部にあって、且つ P 層基板 1 上に、N 層 2 b と、N⁺ 層 3 c（図示せず）、3 d（図示せず）、P⁺ 層 5 a が形成される。

[0049] 次に、マスク材料層 3 0 a、3 0 b、3 3 a、3 3 b、S i O₂ 層 3 1 a、3 1 b を除去する。これにより、図 1 P に示すように、繋がった N⁺ 層 3 a（これは特許請求範囲の第 1 の不純物層に対応する）、3 b、P⁺ 層 4 a（これは特許請求範囲の第 2 の不純物層に対応する）上に S i 柱 6 a、6 b、6 c、6 d、6 e が形成される。同じく、繋がった N 層 3 c、3 d、P⁺ 層 5 a 上に S i 柱 6 f、6 g、6 h、6 i、6 j が形成される。

[0050] 次に、図 1 Q に示すように、N⁺ 層 3 a、3 b、3 c、3 d、P⁺ 層 4 a、5 a、N 層 2 a、2 b の外周部と、P 層基板 1 上に S i O₂ 層 3 5 を形成する。そして、A L D 法と C M P 法により、S i O₂ 層 3 5 と、S i 柱 6 a ~ 6 j と、マスク材料層 7 a ~ 7 j を覆って、ゲート絶縁層となる H f O₂ 層 3 6（これは特許請求範囲の第 1 のゲート絶縁層に対応する）と、ゲート導体層となる T i N 層 3 7 を形成する。この場合、T i N 層 3 7（これは特許請求範囲の第 1 の導体層に対応する）は、S i 柱 6 a、6 b、6 c、6 d、6 e 間の側面同士で接触していることが望ましい。同じく、T i N 層 3 7 は、S i 柱 6 f、6 g、6 h、6 i、6 j 間の側面同士で接触していることが望ましい。そして、全体にマスク材料層 3 8 を形成する。なお、T i N 層 3 7 は、S i 柱 6 a、6 b、6 c、6 d、6 e 間と、S i 柱 6 f、6 g、6 h、6 i、

6 j 間と、の側面同士で接触する厚さだけ形成した後、その外周部を、例えばタングステン層（以下「W層」ともいう。）により形成してもよい。

[0051] 次に、図1 Rに示すように、リソグラフィ法により、平面視において、Si柱6 b、6 iを囲んで窓を有したレジスト層3 9を形成する。そして、レジスト層3 9をエッチングマスクにして、マスク材料層3 8、HfO₂層3 6、マスク材料層7 b、7 i、Si柱6 b、6 iをエッチングして空孔4 0 a、4 0 bを形成する。このエッチングは空孔4 0 a、4 0 bの底部位置が、この空孔4 0 a、4 0 bを囲むN⁺層3 a、3 d、P⁺層4 a、5 aの上面位置より下になるように行う。なお、レジスト層3 9は空孔4 0 a、4 0 bを形成する目的に合うものであれば、単層、または複数層の他の材料層であってもよい。

[0052] 次に、レジスト層3 9を除去する。そして、図1 Sに示すように、空孔4 0 a、4 0 b内全体に、タンタル（Ta）などの導体層（図示せず）をALD法により形成する。そして、全体をCMP法により研磨する。そして、図1 Sに示すように、柱状のTa層の上部をRIE法によりエッチバックしてTa柱4 1 a、4 1 bを形成する。そして、垂直方向において、Ta柱4 1 a、4 1 bより上部のHfO₂層3 6を除去する。そして全体にSiO₂層（図示せず）を被覆して、CMP法により、その上面位置が、マスク材料層3 8の上面位置になるように研磨して、Ta柱4 1 a（これは特許請求範囲の第1のコンタクト柱に対応する）、4 1 bの上にSiO₂層4 2 a、4 2 bを形成する。Ta柱4 1 aはN⁺層3 a、P⁺層4 aを接続するコンタクト部となる。同じく、Ta柱4 1 bはN⁺層3 d、P⁺層5 aを接続するコンタクト部となる。また、Ta柱4 1 a、4 1 bは、Si柱6 a、6 c、6 d、6 e、6 f、6 h、6 jと、同時に形成したSi柱6 b、6 iと同じ位置で、且つ同じ形状で形成される。これにより、Ta柱4 1 a、4 1 bは、Si柱6 a、6 c、6 d、6 e、6 f、6 h、6 jに対して、自己整合で形成される。この自己整合とは、2つの構造物の形成において、例えばリソグラフィ法におけるマスク合わせズレがないように2つの構造物を形成できることを意味する

。この自己整合により構造物を高密度、高精度に形成できる。なお、T a 柱 4 1 a、4 1 b を形成する前に、空孔 4 0 a、4 0 b の内面に、N⁺層 3 a、P⁺層 4 a と、T a 柱 4 1 a との接触抵抗、及び N⁺層 3 d、P⁺層 5 a と、T a 柱 4 1 b と、の接触抵抗を下げるためのバッファ導体層を形成してもよい。また、平面視において、S i 柱 6 a、6 c、6 d、6 e と T a 柱 4 1 a とは、共通の 2 本の接線 A、B に接して配置されている。同じく S i 柱 6 f、6 g、6 h、6 j、T a 柱 4 1 b とは、共通の 2 本の接線に接して配置されている。同じく S i 柱 6 f、6 g、6 h、6 j、T a 柱 4 1 b とは、共通の 2 本の接線に接して配置されている。S i 柱 6 a、6 c、6 d、6 e と T a 柱 4 1 a との midpoint は、X-X' 線上にある。同じく、S i 柱 6 f、6 g、6 h、6 j、T a 柱 4 1 b の midpoint は、X-X' 線と平行した同一線上にある。

なお、空孔 4 0 a、4 0 b 内に T a 層を形成する前に、その側面に導体層、絶縁体層、又はこれらを複合した層による側壁を形成してもよい。

[0053] 次に、図 1 T に示すように、R I E 法を用いて、マスク材料層 3 8、T i N 層 3 7、S i O₂ 層 4 2 a、4 2 b を、それらの上面位置が S i 柱 6 a、6 c、6 d、6 e、6 f、6 h、6 j の上部位置になるようにエッチバックして、T i N 層 3 7 A、S i O₂ 層 4 2 a a、4 2 b b（図示せず）を形成する。そして、S i 柱 6 a、6 c、6 d、6 e、6 f、6 h、6 j 頂部の外周部に S i N 層 4 4 を形成する。

[0054] 次に、全体に S i O₂ 層（図示せず）を被覆する。そして、S i O₂ 層を R I E エッチすることで、図 1 U に示すように、S i N 層 4 4 上の、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の頂部と、マスク材料層 7 a、7 c、7 d、7 e、7 f、7 g、7 h、7 j と、の側面に S i O₂ 層 4 6 a、4 6 b、4 6 c、4 6 d を形成する。この場合、S i O₂ 層 4 6 b は S i 柱 6 c、6 d、6 e 間で、繋がって形成される。同様に、S i O₂ 層 4 6 c は S i 柱 6 f、6 g、6 h 間で、繋がって形成される。そして、リソグラフィ法により、平面視において、S i 柱 6 a に一部が重なったレジスト層 4 7 a と、S i 柱 6 d に一部が重なったレジスト層 4 7 b と、S i 柱 6 g に一部が重

なったレジスト層47cと、Si柱6jに一部が重なったレジスト層47dと、を形成する。

[0055] 次に、図1Vに示すように、SiO₂層46a、46b、46c、46dと、レジスト層47a、47b、47c、47dと、をマスクにして、SiN層44、TiN層37AをRIE法によりエッチングして、平面視において、Si柱6a（これは特許請求範囲の第1の半導体柱に対応する）を囲んだゲート導体層となるTiN層37a（これは特許請求範囲の第1のゲート導体層に対応する）と、Si柱6c、6d、6eを囲んだゲート導体層となるTiN層37b（これは特許請求範囲の第2のゲート導体層に対応する）と、Si柱6f、6g、6hを囲んだゲート導体層となるTiN層37cと、Si柱6jを囲んだゲート導体層となるTiN層37e（図示せず）と、を形成する。これにより、Ta柱41a（これは特許請求範囲の第1のコンタクト柱に対応する）、41bを覆った、SiO₂層42aa、42bb、HfO₂層36の外側を覆っていたTiN層37は除去される。そして、レジスト層47a、47b、47c、47dを除去する。

[0056] 次に、FCVD（Flowable Chemical Vapor Deposition）法により全体にSiO₂層（図示せず）を被覆する。そして、CMP法によりSiO₂層を研磨して、図1Wに示すように、SiO₂層48を形成する。そして、リソグラフィ法とRIE法を用いて、レジスト層49をマスクにして、SiO₂層48、42aa、42bbをエッチングして、平面視において、Ta柱41aとTiN層37cに一部が重なった凹部50aと、Ta柱41bとTiN層37bに一部が重なった凹部50bと、を形成する。凹部50aの底部はTiN層37cと、Ta柱41aと、の上面にある。そして、凹部50bの底部はTiN層37bと、Ta柱41bと、の上面にある。

[0057] 次に、全体にW層を被覆した後に、CMP法によりW層上面を研磨する。そして、図1Xに示すように、RIE法により、W層をエッチバックして、凹部50aの底部にW層52aを、凹部50bの底部にW層52bを形成する。そして、W層52a、52bのそれぞれの上にSiO₂層53a、53b（

図示せず)を形成する。SiO₂層53a、53bの上面位置は、CMP法を用いて、SiO₂層48の上面位置と同じくさせる。これにより、N⁺層3a、P⁺層4aと、TiN層37cとが、コンタクト部であるTa柱41aと、W層52aを介して、電氣的に接続される。同じく、N⁺層3d、P⁺層5aと、TiN層37bとが、コンタクト部であるTa柱41bと、W層52bを介して、電氣的に接続される。

[0058] 次に、RIE法を用いて、SiO₂層48、46a、46b、46c、46dを、上面位置がSiN層44の上面位置になるようにエッチバックする。そして、全体にSiO₂層55を形成する。そして、マスク材料層7a、7c、7d、7e、7f、7g、7h、7jと、Si柱6a、6c、6d、6e、6f、6g、6h、6jの頂部外周のSiO₂層55をエッチングして凹部(図示せず)を形成する。そして、図1Yに示すように、Si柱6a、6d、6e、6f、6g、6jのそれぞれを覆って、たとえば選択エピタキシャル結晶成長法により、ドナー不純物原子を含んだN⁺層56a(これは特許請求範囲の第3の不純物層に対応する)、56c、56d、56e(図示せず)、56h(図示せず)を形成する。そして、Si柱6c、6hのそれぞれを覆って、たとえば選択エピタキシャル結晶成長法により、アクセプタ不純物原子を含んだP⁺層56b(これは特許請求範囲の第4の不純物層に対応する)、56gを形成する。そして、N⁺層56a、56c、56d、56e(図示せず)、56f、56h(図示せず)上の凹部内にW層57a、57c、56d、56e(図示せず)、56f、56h(図示せず)を形成する。同様に、P⁺層56b、56g上の凹部内にW層57b、57gを形成する。なお、熱処理を行い、N⁺層56a、56c、56d、56e、56f、56h、P⁺層56b、56gからドナー、またはアクセプタ不純物原子をSi柱6a、6c、6d、6e、6f、6g、6h、6jの頂部に拡散させて、Si柱6a、6c、6d、6e、6f、6g、6h、6jの頂部にN⁺領域、またはP⁺領域を形成させてもよい。また、N⁺層56a、56c、56d、56e、56f、56h、P⁺層56b、56gを形成する前に、例えばイオン注

入により、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の頂部にN⁺領域、またはP⁺領域を形成させてもよい。

[0059] 次に、図 1 Z に示すように、全体を覆って上表面が平坦なS i O₂層 5 8 を形成する。そして、T i N 層 3 7 a、3 7 d 上に形成したコンタクトホール 5 9 a、5 9 b c を介して、ワード金属配線層W L を形成する。全体を覆って上表面が平坦なS i O₂層 6 0 を形成する。そして、W 層 5 7 c、5 7 d 上に形成したコンタクトホール 6 1 a、6 1 b を介して、グランド配線層V s s 1 を形成する。同時に、W 層 5 7 e、5 7 f 上に形成したコンタクトホール 6 1 c、6 1 d を介して、グランド配線層V s s 2 を形成する。そして、全体を覆って上表面が平坦なS i O₂層 6 4 を形成する。そして、W 層 5 7 b、5 7 g 上に形成したコンタクトホール 6 5 a、6 5 b を介して電源金属配線層V d d を形成する。そして、全体を覆って上表面が平坦なS i O₂層 6 6 を形成する。そして、W 層 5 7 a、5 7 h 上に形成したコンタクトホール 6 7 a、6 7 b を介してビット出力金属配線層B L、反転ビット出力配線層R B L を形成する。これにより、P 層基板 1 上に高密度S R A M (Static Random Access Memory) セル回路が形成される。

[0060] 図 1 Z に示されているように、S i 柱 6 a に選択S G T、S i 柱 6 c に負荷S G T、S i 柱 6 d、6 e に駆動S G T が形成されている。同じく、S i 柱 6 f、6 g に駆動S G T、S i 柱 6 h に負荷S G T、S i 柱 6 j に選択S G T が形成される。

[0061] なお、本実施形態の説明では、N⁺層 3 a はS i 柱 6 a の底部から、水平方向に伸延して、P⁺層 4 a に接続した構造を用いた。これは、N⁺層 3 b、3 c、3 d、P⁺層 5 a についても同じである。このN⁺層 3 a、3 b、3 c、3 d、P⁺層 4 a、5 a は他の構造を用いて形成してもよい。たとえば、S i 柱 6 a の底部側面を囲んで、例えば選択エピタキシャル結晶成長法を用いて、N⁺層を形成してもよい。同じ方法により、N⁺層 3 b、3 c、3 d、P⁺層 4 a、5 a を形成してもよい。この場合、N⁺層 3 a、3 b、3 c、3 d、P⁺層 4 a、5 a は、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の側面

に繋がって形成される。また、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の側面に繋がったN⁺層、P⁺層からS i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の底部に熱拡散させると、N⁺層、P⁺層は、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の内部、及び側面に繋がって形成される。このように、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の底部、及び／または側面に形成するN⁺層 3 a、3 b、3 c、3 d、P⁺層 4 a、5 aの形成方法は、回路設計、及び製造からの要求に従って選択される。

なお、本実施形態は、S R A Mを例にして説明したが、他の回路に本発明を適用する場合、N⁺層 3 a、3 b、3 c、3 d、P⁺層 4 a、5 aに対応する不純物層の極性は、回路設計仕様に従い、同じでもよいし、もしくは異なってもよい。

[0062] また、第1実施形態では、図1 Yに示したように、選択エピタキシャル結晶成長法を用いて、N⁺層 5 6 a、5 6 c、5 6 d、5 6 e、5 6 f、5 6 h、P⁺層 5 6 b、5 6 gをS i 柱 6 a、6 c、6 d、6 e、6 f、6 h、6 j の頂部を囲んで形成した。この後に、熱処理により、ドナー不純物原子、またはアクセプタ不純物原子を、S i 柱 6 a、6 c、6 d、6 e、6 f、6 h、6 j の頂部に熱拡散させて、N⁺層、又はP⁺層を、S i 柱 6 a、6 c、6 d、6 e、6 f、6 h、6 j の頂部内部に形成してもよい。このように、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の頂部内部、及び／または頂部を囲んで形成するN⁺層 5 6 a、5 6 c、5 6 d、5 6 e、5 6 f、5 6 h、P⁺層 5 6 b、5 6 gの形成方法は、回路設計、及び製造からの要求に従って選択される。

[0063] なお、本実施形態では、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j に、それぞれ1個のS G Tを形成した例を説明した。本発明は、1つの半導体柱に複数のS G Tを形成する場合に対しても、適用される。この場合、図1 Zに示す、S i 柱 6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 j の頂部を囲んで形成したN⁺層 5 6 a、5 6 c、5 6 d、5 6 e、5 6 f

、5 6 h、P⁺層5 6 b、5 6 gは、半導体柱の側面外周部、または内部、または側面外周と内部の両方に形成してもよい。このように、N⁺層5 6 a、5 6 c、5 6 d、5 6 e、5 6 f、5 6 h、P⁺層5 6 b、5 6 gに対応する不純物層は半導体柱の上部内部、及び／または上部を囲んだ形態を採ることができる。

[0064] なお、図1 Qにおいては、ゲートH f O₂層3 6はS i柱6 a、6 b、6 c、6 d、6 e、6 f、6 g、6 h、6 i、6 jの側面に同時に形成された。これに対して、S i柱6 a、6 b側面を第1ゲート絶縁層で囲み、S i柱6 c、6 d、6 eを第1ゲート絶縁層と別の第2ゲート絶縁層で囲んでもよい。これにより、コンタクト部のT a柱4 1 aの側面は、S i柱6 aから繋がった第1ゲート絶縁層で支えられる。また、S i柱6 b、6 c、6 d、6 e側面を第1ゲート絶縁層で囲み、S i柱6 aを第1ゲート絶縁層と別の第2ゲート絶縁層で囲んでもよい。これにより、コンタクト部のT a柱4 1 aの側面は、S i柱6 c、6 d、6 eから繋がった第1ゲート絶縁層で支えられる。また、ゲート導体層であるT i N層3 7 aとT i N層3 7 bとは、異なる導体材料層で形成してもよい。

[0065] 第1実施形態の製造方法によれば、次のような特徴が得られる。

(特徴1)

N⁺層3 a、P⁺層4 aを接続するコンタクト部T a柱4 1 aと、N⁺層3 c、P⁺層5 aを接続するコンタクト部T a柱4 1 bと、はS i柱6 b、6 iが形成された位置に、それらの外周形状を同じくして形成されている。S i柱6 b、6 iは、T a柱4 1 a、4 1 bと自己整合で形成されているので、コンタクト部T a柱4 1 a、4 1 bは、S i柱6 a、6 c、6 d、6 e、6 f、6 g、6 h、6 jに対して、自己整合で形成される。これはS R A Mセルの高密度化に繋がる。

(特徴2)

本実施形態では、図1 Vに示すように、ゲートT i N層3 7 a、3 7 b、3 7 c、3 7 dを形成した後、T a柱4 1 a、4 1 bは、T i N層3 7 a、

37b、37c、37dから離れて、孤立して立っている。Ta柱41a、41bの側面全体には、Si柱6a、6c、6d、6e、6f、6g、6h、6jの側面全体を囲んだゲート絶縁層であるHfO₂層36が繋がって形成されている。Ta柱41a、41bは金属柱であるため、単結晶Si柱6a、6c、6d、6e、6f、6g、6h、6jと比べて柔らかい。このため、Ta柱41a、41bだけが立った形態では、洗浄などの工程において、倒れ、または傾き問題を生じる。これに対して、本実施形態では、Si柱6a、6c、6d、6e、6f、6g、6h、6jの側面から繋がったHfO₂層36が、転倒、または傾き発生に対する防止層として働く。

(特徴3)

本実施形態では、Ta柱41a、41bの底部位置は、Ta柱41a、41bを囲むN⁺層3a、3b、3c、3d、P⁺層4a、5aの上面位置より下になるように形成した。これにより、Ta柱41a、41bを支える支点が、HfO₂層36の底部と、Ta柱41a、41bの底部と、の2点になる。これにより、Ta柱41a、41bの転倒、または傾き防止を更に改善できる。

(特徴4)

コンタクト部Ta柱41a、41bを、Si柱6a、6c、6d、6e、6f、6g、6h、6jに対して自己整合で形成されることによって、Ta柱41aとSi柱6a、6c間の距離と、Ta柱41bとSi柱6h、6j間の距離と、を短くできる。Ta柱41aとSi柱6a、6c間の距離は、図1Hに示すように、帯状SiGe層18a、12aaの厚さで定められる。そして、Ta柱41bとSi柱6h、6j間の距離は、帯状SiGe層18b、12abの厚さで定められる。帯状SiGe層18a、18bは、同時にALD法により形成されている。同じく、帯状SiGe層12aa、12abは、同時にALD法により形成されている。ALD法では、材料層を1原子層、または1分子層ごと制御よく堆積できる。これにより、平面視において、帯状SiGe層18a、18b、12aa、12abの厚さを、設

計からの要求に応じて、高精度で、且つ狭くすることができる。これにより、ゲートT i N層4 0 b、4 0 cを、S i 柱7 c、7 d、7 e間と、S i 柱7 f、7 g、7 h間と、のそれぞれの側面で接触させて形成できる。これにより、S i 柱7 c、7 d、7 e間と、S i 柱7 f、7 g、7 h間と、の距離を、ゲートH f O₂層3 6と、ゲートT i N層4 0 b、4 0 cと、を加えた厚さの2 倍まで短く出来る。このように、コンタクト部T a 柱4 1 a、4 1 bを自己整合で形成することと、コンタクト部T a 柱4 1 a、4 1 bと、それぞれの両側のS i 柱6 a、6 c、6 h、6 j 間の距離をA L D法による帯状S i G e層1 2 a a、1 2 a b、1 8 a、1 8 bの厚さで定められることにより、S R A Mセルの高密度化が図れる。

[0066] (第2実施形態)

以下、図2 A、図2 Bを参照しながら、本発明の第2実施形態に係る、S G Tを有する柱状半導体装置の製造方法について説明する。各図において、(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図、(d)は(a)のY1-Y1'線に沿う断面構造図である。なお、第1実施形態における構成部分と同一又は対応する構成部分には同一の符号を付して、重複した説明を省略する。

[0067] 図1 A～図1 Rで示した工程と同じ工程を行う。この場合、空孔4 0 a、4 0 bの底部位置はN⁺層3 a、3 b、3 c、3 d、P⁺層4 a、5 aの上面位置より下になるように形成する。次に、全体にA L D法を用いてW層で覆う。そして、図2 Aに示すように、R I E法を用いて、底部のW層を除去して、空孔4 0 a（これは特許請求範囲の第1の空孔に対応する）、4 0 bの側面にW層7 0 a、7 0 bを形成する。なお、W層7 0 a、7 0 bは、単層または複数層よりなる金属、合金、または絶縁層であってもよい。

[0068] 次に、図1 S～図1 Vで示した工程と同じ工程を行う。これにより、図2 Bに示すように、T a 柱4 1 a、4 1 bと、それら外周を囲んだH f O₂層3 6との間にW層7 0 a a、7 0 b b（図示せず）が形成される。T a 柱4 1 a、4 1 b、W層7 0 a a（これは特許請求範囲の第1の材料層に対応する

）、 $70bb$ 上には SiO_2 層 $42aa$ 、 $42bb$ （図示せず）が形成されている。そして、図1W～図1Zで示したのと同じ工程を行うことによって、P層基板1上に高密度SRAMセル回路が形成される。

[0069] 第2実施形態の製造方法によれば、次のような特徴が得られる。

（特徴1）

第1実施形態では、コンタクト部Ta柱 $41a$ 、 $41b$ の転倒、または傾き防止のためTa柱 $41a$ 、 $41b$ の側面を囲んだ HfO_2 層36を用いた。これに対し、本実施形態では、更にTa柱 $41a$ 、 $41b$ の側面を囲んでW層 $70aa$ 、 $70bb$ を形成することによって、Ta柱 $41a$ 、 $41b$ の転倒、または傾き発生を、更に防止することができる。なお、W層 $70aa$ 、 $70bb$ に変えて絶縁層を用いても、コンタクトTa柱 $40a$ 、 $40b$ の断面中心部がTaによる導体層であるので、N⁺層3a、3d、P⁺層4a、5aと、の電氣的接続は問題ない。

（特徴2）

第1実施形態においてのTa柱 $41a$ 、 $41b$ の転倒、または傾き防止に、ゲート絶縁層である HfO_2 層36のみを用いている。 HfO_2 層36は、回路設計から求められるゲート絶縁層としての、例えば膜厚、物理定数などの使用上の制約を持つ。これに対して、本実施形態では、W層 $70aa$ 、 $70bb$ は、他の金属層、合金層、絶縁層を用いて、より望ましい転倒、または傾き防止のためのプロセス設計が可能である。

（特徴3）

本実施形態では、W層 $70aa$ 、 $70bb$ の底部位置はN⁺層3a、3b、3c、3d、P⁺層4a、5aの上面位置より下になるように形成した。これにより、Ta柱 $41a$ 、 $41b$ を支える支点が、 HfO_2 層36の底部と、W層 $70aa$ 、 $70bb$ の底部と、の2点になる。これにより、Ta柱 $41a$ 、 $41b$ の転倒、または傾き防止を更に改善できる。

[0070] （第3実施形態）

以下、図3A、図3Bを参照しながら、本発明の第3実施形態に係る、S

G Tを有する柱状半導体装置の製造方法について説明する。各図において、(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図である。本実施形態は、第1実施形態が8個のSGTでSRAMセルを構成した例に対して、6個のSGTでSRAMセルを構成した例である。

[0071] 図1A～図1Nに示した工程と同等の工程を行い、図3Aに示すように、N⁺層72と、P⁺層73a、73bとの上に、Si柱75a、75b、75c、75d、75e、75f、75g、75hを形成する。Si柱75a～75hの頂部上にマスク材料層74a、74b、74c、74d、74e（図示せず）、74f、74g（図示せず）、74h（図示せず）を形成している。そして、N⁺層72と、P⁺層73a、73bは、第1実施形態と同じくP層基板1、N層2上に形成する。これにより、第1実施形態では、1セル領域に8個のSi柱6a～6jが形成されたに対して、本実施形態では、1つのSRAMセル内に6個のSi柱75a、75b、75c、75d、75e、75f、75g、75hが形成される。また、平面視において、Si柱75a、75b、75cとは、共通の2本の接線A'、B'に接して配置されている。同じくSi柱75f、75g、75hとは、共通の2本の接線に接して配置されている。

[0072] 次に図1O～図1Xで示した工程と同等の工程を行う。そして、空孔（図示せず）の底部外周部のN⁺層72a、P⁺層73aaの上面に、例えばNiSiなどの合金層76aを形成する。同じく、N⁺層72d、P⁺層73bbの上面に、合金層（図示せず）を形成する。そして、図3Bに示すように、Si柱75b、75gの場所にコンタクト部であるTa柱80a、80bを形成する。N層2a上にN⁺層72a、72b、P⁺層73aaが形成される。同じく、N層2b上にN⁺層72c、72d（図示せず）、P⁺層73bbが形成される。そして、Si柱75a、75c、75d、75e、75f、75g、75hと、Ta柱80a、80bの底部の外周部にSiO₂層77が形成される。そして、Si柱75a、75c、75d、75e、75f、75g、75h、Ta柱80

a、80bの側面と、SiO₂層77上に、ゲート絶縁層であるHfO₂層78が形成される。HfO₂層78の外側にあつて、Si柱75aを囲んだゲート導体層であるTiN層84aと、Si柱75c、75dを囲んだゲート導体層であるTiN層84bと、Si柱75e、75fを囲んだゲート導体層であるTiN層84cと、Si柱75hを囲んだゲート導体層であるTiN層84dが形成される。Si柱75a、マスク材料層74aの側面を囲んだ、SiN層82a、SiO₂層83aがTiN層84a上に形成されている。同じく、Si柱75c、75d、マスク材料層74c、74dの側面を囲んだ、SiN層82b、SiO₂層83bがTiN層84b上に形成されている。同じく、Si柱75e、75f、マスク材料層74e、74fの側面を囲んだ、SiN層82c、SiO₂層83cがTiN層84c上に形成されている。同じく、Si柱75h、マスク材料層74hの側面を囲んだ、SiN層82d、SiO₂層83dがTiN層84d上に形成されている。そして、Ta柱80a、80b上にSiO₂層81a、81b（図示せず）が形成されている。そして、全体を囲み、その上面位置がマスク材料層74a、74c、74d、74e、74f、74hの上面位置となるSiO₂層85が形成される。そして、Ta柱80aとTiN層84cとを接続するW層87aが形成される。同じく、Ta柱80bとTiN層84bとを接続するW層87b（図示せず）が形成される。そして、W層87a上にSiO₂層88aが、同じくW層87b上にSiO₂層88b（図示せず）が形成される。そして、図1Y、図1Zで示した工程と、同等の工程を行う。これによりP層基板1上にSRAMセル回路が形成される。なお、平面視において、Si柱75a、75cと、Ta柱80aとは、図4Cで示した共通の2本の接線A'、B'に接して配置されている。同じくSi柱75f、75hと、Ta柱80bとは、共通の2本の接線に接して配置されている。

[0073] 図3Bにおいて、Si柱75aに選択SGT、Si柱75cに負荷SGT、Si柱75dに駆動SGTが形成されている。同じく、Si柱75eに駆動SGT、Si柱75fに負荷SGT、Si柱75hに選択SGTが形成さ

れる。

[0074] 第3実施形態の製造方法によれば、次のような特徴が得られる。

(特徴1)

N⁺層72a、P⁺層73aaを接続するコンタクト部Ta柱80aと、N⁺層72d、P⁺層73bbを接続するコンタクト部Ta柱80bと、はSi柱75b、75gが形成された位置に、それらの外周形状を同じくして形成されている。Si柱75b、75gは、Ta柱80a、80bと自己整合で形成されているので、コンタクト部Ta柱80a、80bは、Si柱75a、75c、75d、75e、75f、75hに対して、自己整合で形成される。これはSRAMセルの高密度化に繋がる。

(特徴2)

本実施形態では、第1実施形態と同じく、Ta柱80a、80bの側面全体を囲んでSi柱75a、75c、75d、75e、75f、75hの側面全体を囲んだゲート絶縁層であるHfO₂層78が繋がって形成されている。本実施形態では、Si柱6a、6c、6d、6e、6f、6g、6h、6jの側面からTa柱80a、80b側面に繋がったHfO₂層78が、Ta柱80a、80bの転倒、または傾き発生に対する防止層として働く。

(特徴3)

第1実施形態と同じく、コンタクト部Ta柱80a、80bを、Si柱6a、6c、6d、6e、6f、6g、6h、6jに対して自己整合で形成されることによって、Ta柱80aとSi柱75a、75c間の距離と、Ta柱80bとSi柱6f、6h間の距離と、を短くできる。これにより、ゲートTiN層84b、84cを、Si柱75c、75d間と、Si柱75e、75f間と、のそれぞれの側面で接触して、Si柱75c、75d間と、Si柱75e、75f間と、の距離を、ゲートHfO層78と、ゲートTiN層84b、84cと、を加えた厚さの2倍まで短く出来る。これにより、SRAMセルの高密度化が図れる。

[0075] (第4実施形態)

以下、図4 A～図4 Dを参照しながら、本発明の第4実施形態に係る、ロジック回路用SGTを有する柱状半導体装置の製造方法について説明する。各図において、(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図である。

[0076] 図1 A～図1 Iに示した工程と同等の工程を行い、図4 Aに示すように、マスク絶縁層89上に、平面視において、X方向に平行して並んだ矩形SiN層91a、91b、91c、90dを形成する。マスク絶縁層89より下方には下からP層基板1、N層2、N⁺層86、P⁺層87、i層88が形成されている。そして、矩形SiN層91a、91b、91c、90d上には、それぞれ矩形マスク材料層90a、90b、90c、90dが形成されている。

[0077] 次に、リソグラフィ法とRIEエッチング法により、図4 Bに示すように、矩形マスク材料層90b、矩形SiN層90bの平面視における上方部を除去して、矩形マスク材料層90bb、矩形SiN91bbを形成する。

[0078] 次に、矩形マスク材料層90a、90bb、90c、90d、矩形SiN層91a、91bb、91c、90dをマスクにしてマスク材料層89をエッチングして、図4 Cに示すように矩形マスク材料層89a、89b、89c、89dを形成する。そして、残存している矩形マスク材料層90a、90bb、90c、90d、矩形SiN層91a、91bb、91c、90dを除去する。そして、矩形マスク材料層89a、89b、89c、89dをマスクにして、i層88、N⁺層86、P⁺層87をエッチングしてSi柱95a、95b、95c、95dを形成する。そして、Si柱95a、95b、95c、95dの外周部のN⁺層86、P⁺層87、N層2、P層基板1をエッチングして、P層基板1上に、N層2A、N⁺層86a、P⁺層87aよりなるSi台92を形成する。

[0079] 次に図1 P～図1 Zで示した工程と同等の工程を行い、図4 Dに示すように、矩形Si柱95bの場所にコンタクト部である矩形Ta柱101を形成する。矩形Si柱95a、95c、95dと、矩形Ta柱101の底部の外

周部にS i O₂層97が形成されている。そして、矩形S i 柱95 a、95 c、95 d、矩形T a 柱101の側面と、S i O₂層97上に、ゲート絶縁層であるH f O₂層99が形成される。H f O₂層99の外側にあつて、矩形S i 柱95 a、95 c、95 d、矩形T a 柱101を囲み、かつ繋がったゲート導体層であるT i N層106が形成される。T i N層106は、矩形T a 柱101の囲むH f O₂層99の側面には形成されない。そして、T i N層106、矩形T a 柱101の外周部にS i O₂層103が形成される。そして、矩形T a 柱101上にS i O₂層102が形成される。そして、矩形S i 柱95 a、95 c、95 dの頂部の外周部にS i N層104を形成する。そして、矩形S i 柱95 aの頂部を囲んだN⁺層105 aと、矩形S i 柱、95 c、95 dの頂部を囲んだP⁺層105 b、105 cと、が形成される。そして、全体を覆ってS i O₂層106を形成される。そして、N⁺層105 a上にコンタクトホール109 a、T i N層106上にコンタクトホール109 b、矩形T a 柱101上にコンタクトホール109 c、P⁺層105 b、105 c上にコンタクトホール109 d、109 eを形成する。そして、コンタクトホール109 aを介してN⁺層105 aと接続したグランド配線金属層V s s と、コンタクトホール109 bを介してT i N層106と接続した入力配線金属層V i n と、コンタクトホール109 cを介して矩形T a 柱101と接続した出力配線金属層V o u t と、コンタクトホール109 aを介してN⁺層105 aと接続したグランド配線金属層V s s と、コンタクトホール109 d、109 eを介してP⁺層105 b、105 cと接続した電源配線金属層V d d と、を形成する。これにより、P層基板1上にCMOSインバータ回路が形成される。

[0080] (特徴1)

本実施形態では、矩形S i 柱95 a、95 c、95 dと自己整合で形成された矩形S i 柱95 bの場所にコンタクト部である矩形T a 柱101が形成される。これにより、矩形T a 柱101は矩形S i 柱95 a、95 c、95 dと自己整合で形成される。これにより、P層基板1上に高密度CMOSイ

ンバータ回路が形成される。

(特徴2)

本実施形態では、他の実施形態と同じく、矩形Si柱95a、95c、95dを囲んだゲート絶縁層であるHfO₂層が繋がってコンタクト部である矩形Ta柱101を囲んで形成される。これらにより、HfO₂層36が、矩形Ta柱101の転倒、または傾き防止層として働く。そして、また、矩形Ta柱101の底部の位置を、N⁺層86a、P⁺層87aの上面より下に形成することにより、より矩形Ta柱101の転倒、または傾き発生が防止される。

(特徴3)

本実施形態のCMOSインバータ回路は、他の実施形態において説明したSRAM回路と同じ工程により形成することができる。これにより、高密度インバータ回路と高密度SRAM回路を同じP層基板1上に形成できる。そして、N⁺層86a、105a、P⁺層87a、105a、105c、ゲートTiN層106の配置、構造、そして配線の形状を変えることによって、他の高密度ロジック回路が形成される。これにより、同一P層基板1上に、高密度SRAM回路と高密度ロジック回路を形成することができる。

(特徴4)

本実施形態では、大きい駆動電流を得るため、平面視においてY方向に伸延した矩形Si柱95a、95c、95dを形成した。これにより、矩形Ta柱101のY方向の長さを、矩形Si柱95a、95c、95dの長さより短くして、平面視において、矩形Si柱95a、95cの間に、ゲートTiN層106と出力配線金属層Voutとを繋げるコンタクトホール109bを形成することができた。これにより、より高密度のCMOSインバータ回路が形成される。これは、他のロジック回路形成にも適用できる。これにより、高密度のロジック回路が形成される。

[0081] なお、本発明の説明では、1つの半導体柱に1個のSGTを形成したが、2個以上を形成する回路形成においても、本発明を適用できる。

- [0082] また、第1実施形態において、マスク材料層7は SiO_2 層、酸化アルミニウム (Al_2O_3 、以後 AlO と称する) 層、 SiO_2 層を積層して形成した。そして、窒化シリコン (SiN) 層8を堆積した。そして、 SiO_2 層からなるマスク材料層9を堆積した。そして、 SiN 層からなるマスク材料層10を堆積した。これらマスク材料層7、9、10、 SiN 層8は、本発明の目的に合う材料であれば、単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。
- [0083] また、第1実施形態において、図1Eに示したように、ALD法により帯状 SiGe 層12a、12bを形成した。この帯状 SiGe 層12a、12bは、本発明の目的に合う材料であれば、単層または複数層よりなる他の材料層を用いてもよい。このことは、帯状 SiGe 層18a、18bにおいても、同様である。また、帯状 SiGe 層12a、12bと、帯状 SiGe 層18a、18bの材料母体は同じでなくても良い。このことは、本発明に係るその他の実施形態においても同様である。
- [0084] また、第1実施形態における、帯状マスク材料層15a、15b、17a、17b、19a、19b、21a、21bと、帯状マスク材料層16a、16b、20a、20bは、本発明の目的に合う材料であれば、単層または複数層よりなる他の材料層を用いることができる。このことは、本発明に係るその他の実施形態においても同様である。
- [0085] また、第1実施形態において、帯状マスク材料層9a、15a、15b、17a、17b、19a、19b、21a、21bのそれぞれの上表面と、底部の位置が、同じのように形成したが、本発明の目的に合うならば、それぞれの上表面と、底部の位置が垂直方向で異なってもよい。このことは、本発明に係るその他の実施形態においても同様である。
- [0086] また、第1実施形態において、帯状マスク材料層9a、15a、15b、17a、17b、19a、19b、21a、21bの厚さ、及び形状は、CMPによる研磨、及びRIEエッチング、洗浄により変化する。この変化は、本発明の目的に合う程度の内であれば、問題ない。このことは、本発明に

係るその他の実施形態においても同様である。

[0087] また、第1実施形態において、図1Q～図1Sに示す、 SiO_2 層22、 SiN 層24、帯状 SiGe 層25、 SiN 層による帯状マスク材料層26、帯状マスク材料層27a、27b、28a、28bは、本発明の目的に合う材料であれば、単層または複数層よりなる材料層を用いることができる。このことは、本発明に係るその他の実施形態においても同様である。

[0088] また、第1実施形態では、 Si 柱7b、6iの場所にコンタクト部Ta柱41a、41bを形成した。回路設計に合わせて、 Si 柱7b、6i以外の Si 柱にコンタクト部Ta柱を形成してもよい。このことは、SRAMセル回路以外の回路形成に適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0089] また、第1実施形態では、図1Zに示したように、ゲート金属層として、 TiN 層37a、37b、37c、37dを用いた。この TiN 層37a、37b、37c、37dは、本発明の目的に合う材料であれば、単層または複数層よりなる材料層を用いることができる。 TiN 層37a、37b、37c、37dは、少なくとも所望の仕事関数を持つ、単層または複数層の金属層より形成できる。この外側に、たとえばW層を形成してもよい。この場合、W層はゲート金属層を繋げる金属配線層の役割を行う。W層以外に単層、または複数層の金属層を用いても良い。また、PチャネルSGTを形成する Si 柱6c、6hの外周部と、NチャネルSGTを形成する Si 柱6a、6d、6e、6f、6g、6jの外周部のゲート導体層と、は異なる材料で形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0090] また、本発明の第1～第3実施形態の説明では、SRAMセルを形成する例を用いて説明した。第4実施形態では、ロジック回路における本発明の適用例を説明した。本発明は、例えば、マイクロプロセッサ回路のように、SRAM回路とロジック回路が、同じチップ上に形成されている回路形成に対して適用できる。

[0091] また、第1実施形態において、平面視において、円形状のマスク材料層7 a～7 jを形成した。マスク材料層7 a～7 jの形状は楕円状であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0092] 第1実施形態では、ゲート絶縁層として、H f O₂層3 6を用い、ゲート材料層としてT i N層3 7 a、3 7 b、3 7 c、3 7 dを用いたが、それぞれを単層または複数層よりなる他の材料層を用いてもよい。同様にW層3 4についても、単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0093] また、第1実施形態では、図1 Yに示したように、選択エピタキシャル結晶成長法を用いて、N⁺層5 6 a、5 6 c、5 6 d、5 6 e、5 6 f、5 6 h、P⁺層5 6 b、5 6 gを形成した。この後に、熱処理により、ドナー不純物原子、またはアクセプタ不純物原子を、S i柱6 a、6 c、6 d、6 e、6 f、6 h、6 jの頂部に熱拡散させて、N⁺層、又はP⁺層を、S i柱6 a、6 c、6 d、6 e、6 f、6 h、6 jの頂部に形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0094] また、第1実施形態では、P層基板1上にS G Tを形成したが、P層基板1の代わりにS O I (Silicon On Insulator) 基板を用いても良い。または、基板としての役割を行うものであれば他の材料基板を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0095] また、第1実施形態では、S i柱S i柱6 a、6 c、6 d、6 e、6 f、6 h、6 jの上下に、同じ極性の導電性を有するN⁺層3 a、3 b、3 c、3 d、5 6 a、5 6 c、5 6 d、5 6 e、5 6 f、5 6 h、P⁺層5 6 b、5 6 gを用いて、ソース、ドレインを構成するS G Tについて説明したが、極性が異なるソース、ドレインを有するトンネル型S G Tに対しても、本発明が適用できる。このことは、本発明に係るその他の実施形態においても同様である。

[0096] また、上記各実施形態では、チャネル、ソース、ドレインなどの半導体領域としてS i (シリコン)を用いた例について説明した。しかしこれに限ら

れず、本発明の技術思想は、S i G eのようにS iを含んだ半導体材料、またはS i以外の半導体材料を用いた、3次元半導体装置にも適用可能である。

[0097] また、第1実施形態では、S i柱6 a～6 jは単体のS i層より形成したが、垂直方向において異なる半導体母体からなる半導体層を積層してS G Tのチャネルを形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0098] また、縦型N A N D型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、1つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型N A N D型フラッシュメモリ回路はS G T回路の1つである。従って、本発明はN A N D型フラッシュメモリ回路に対しても適用することができる。

[0099] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0100] 本発明に係る、柱状半導体装置と、その製造方法によれば、高密度の柱状半導体装置が得られる。

符号の説明

[0101] 1 P層基板
2、2 a、2 b、2 A N層

3、3 a、3 b、3 c、3 d、5 6 a、5 7 c、5 7 d、5 7 e、5 7 f、
5 7 h、7 2、7 2 a、7 2 b、7 2 c、7 2 d、8 6、8 6 a、1 0 5 a

N⁺層

4、4 a、5 a、5 6 b、5 6 g、7 3 a、7 3 b、7 3 a a、7 3 b b、
8 7 a、1 0 5 b、1 0 5 c P⁺層

6、8 8 i 層

7、9、1 0、7 a、7 b、7 c、7 d、7 e、7 f、7 g、7 h、7 i、
7 j、3 0 a、3 0 b、3 0 c、3 0 d、3 3 a、3 3 b、3 8、7 4 a、
7 4 b、7 4 c、7 4 d、7 4 e、7 4 f、7 4 g、7 4 h、8 9 マスク

材料層

9 a、1 5 a、1 5 b、1 7 a、1 7 b、1 9 a、1 9 b、2 1 a、2 1 b
、2 6、2 7 a、2 7 b、 帯状マスク材料層

9 a a、9 a b、1 7 a a、1 7 a b、1 7 b a、1 7 b b、2 1 a a、2
1 a b、2 1 b a、2 1 b b 正方形形状マスク材料層

9 0 a、9 0 b、9 0 c、9 0 d、9 0 b b 矩形マスク材料層

8、2 4、4 4、8 2 a、8 2 b、8 2 c、8 2 d、1 0 4 S i N層

8 a、1 6 a、1 6 b、2 0 a、2 0 b、2 4 a、2 4 b、2 8 a、2 8 b

帯状S i N層

8 a a、8 a b、1 6 a a、1 6 b a、2 0 a a、2 0 a b、2 0 b a、2
0 b b 正方形形状S i N層

9 1 a、9 1 b、9 1 c、9 1 d、9 1 b b 矩形S i N層

1 2 a、1 2 b S i G e層

1 2 a a、1 2 a b、1 8 a、1 8 b 帯状S i G e層

1 3、2 4、2 2、2 2 a、2 2 b、4 2 a、4 2 b、4 2 a a、4 2 b b
、4 6 a、4 6 b、4 6 c、4 6 d、4 8、5 5、5 8、6 0、6 4、6 6
、8 5、8 3 a、8 3 b、8 3 c、8 3 d、8 1 a、8 1 b、9 7、1 0 2
、1 0 3、1 0 6 S i O₂層

5 0 a、5 0 b 凹み

8 a a、8 a b、9 a a、9 a b、1 7 a a、1 7 a b、1 7 b a、1 7 b
b、2 1 a a、2 1 a b、2 1 b a、2 1 b b 正方形形状マスク材料層
6 a、6 b、6 c、6 d、6 e、6 f、6 g、6 h、6 i、6 j、7 5 a、
7 5 b、7 5 c、7 5 d、7 5 e、7 5 f、7 5 g、7 5 h Si 柱
9 5 a、9 5 b、9 5 c、9 5 d 矩形Si 柱
3 6、7 8、9 9 HfO₂層
3 7、3 7 a、3 7 b、3 7 c、3 7 d、3 7 A、1 0 6 TiN層
3 9、4 7 a、4 7 b、4 7 c、4 7 d レジスト層
4 0 a、4 0 b 空孔
4 1 a、4 1 b、8 0 a、8 0 b、1 0 1 Ta 柱
5 2 a、5 2 b、5 7 a、5 7 b、5 7 c、5 7 d、5 7 e、5 7 f、5 7
g、5 7 h、7 0 a、7 0 b、7 0 a a、7 0 b b W層
6 1 a、6 1 b、6 1 c、6 1 d、6 5 a、6 5 b、6 7 a、6 7 b 、1
0 9 a、1 0 9 b、1 0 9 c、1 0 9 d、1 0 9 e コンタクトホール
7 6 a、7 6 b 合金層
9 2 Si 台
WL ワード配線金属層
BL ビット配線金属層
RBL 反転ビット配線金属層
Vss1、Vss2、Vss グランド配線金属層
Vdd 電源配線金属層
Vin 入力配線金属層
Vout 出力配線金属層

請求の範囲

- [請求項1] 基板上に、垂直方向に立つ、第1の半導体柱と第2の半導体柱と、
前記第1の半導体柱の底部に、及び／または底部側面に接続するドレインまたはソースとなる第1の不純物層と、前記第2の半導体柱の底部に、及び／または底部側面に接続するソースまたはドレインとなる第2の不純物層と、
前記第1の半導体柱の上部内部に、及び／または上部を囲んであるドレインまたはソースとなる第3の不純物層と、前記第2の半導体柱の上部内部に、及び／または上部を囲んであるソースまたはドレインとなる第4の不純物層と、
前記第1の半導体柱と、前記第2の半導体柱と、を囲んだ第1のゲート絶縁層と、
前記第1の半導体柱外周の前記第1のゲート絶縁層を囲んだ第1のゲート導体層と、前記第2の半導体柱外周の前記第1のゲート絶縁層を囲んだ第2のゲート導体層と、
平面視において、前記第1の不純物層と、前記第2の不純物層と、の間に位置し、且つ垂直方向に立ち、少なくとも中央部に導体層を有する第1のコンタクト柱と、
前記第1のゲート絶縁層が、前記第1のコンタクト柱まで伸延して繋がり、且つ前記第1のコンタクト柱の側面を囲んでいる、
ことを特徴にするSGT柱状半導体装置。
- [請求項2] 前記第1のコンタクト柱の底部の、垂直方向における位置が、前記第1の半導体柱と、前記第2の半導体柱と、の底部位置より下にある、
、
ことを特徴とする請求項1に記載のSGT柱状半導体装置。
- [請求項3] 平面視において、前記第1の半導体柱と、前記第2の半導体柱と、に平行した2つの仮想の接線が、前記第1のコンタクト柱とも接している、

ことを特徴とする請求項 1 に記載の S G T 柱状半導体装置。

[請求項4] 前記第 1 のゲート絶縁層が、前記第 1 の半導体柱と、前記第 2 の半導体柱と、の外周部で異なる材料であり、前記第 1 のコンタクト柱の外周部には、前記第 1 の半導体柱と、前記第 2 の半導体柱と、のいずれかの前記第 1 のゲート絶縁層が、繋がっている、

ことを特徴とする請求項 1 に記載の S G T 柱状半導体装置。

[請求項5] 前記コンタクト柱の外周部に、平面視において、金属、合金、または絶縁層の単層、または複数層よりなる第 1 の材料層がある、

ことを特徴とする請求項 1 に記載の S G T 柱状半導体装置。

[請求項6] 平面視で、前記第 1 の半導体柱の midpoint と、前記第 2 の半導体柱の midpoint を結ぶ第 1 の線上に、前記第 1 のコンタクト柱の midpoint があり、

前記第 1 のコンタクト柱の反対側で前記第 2 の半導体柱に隣接して、前記第 1 の線上に midpoint を有する、第 3 の半導体柱があり、

前記第 1 のゲート絶縁層が、前記第 2 の半導体柱から伸延して、前記第 3 の半導体柱の側面を囲み、

前記第 2 のゲート導体層が、前記第 2 の半導体柱から伸延して、前記第 3 の半導体柱の外周部側面を囲み、

前記第 2 のゲート導体層が、前記第 2 の半導体柱と、前記第 3 の半導体柱と、の前記第 1 のゲート絶縁層の側面全体で接触している、

ことを特徴とする請求項 1 に記載の S G T 柱状半導体装置。

[請求項7] 前記第 2 の半導体柱の反対側で前記第 3 の半導体柱に隣接して、前記第 1 の中心線上に midpoint を有する、第 4 の半導体柱があり、

前記第 1 のゲート絶縁層が、前記第 2 の半導体柱と、前記第 3 の半導体柱と、から伸延して、前記第 4 の半導体柱側面を囲み、

前記第 2 のゲート導体層が、前記第 2 の半導体柱と、前記第 3 の半導体柱から伸延して、前記第 4 の半導体柱の外周部側面を囲み、

前記第 2 のゲート導体層が、前記第 2 の半導体柱と、前記第 3 の半導体柱と、前記第 4 の半導体柱の前記第 1 のゲート絶縁層の側面全体

で接触している、

ことを特徴とする請求項 6 に記載の S G T 柱状半導体装置。

[請求項8]

前記第 1 の半導体柱は選択用 S G T を含み、

前記第 2 の半導体柱は負荷用 S G T を含み、

前記第 3 の半導体柱は駆動用 S G T を含み、

前記第 1 の半導体柱と、前記第 2 の半導体柱と、前記第 3 の半導体柱と、を有して S R A M セルを構成している 、

ことを特徴とする請求項 6 に記載の S G T 柱状半導体装置。

[請求項9]

前記第 1 の半導体柱は選択用 S G T を含み、

前記第 2 の半導体柱は負荷用 S G T を含み、

前記第 3 の半導体柱は駆動用 S G T を含み、

前記第 4 の半導体柱は駆動用 S G T を含み、

前記第 1 の半導体柱と、前記第 2 の半導体柱と、前記第 3 の半導体柱と、前記第 4 の半導体柱と、を有して S R A M セルを構成している 、

ことを特徴とする請求項 7 に記載の S G T 柱状半導体装置

[請求項10]

前記第 1 半導体柱と、前記第 2 の半導体柱と、前記第 1 のコンタクト柱と、が平面視において、 1 つの方向に伸延した矩形形状を有し、且つ平面視において、互いに平行して配置している、

ことを特徴とする請求項 1 に記載の S G T 柱状半導体装置。

[請求項11]

基板上に、第 1 の半導体柱と、第 5 の半導体柱と、第 2 の半導体柱とを、平面視でそれぞれの中点が第 1 の線上にあるように形成する工程と、

前記第 1 の半導体柱の底部に繋げてソースまたはドレインになる第 1 の不純物層を形成し、前記第 2 の半導体柱の底部に繋げてドレインまたはソースになる第 2 の不純物層を形成する工程と、

前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を囲み、且つ繋がった第 1 のゲート絶縁層を形成する工程と、

前記第 1 のゲート絶縁層の外側に、前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を囲み、且つ繋がった第 1 の導体層を形成する工程と、

前記第 5 の半導体柱をエッチングして、第 1 の空孔を形成する工程と、

前記第 1 の空孔内に、少なくとも中心部が導体である第 1 のコンタクト柱を形成する工程と、

前記第 1 の導体層をエッチングして、前記第 1 のコンタクト柱の外周部を囲む前記第 1 の導体層を除去し、且つ前記第 1 の半導体柱を囲む前記第 1 の導体層よりなる第 1 のゲート導体層と、前記第 2 の半導体柱を囲む前記第 1 の導体層よりなる第 2 のゲート導体層とを形成する工程と、

前記第 1 のゲート導体層と、前記第 1 のコンタクト柱を囲む前記第 1 のゲート絶縁層と、前記第 2 のゲート導体層の外周部に第 1 の絶縁層を形成する工程と、を有し

前記第 1 のコンタクト柱が、前記第 1 の不純物層と、前記第 2 の不純物層とに電氣的に接続して、この接続が垂直方向へ伸延している、ことを特徴とする SGT 柱状半導体装置の製造方法。

[請求項12] 前記第 1 の空孔の底部の位置が、前記第 1 の半導体柱と、前記第 2 の半導体柱と、の底部位置より、垂直方向において下方になるように形成する、

ことを特徴とする請求項 11 に記載の SGT 柱状半導体装置の製造方法。

[請求項13] 第 1 の空孔を形成した後、前記空孔の側面に、金属、合金、または絶縁層の単層、または複数層よりなる第 1 の材料層を形成する工程と、

平面視において、前記第 1 材料層の内側に第 2 の導体層を形成する工程、を有し、

前記第 1 の材料層と、前記第 2 の導体層とが、前記第 1 のコンタクト柱である、

ことを特徴とする請求項 11 に記載の SGT 柱状半導体装置の製造方法。

[請求項14] 平面視において、前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱と、を前記第 1 の線と直交する方向に伸延した矩形形状に形成する工程、を有する、

ことを特徴とする請求項 11 に記載の SGT 柱状半導体装置の製造方法。

[請求項15] 前記第 1 の線と直交する方向に伸延する、前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を形成する前、

前記第 1 の半導体柱と、前記第 5 の半導体柱と、前記第 2 の半導体柱を形成するためのエッチングマスク材料層の内、前記第 5 の半導体柱を形成するための第 1 のエッチングマスク層の平面視における上下のいずれかの一部領域を除去する工程、を有する、

ことを特徴とする請求項 14 に記載の SGT 柱状半導体装置の製造方法。

[請求項16] 前記第 1 のコンタクト柱の反対側で前記第 2 の半導体柱に隣接して、平面視で前記第 1 の半導体柱の midpoint と前記第 5 の半導体柱との midpoint を結ぶ前記第 1 の線上に、midpoint を有する第 3 の半導体柱を形成する工程と、

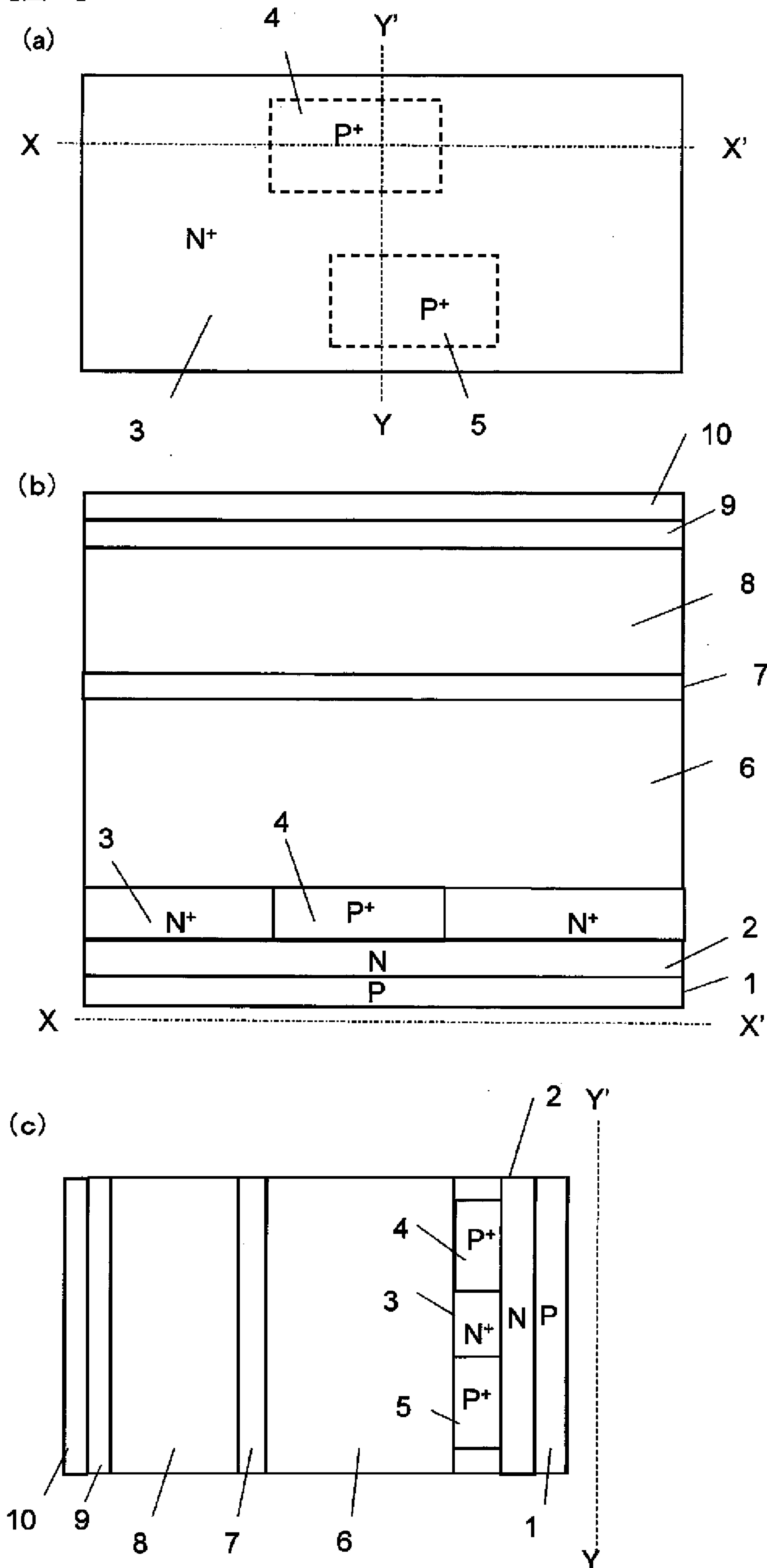
前記第 1 のゲート絶縁層を、前記第 2 の半導体柱から伸延して、前記第 3 の半導体柱の側面を囲む工程と、

前記第 2 のゲート導体層を、前記第 2 の半導体柱と、前記第 3 の半導体柱と、の前記第 1 のゲート絶縁層の側面全体で接触させて形成する工程、を有する、

ことを特徴とする請求項 11 に記載の SGT 柱状半導体装置の製造方法。

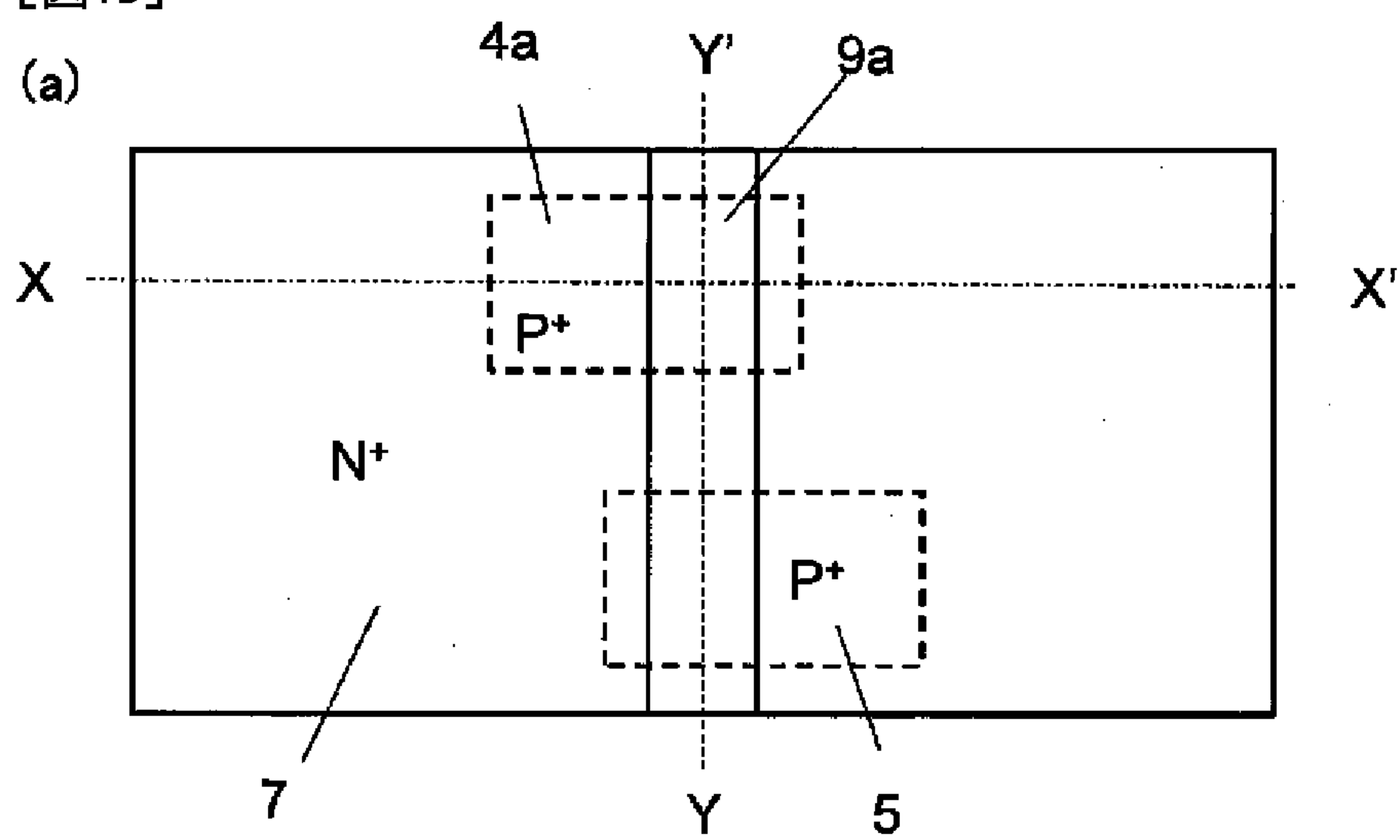
- [請求項17] 前記第2の半導体柱の反対側で前記第3の半導体柱に隣接して、前記第1の線上に、第4の半導体柱を形成する工程と、
前記第1のゲート絶縁層を、前記第3の半導体柱から伸延して、前記第4の半導体柱の側面を囲む工程と、
前記第2のゲート導体層を、前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱と、の前記第1のゲート絶縁層の側面全体で接触させて形成する工程、を有する、
ことを特徴とする請求項16に記載のSGT柱状半導体装置の製造方法。
- [請求項18] 前記第1の半導体柱に選択用SGTを形成し、
前記第2の半導体柱に負荷用SGTを形成し、
前記第3の半導体柱に駆動用SGTを形成する工程を、有し、
前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、がSRAMセルの一部を構成している、
ことを特徴とする請求項16に記載のSGT柱状半導体装置の製造方法。
- [請求項19] 前記第1の半導体柱に選択用SGTを形成し、
前記第2の半導体柱に負荷用SGTを形成し、
前記第3の半導体柱に駆動用SGTを形成し、
前記第4の半導体柱に駆動用SGTを形成する工程を、有し、
前記第1の半導体柱と、前記第2の半導体柱と、前記第3の半導体柱と、前記第4の半導体柱と、がSRAMセルの一部を構成している、
ことを特徴とする請求項17に記載のSGT柱状半導体装置の製造方法。

[図1A]

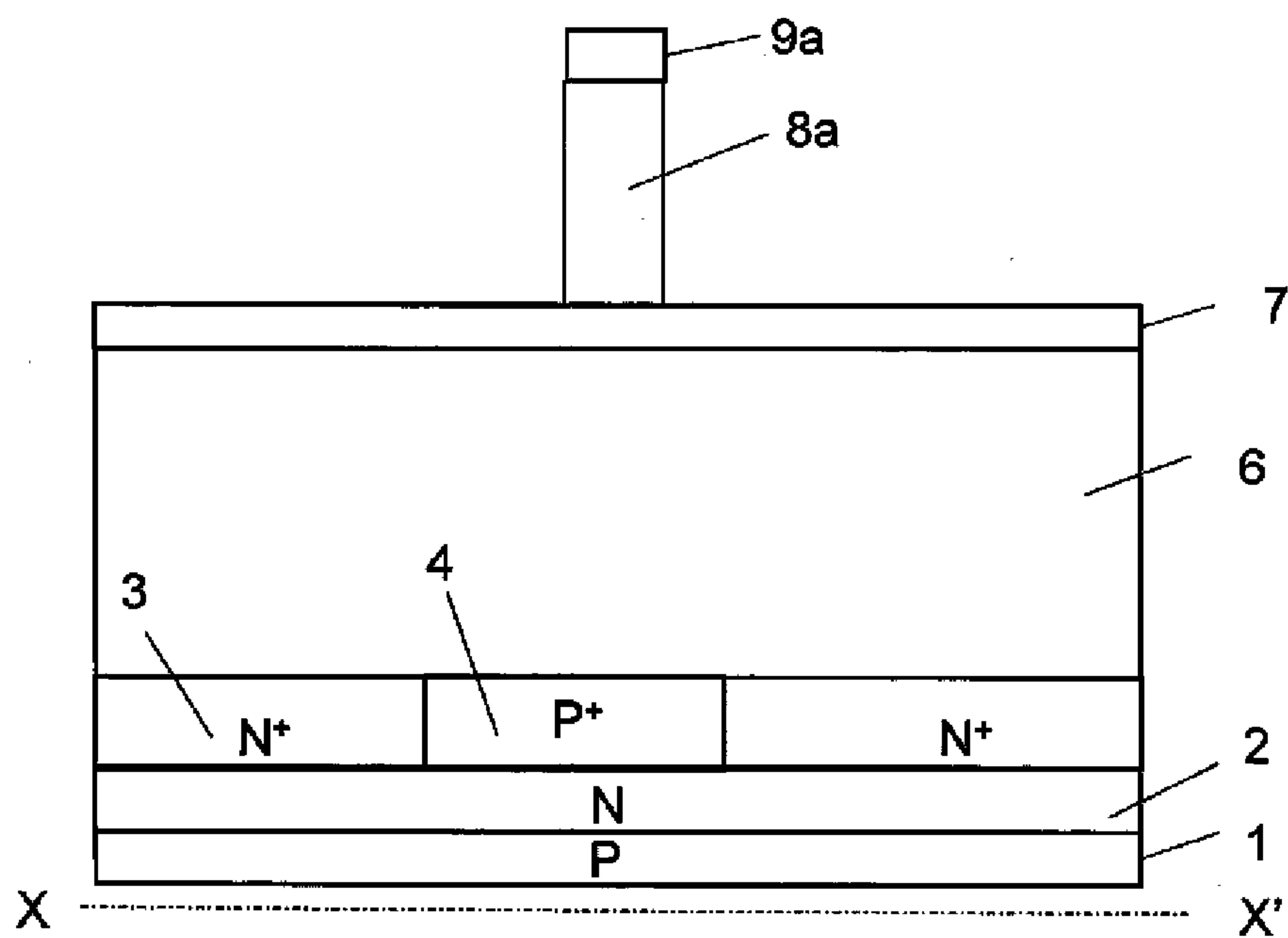


[図1B]

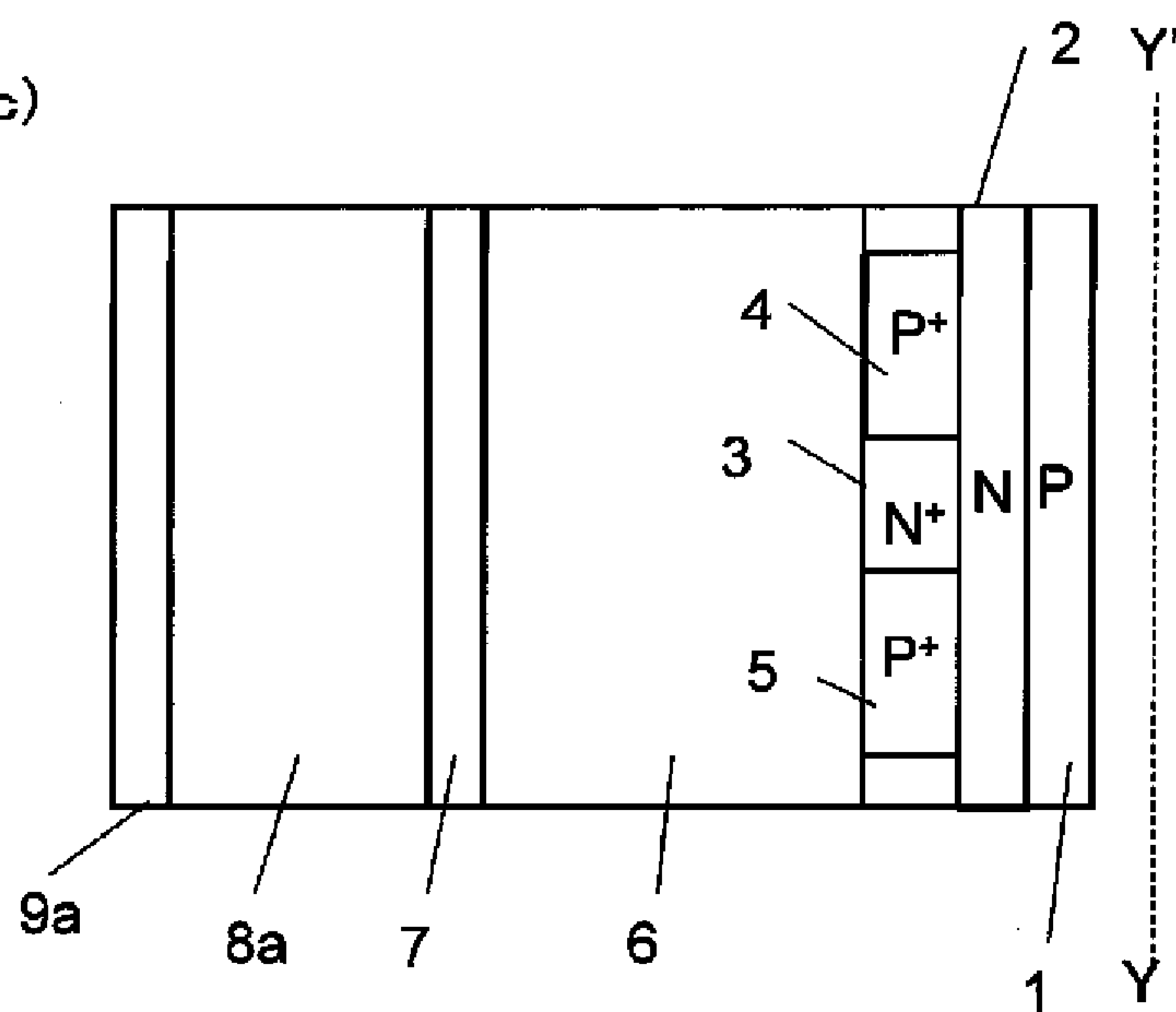
(a)



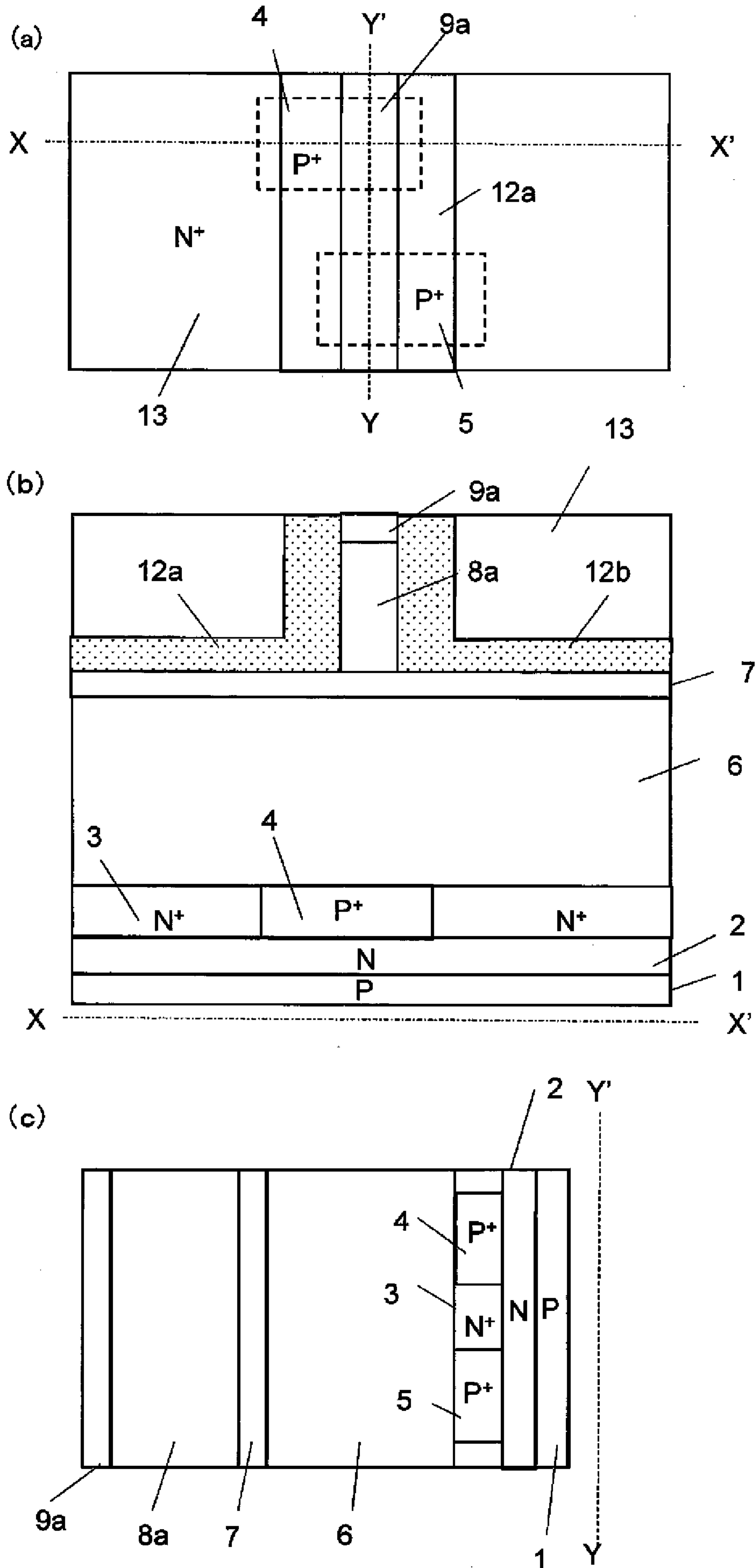
(b)



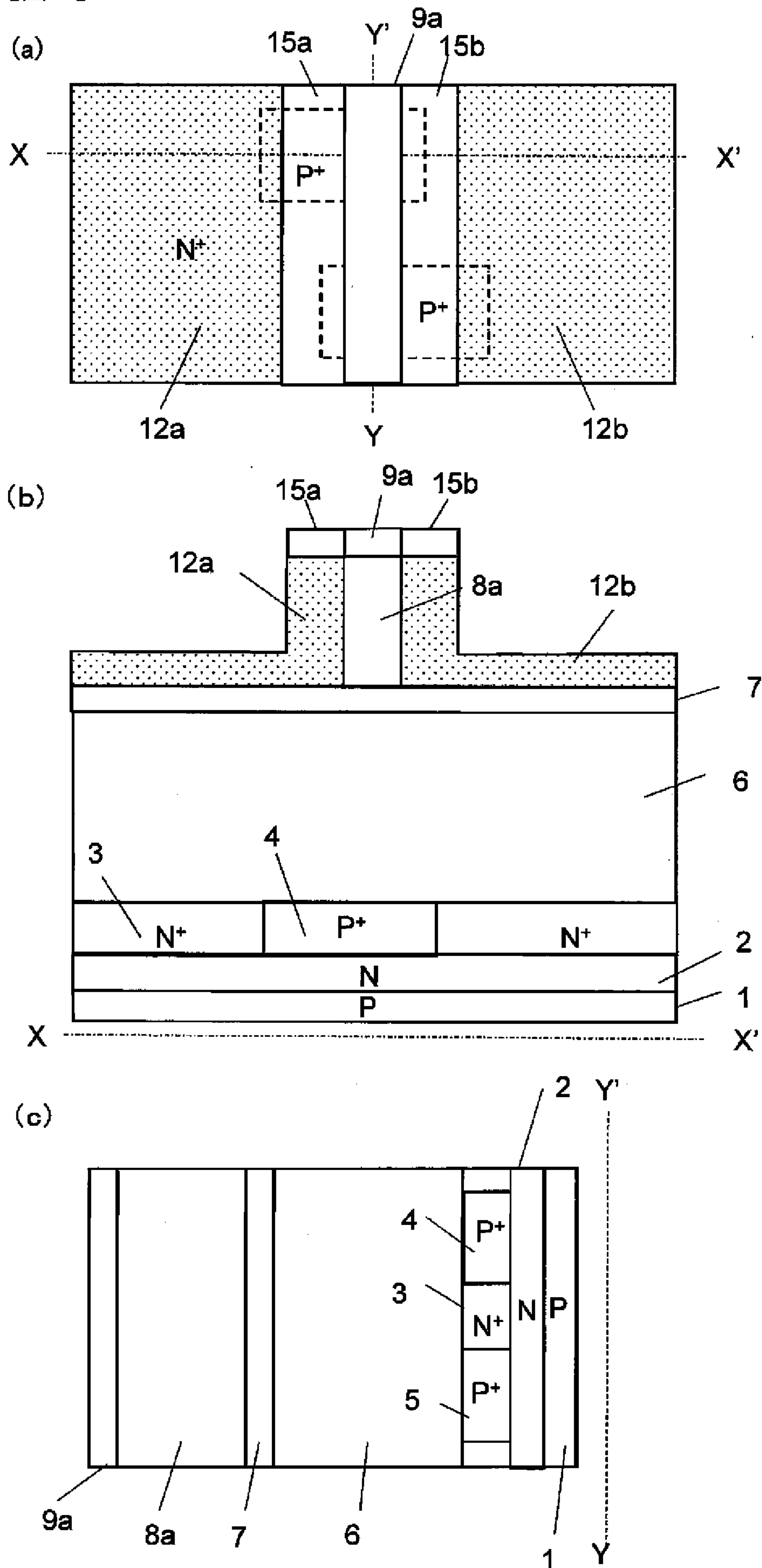
(c)



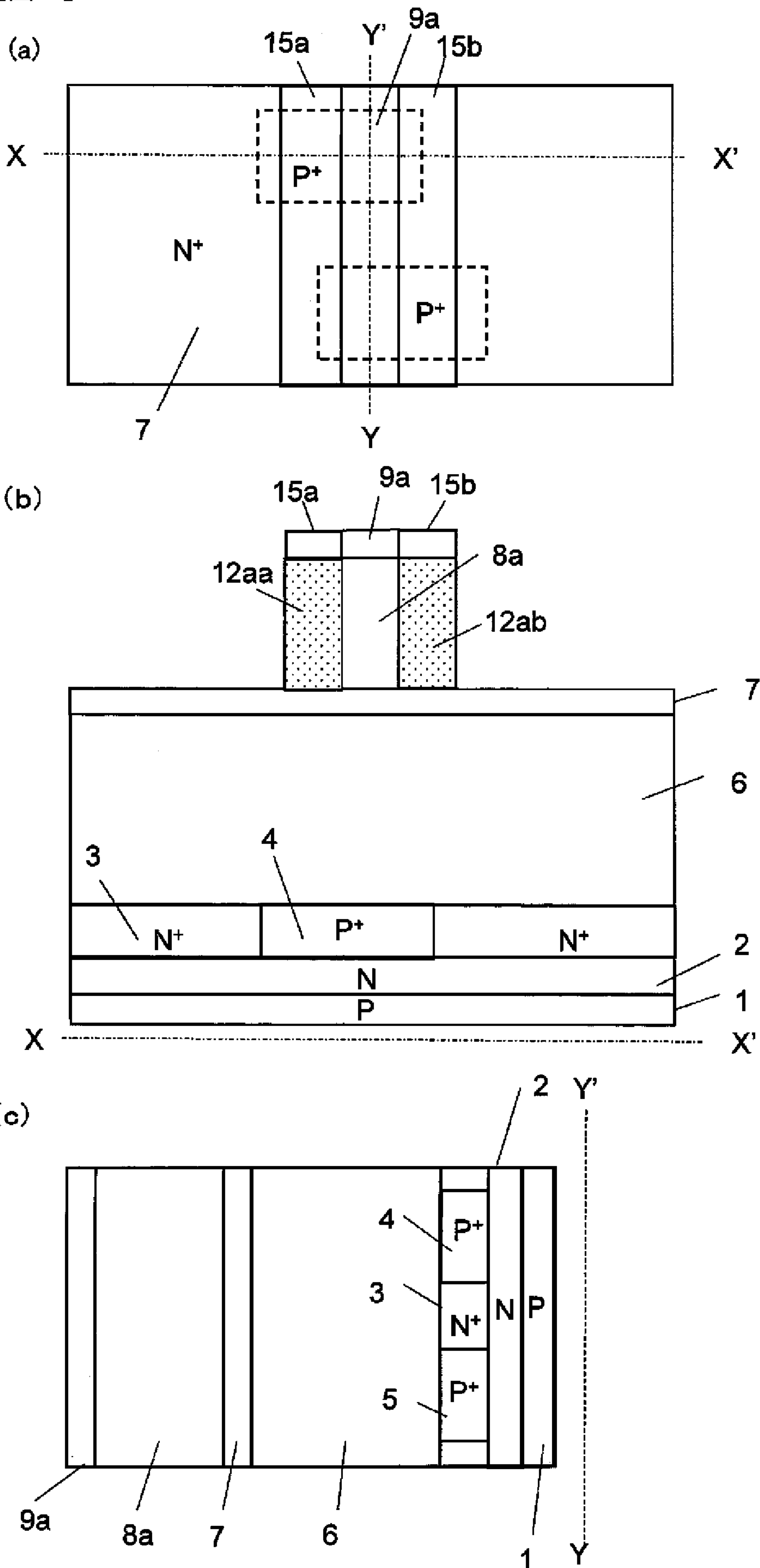
[図1C]



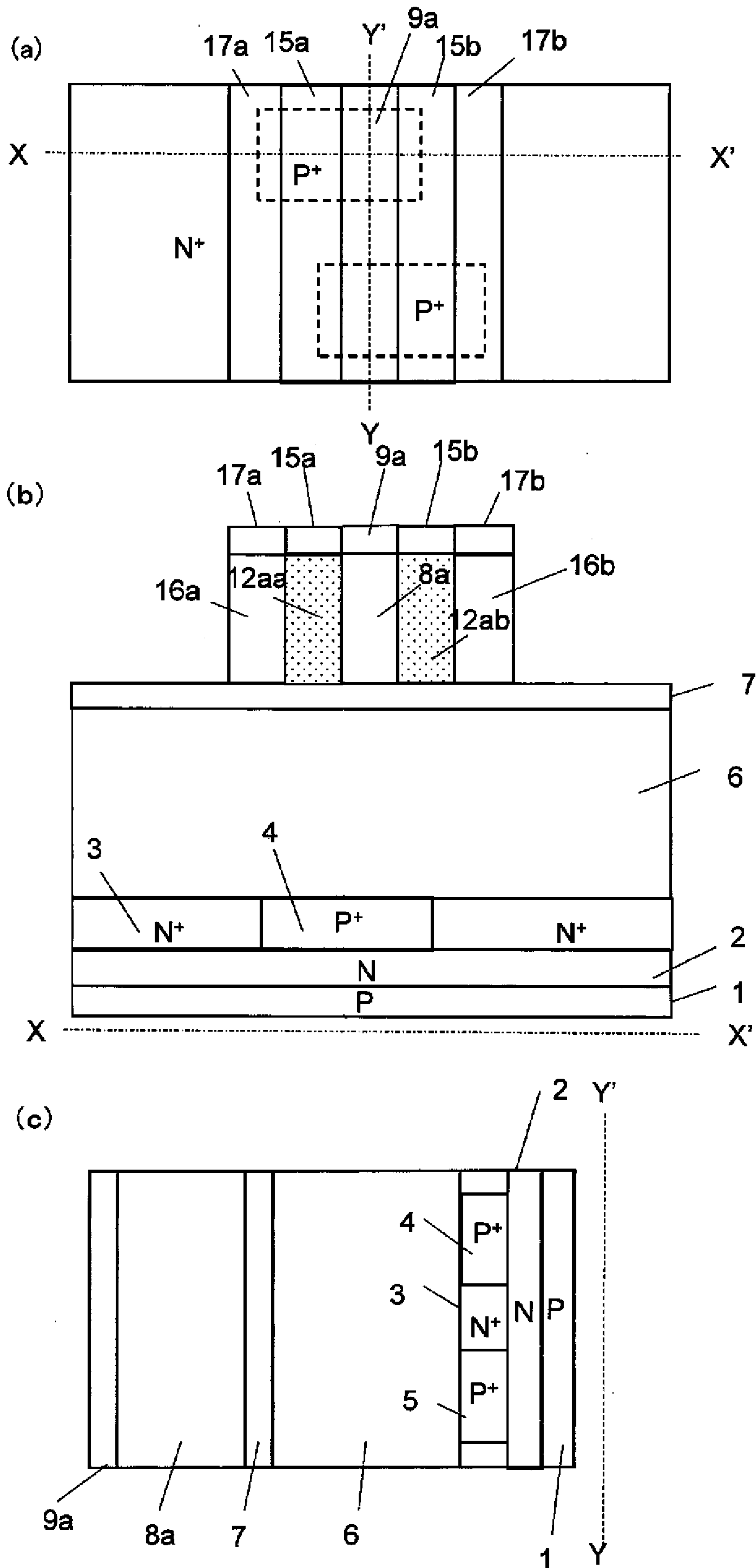
[図1D]



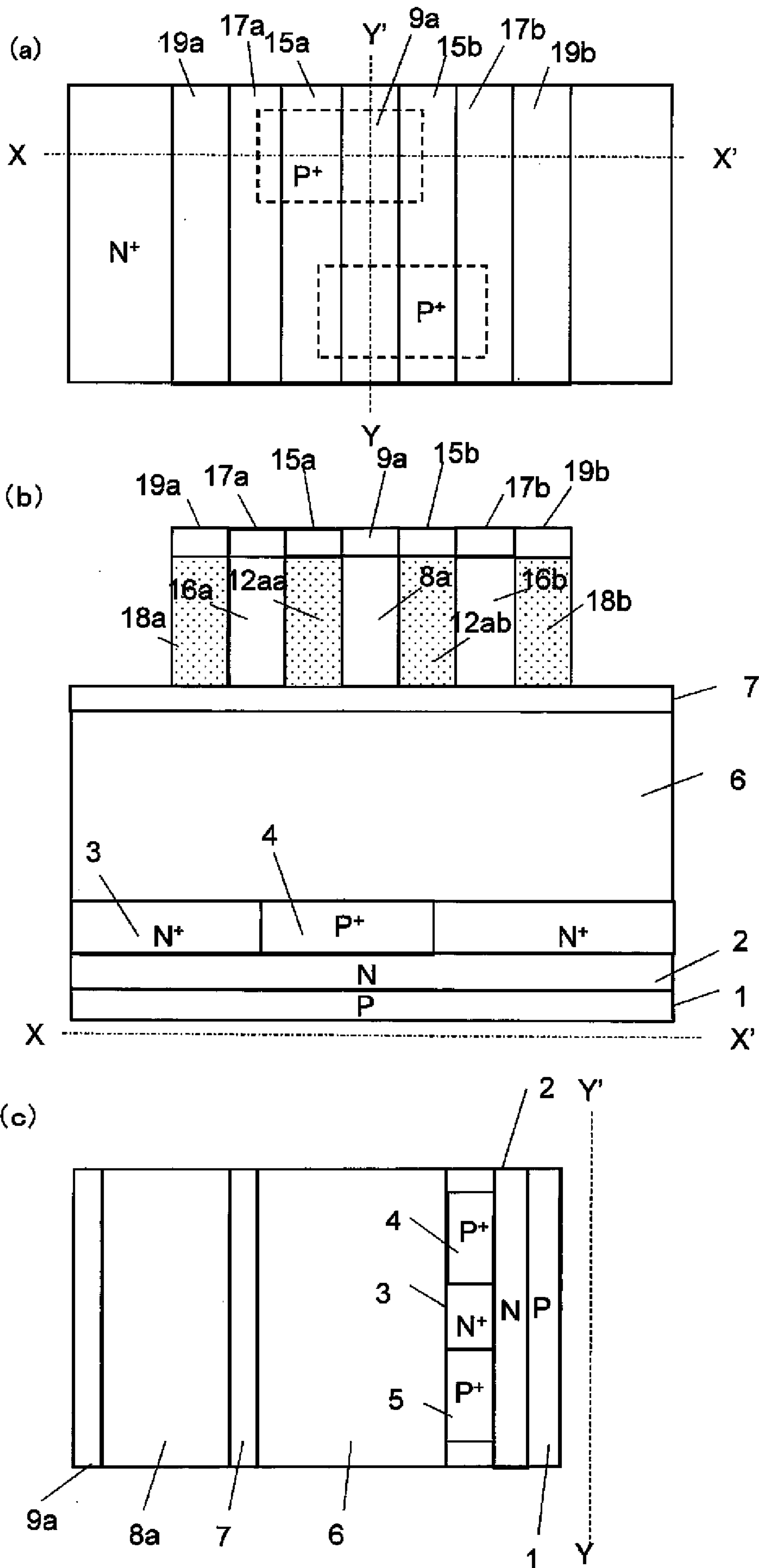
[図1E]



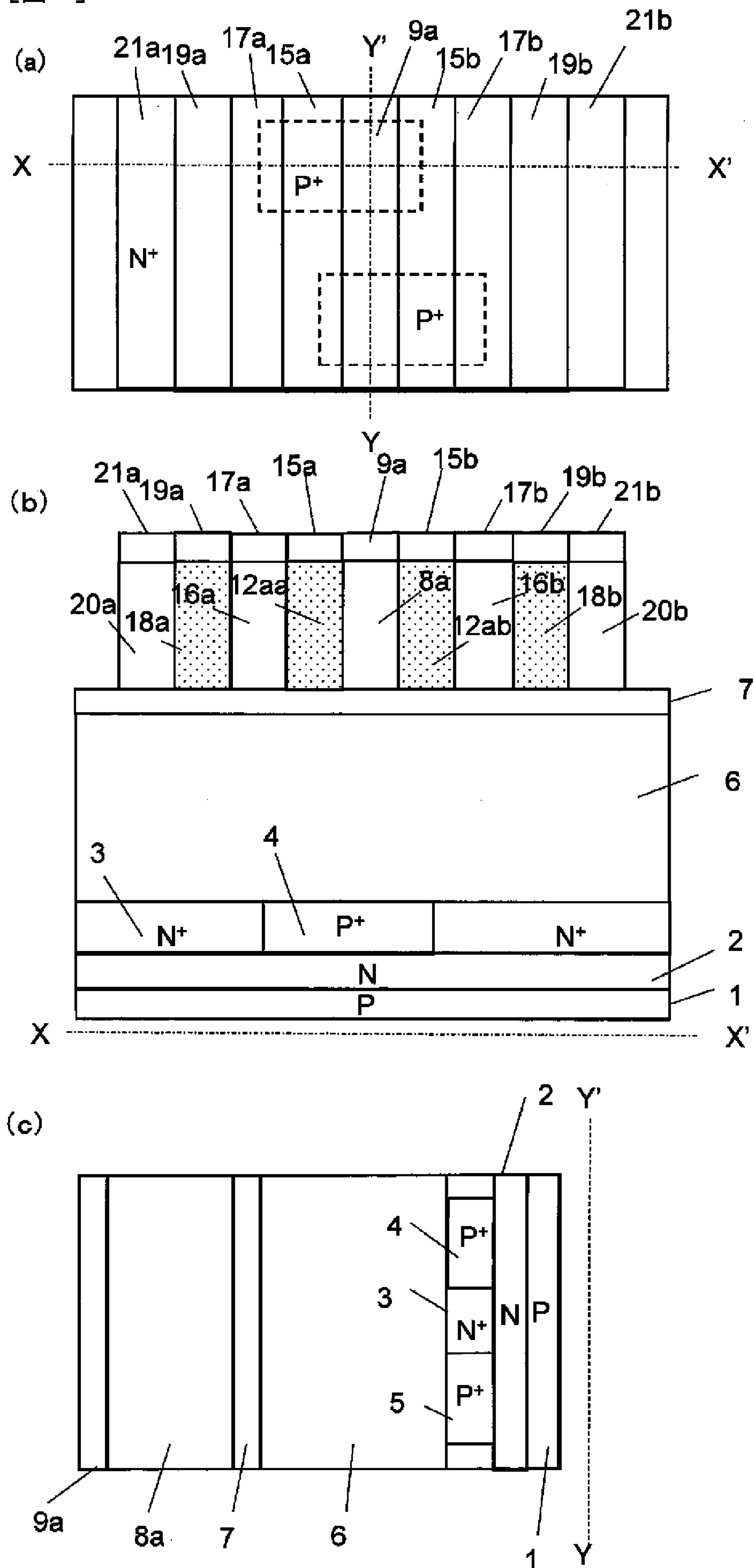
[図1F]



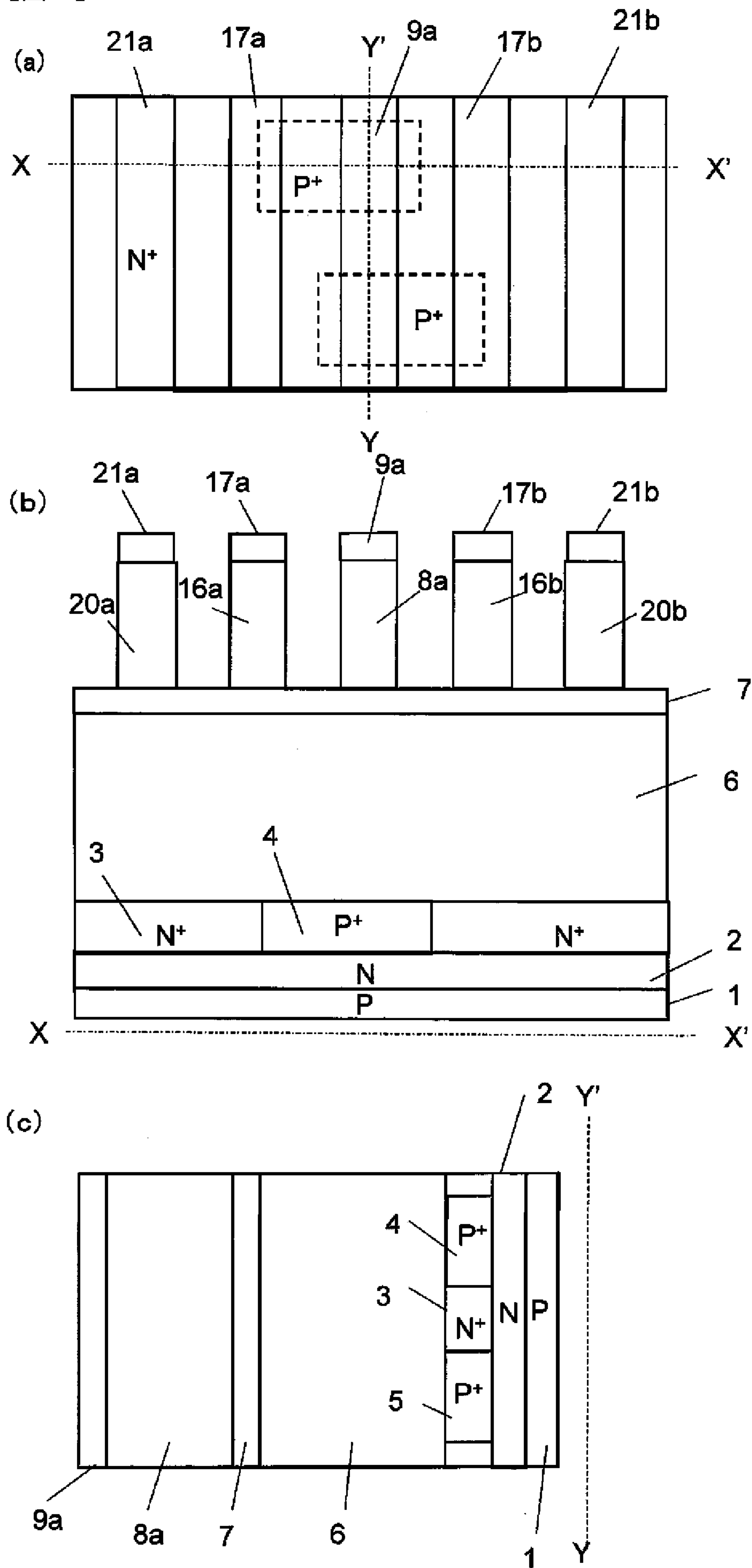
[図1G]



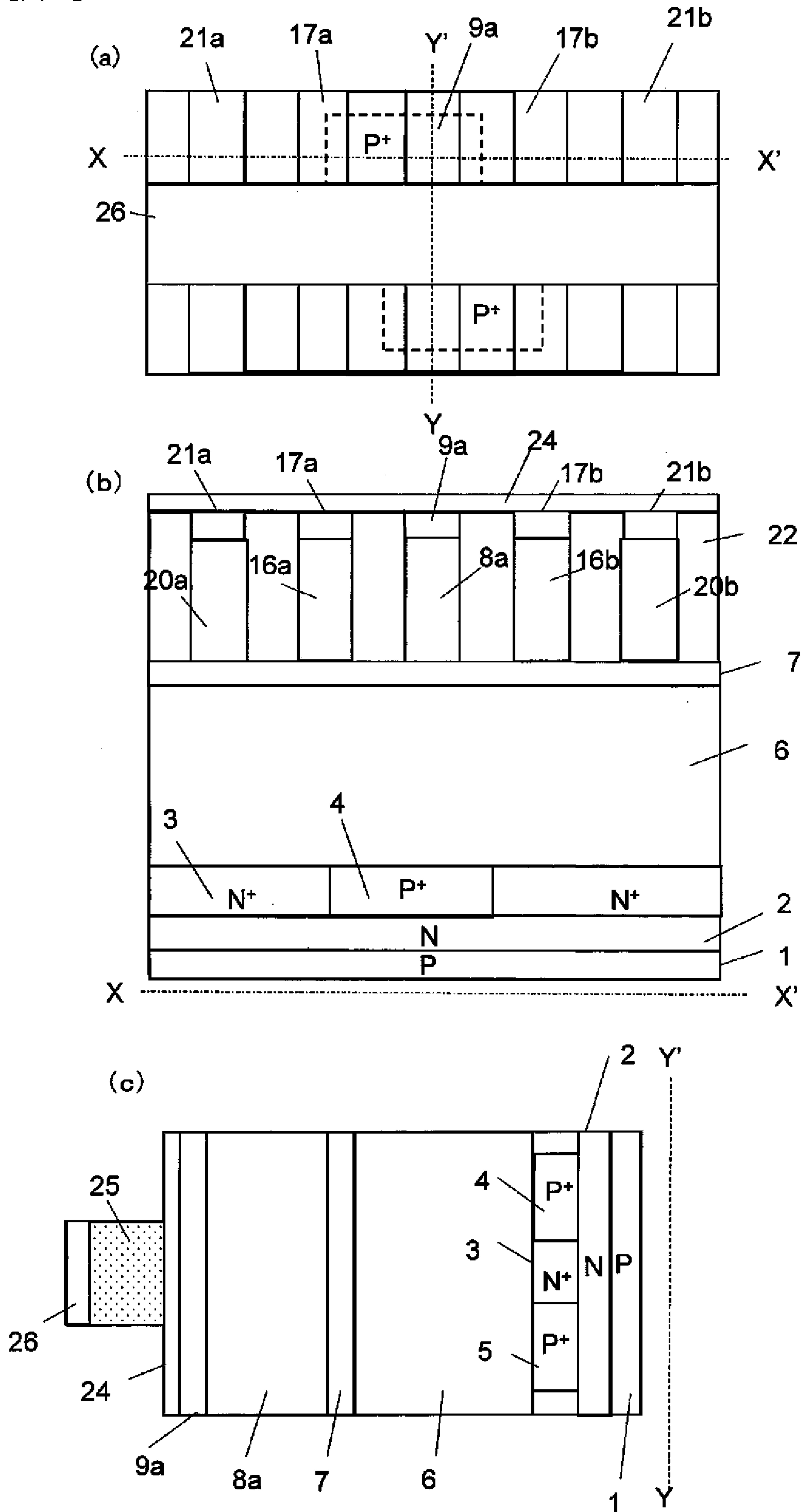
[図1H]



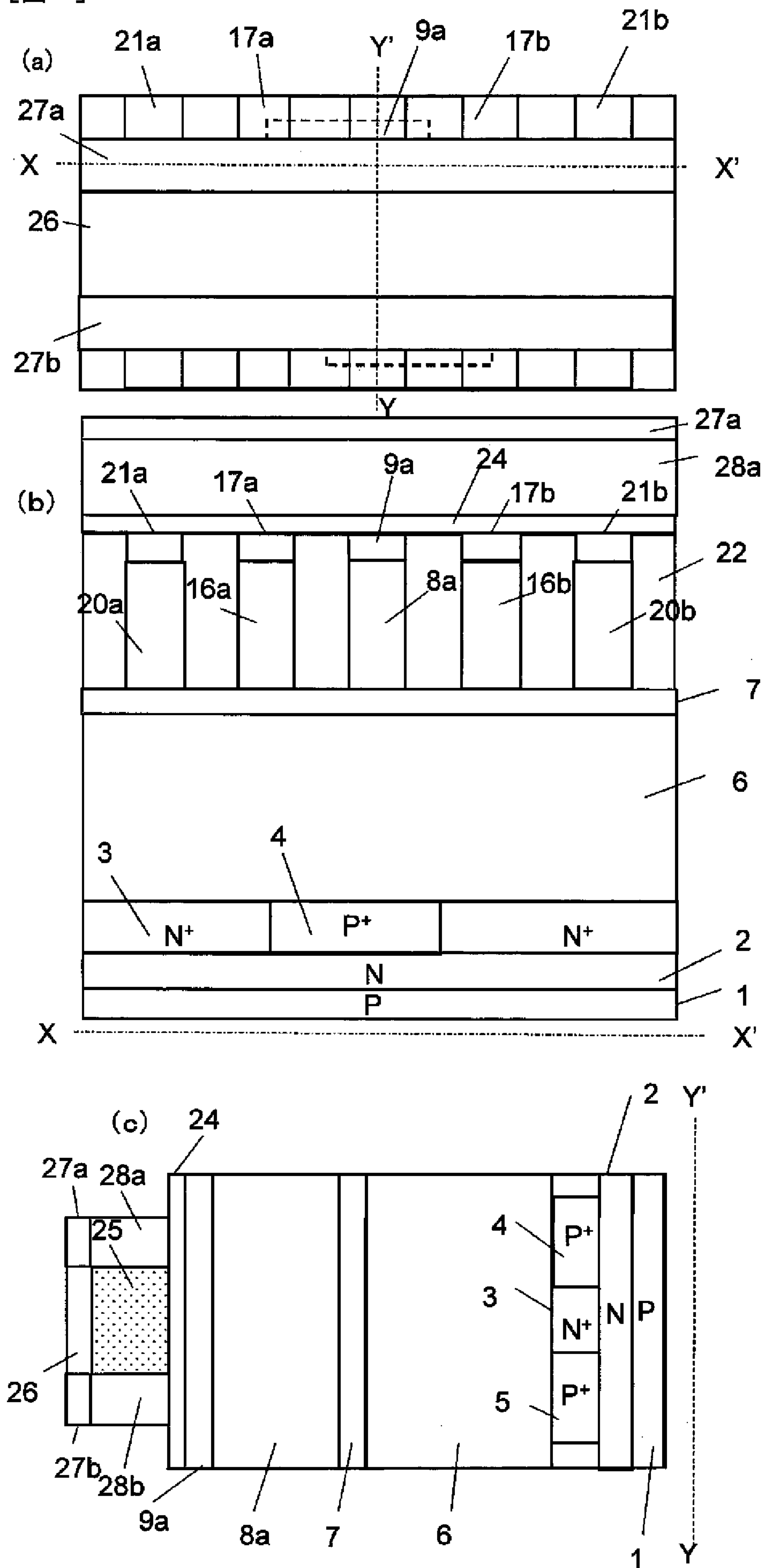
[図1I]



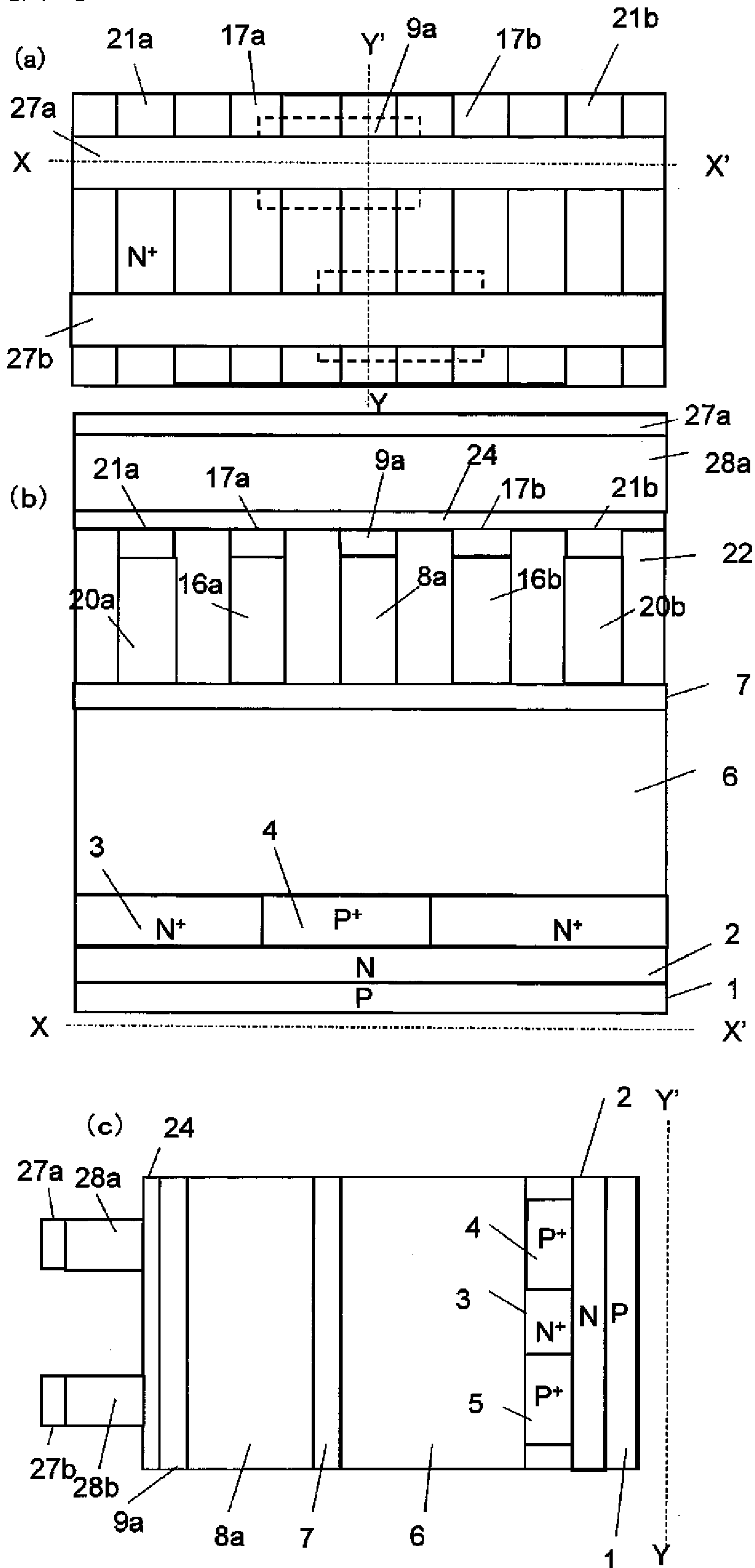
[図1J]



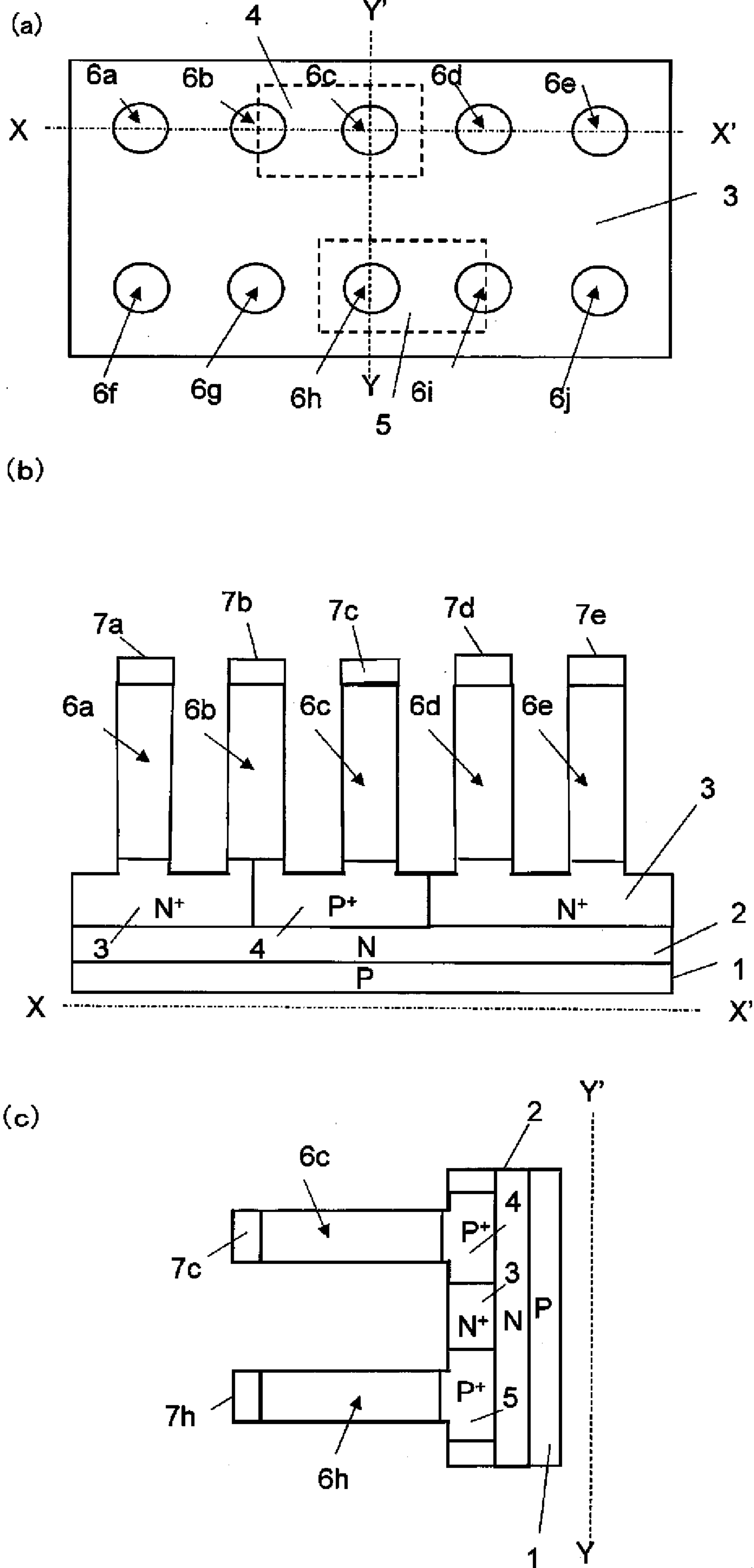
[図1K]



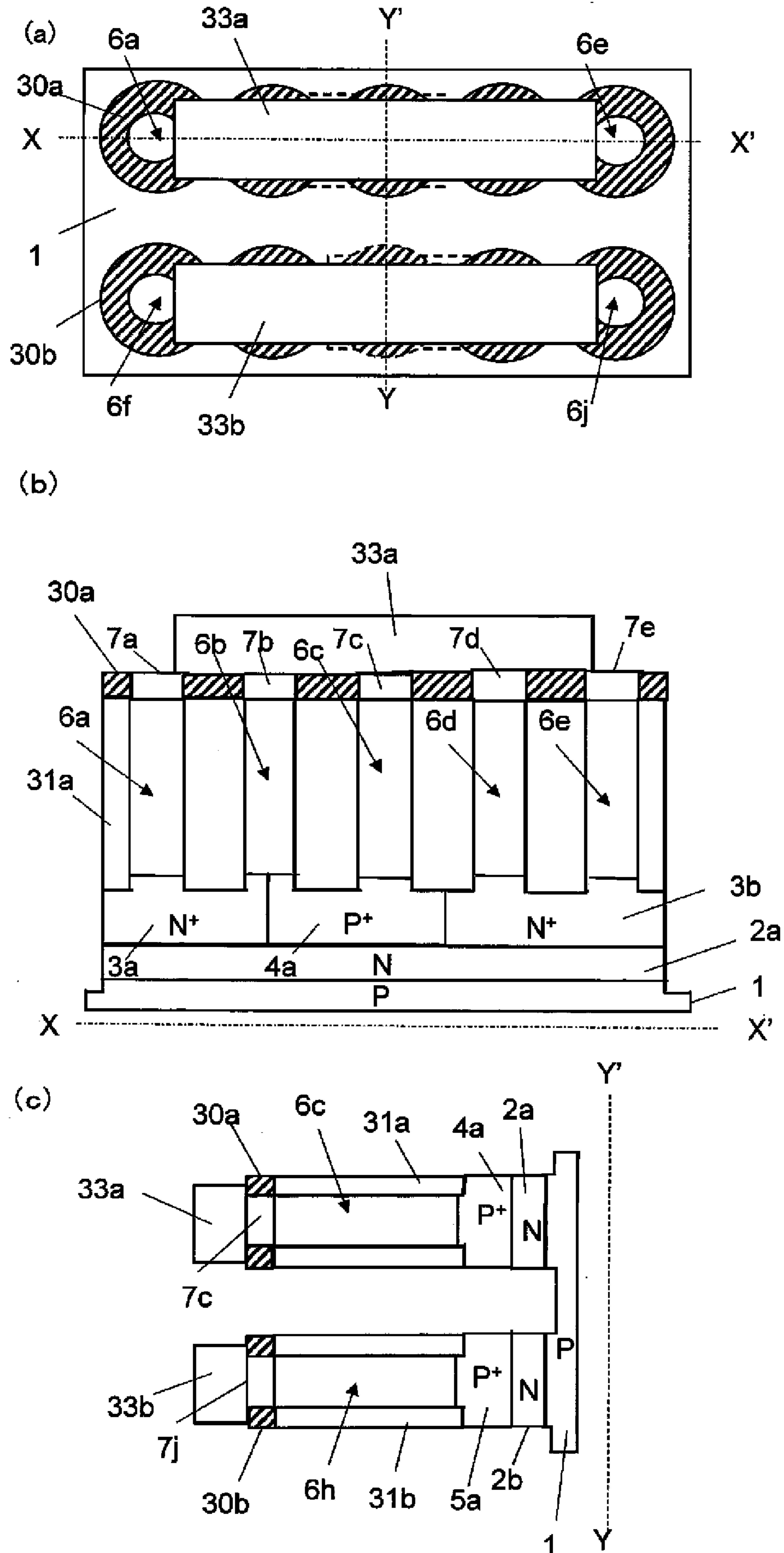
[図1L]



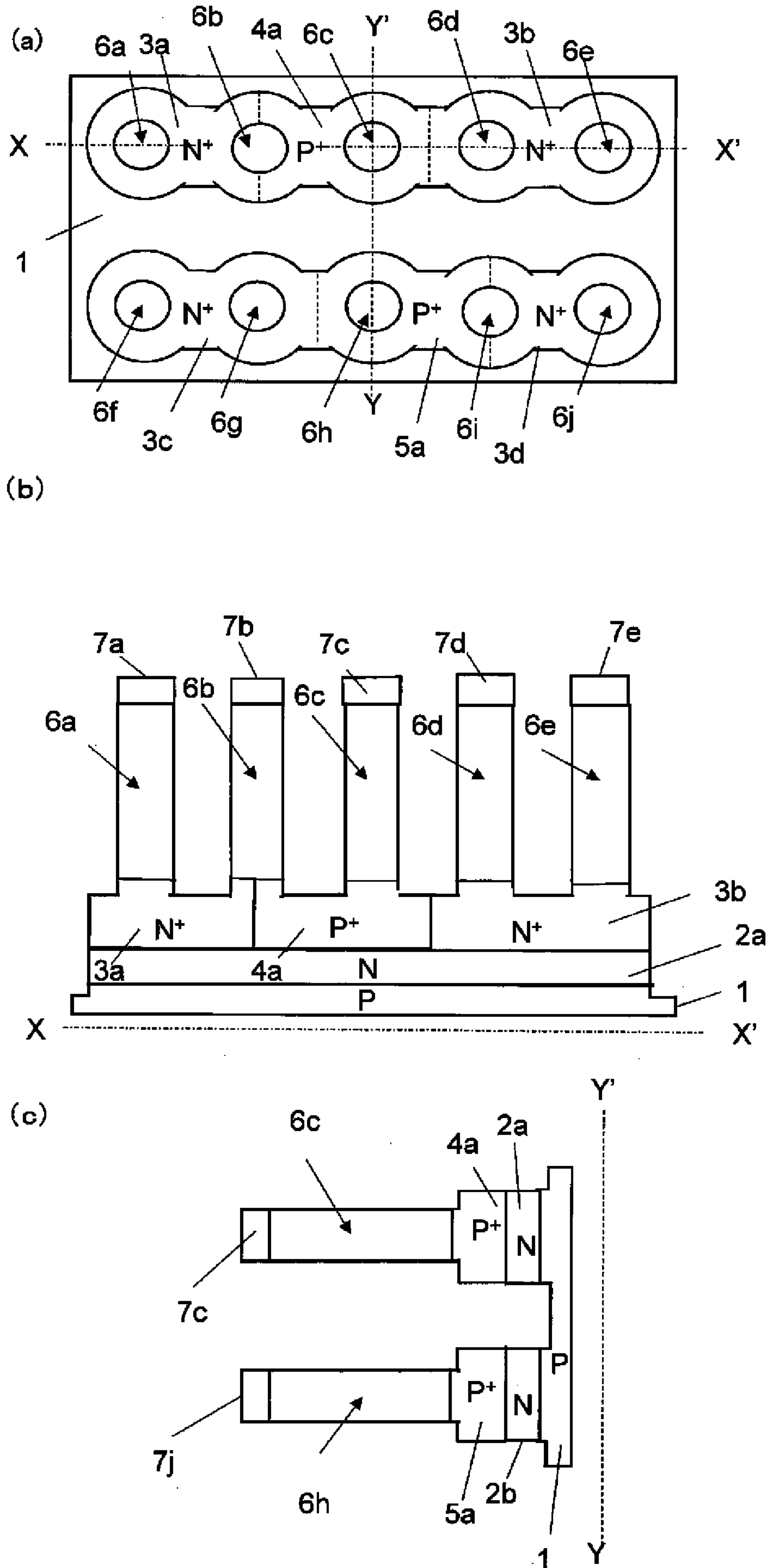
[図1N]



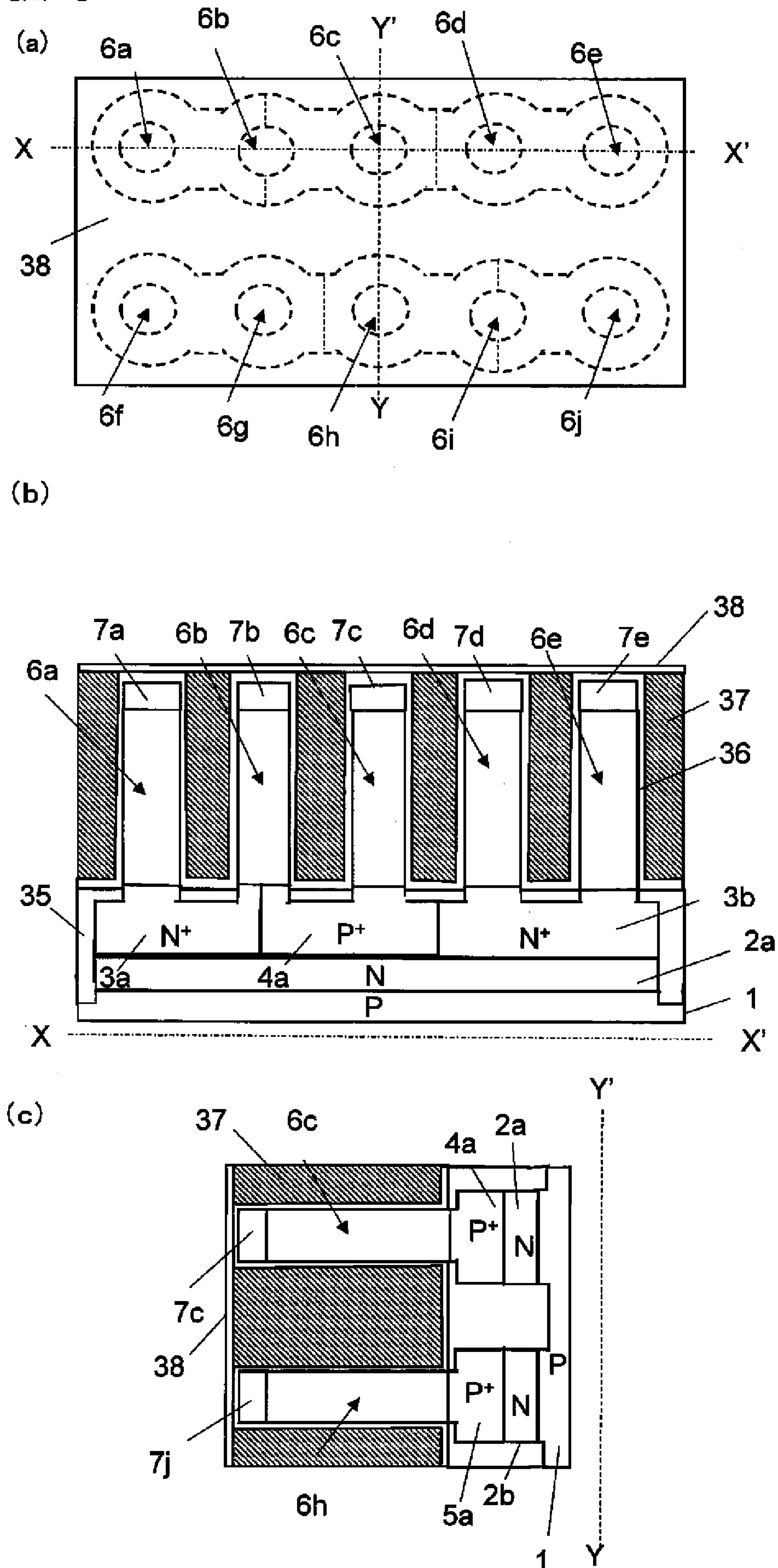
[図10]



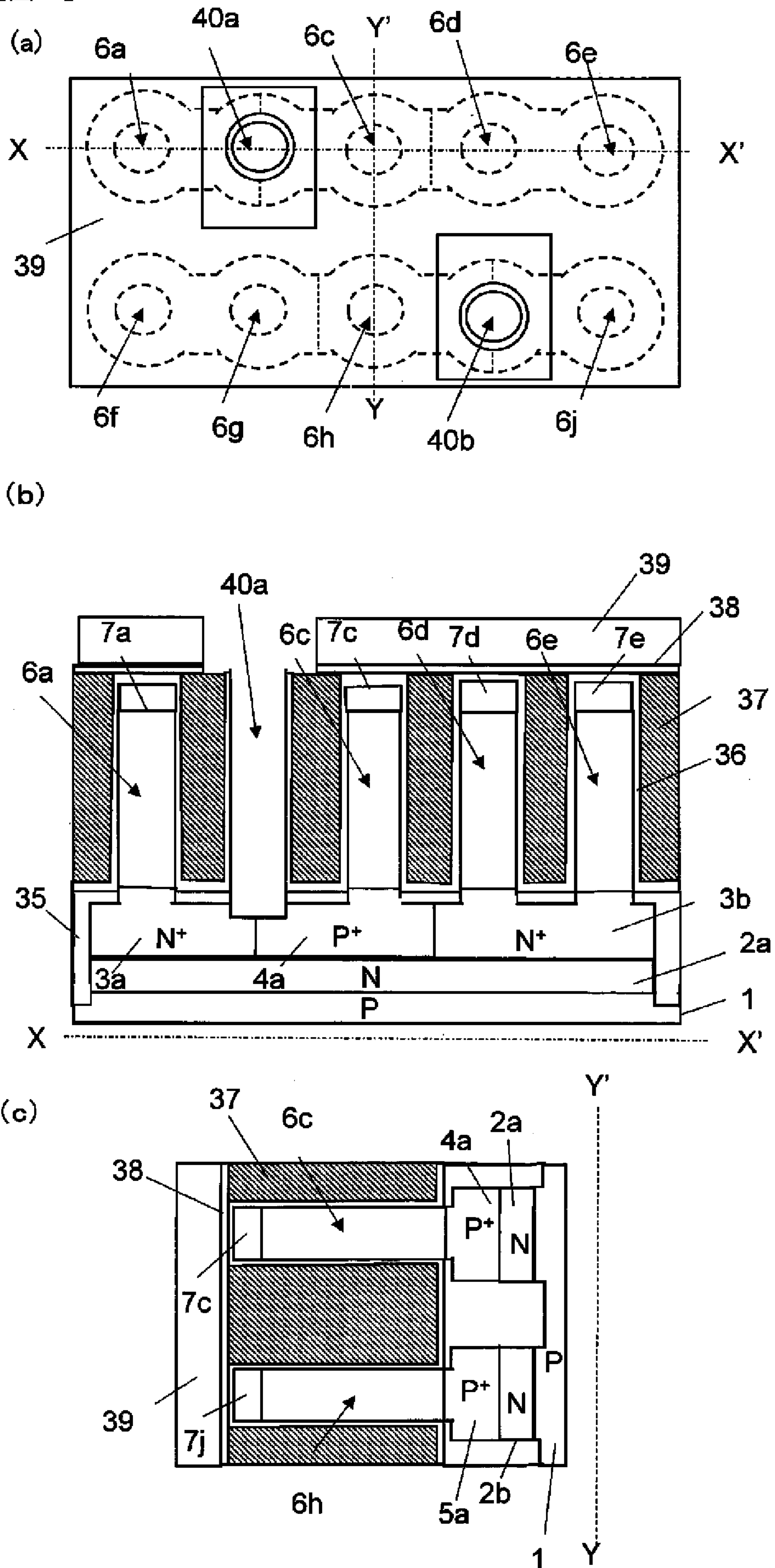
[図1P]



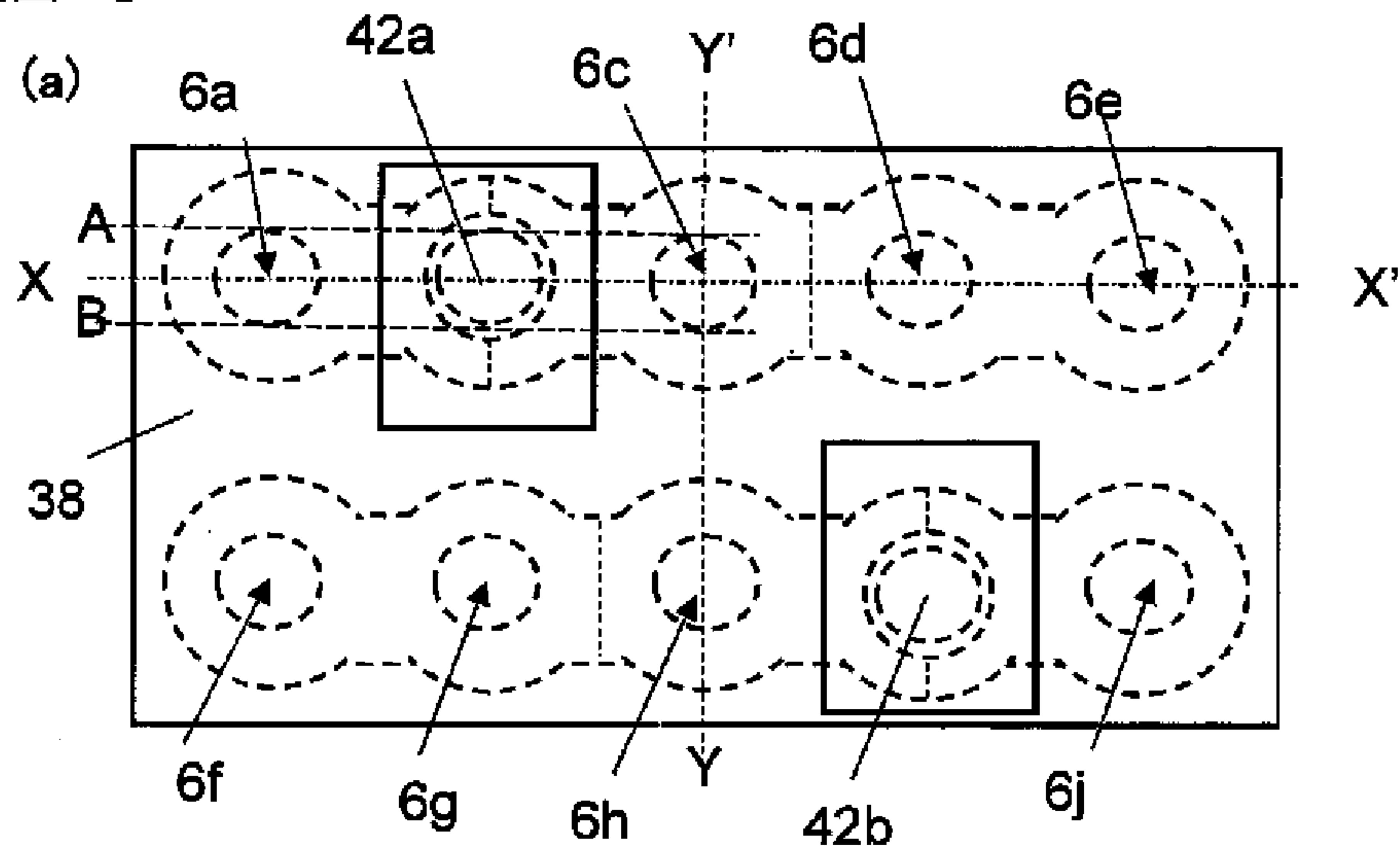
[図10]



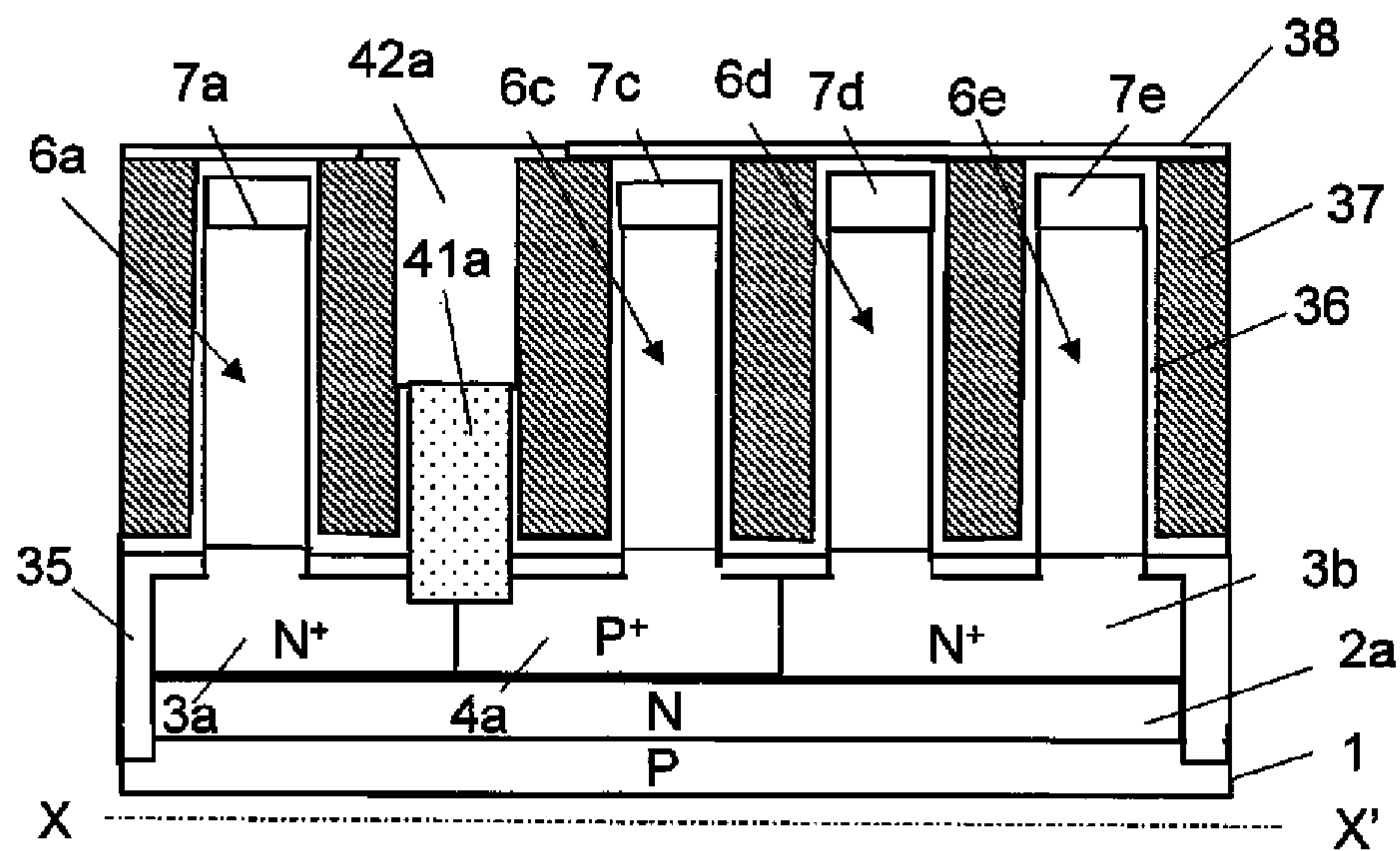
[図1R]



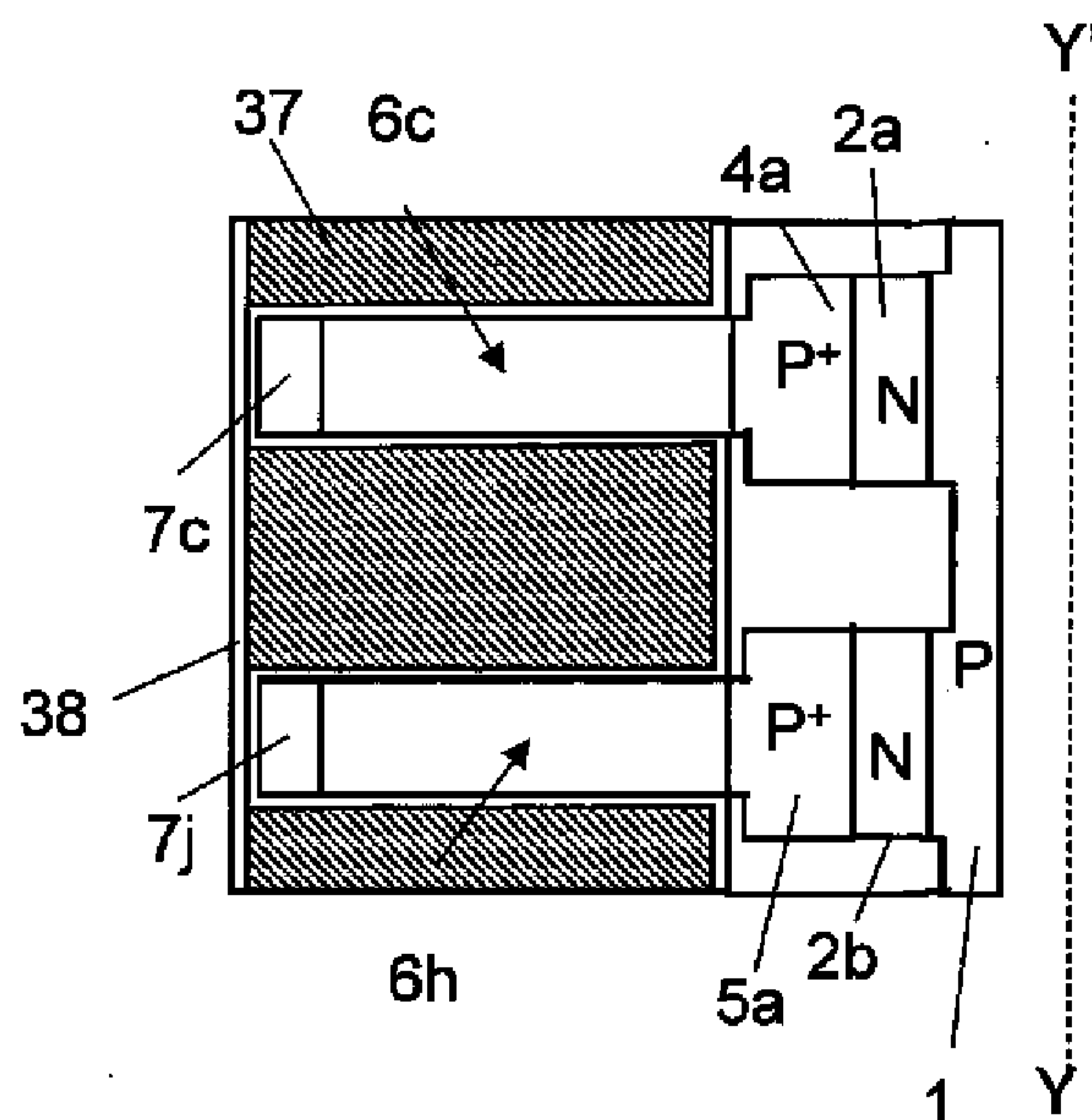
[図1S]



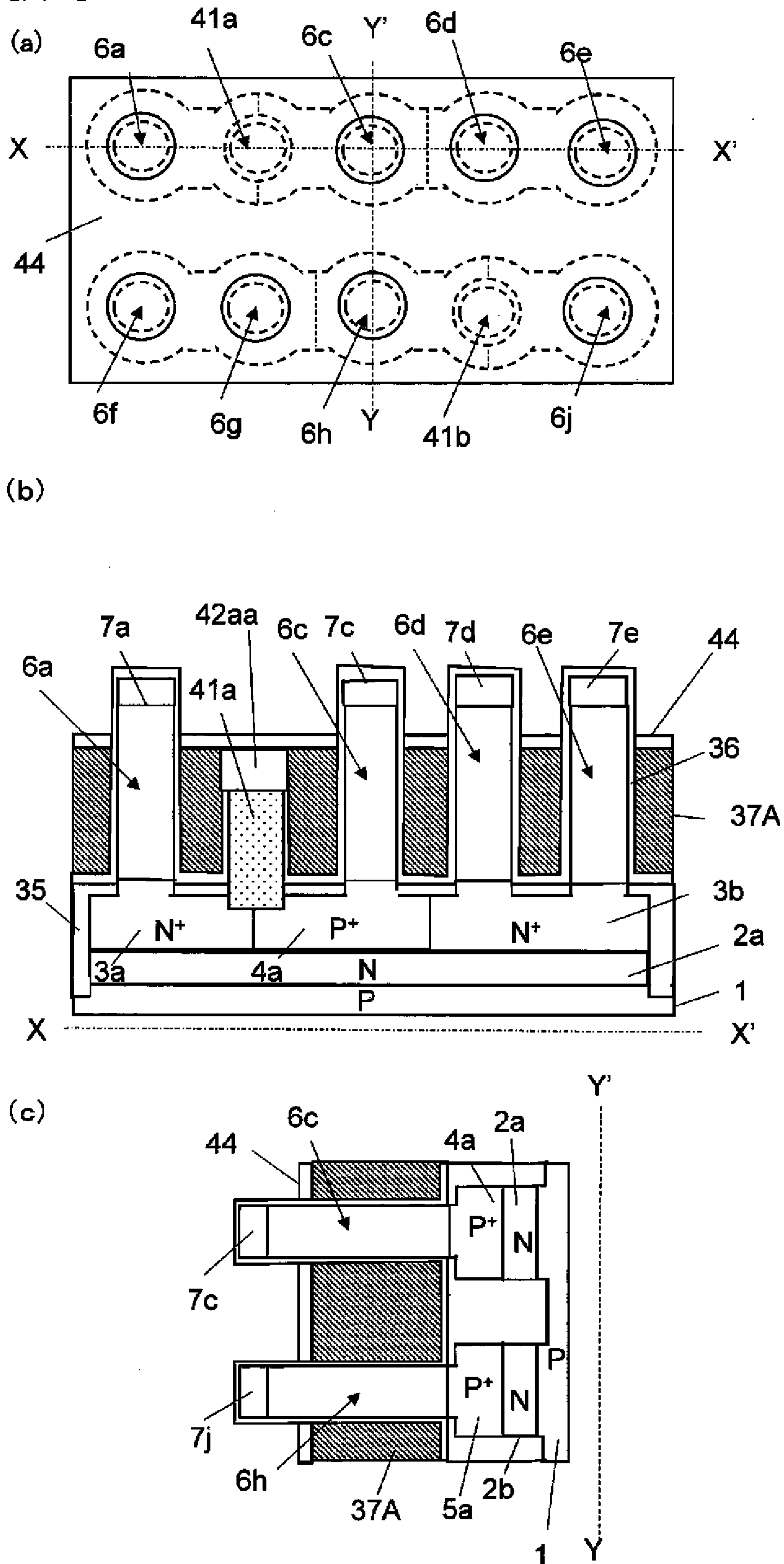
(b)



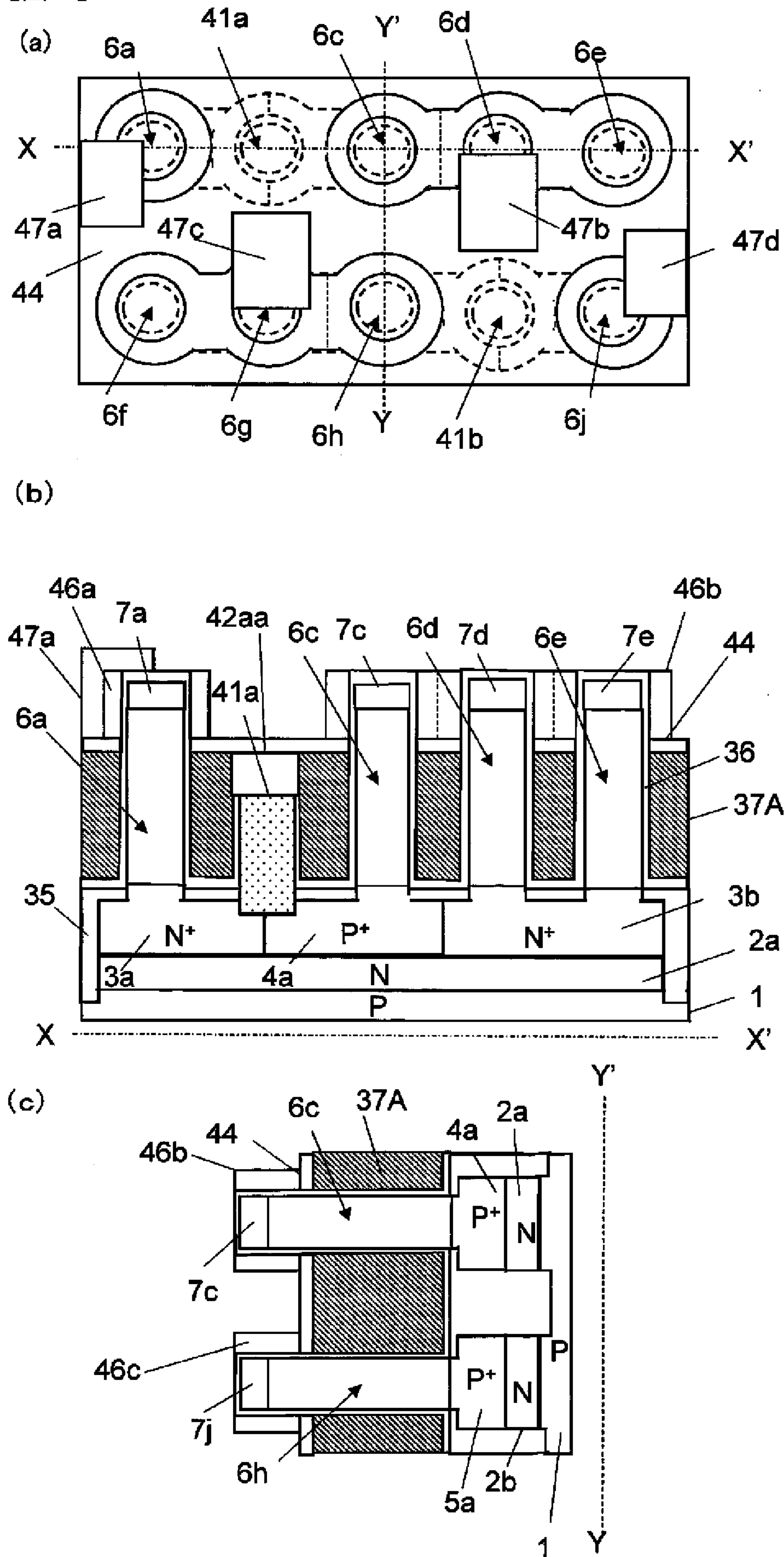
(c)



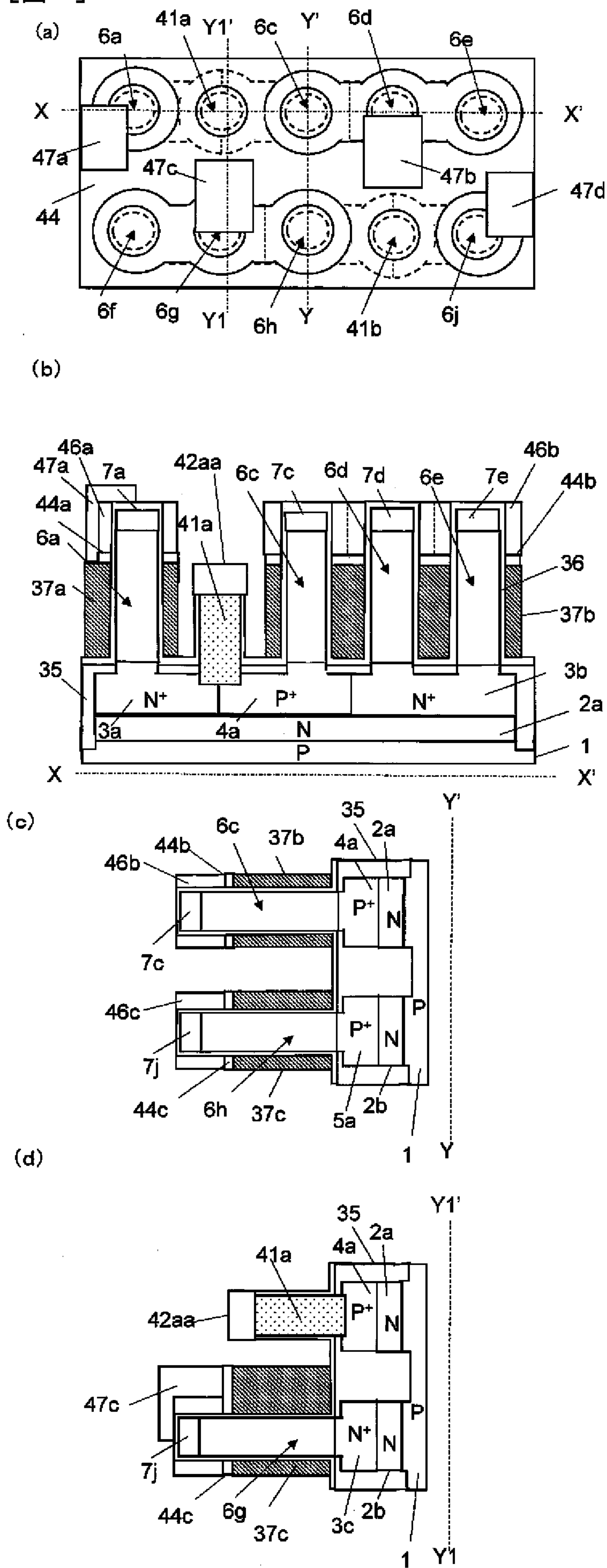
[図1T]



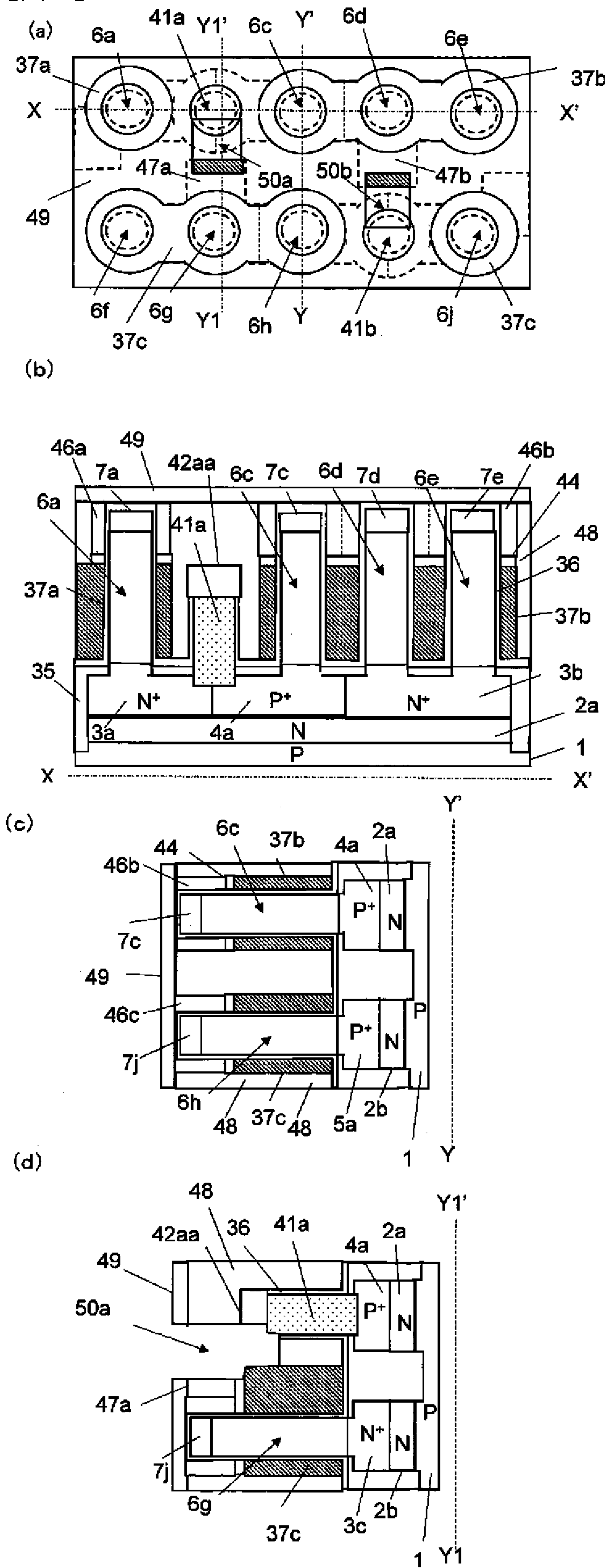
[図10]



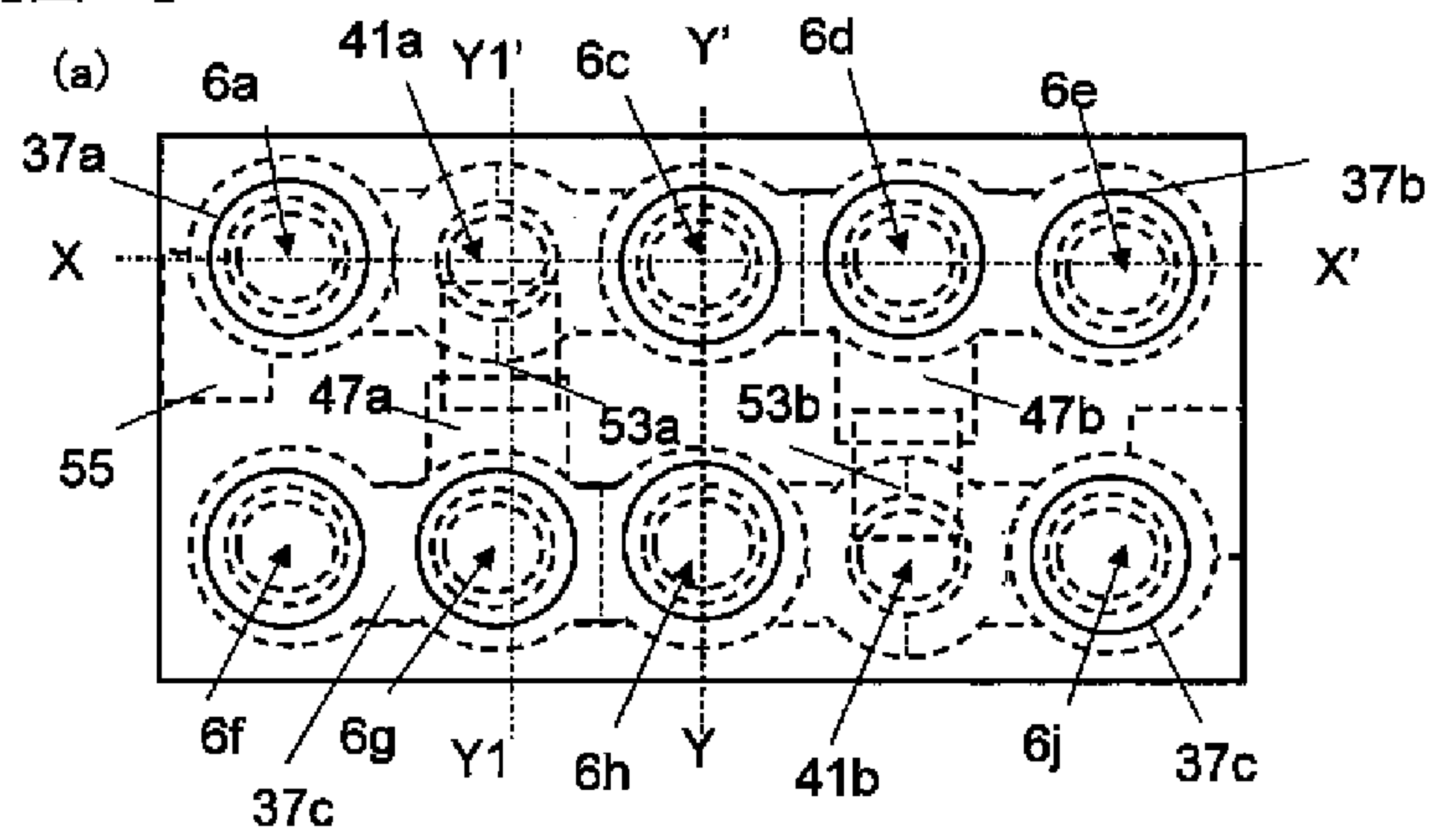
[図1V]



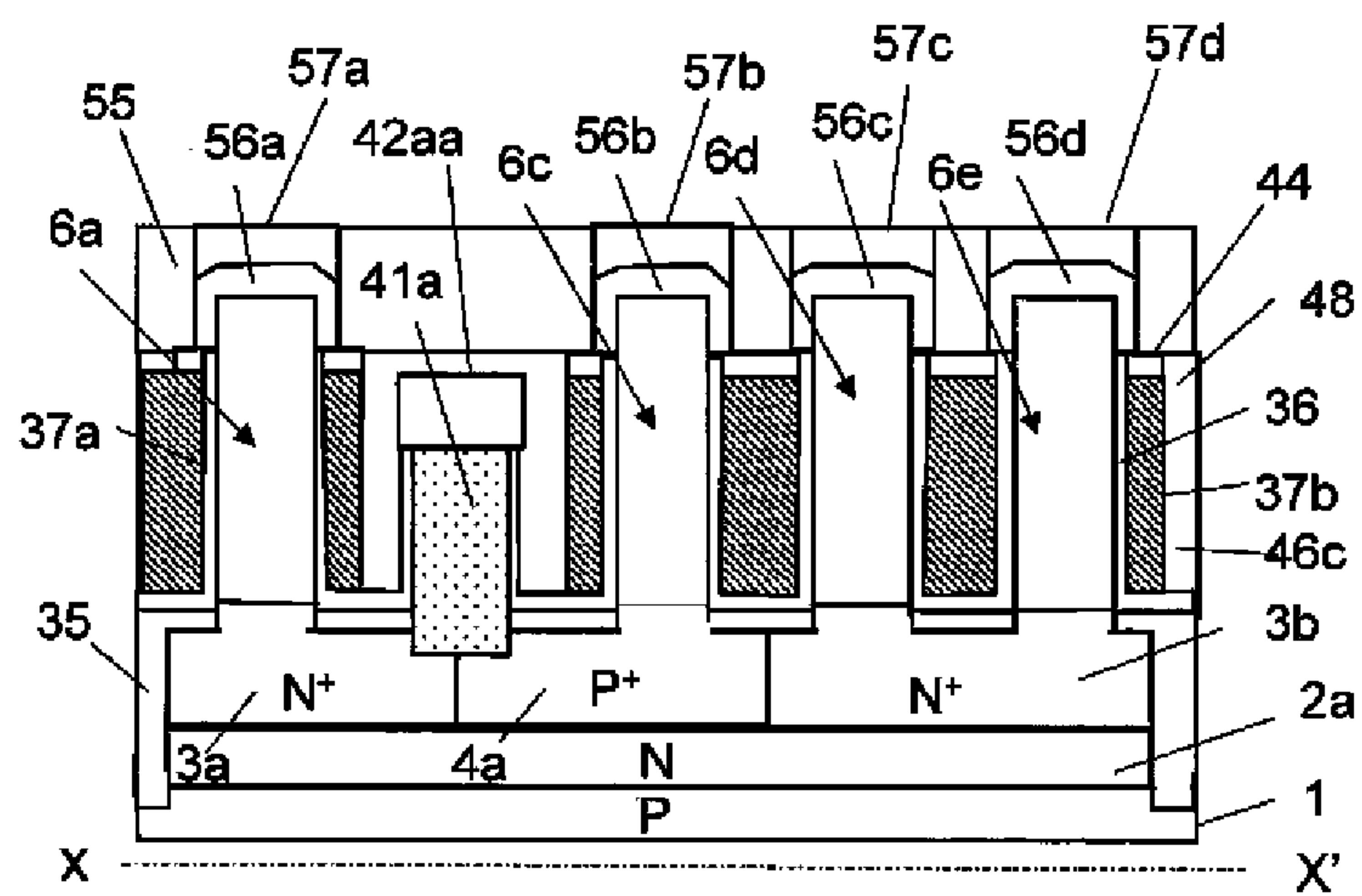
[図1W]



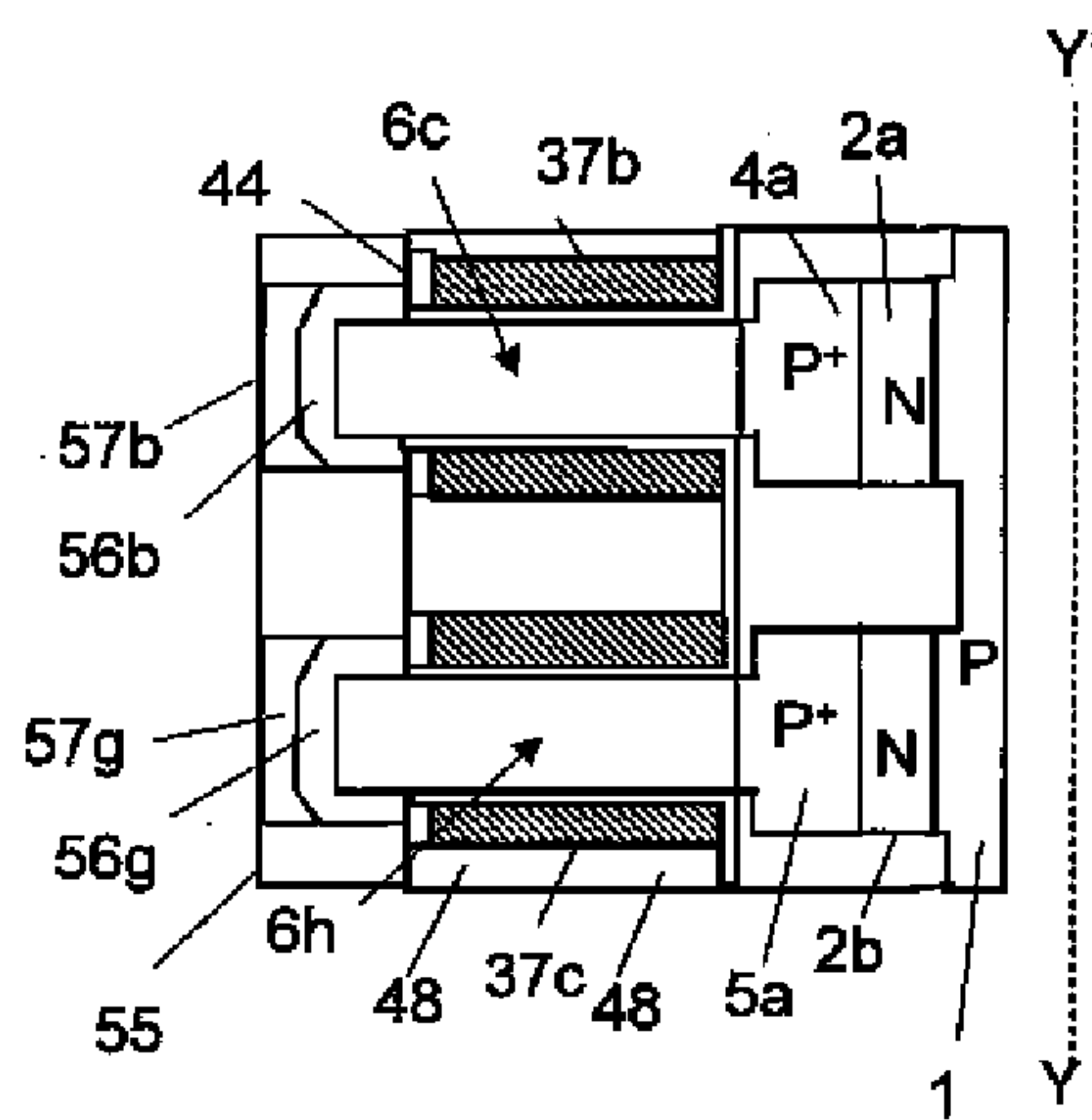
[図1Y]



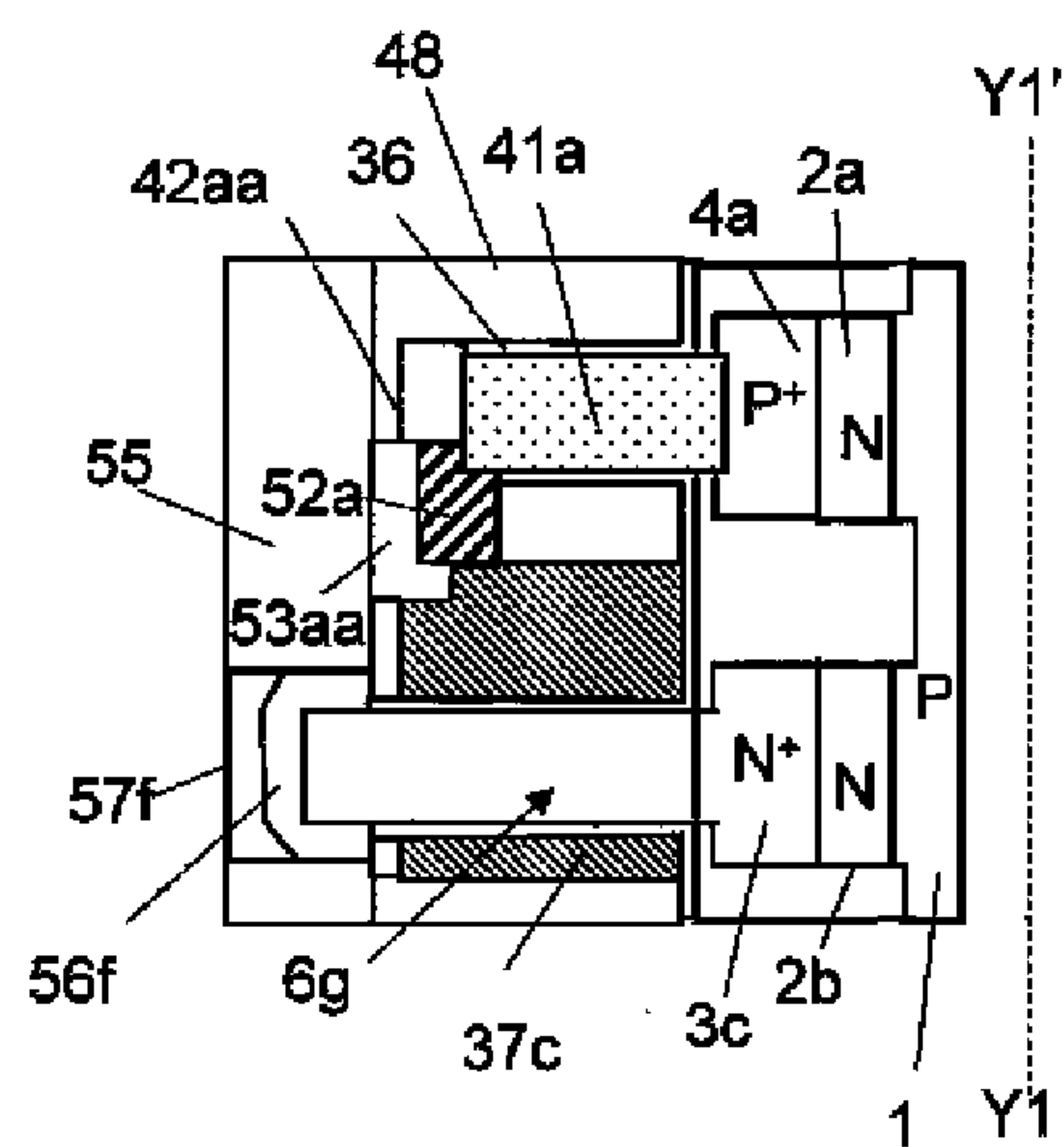
(b)



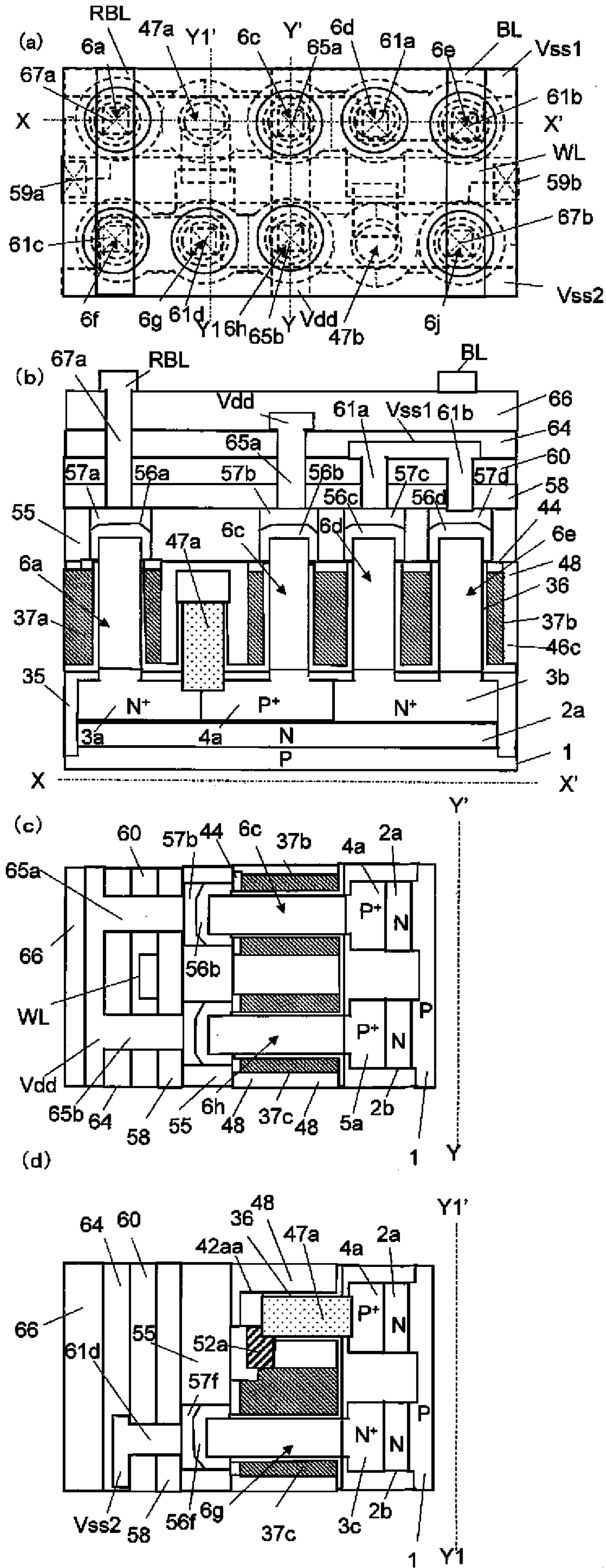
(c)



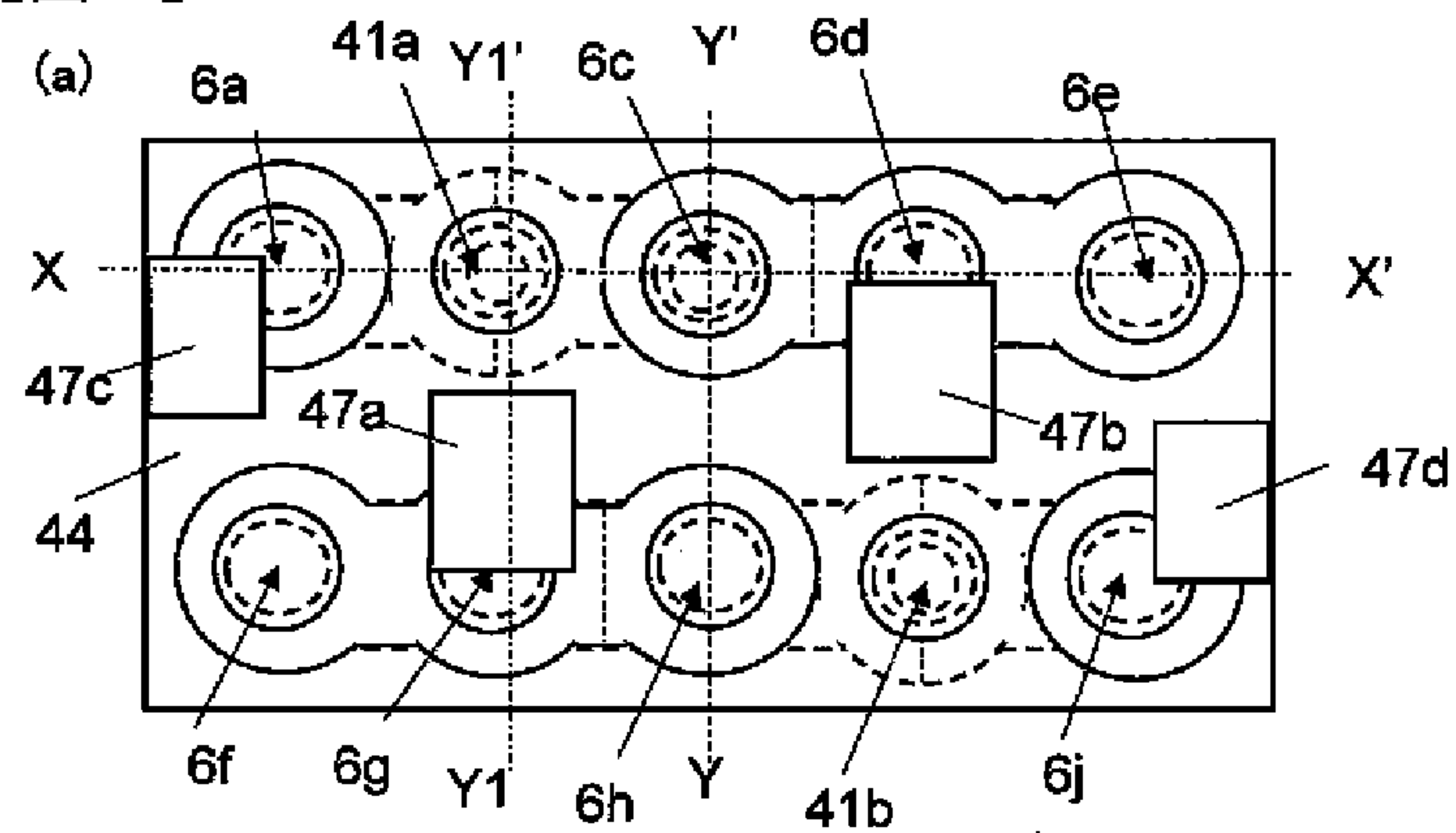
(d)



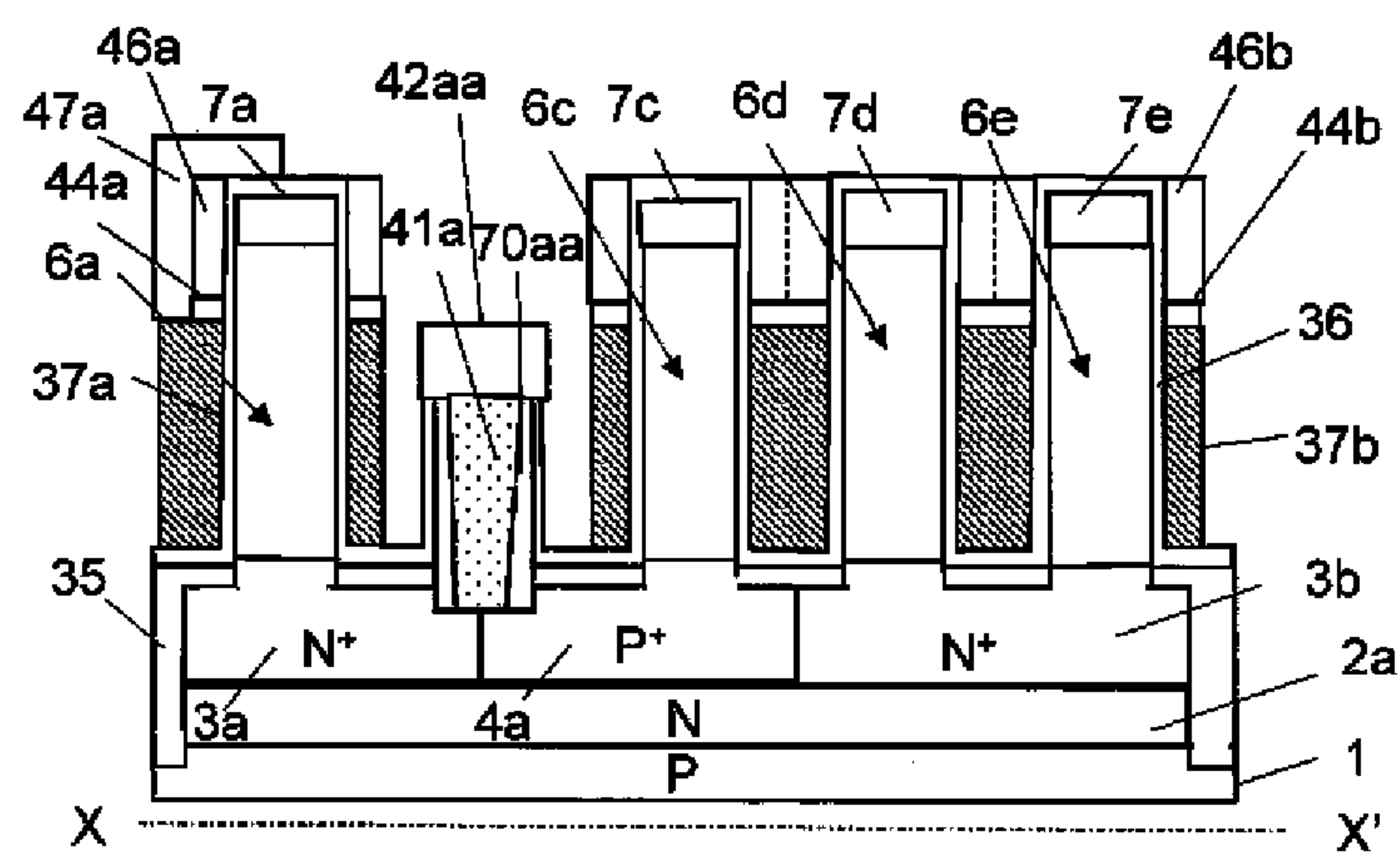
[図1Z]



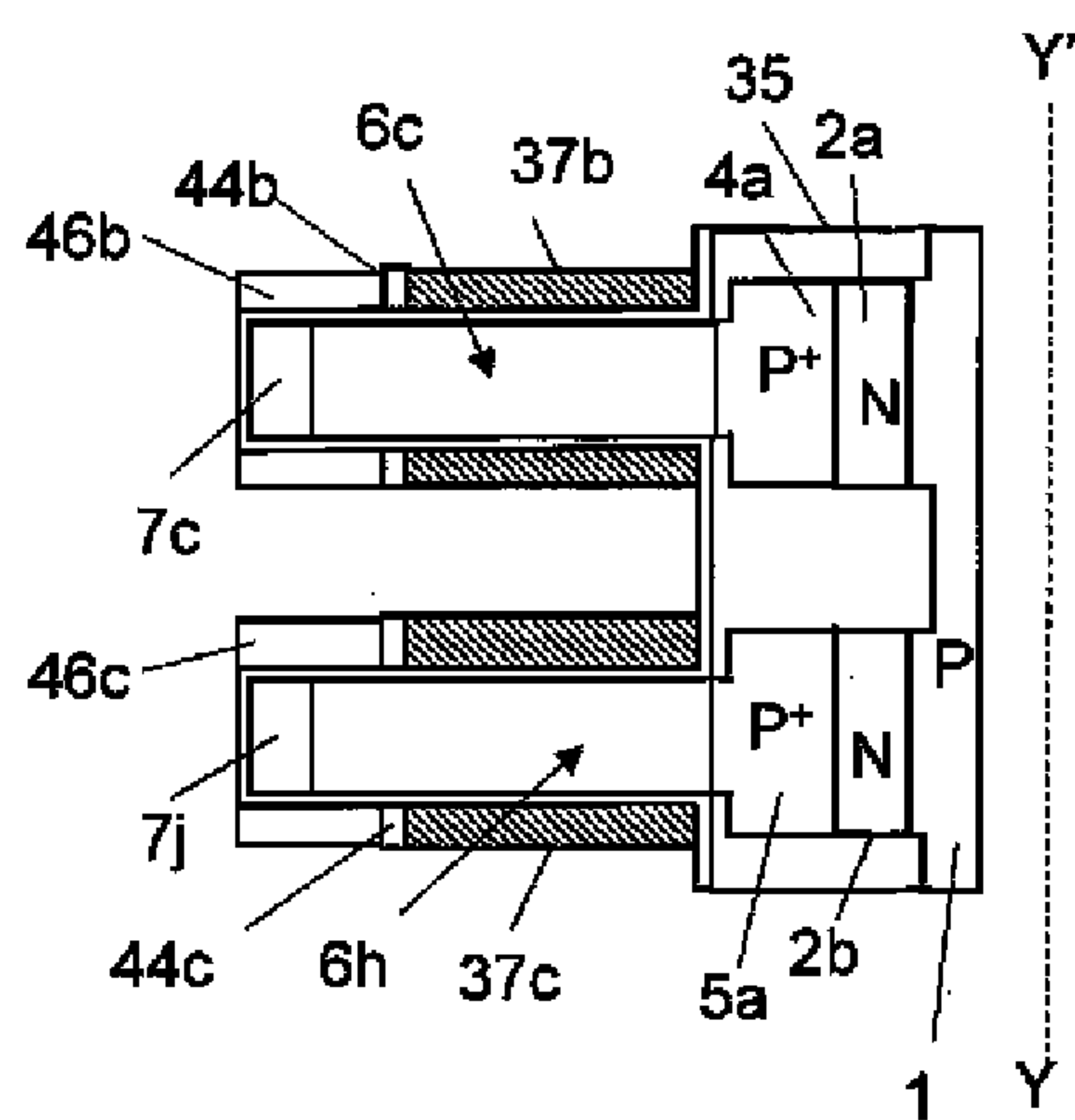
[図2B]



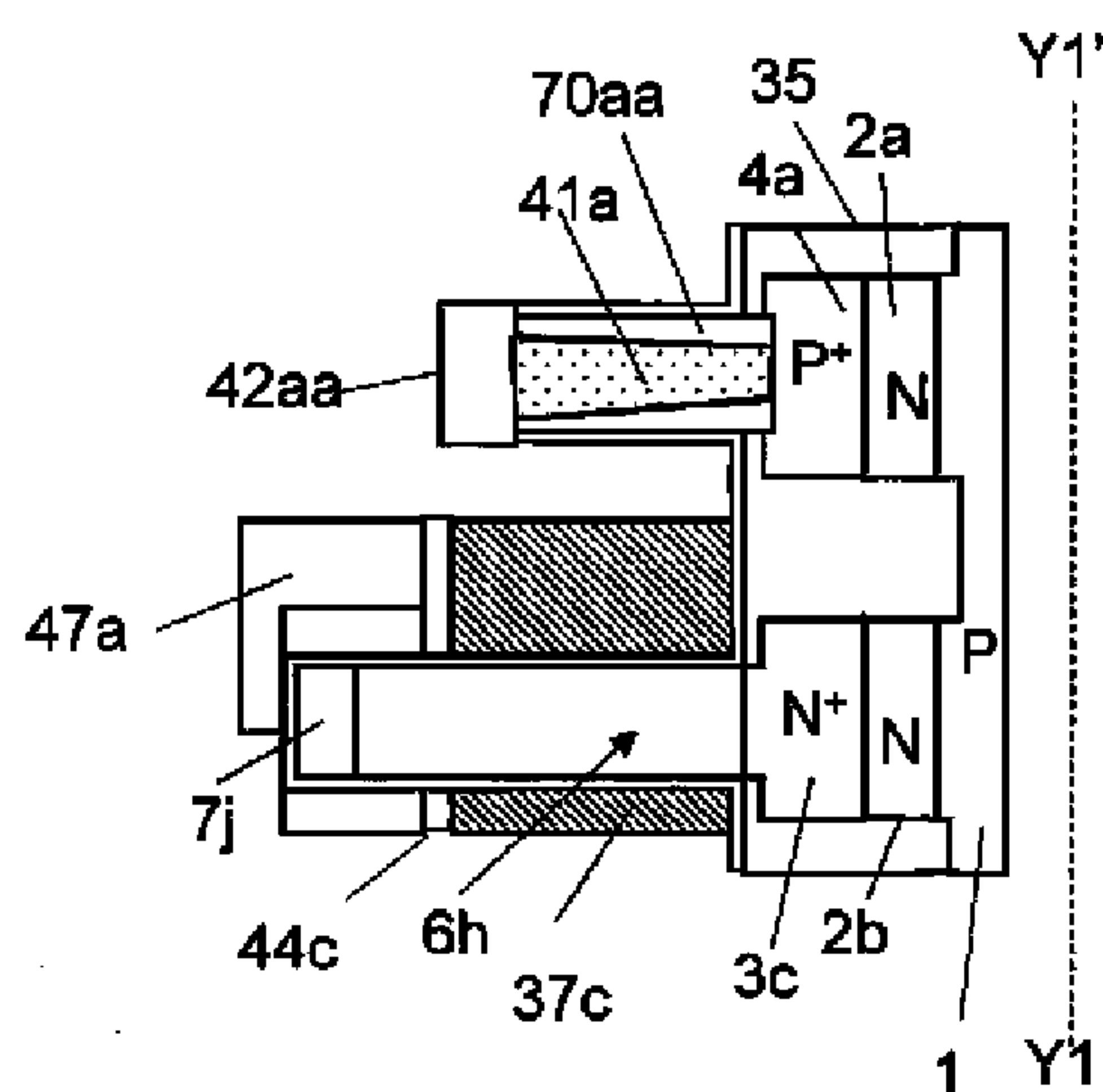
(b)



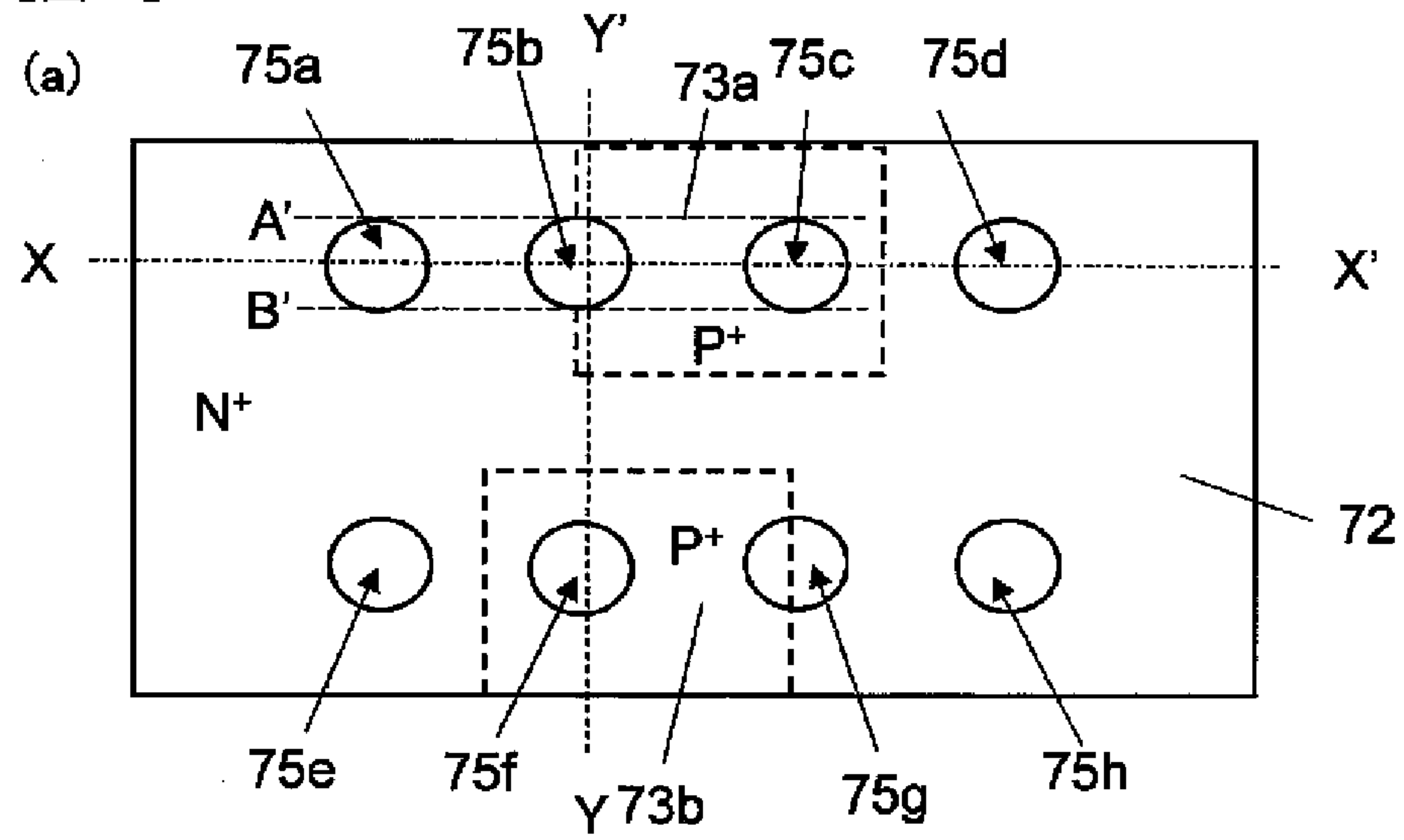
(c)



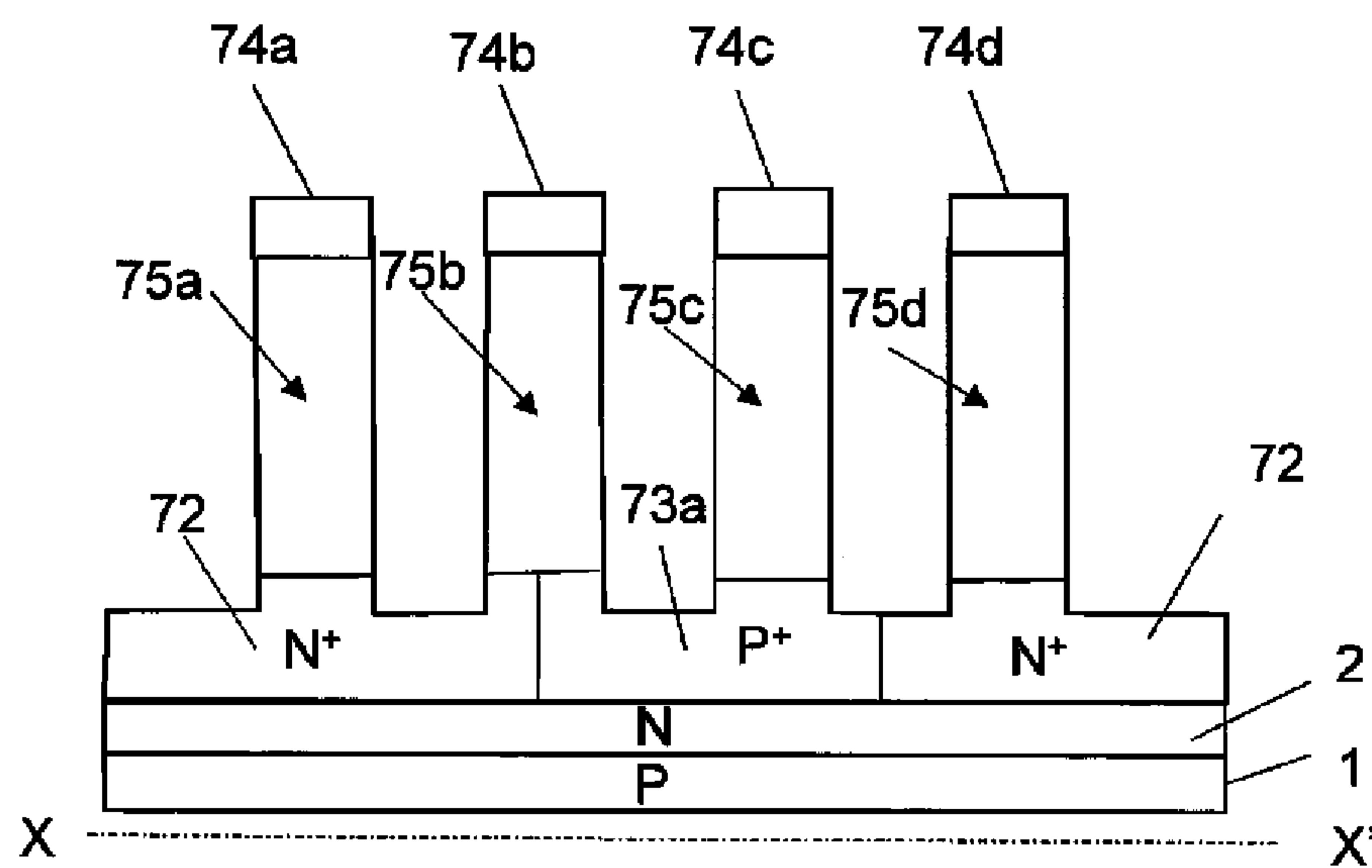
(d)



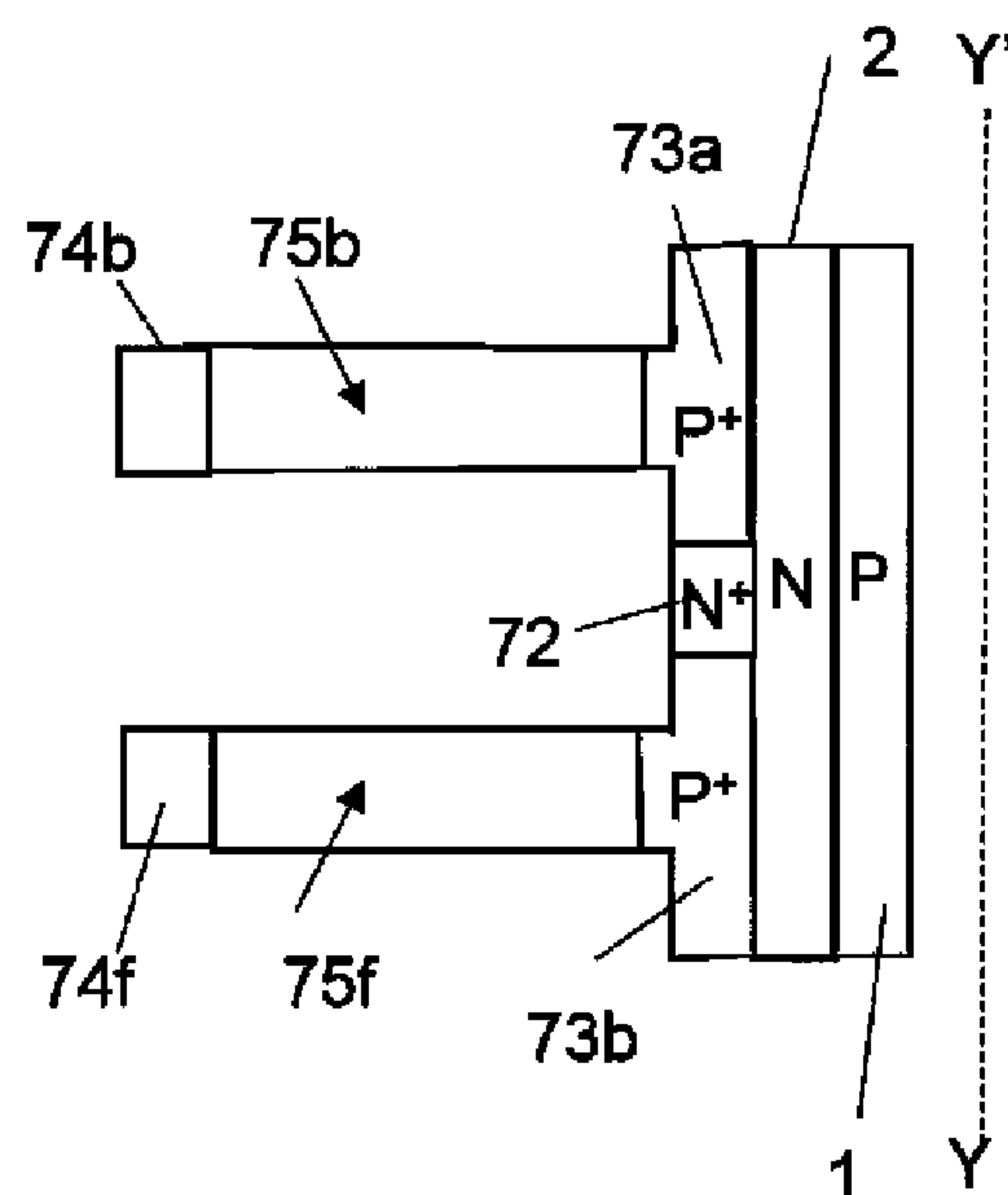
[図3A]



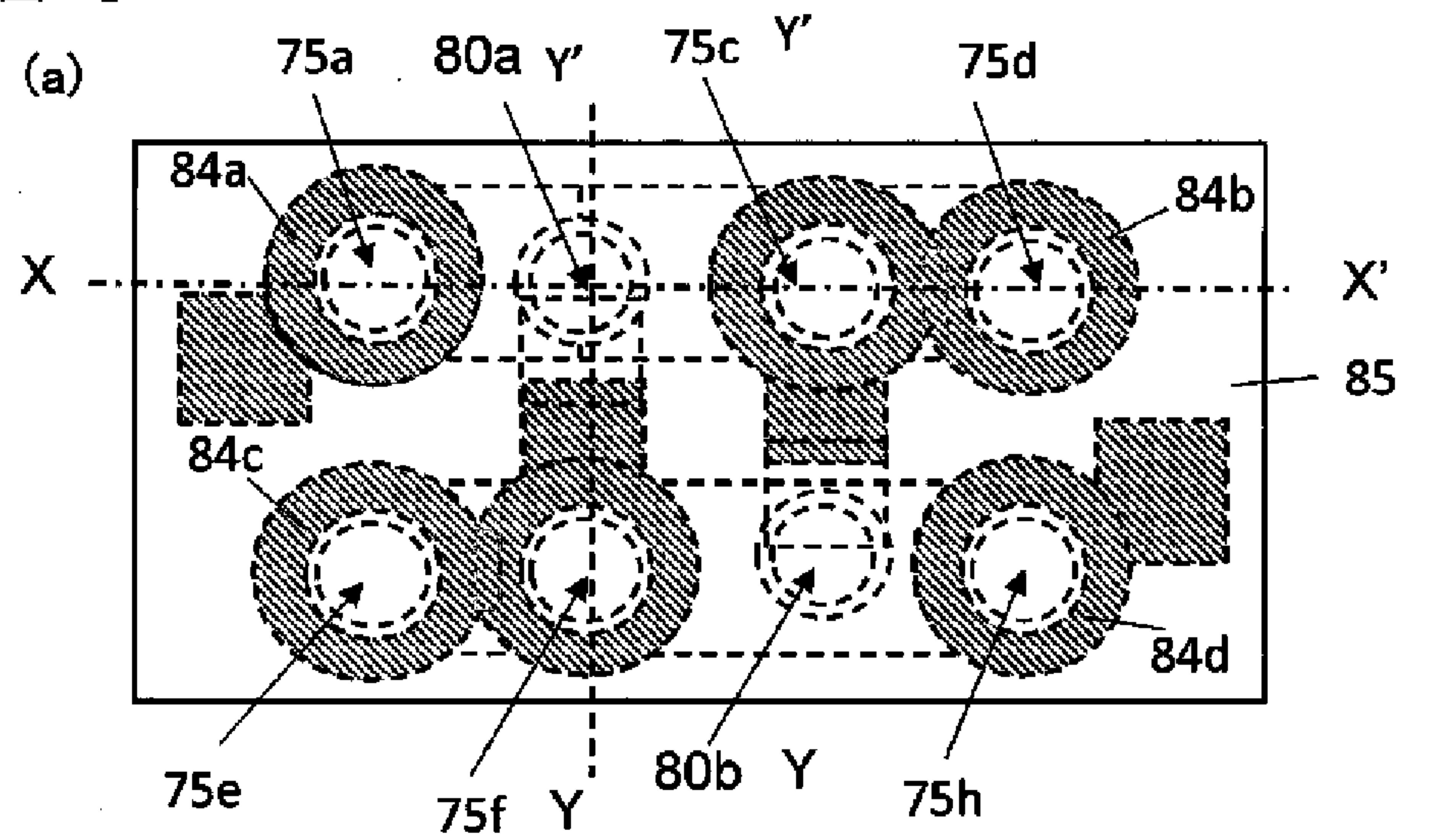
(b)



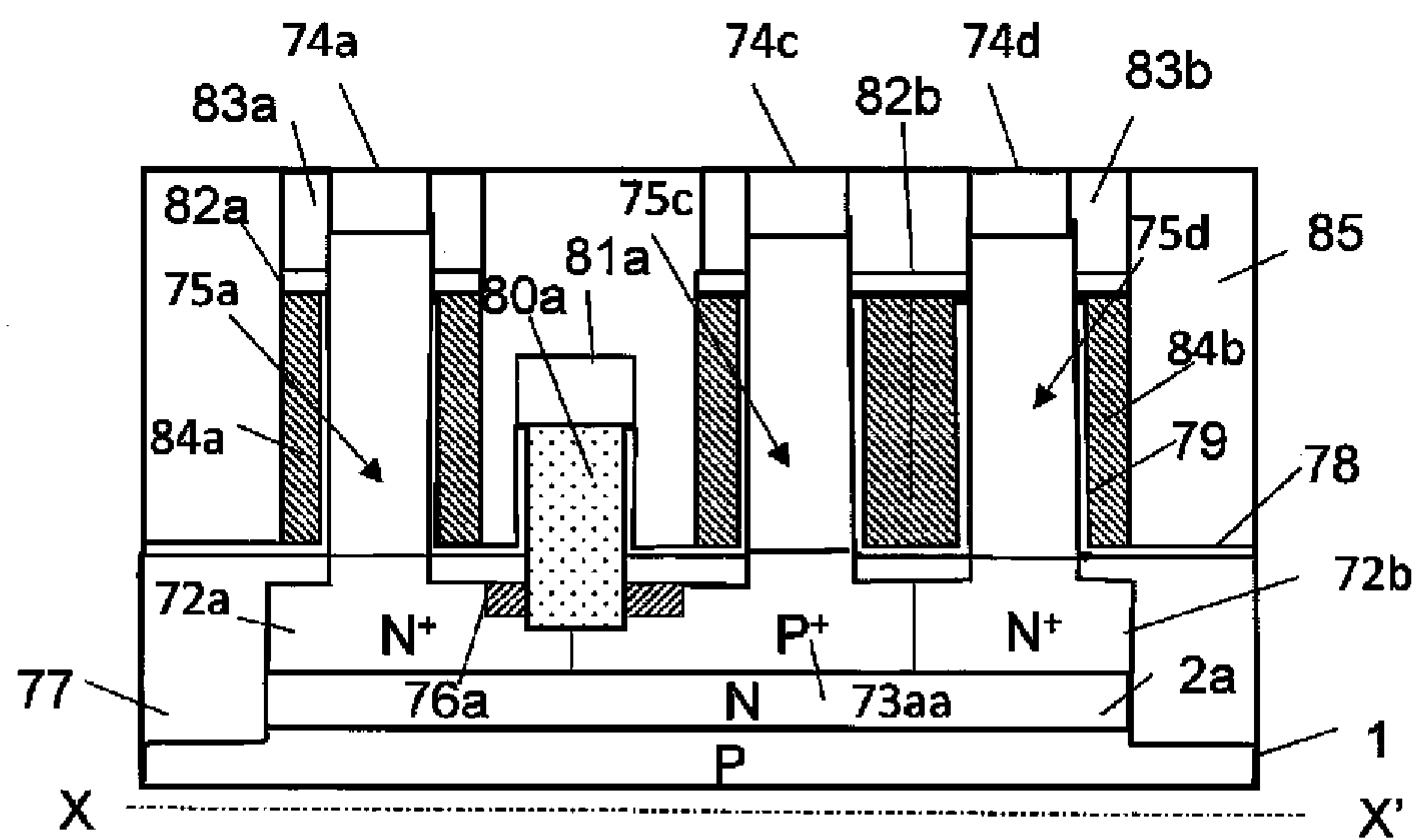
(c)



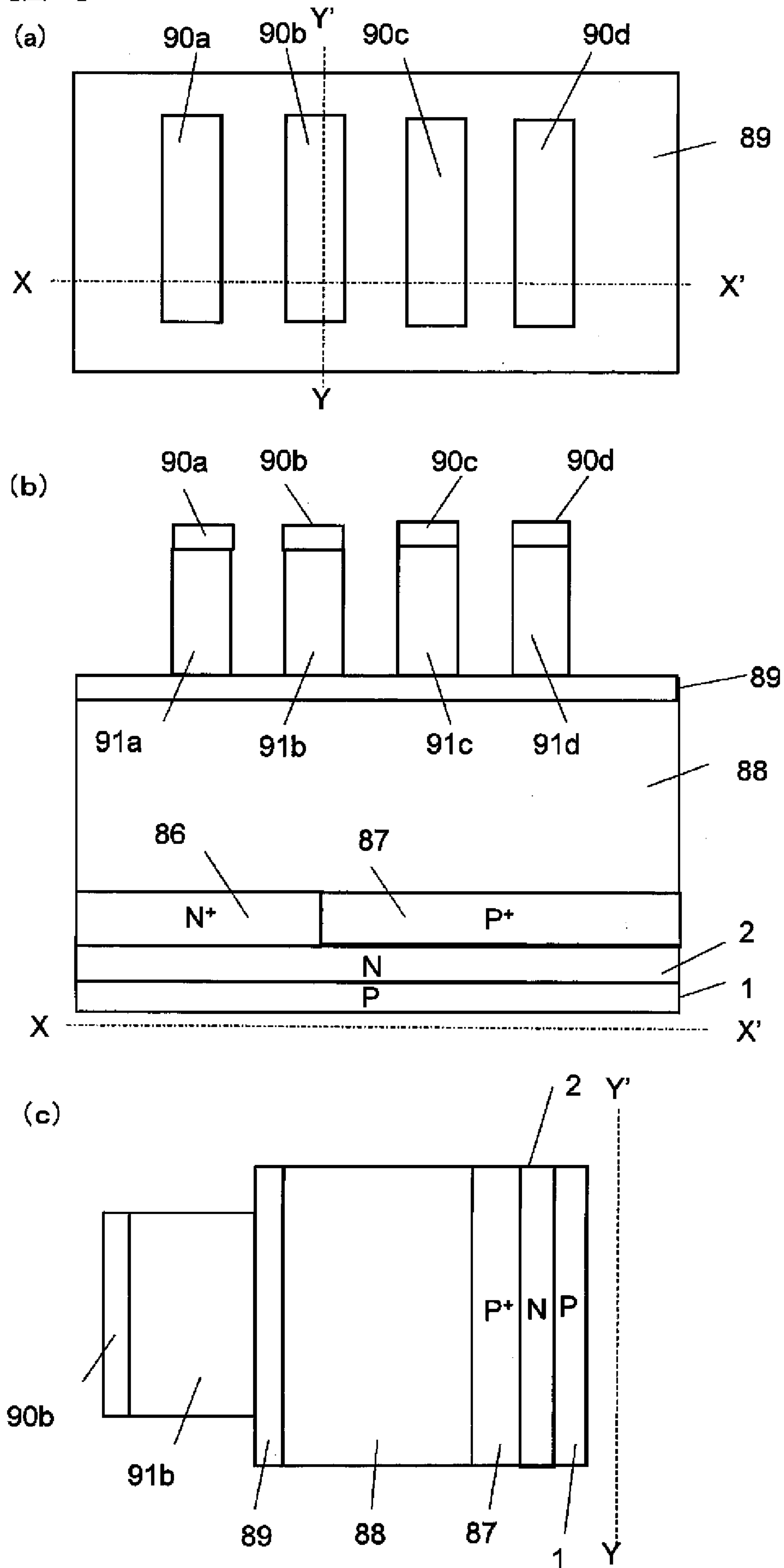
[図3B]



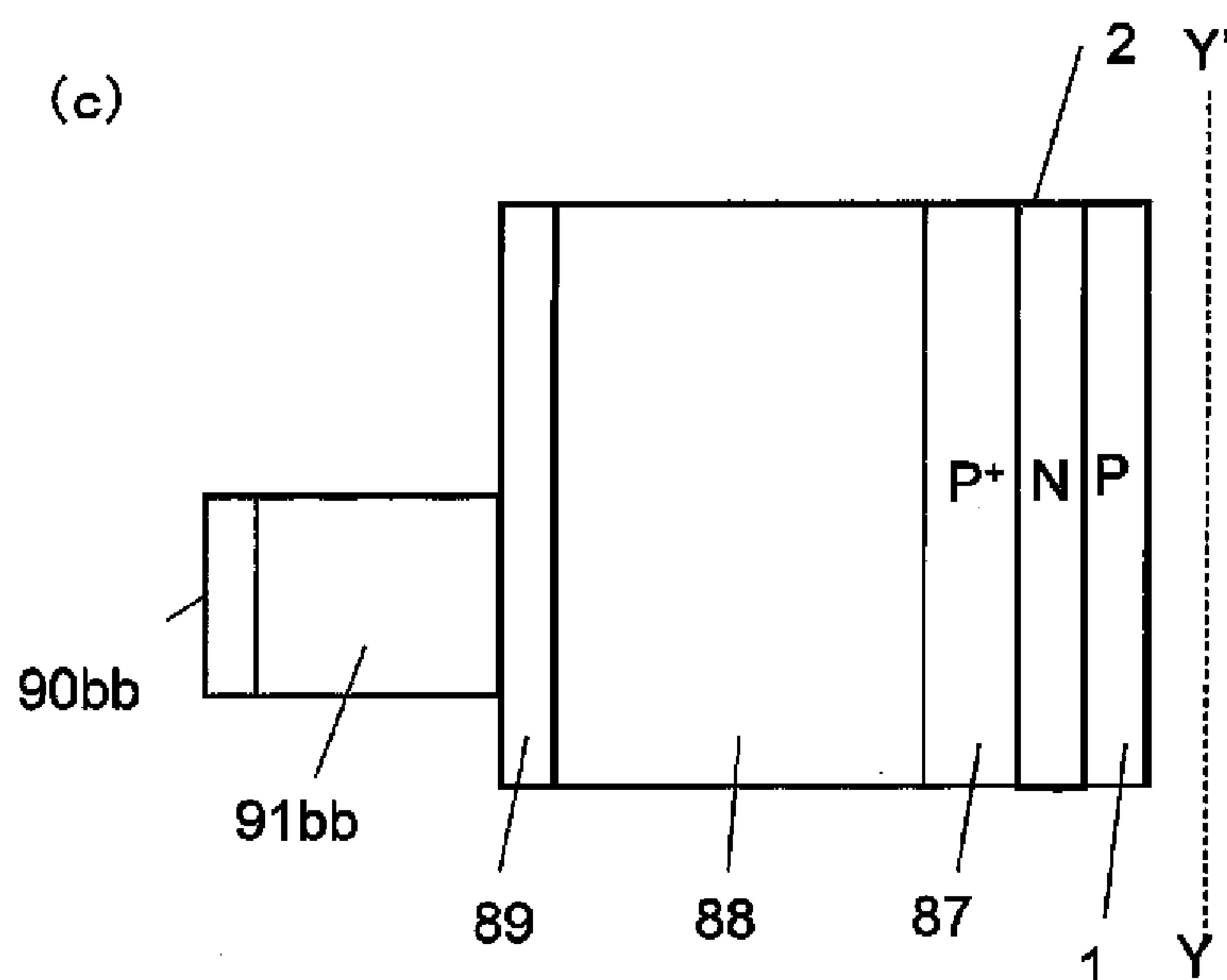
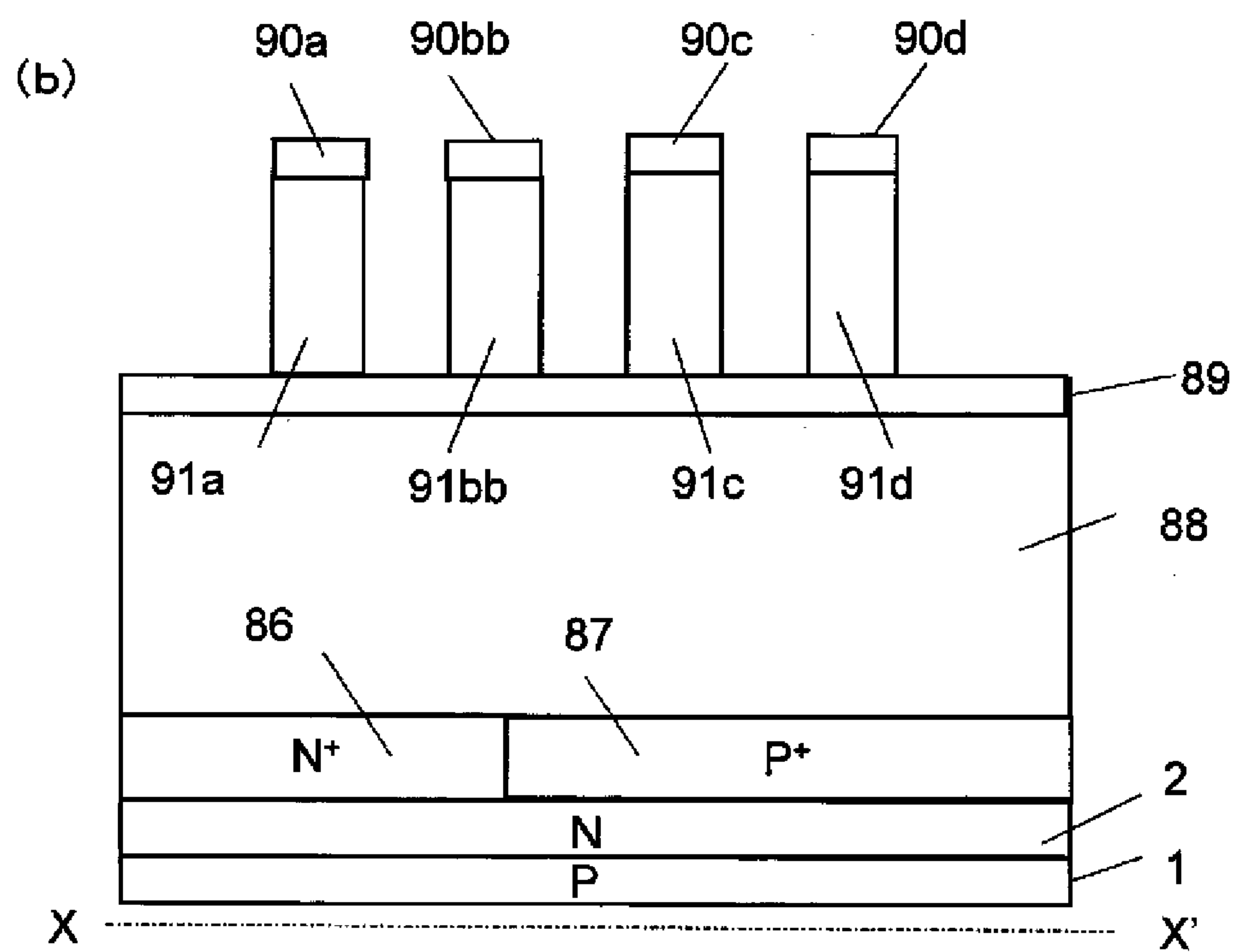
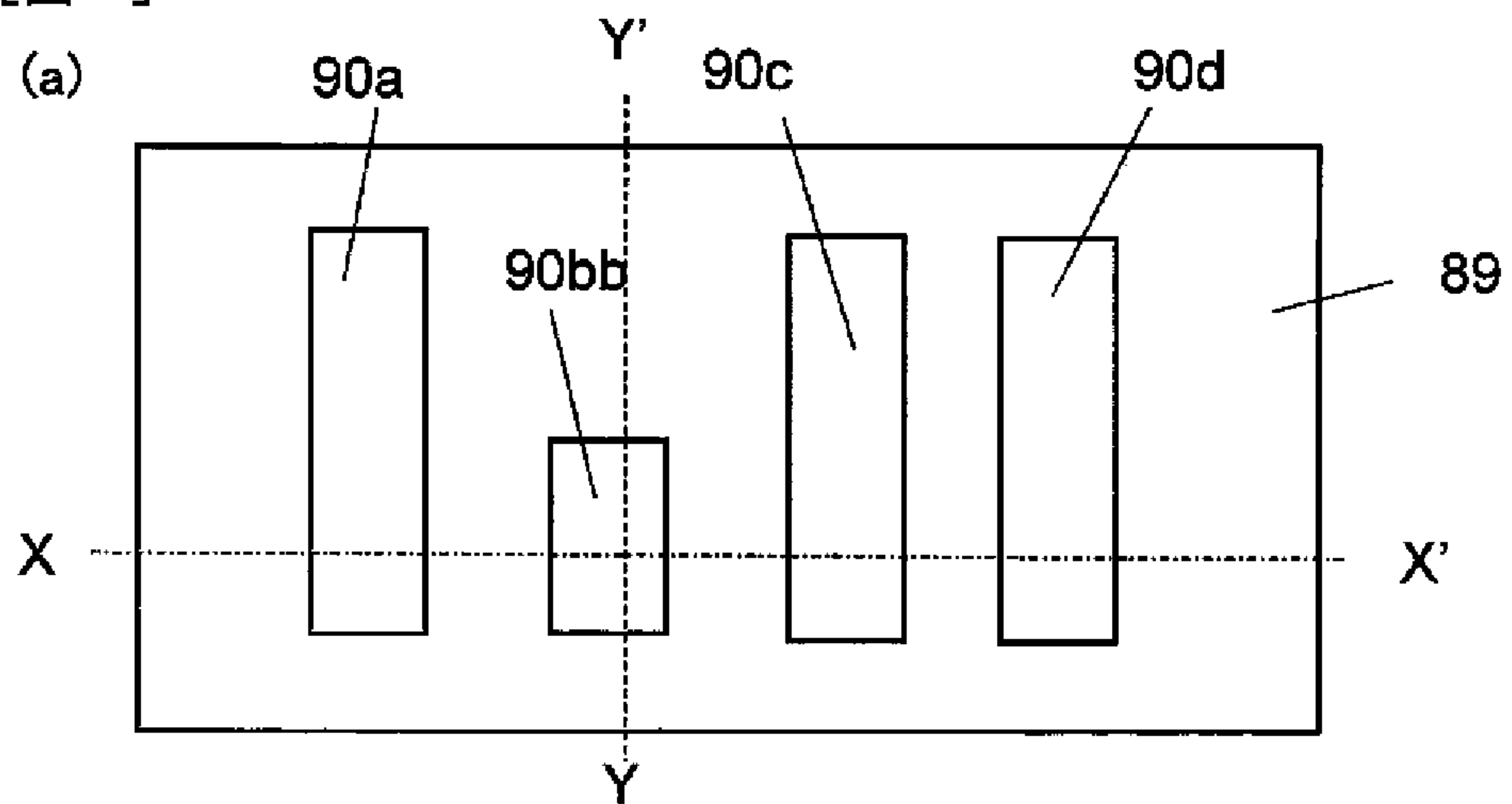
(b)



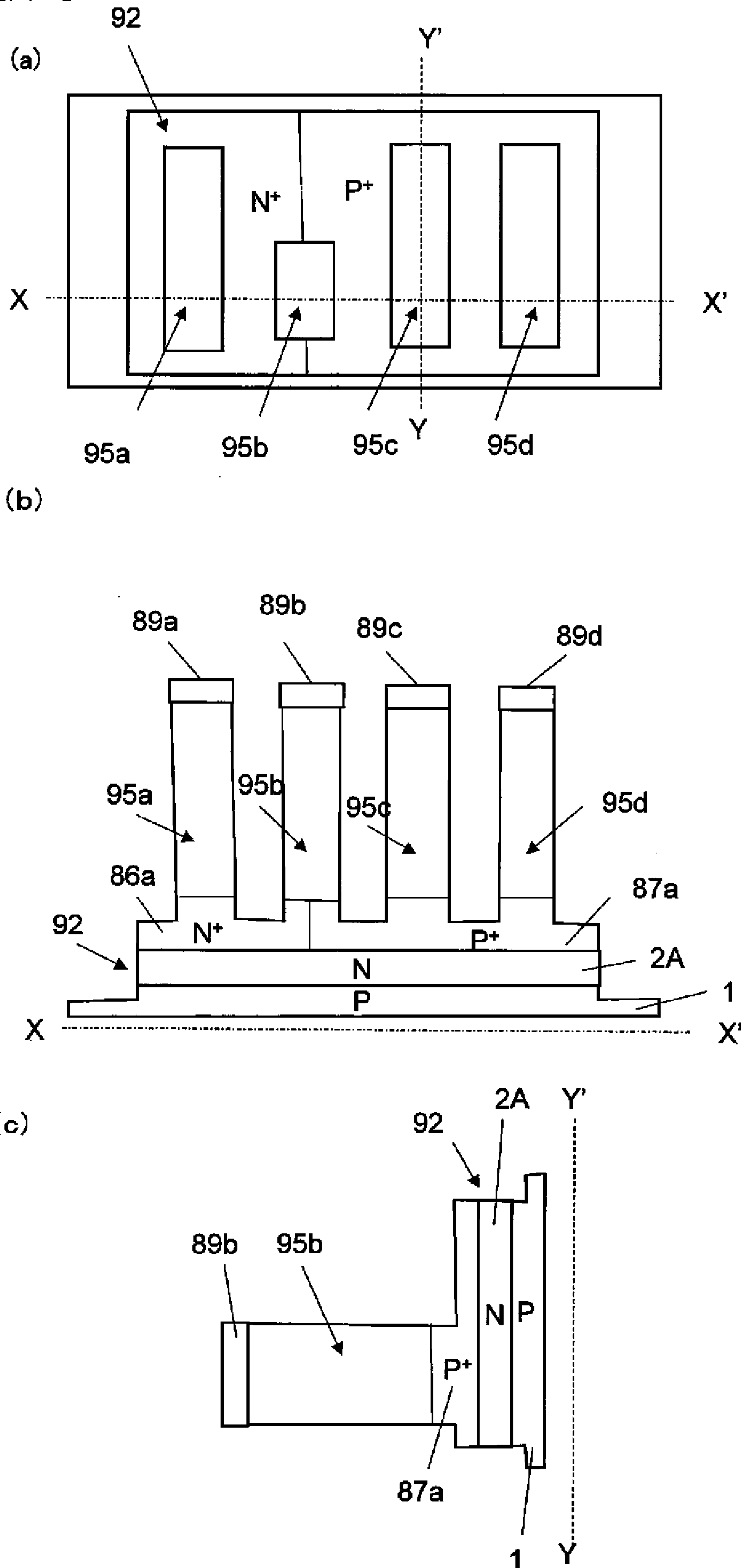
[図4A]



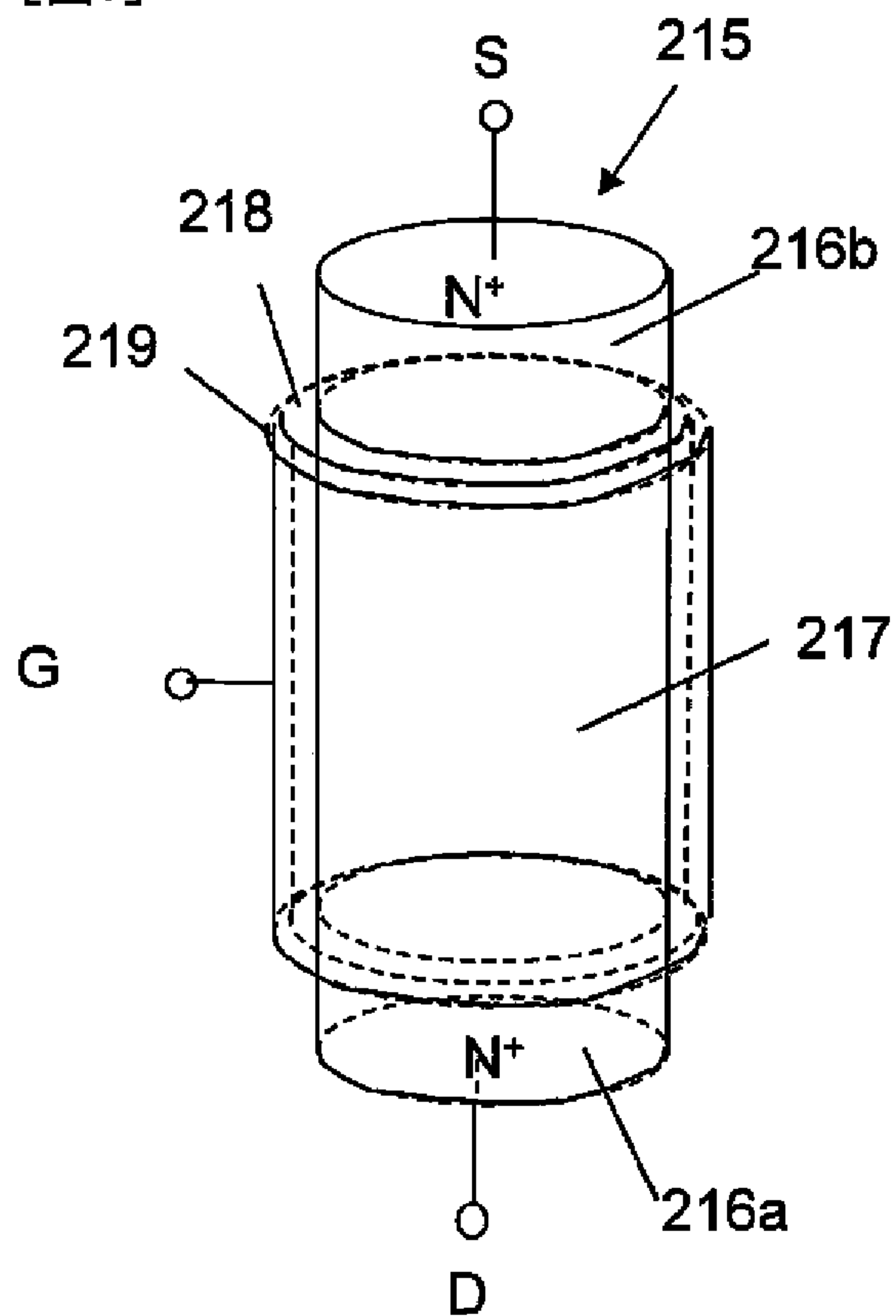
[図4B]



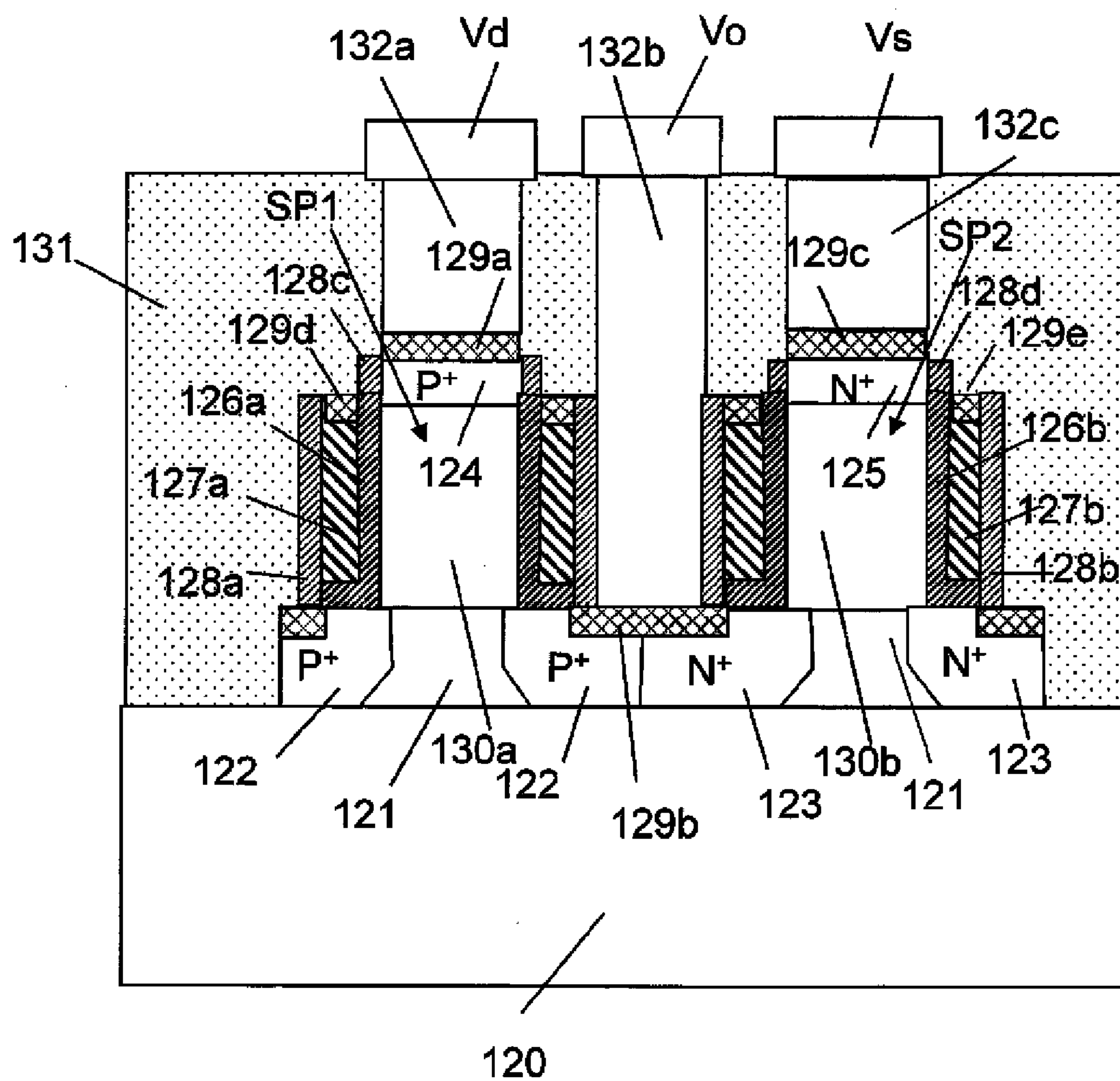
[図4C]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042593

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L21/8238(2006.01)i, H01L21/8244(2006.01)i, H01L27/092(2006.01)i, H01L27/11(2006.01)i FI: H01L29/78301X, H01L27/092G, H01L27/11 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L29/78, H01L21/336, H01L21/8238, H01L21/8244, H01L27/092, H01L27/11 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT														
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	WO 2019/087328 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 09.05.2019 (2019-05-09)	1-19												
A	WO 2018/070034 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 19.04.2018 (2018-04-19)	1-19												
A	WO 2015/022744 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 19.02.2015 (2015-02-19)	1-19												
A	JP 2008-305896 A (ELPIDA MEMORY INC.) 18.12.2008 (2008-12-18)	1-19												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
<table><tr><td>* Special categories of cited documents:</td><td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td></tr><tr><td>"A" document defining the general state of the art which is not considered to be of particular relevance</td><td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td></tr><tr><td>"E" earlier application or patent but published on or after the international filing date</td><td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td></tr><tr><td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td><td>"&" document member of the same patent family</td></tr><tr><td>"O" document referring to an oral disclosure, use, exhibition or other means</td><td></td></tr><tr><td>"P" document published prior to the international filing date but later than the priority date claimed</td><td></td></tr></table>			* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed	
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family													
"O" document referring to an oral disclosure, use, exhibition or other means														
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 09.01.2020		Date of mailing of the international search report 21.01.2020												
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/042593

WO	2019/087328	A1	09.05.2019	US	2019/0148387	A1
----	-------------	----	------------	----	--------------	----

WO 2018/070034 A1 19.04.2018 US 2019/0295900 A1

WO 2015/022744 A1 19.02.2015 JP 5639318 B1
US 2015/0221750 A1

JP 2008-305896 A 18.12.2008 US 2008/0303083 A1

国際調査報告		国際出願番号 PCT/JP2019/042593
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8238(2006.01)i; H01L 21/8244(2006.01)i; H01L 27/092(2006.01)i; H01L 27/11(2006.01)i FI: H01L29/78 301X; H01L27/092 G; H01L27/11		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/336; H01L21/8238; H01L21/8244; H01L27/092; H01L27/11		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/087328 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）09.05.2019（2019 - 05 - 09）	1-19
A	WO 2018/070034 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）19.04.2018（2018 - 04 - 19）	1-19
A	WO 2015/022744 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）19.02.2015（2015 - 02 - 19）	1-19
A	JP 2008-305896 A（エルピーダメモリ株式会社）18.12.2008（2008 - 12 - 18）	1-19
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 09.01.2020	国際調査報告の発送日 21.01.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 岩本 勉 5F 9355 電話番号 03-3581-1101 内線 3516	

引用文献			公表日	パテントファミリー文献			公表日
WO	2019/087328	A1	09.05.2019	US	2019/0148387	A1	
WO	2018/070034	A1	19.04.2018	US	2019/0295900	A1	
WO	2015/022744	A1	19.02.2015	JP	5639318	B1	
				US	2015/0221750	A1	
JP	2008-305896	A	18.12.2008	US	2008/0303083	A1	