

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 1 日(01.09.2016)



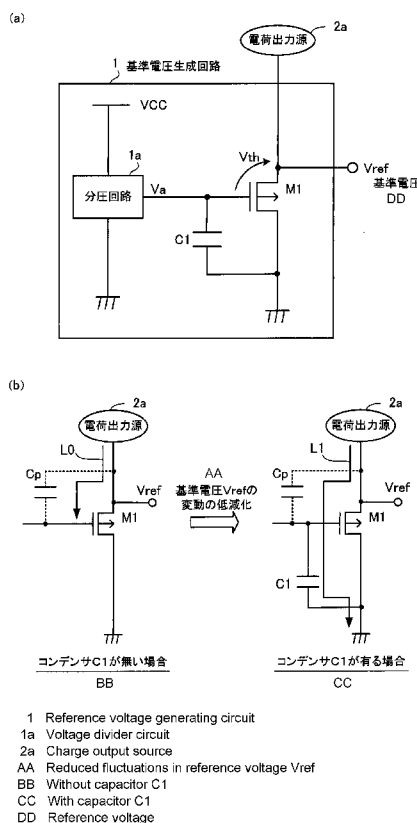
(10) 国際公開番号
WO 2016/136114 A1

- (51) 国際特許分類:
G05F 3/24 (2006.01) *H03F 3/70* (2006.01)
H02M 3/07 (2006.01) *H03K 19/0185* (2006.01)
- (21) 国際出願番号: PCT/JP2015/086129
- (22) 国際出願日: 2015 年 12 月 24 日(24.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-035052 2015 年 2 月 25 日(25.02.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 張 艷争(ZHANG, Yanzheng); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: REFERENCE VOLTAGE GENERATING CIRCUIT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 基準電圧生成回路および半導体装置



(57) Abstract: The purpose of the present invention is to reduce internal ground potential fluctuations and thereby prevent circuit malfunctions. Provided is a reference voltage generating circuit (1), comprising a voltage divider circuit (1a), a transistor (M1), and a capacitor (C1). The voltage divider circuit (1a) divides a power supply voltage (VCC) into prescribed levels and generates a prescribed voltage (Va). The prescribed voltage (Va) is imparted to a gate of the transistor (M1). Said transistor (M1) outputs, as a reference voltage (Vref) from a drain, a voltage which is the sum of the prescribed voltage (Va) and a threshold voltage (Vth) of the transistor (M1). The capacitor (C1) bypasses the gate and the source of the transistor (M1). One end of the capacitor (C1) is connected to the gate of the transistor (M1), and the other end of the capacitor (C1) is connected to the source and the ground of the transistor (M1). A charge output source (2a), which outputs a charge, is connected to the drain of the transistor (M1).

(57) 要約: 内部グラウンドの電位変動を低減し、回路の誤動作の防止を図る。基準電圧生成回路(1)は、分圧回路(1a)、トランジスタ(M1)およびコンデンサ(C1)を備える。分圧回路(1a)は、電源電圧(VCC)を所定レベルに分圧して所定電圧(Va)を生成する。トランジスタ(M1)は、所定電圧(Va)がゲートに印加され、所定電圧(Va)と、自己の閾値電圧(Vth)とを加算した電圧を、基準電圧(Vref)としてドレインから出力する。コンデンサ(C1)は、トランジスタ(M1)のゲートとソースとをバイパスする。また、コンデンサ(C1)の一端は、トランジスタ(M1)のゲートに接続し、コンデンサ(C1)の他端は、トランジスタ(M1)のソースおよびグラウンドに接続する。さらに、トランジスタ(M1)のドレインには、電荷を出力する電荷出力源(2a)が接続される。



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
KM, ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：基準電圧生成回路および半導体装置

技術分野

[0001] 本技術は、基準電圧生成回路および半導体装置に関する。

背景技術

[0002] 近年、パワー半導体素子を用いたスイッチ素子と、スイッチ素子の駆動回路およびその周辺の制御回路や保護回路などを１チップ化したＩＰＳ（Intel ligent Power Switch）と呼ばれる半導体装置の開発が進んでいる。

[0003] ＩＰＳは、例えば、トランスミッション、エンジンおよびブレーキなどの自動車電装システムに広く利用されており、小型化、高性能化および高信頼性に応える製品が要望されている。

[0004] 従来技術として、ツェナーダイオードのクランプ耐圧により電位を固定して回路の誤動作を防止する技術が提案されている（特許文献１）。

先行技術文献

特許文献

[0005] 特許文献１：米国特許出願公開第２０１２／０２８７６８４号明細書

発明の概要

発明が解決しようとする課題

[0006] 電源の正極と負荷との間にスイッチ素子を介在させたハイサイド型のＩＰＳでは、電源電圧から所定レベル下げた電圧を生成し、この所定レベル下げた電圧をＩＰＳ内部の回路を駆動するための内部グランドとして供給している。

[0007] また、ＩＰＳでは、スイッチ素子をターンオンさせる際、チャージポンプでスイッチ素子の閾値電圧を超えるまで電荷を溜め、溜めた電荷をスイッチ素子のゲートに印加することで、スイッチ素子のターンオンを実行している。

[0008] しかし、チャージポンプは、発振回路を用いてコンデンサの充放電を高速

に繰り返して電荷を溜めるという動作を行っているので、この影響により、従来では、内部グラウンドの電位が大幅に変動してしまう可能性があった。内部グラウンドの電位が変動すると、回路が誤動作して品質低下を引き起こすことになる。

[0009] 本発明はこのような点に鑑みて、内部グラウンドの電位変動を低減し、回路の誤動作の防止を図った基準電圧生成回路および半導体装置を提供することを目的とする。

課題を解決するための手段

[0010] 上記課題を解決するために、1つの案では、基準電圧生成回路が提供される。基準電圧生成回路は、分圧回路、トランジスタおよびコンデンサを備える。

分圧回路は、電源電圧を分圧して所定電圧を生成する。トランジスタは、所定電圧がゲートに印加され、所定電圧と、自己の閾値電圧とを加算した電圧を、基準電圧としてドレインから出力する。コンデンサは、トランジスタのゲートとソースとをバイパスする。また、コンデンサの一端は、トランジスタのゲートおよび分圧回路の出力端に接続し、コンデンサの他端は、トランジスタのソースおよびグラウンドに接続し、トランジスタのドレインには、発振動作にもとづいて電荷を出力する電荷出力源が接続されている。

[0011] また、1つの案では、半導体装置が提供される。半導体装置は、負荷を動作させるスイッチ素子、電荷出力源、および基準電圧生成回路を備える。また、電荷出力源は、発振回路とチャージポンプとを含み、基準電圧生成回路は、分圧回路、トランジスタおよびコンデンサを含む。

[0012] チャージポンプは、発振回路の発振動作によって充放電を繰り返し、スイッチ素子のターンオンに要する駆動電圧まで電荷を溜める。分圧回路は、電源電圧を分圧して所定電圧を生成する。トランジスタは、所定電圧がゲートに印加され、所定電圧と、自己の閾値電圧とを加算した電圧を、基準電圧としてドレインから出力する。コンデンサは、トランジスタのゲートとソースとをバイパスする。また、コンデンサの一端は、トランジスタのゲートおよ

び分圧回路の出力端に接続し、コンデンサの他端は、トランジスタのソースおよびグランドに接続し、トランジスタのドレインには、電荷出力源が接続されている。

発明の効果

[0013] 内部グランドの電位変動を低減し、回路の誤動作の防止を図ることが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0014] [図1] (a) 基準電圧生成回路の構成例を示す図である。(b) 動作を説明するための図である。

[図2] 半導体装置の構成例を示す図である。

[図3] チャージポンプの昇圧動作を説明するための図である。

[図4] 内部GNDに変動が生じる理由を説明するための図である。

[図5] 半導体装置の構成例を示す図である。

[図6] 内部GNDの変動を示す図である。

[図7] 内部GNDの変動を示す図である。

[図8] 内部GNDの変動を示す図である。

[図9] 内部GNDの変動を示す図である。

[図10] 半導体装置の変形例の構成例を示す図である。

[図11] ハイサイド型のIPSの構成例を示す図である。

発明を実施するための形態

[0015] 以下、実施の形態について図面を参照して説明する。なお、本明細書および図面において実質的に同一の機能を有する要素については、同一の符号を付することにより重複説明を省略する場合がある。

[0016] 図1(a)は基準電圧生成回路の構成例を示す図である。基準電圧生成回路1は、分圧回路1a、トランジスタM1およびコンデンサC1を備える。

分圧回路 1 a は、電源電圧 V_{CC} を所定レベルに分圧して所定電圧 V_a を生成する。トランジスタ M 1 は、所定電圧 V_a がゲートに印加され、所定電圧 V_a と、自己の閾値電圧 V_{th} とを加算した電圧を、基準電圧 V_{ref} としてドレインから出力する。

[0017] コンデンサ C 1 は、トランジスタ M 1 のゲートとソースとをバイパスする。この場合、コンデンサ C 1 の一端は、トランジスタ M 1 のゲートおよび分圧回路 1 a の出力端に接続し、コンデンサ C 1 の他端は、トランジスタ M 1 のソースおよびグランドに接続する。なお、トランジスタ M 1 のドレインには、電荷を出力する電荷出力源 2 a が接続される。

[0018] 図 1 (b) は動作を説明するための図である。ここで、コンデンサ C 1 が存在しない場合には、電荷出力源 2 a から出力される電荷は、経路 L 0 を流れて、トランジスタ M 1 のゲートとドレインとの間にある寄生容量 C_p を通じて、トランジスタ M 1 のゲートに電荷が溜まる。このため、電荷出力源 2 a からの電荷出力の増減に応じて、基準電圧 V_{ref} の電位が変動してしまう現象が生じる。

[0019] これに対し、コンデンサ C 1 が存在する場合には、経路 L 1 のような電荷の流れが生成されるので、トランジスタ M 1 のゲートとドレインとの間にある寄生容量 C_p に電荷が溜まることなく、電荷は、グランドに放出されることになる。

[0020] なお、コンデンサ C 1 の静電容量は寄生容量 C_p の静電容量以上とすることが望ましい。コンデンサ C 1 の静電容量を大きくするためには、チップサイズを大きくすることになるので、実装規模を抑制するためには、コンデンサ C 1 の静電容量は、寄生容量 C_p の静電容量と同一とすることが望ましい。

[0021] これにより、基準電圧 V_{ref} の電位変動を抑制することが可能になる。また、基準電圧 V_{ref} が供給される周辺回路の誤動作を防止することが可能になる。

次に本発明の技術の詳細を説明する前に、一般的な半導体装置の構成およ

びその課題について図2～図4を用いて説明する。図2は半導体装置の構成例を示す図である。図中のGND0は、0Vの通常のGNDを表している（以降では、グラウンドをGNDと表記する）。

[0022] VCCは、外部電源電圧である。VDDは、装置内の各トランジスタが安定してターンオン駆動する際に必要な電圧であり、VCCを用いて装置内部で生成されて供給される電源電圧である。

[0023] また、装置内の各回路を駆動するために、電源VCCから所定レベル下げて生成される基準電圧を以降では内部GND（図1の基準電圧Vrefの相当）と表記する。

半導体装置10は、負荷2と接続し、内部GND回路11、発振回路12、チャージポンプ13およびスイッチ素子14を備えている。半導体装置10は、例えば、ハイサイド型のIPSに適用可能である。

[0024] 内部GND回路11は、NチャネルMOSFET（Metal Oxide Semiconductor Field Effect Transistor）であるNMOSTランジスタM1～M3、PチャネルMOSFETであるPMOSTランジスタM4およびダイオードD1、D2を含む。また、スイッチ素子14には、パワーMOSFETとして、NMOSTランジスタMH1を使用している。

[0025] 各回路素子の接続関係について、電源VCCは、NMOSTランジスタM1のドレインと、NMOSTランジスタM1のゲートと接続する。NMOSTランジスタM1のソースは、NMOSTランジスタM2のドレインと、NMOSTランジスタM2のゲートと接続する。

[0026] NMOSTランジスタM2のソースは、NMOSTランジスタM3のドレインと、PMOSTランジスタM4のゲートと接続する。NMOSTランジスタM3のゲートは、NMOSTランジスタM3のソースと、ダイオードD1のアノードと接続し、ダイオードD1のカソードは、GND0に接続する。

[0027] 電源VDDは、発振回路12の一方の電源端子と、チャージポンプ13の一方の電源端子と接続する。発振回路12とチャージポンプ13とは互いに

接続し、チャージポンプ13の出力端子は、NMOSトランジスタMH1のゲートに接続する。

[0028] NMOSトランジスタMH1のドレインは、電源VCCに接続し、NMOSトランジスタMH1のソースは、負荷2の一端に接続し、負荷2の他端は、GND0に接続する。

また、発振回路12の他方の電源端子は、チャージポンプ13の他方の電源端子と、ダイオードD2のアノードと、出力端子OUT2と、PMOSトランジスタM4のドレインと接続する。PMOSトランジスタM4のソースは、GND0に接続し、ダイオードD2のカソードは、出力端子OUT1に接続する。なお、発振回路12およびチャージポンプ13の他方の電源端子は、内部GNDに接続する端子になる。

[0029] ここで、内部GND回路11のNMOSトランジスタM1、M2は、ソースフォロワを構成し、また、NMOSトランジスタM3およびダイオードD1によって電流引込み部を構成している。

[0030] ソースフォロワを構成しているNMOSトランジスタM1、M2のそれぞれの閾値電圧を V_{th1} とすれば、図の例では、ソースフォロワは、NMOSトランジスタM1、M2の2段で構成されているので、NMOSトランジスタM2のソースの電位は、 $(V_{DD} - V_{th1} \times 2)$ である。

[0031] よって、この電圧がVCCを分圧した電圧 V_a として出力されることになる。分圧された電圧 V_a は、PMOSトランジスタM4のゲートに印加される。したがって、PMOSトランジスタM4の閾値電圧を V_{th} とすれば、PMOSトランジスタM4のドレインからは、電圧 $(V_a + V_{th})$ が出力され、この電圧が内部GNDとして、出力端子OUT2を介して、周辺回路に供給されることになる。

[0032] なお、内部GNDは、発振回路12およびチャージポンプ13にも供給されている。また、ソースフォロワは、この例では2段の構成としているが、所望の段数で構成してよい。

[0033] 次に解決すべき課題について説明する。メインスイッチであるNMOST

ランジスタMH1がフルオンして負荷2を駆動するためには、NMOSトランジスタMH1のゲート電圧には例えば、28Vの電圧印加を要する。

[0034] これに対し、半導体装置10の電源電圧VCCは、例えば、13Vである。このため、チャージポンプ13は、 $VCC = 13V$ から、NMOSトランジスタMH1をフルオンするために必要な電荷を溜めてゲート電圧を昇圧する。

[0035] そして、チャージポンプ13は、NMOSトランジスタMH1のゲートに対して、昇圧したゲート電圧を印加することで、NMOSトランジスタMH1のターンオンを実行している。

[0036] 次にチャージポンプ13の昇圧動作の一例について説明する。図3はチャージポンプの昇圧動作を説明するための図である。チャージポンプ13は、NMOSトランジスタM11、ダイオードD3およびコンデンサC11、C12を含む。

[0037] 構成素子の接続関係を記すと、NMOSトランジスタM11のゲートには、発振回路12の出力端が接続する。コンデンサC11の一端は、電源VDDと、ダイオードD3のアノードに接続し、コンデンサC11の他端は、NMOSトランジスタM11のドレインに接続する。

[0038] コンデンサC12の一端は、電源VDD、ダイオードD3のカソード、および図2に示すNMOSトランジスタMH1のゲートに接続し、コンデンサC12の他端は、NMOSトランジスタM11のソースおよび内部GNDに接続する。

[0039] ここで、例えば、NMOSトランジスタM11のゲートに、HレベルとLレベルとが繰り返す発振信号が印加される場合、発振信号がHレベルのとき、NMOSトランジスタM11はオンする。

[0040] この場合、コンデンサC11に対して、電源VDDから容量が充電される（コンデンサC11の端子電圧がVDDまでチャージされる）。

一方、発振信号がLレベルになると、NMOSトランジスタM11がオフし、ポイントP1の電位は、NMOSトランジスタM11がオンのときの電

位よりも上昇する。すると、コンデンサC 1 1に充電されていた電荷が、ダイオードD 3を介して、コンデンサC 1 2へ流れて移動することになる。

[0041] このとき、コンデンサC 1 2では、電源VDDによる充電と、コンデンサC 1 1から流れてきたVDD分の電荷による充電とが行われるので、ポイントP 2の電位は、VDDの2倍まで上昇することになる。

[0042] このような構成によって、スイッチ素子1 4であるNMOSトランジスタMH 1をフルオンさせるに十分な電荷を生成している。なお、VCCのn倍の昇圧を行う場合は、原理的には上記のような回路構成をn段設けることになる。

[0043] 次に内部GNDの変動について説明する。チャージポンプ1 3は、上記のように、発振回路1 2を動力源に用いて、コンデンサの充放電を高速に繰り返して電荷を溜めるという動作を行っているので、この影響により、内部GNDの電位が変動するという現象が生じる。

[0044] 図4は内部GNDに変動が生じる理由を説明するための図である。NMOSトランジスタMH 1をターンオンさせるために、発振回路1 2が発振し、チャージポンプ1 3が作動する。

[0045] そして、NMOSトランジスタMH 1のゲートに印加する電荷が溜まり、NMOSトランジスタMH 1の閾値電圧を超えたときに、NMOSトランジスタMH 1がターンオンする。

[0046] チャージポンプ1 3は、上述のように、電荷を溜めるために充放電の高速切り替えを行う。このとき、経路L 0（チャージポンプ1 3稼働時に内部GND回路1 1に対して、電荷が流れる経路）を通じて、PMOSトランジスタM 4のドレイン端子とゲート端子との間の寄生コンデンサC_pを介して、PMOSトランジスタM 4のゲートに電荷が溜まる。

[0047] その結果、チャージポンプ1 3から出力される電荷の増減に応じて、PMOSトランジスタM 4のゲート電位が変動することになる。このため、PMOSトランジスタM 4の導通能力が変化し、PMOSトランジスタM 4のドレイン電位が振動する、すなわち、内部GNDが変動することになる。

[0048] 内部GNDが変動すると、周辺回路に対してEMI (Electro Magnetic Interference) ノイズを与えたり、また、内部GNDが供給されている回路の動作精度が低下したりして、誤動作を引き起こす原因になる。

[0049] なお、上述の従来技術（特許文献1）では、ツェナーダイオードのクランプ耐圧により電位を固定している。

しかし、この方法では、特定の電位を満足するように、ツェナーダイオードのクランプ耐圧の調整を要するので、クランプ耐圧を調整するためのプロセス工程数が増えることになる。また、ツェナーダイオードの製造バラツキによって、内部GNDの振動幅を十分に抑制することは困難といえる。

[0050] 本技術はこのような点に鑑みてなされたものであり、工程数を増やさずに内部GND電位変動を低減し、EMIノイズの抑制および内部GNDが供給されている回路の動作精度の低下を抑制して、回路の誤動作を防ぐ基準電圧生成回路および半導体装置を提供するものである。

[0051] 次に本発明の技術の半導体装置について説明する。図5は半導体装置の構成例を示す図である。半導体装置10aは、負荷2と接続し、内部GND回路11a、発振回路12、チャージポンプ13およびスイッチ素子14を備えている。なお、内部GND回路11aは、図1に示した基準電圧生成回路1の機能を有する。また、発振回路12およびチャージポンプ13は、図1に電荷出力源2aに該当する。

[0052] 内部GND回路11aでは、あらたな回路素子としてコンデンサ（バイパスコンデンサ）C1を有している。コンデンサC1の一端は、PMOSトランジスタM4のゲート、NMOSトランジスタM2のソースおよびNMOSトランジスタM3のドレインに接続する。また、コンデンサC1の他端は、PMOSトランジスタM4のソースおよびGND0に接続する。その他の構成は図2と同じである。

[0053] 半導体装置10aは、PMOSトランジスタM4のゲートとソース間に、コンデンサC1が追加接続されている。これにより、図4に示す経路L0が、PMOSトランジスタM4のソース側、すなわち、GND0までバイパス

されて、チャージポンプ13稼働時の電荷が流れるあらたな経路として、経路L1が生成されることになる。

[0054] したがって、チャージポンプ13が高速充放電を行っている場合、経路L1を通じ、コンデンサC1を介して、PMOSトランジスタM4のゲートに溜まる電荷をGND0に逃がすことができ、PMOSトランジスタM4のゲートに電荷が溜まることを低減することができる。

[0055] このため、PMOSトランジスタM4のゲート電位は、チャージポンプ13が稼働している場合であっても、変動が抑制されて安定化する。よって、PMOSトランジスタM4の導通能力の変化が抑制され、PMOSトランジスタM4のドレイン電位の振動が低減される、すなわち、内部GNDの変動が低減することになる。

[0056] 次に半導体装置10、10aで生成する内部GND変動のシミュレーション結果について説明する。図6、図7は内部GNDの変動を示す図である。縦軸は電圧(V)、横軸は時間(μ s)である。

[0057] 図6の波形g1は、改善前の半導体装置10に対する内部GNDの変動のシミュレーション結果を示している。チャージポンプ13が時間1000(μ s)時点で電荷を出力している。

[0058] また、図7の波形g2は、図6に示す領域r1の近傍を拡大した図である。領域r1では、時間1200~1300(μ s)の時間帯での内部GNDの状態を示している。

半導体装置10の内部GND(PMOSトランジスタM4のドレイン電圧)は、時間1200~1300(μ s)において、最小6.9Vから最大7.7V付近の区間で変動しており、振動幅W1は0.8Vである。

[0059] 図8、図9は内部GNDの変動を示す図である。縦軸は電圧(V)、横軸は時間(μ s)である。図8の波形g11は、改善後の半導体装置10aに対する内部GNDの変動のシミュレーション結果を示している。チャージポンプ13が時間1000(μ s)時点で電荷を出力している。

[0060] また、図9の波形g12は、図8に示す領域r2の近傍を拡大した図であ

る。領域 r_2 では、時間 1200～1300 (μs) の時間帯での内部 GND の状態を示している。

半導体装置 10a の内部 GND (PMOS トランジスタ M4 のドレイン電圧) は、時間 1200～1300 (μs) において、最小 7.0 V から最大 7.4 V 付近の区間で変動しており、振動幅 W_2 は 0.4 V である。

[0061] このように、半導体装置 10a では、内部 GND の振動幅を、半導体装置 10 の内部 GND の振動幅の半分まで抑制することができることを、シミュレーションによって確認できた。

[0062] 次に変形例について説明する。図 10 は半導体装置の変形例の構成例を示す図である。半導体装置 10b は、負荷 2 と接続し、内部 GND 回路 11b、発振回路 12、チャージポンプ 13 およびスイッチ素子 14 を備えている。なお、内部 GND 回路 11b は、図 5 に示したコンデンサ C1 の代わりに可変コンデンサ C_v を含み、さらに、モニタ部 11b-1 を含んでいる。

[0063] モニタ部 11b-1 の入力端 a1 は、発振回路 12 の他方の電源端子、チャージポンプ 13 の他方の電源端子、ダイオード D2 のアノード、端子 OUT2 および PMOS トランジスタ M4 のドレインに接続する。

[0064] 可変コンデンサ C_v の一端は、PMOS トランジスタ M4 のゲート、NMOS トランジスタ M2 のソースおよび NMOS トランジスタ M3 のドレインに接続する。また、可変コンデンサ C_v の他端は、PMOS トランジスタ M4 のソースおよび GND0 に接続する。さらに、可変コンデンサ C_v の可変容量調整端子は、モニタ部 11b-1 の端子 a2 に接続する。その他の構成は図 5 と同じである。

[0065] モニタ部 11b-1 は、内部 GND のピーク値およびボトム値をモニタし、内部 GND の振幅を求める。そして、求めた内部 GND の振幅が、あらかじめ定めた閾値内に収まるように、可変コンデンサ C_v の容量を調整する。このような構成によって、内部 GND の変動を低減することが可能になる。

[0066] なお、変形例の場合は、内部 GND の振幅に応じて適切なバイパスコンデンサの容量を設定することができるので、必要以上に電荷を GND0 に放出

させてしまうようなことを回避することができる。

[0067] 次に本発明の半導体装置 10a、10b が適用される IPS の構成について説明する。図 11 はハイサイド型の IPS の構成例を示す図である。

IPS 30 は、負荷 2、マイコン 4、バッテリー 5 に接続している。また、IPS 30 は、ロジック回路 31、レベルシフトドライバ 32、内部電源回路 33、ST (status) 回路 34、低電圧検出回路 35、短絡検出回路 36、負荷開放検出回路 37、過電流検出回路 38 および過熱検出回路 39 を備える。

[0068] さらに、IPS 30 は、負荷 2 を駆動するためのスイッチ素子 M0 を有し、スイッチ素子 M0 にはダイオード D0 (FWD : Free Wheel Diode) が接続されている (スイッチ素子 M0 は、上述した NMOS トランジスタ MH1 に該当する)。

[0069] スwitch素子 M0 がオフになる瞬間、モータ等の誘導性の負荷 2 からは、逆起電力が発生する。このため、スイッチ素子 M0 に対して、ダイオード D0 を逆並列に接続して、このときの負荷電流を還流させる構成としている。

[0070] ここで、ロジック回路 31 は、端子 IN から入力されるマイコン 4 からの制御信号、および各保護回路の状態検出信号を一括して認識し、スイッチ素子 M0 を制御するための ONBH (ON By H) 信号を出力する。

[0071] レベルシフトドライバ 32 は、ロジック回路 31 から出力された ONBH 信号を、スイッチ素子 M0 をフルオンさせるに要するレベルまで昇圧した GS 信号を生成し、スイッチ素子 M0 のゲートに印加する。なお、レベルシフトドライバ 32 は、上述の発振回路 12 およびチャージポンプ 13 の機能を含む。

[0072] 内部電源回路 33 は、VCC 電圧より低い値から段階的に上昇させる電源電圧である内部電源を生成し、内部電源で制御が必要な回路に対して供給する。なお、内部電源回路 33 は、図 5、図 10 に示した内部 GND 回路 11a、11b の機能を含む。

[0073] ST 回路 34 は、スイッチ素子 M0 の動作状態を、ST 端子を介して、マ

アイコン４に送信する。

低電圧検出回路３５は、ＶＣＣ電圧が定格電圧より低いとき、異常信号をロジック回路３１に送信する。低電圧検出回路３５から送信された異常信号を受信したロジック回路３１は、スイッチ素子Ｍ０を制御するＯＮＢＨ信号をオフ信号にして出力する。

[0074] 短絡検出回路３６は、スイッチ素子Ｍ０のソースに接続している出力端子ＯＵＴがＧＮＤにショートしたとき、異常信号をロジック回路３１に送信する。短絡検出回路３６から送信された異常信号を受信したロジック回路３１は、スイッチ素子Ｍ０を制御するＯＮＢＨ信号をオフ信号にして出力する。

[0075] 負荷開放検出回路３７は、スイッチ素子Ｍ０のソースに接続する出力端子ＯＵＴがオープンになったとき、異常信号をロジック回路３１に送信する。負荷開放検出回路３７から送信された異常信号を受信したロジック回路３１は、スイッチ素子Ｍ０を制御するＯＮＢＨ信号をオフ信号にして出力する。

[0076] 過電流検出回路３８は、スイッチ素子Ｍ０とカレントミラー回路を構成しているトランジスタＭｃから、スイッチ素子Ｍ０に流れる電流と同一の電流を受信する。そして、定格より異常な大電流が流れたことを検出すると、異常信号をロジック回路３１に送信する。過電流検出回路３８から送信された異常信号を受信したロジック回路３１は、スイッチ素子Ｍ０を制御するＯＮＢＨ信号をオフ信号にして出力する。

[0077] 過熱検出回路３９は、スイッチ素子Ｍ０が定格より異常な高温になったとき、異常信号をロジック回路３１に送信する。過熱検出回路３９から送信された異常信号を受信したロジック回路３１は、スイッチ素子Ｍ０を制御するＯＮＢＨ信号をオフ信号にして出力する。

[0078] 以上説明したように、本発明によれば、工程数を増やさずに内部ＧＮＤの電位変動を低減し、ＥＭＩノイズの抑制および内部ＧＮＤが供給されている回路の動作精度の低下を抑制して、回路の誤動作を防ぐことが可能になる。

[0079] 以上、実施の形態を例示したが、実施の形態で示した各部の構成は同様の機能を有する他のものに置換することができる。また、他の任意の構成物や

工程が付加されてもよい。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0080] 1 基準電圧生成回路
- 1 a 分圧回路
- 2 a 電荷出力源
- M 1 トランジスタ
- C 1 コンデンサ
- V a 所定電圧
- V t h 閾値電圧
- V r e f 基準電圧
- C p 寄生容量
- L 0、L 1 電荷の流れる経路

請求の範囲

- [請求項1] 電源電圧を分圧して所定電圧を生成する分圧回路と、
- 前記所定電圧がゲートに印加され、前記所定電圧と、自己の閾値電圧とを加算した電圧を、基準電圧としてドレインから出力するトランジスタと、
- 前記トランジスタのゲートとソースとをバイパスするコンデンサと、
- を備え、
- 前記コンデンサの一端は、前記トランジスタのゲートおよび前記分圧回路の出力端に接続し、前記コンデンサの他端は、前記トランジスタのソースおよびグランドに接続し、
- 前記トランジスタのドレインには、発振動作にもとづいて電荷を出力する電荷出力源が接続されている、
- ことを特徴とする基準電圧生成回路。
- [請求項2] 前記電荷出力源は、発振回路と、前記発振回路の発振動作によって充放電を繰り返すチャージポンプと、を含むことを特徴とする請求項1記載の基準電圧生成回路。
- [請求項3] 前記コンデンサは、前記トランジスタのゲートとドレインとの間にある寄生容量を介して、前記トランジスタのゲートに溜まる前記電荷を前記グランドに放出することを特徴とする請求項1記載の基準電圧生成回路。
- [請求項4] 前記基準電圧の振幅をモニタするモニタ部をさらに備え、前記コンデンサは、容量可変な可変コンデンサであり、前記モニタ部は、前記基準電圧の振幅が所定値に収まるように、前記可変コンデンサの容量を調整することを特徴とする請求項1記載の基準電圧生成回路。
- [請求項5] 負荷を作動させるスイッチ素子と、
- 発振回路と、前記発振回路の発振動作によって充放電を繰り返し、前記スイッチ素子のターンオンに要する駆動電圧まで電荷を溜めるチ

ャージポンプとを含む電荷出力源と、

電源電圧を分圧して所定電圧を生成する分圧回路と、前記所定電圧がゲートに印加され、前記所定電圧と、自己の閾値電圧とを加算した電圧を、基準電圧としてドレインから出力するトランジスタと、前記トランジスタのゲートとソースとをバイパスするコンデンサとを含む基準電圧生成回路と、

を備え、

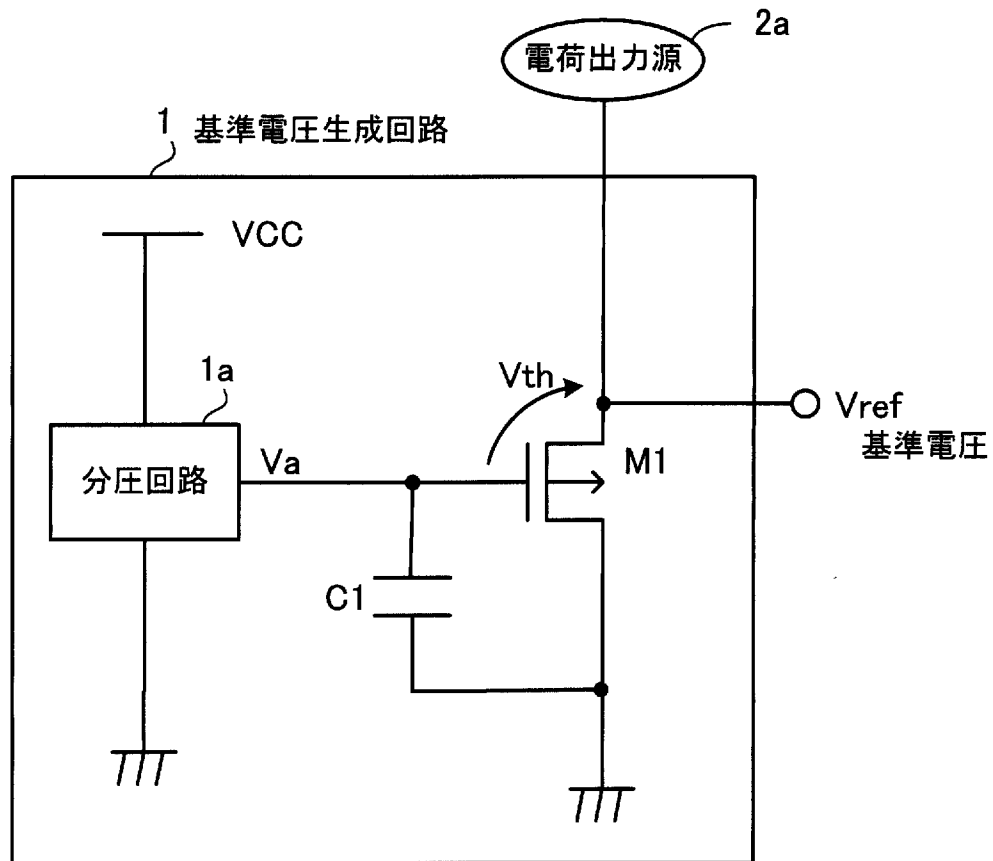
前記コンデンサの一端は、前記トランジスタのゲートおよび前記分圧回路の出力端に接続し、前記コンデンサの他端は、前記トランジスタのソースおよびグランドに接続し、

前記トランジスタのドレインには、前記電荷出力源が接続されている、

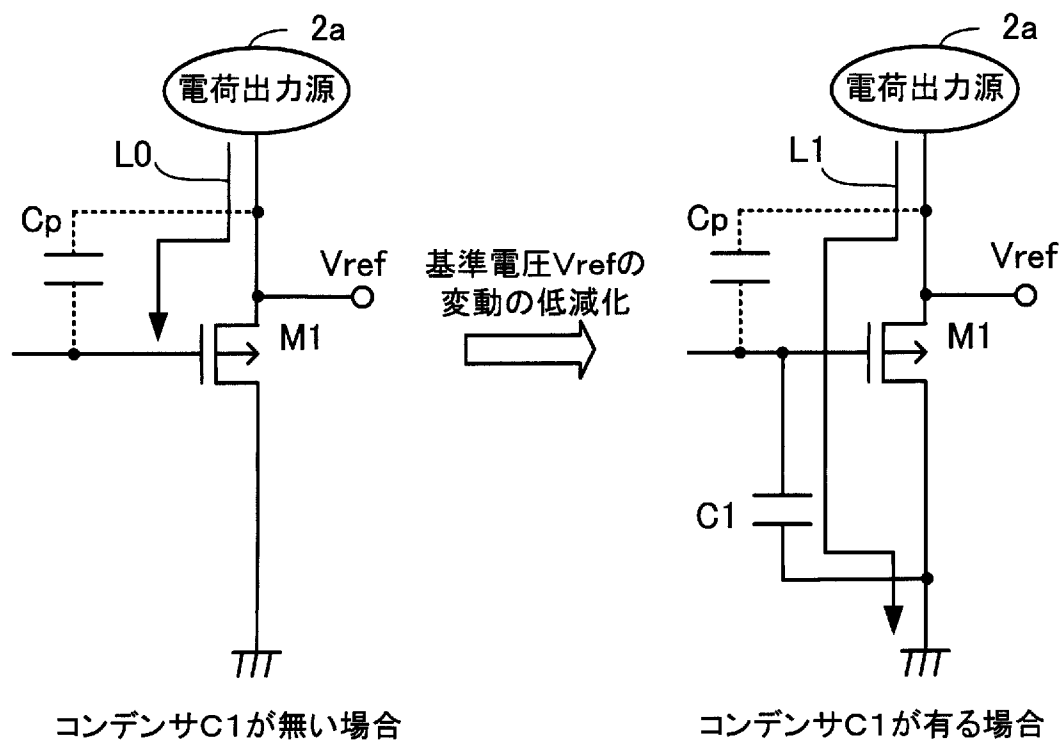
ことを特徴とする半導体装置。

[図1]

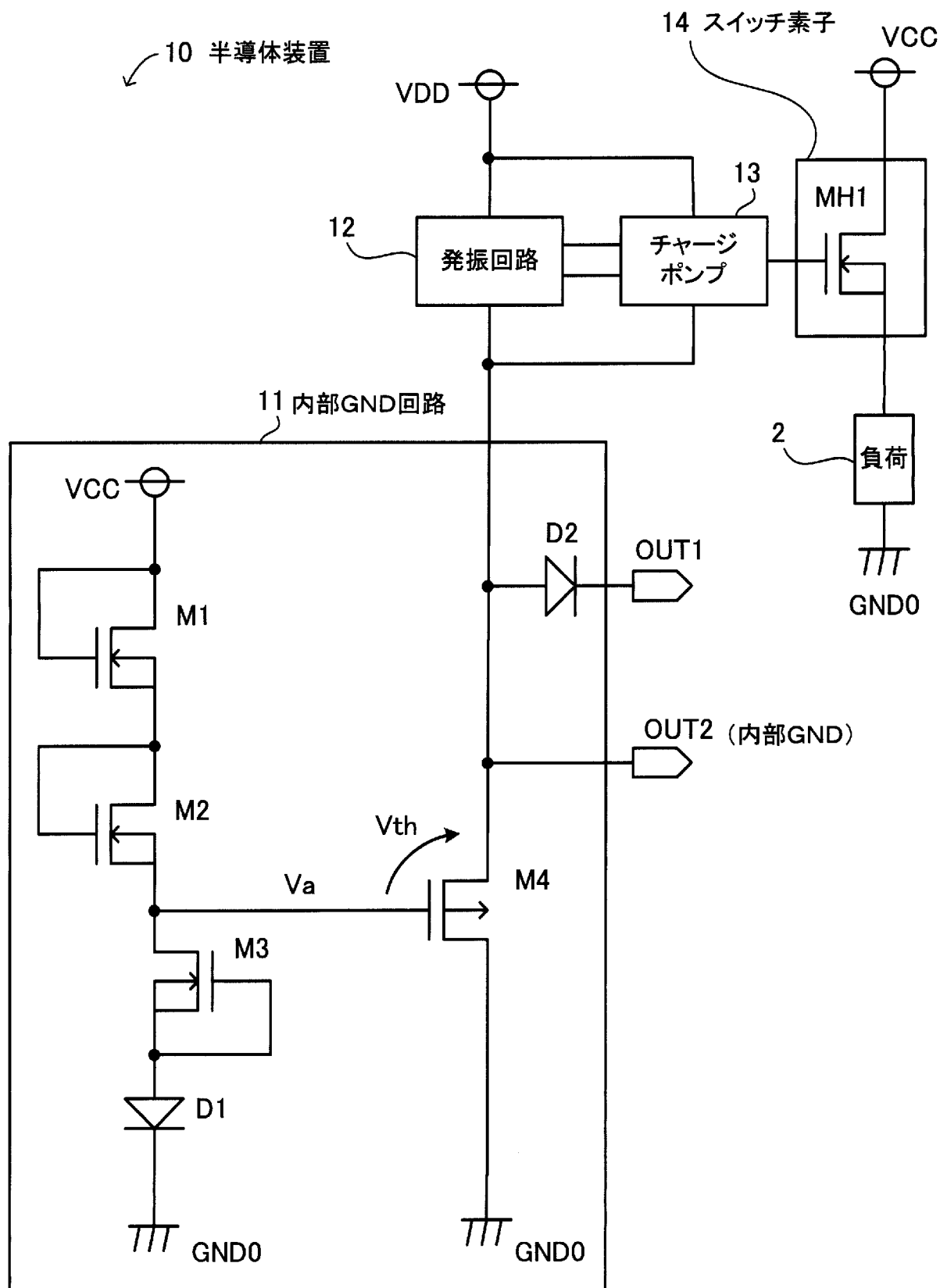
(a)



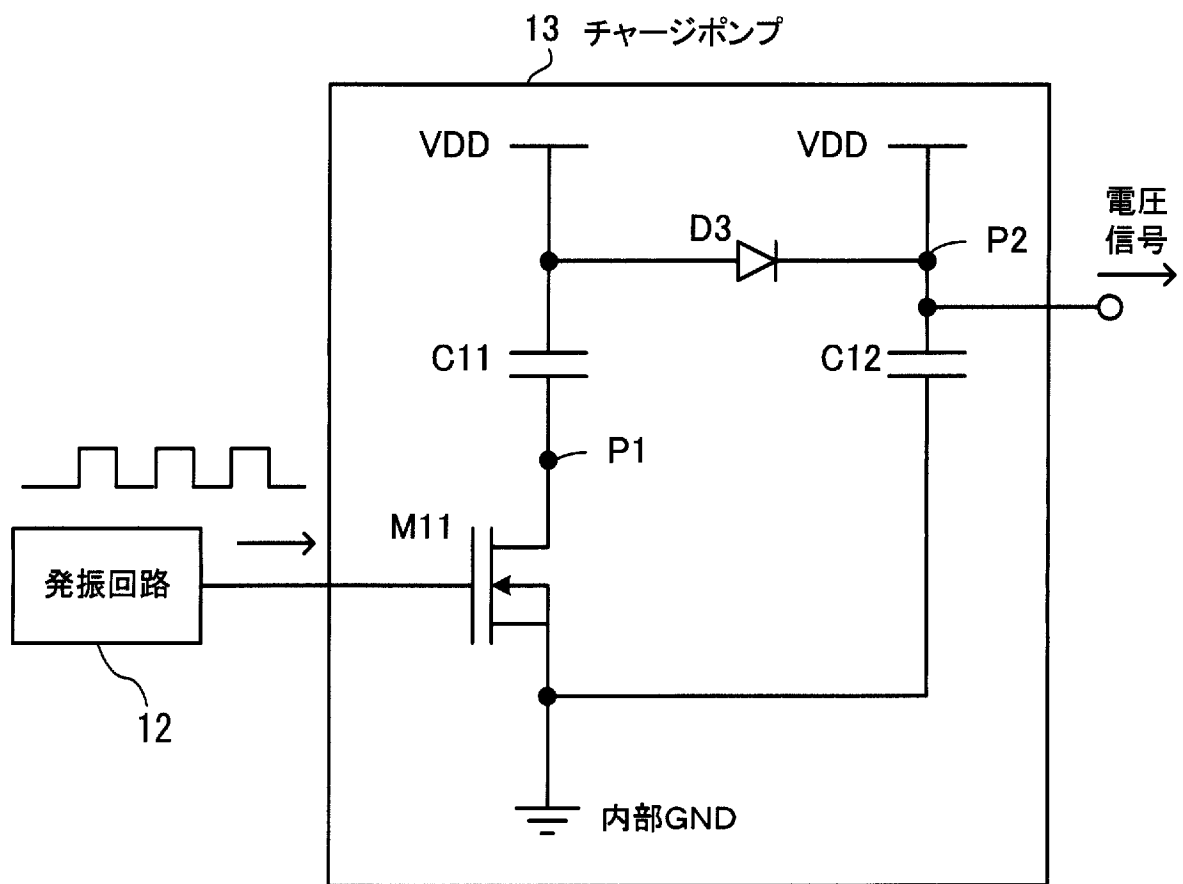
(b)



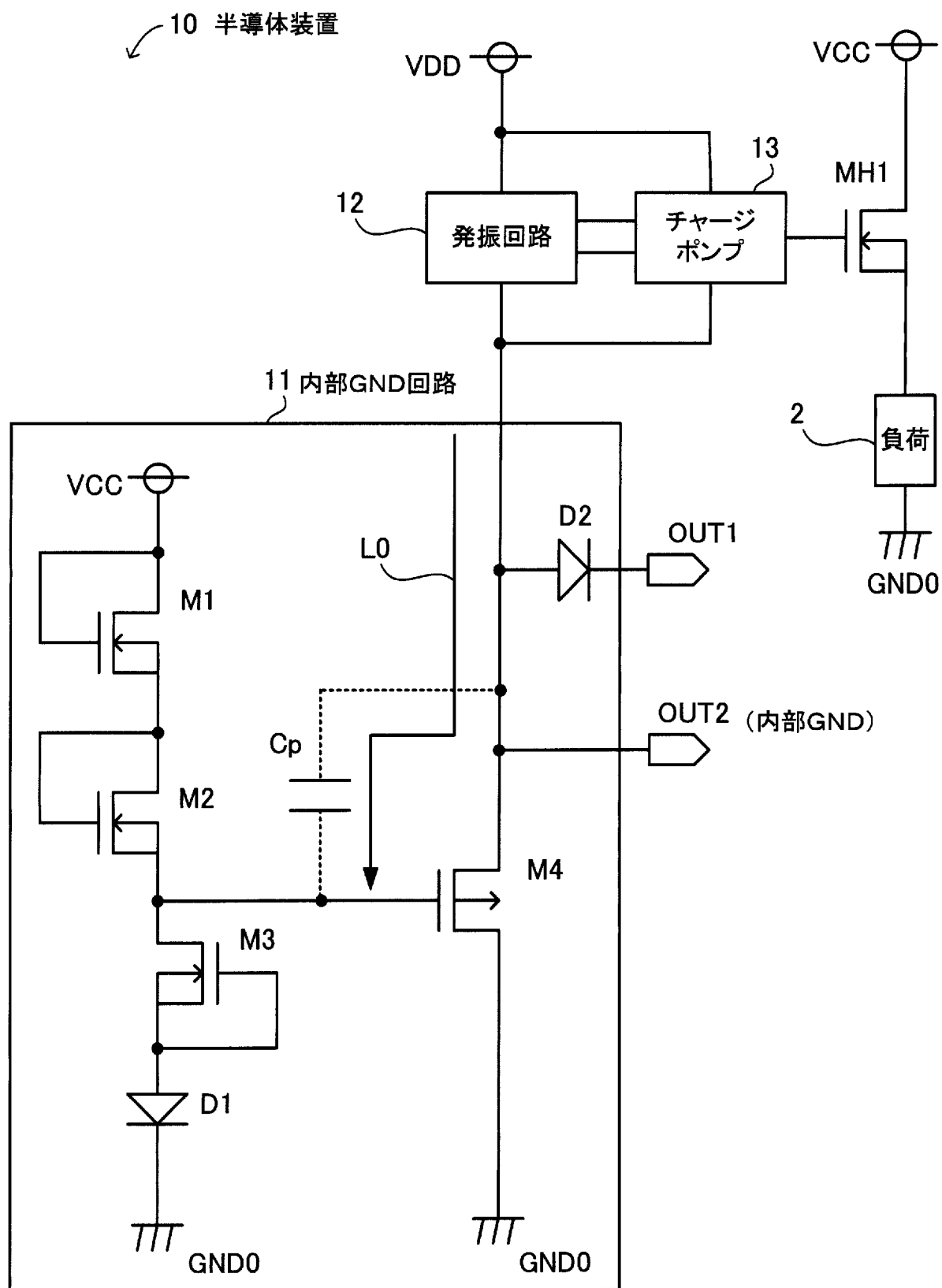
[図2]



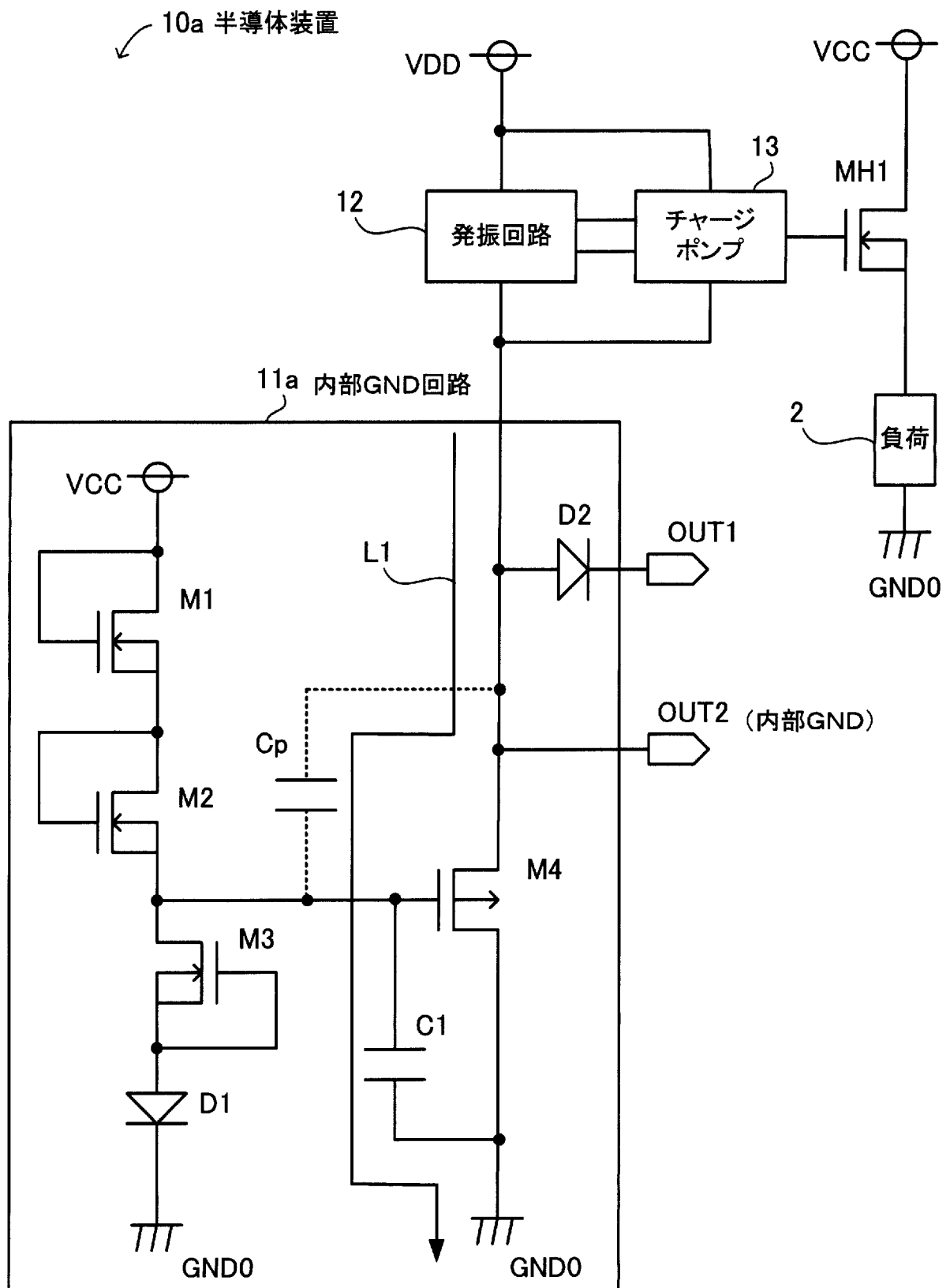
[図3]



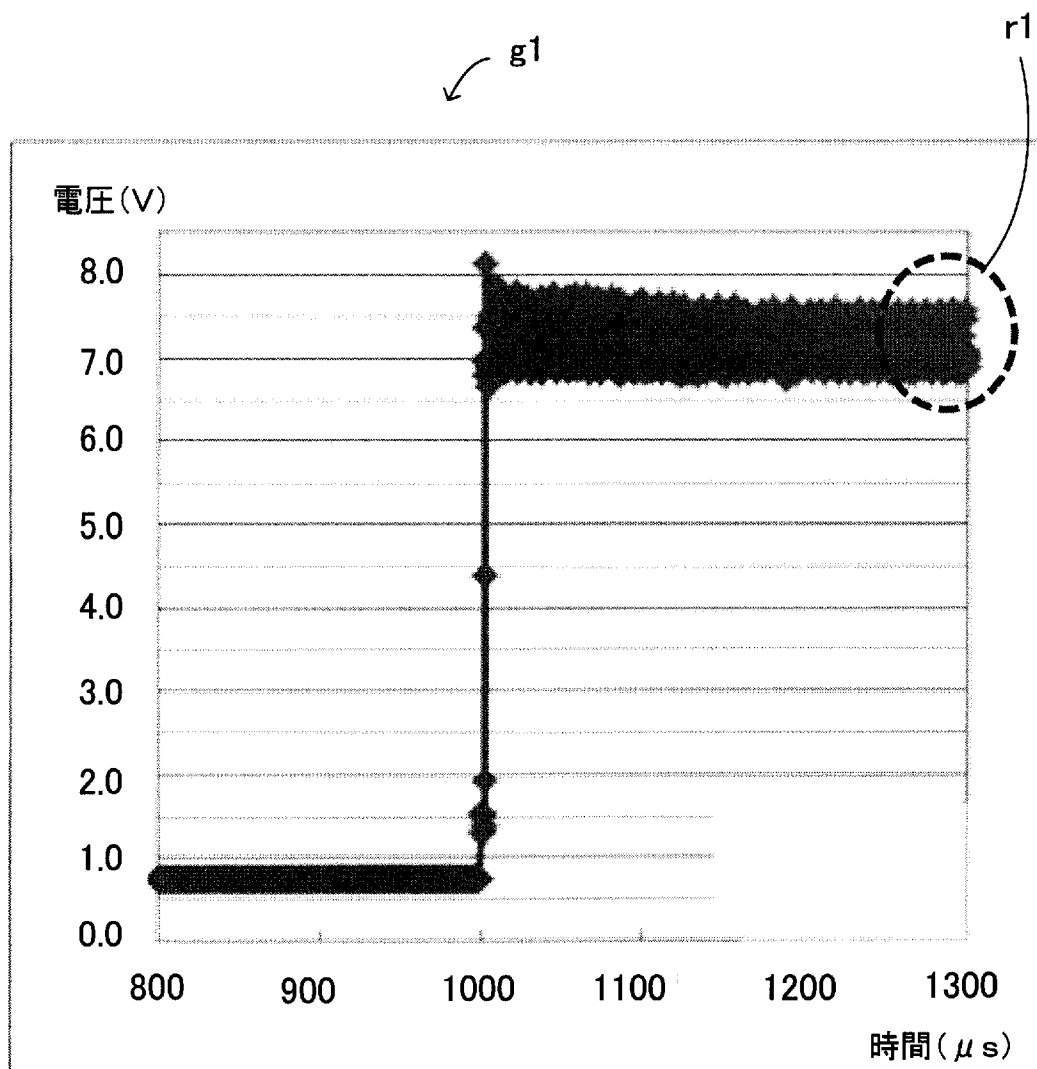
[図4]



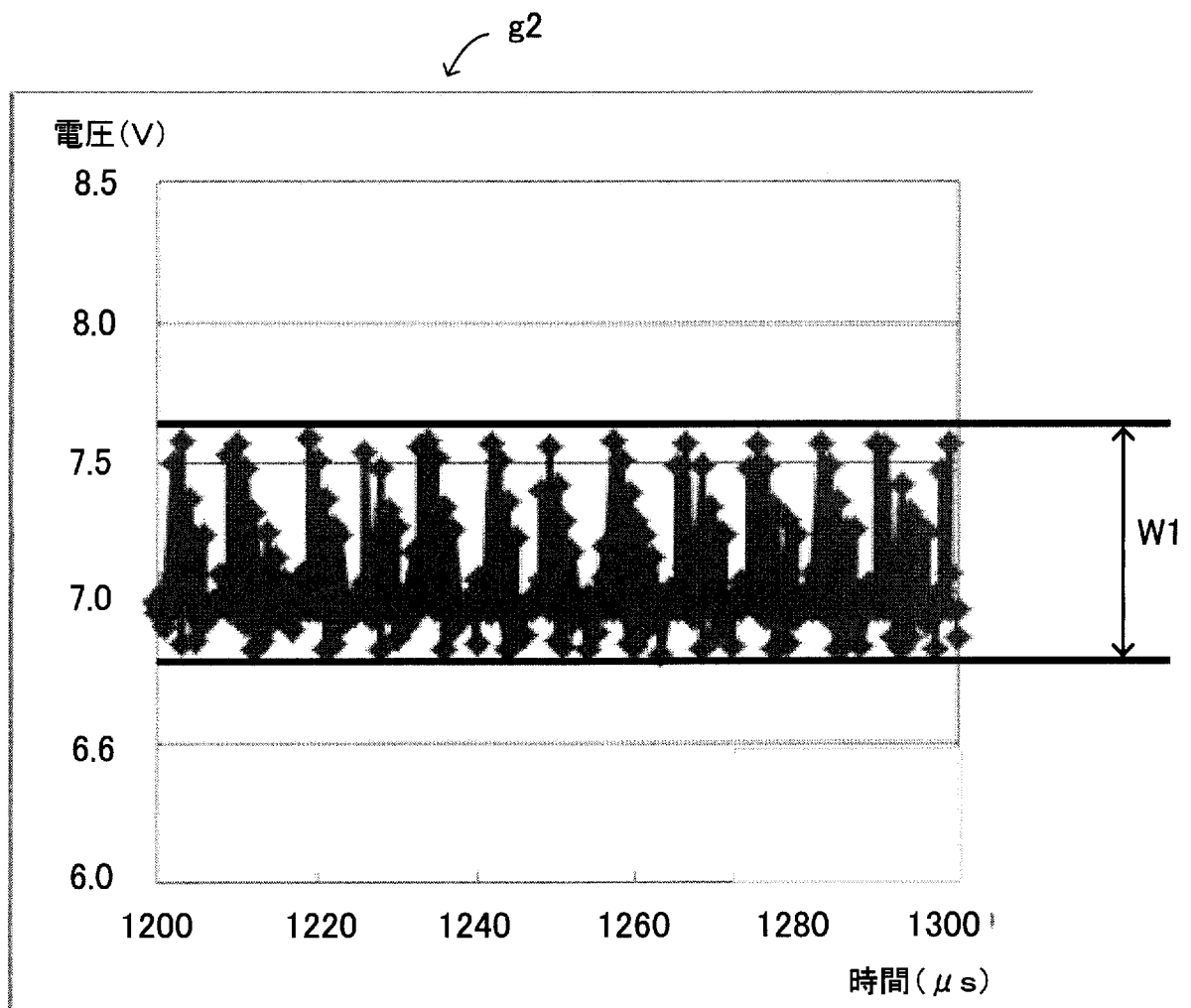
[図5]



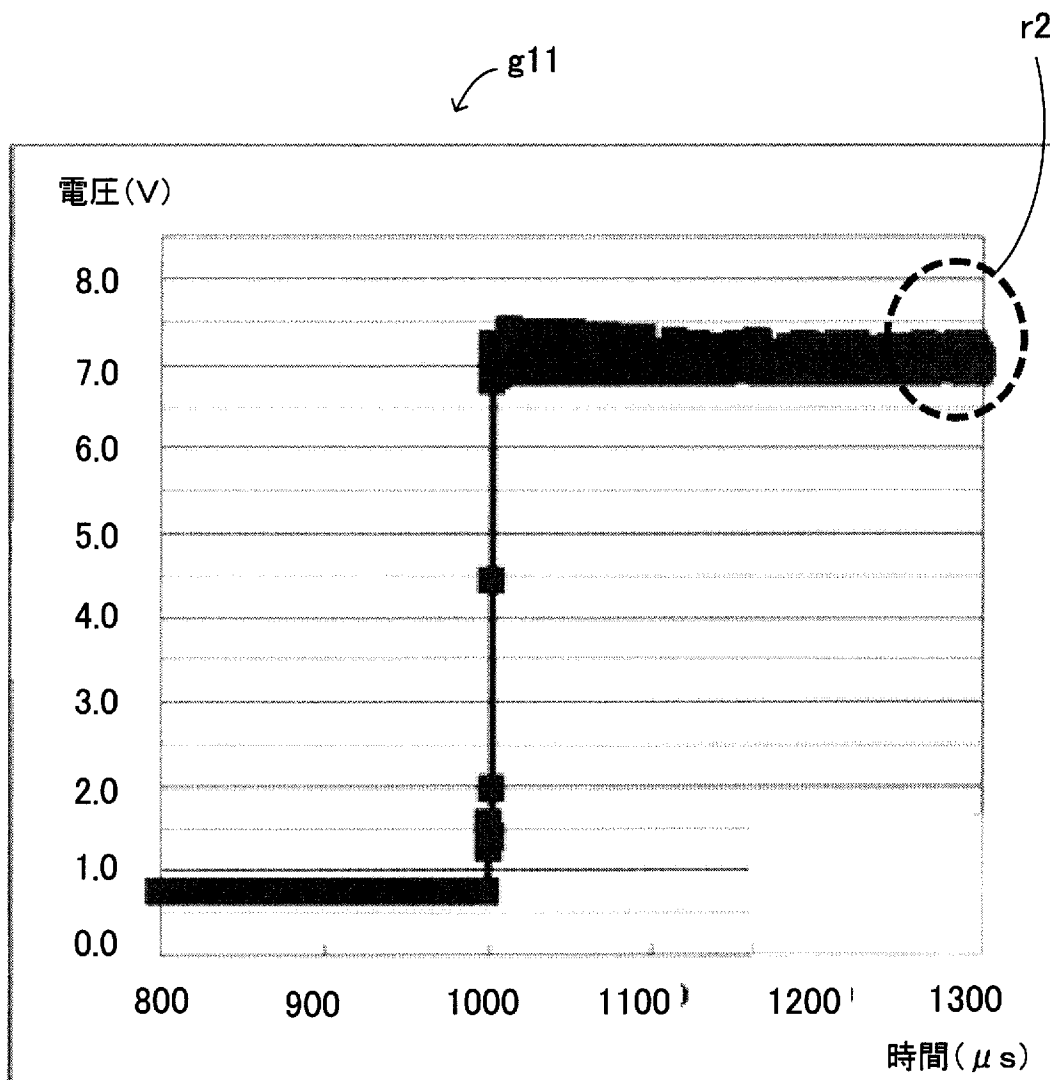
[図6]



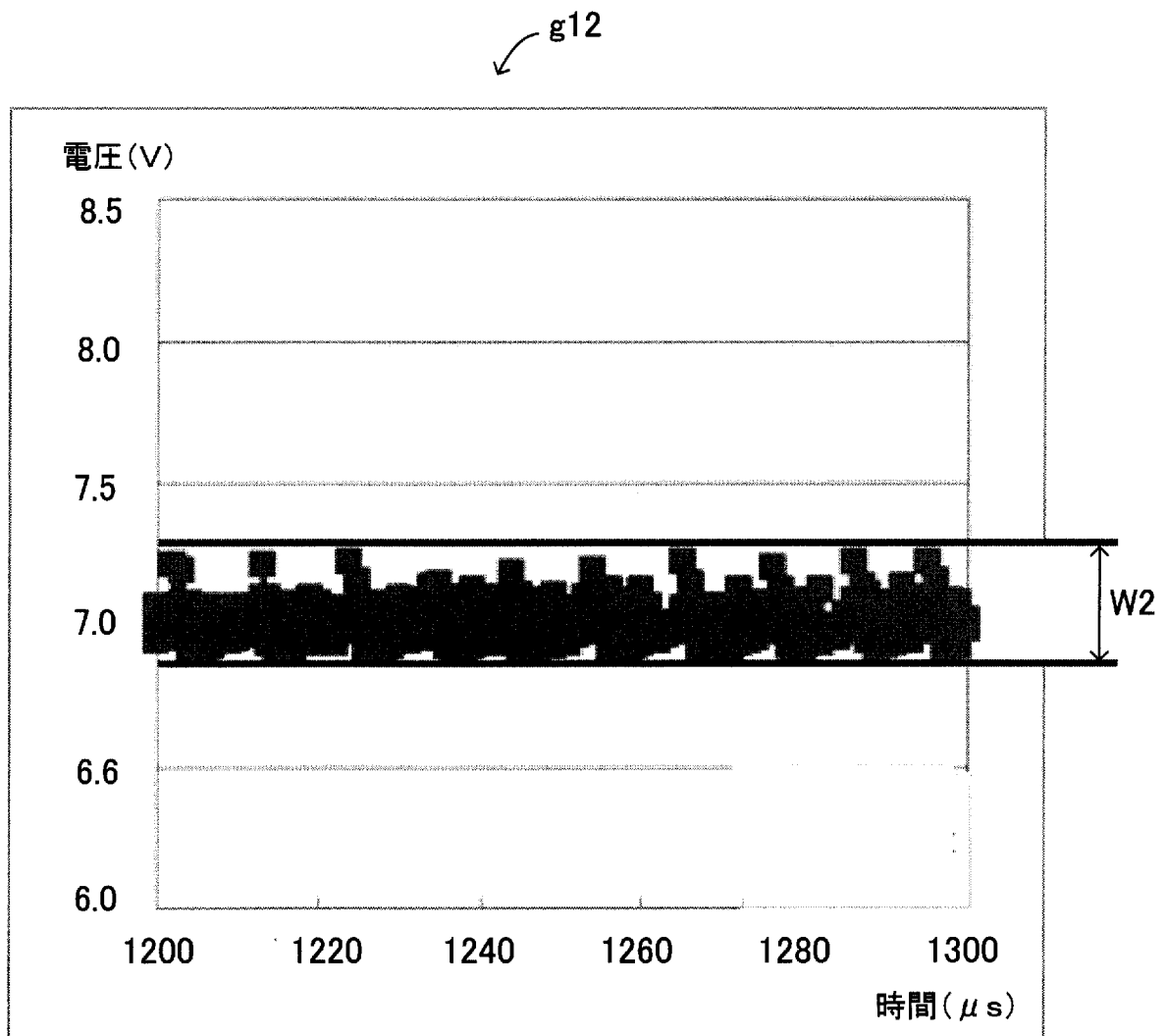
[図7]



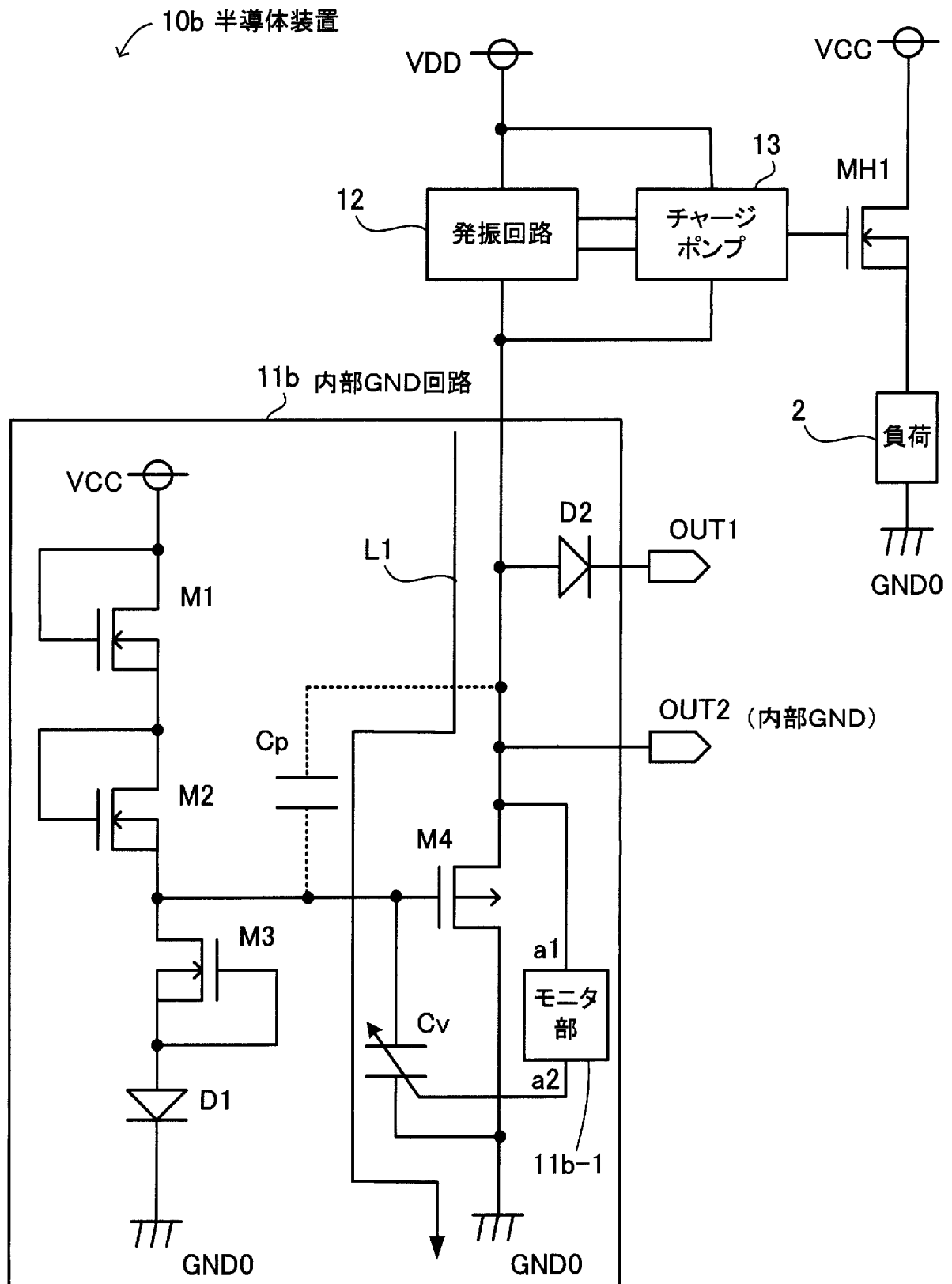
[図8]



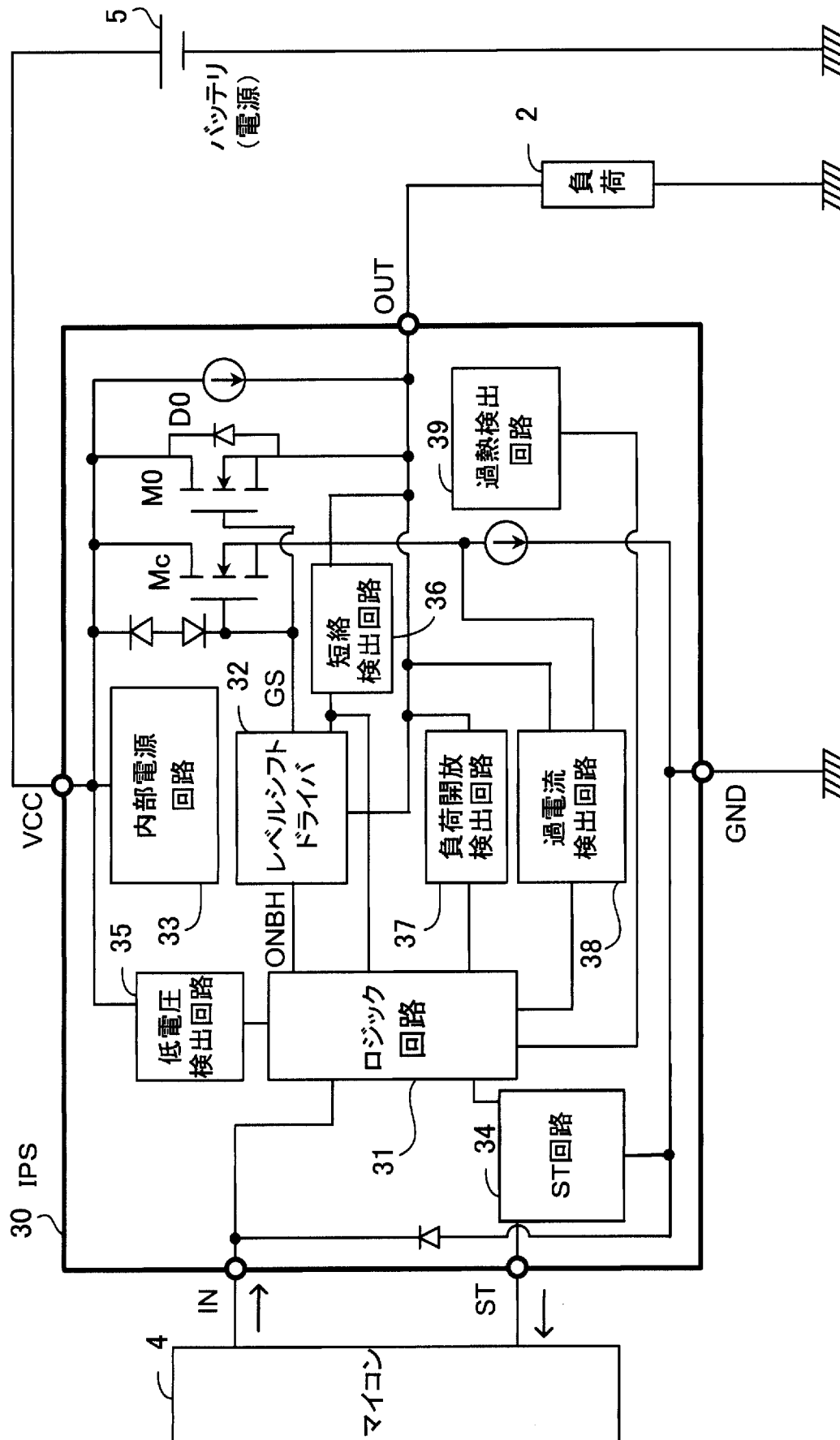
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/086129

A. CLASSIFICATION OF SUBJECT MATTER

G05F3/24(2006.01)i, H02M3/07(2006.01)i, H03F3/70(2006.01)i, H03K19/0185(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F3/24, H02M3/07, H03F3/70, H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-336277 A (International Rectifier Corp.), 17 December 1996 (17.12.1996), paragraphs [0024] to [0026]; fig. 4 to 5 & US 5672992 A column 4, lines 17 to 35; fig. 4 to 4a & US 5689208 A & GB 2299904 A & GB 2339638 A & DE 19613958 A1 & DE 19655180 C2 & DE 19655181 C2 & FR 2733094 A1 & SG 52657 A1 & KR 10-0214407 B1	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March 2016 (23.03.16)

Date of mailing of the international search report
05 April 2016 (05.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/086129

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-98804 A (NEC Electronics Corp.), 30 April 2010 (30.04.2010), paragraphs [0018] to [0021], [0046] to [0057]; fig. 7 & US 2010/0090754 A1 paragraphs [0027] to [0030], [0052] to [0061]; fig. 7	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G05F3/24(2006.01)i, H02M3/07(2006.01)i, H03F3/70(2006.01)i, H03K19/0185(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G05F3/24, H02M3/07, H03F3/70, H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-336277 A（インターナショナル・レクチファイヤー・コーポレーション）1996.12.17, 段落[0024]-[0026], 図4-5 & US 5672992 A, 第4カラム第17-35行, 図4-4a & US 5689208 A & GB 2299904 A & GB 2339638 A & DE 19613958 A1 & DE 19655180 C2 & DE 19655181 C2 & FR 2733094 A1 & SG 52657 A1 & KR 10-0214407 B1	1-5
A	JP 2010-98804 A（NECエレクトロニクス株式会社）2010.04.30, 段落[0018]-[0021], [0046]-[0057], 図7 & US 2010/0090754 A1, 段落[0027]-[0030], [0052]-[0061], 図7	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

神山 貴行

3 V

3428

電話番号 03-3581-1101 内線 3357