(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3605361号
(P3605361)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]	F I	
H01L 21/822	H01L 27/04	T
G01R 31/28	H01L 27/04	H
H01L 21/82	G01R 31/28	G
H01L 27/04	H01L 21/82	F

請求項の数 4　(全 5 頁)

(21)出願番号	特願2000-572677(P2000-572677)
(86)(22)出願日	平成11年9月28日(1999.9.28)
(65)公表番号	特表2002-525888(P2002-525888A)
(43)公表日	平成14年8月13日(2002.8.13)
(86)国際出願番号	PCT/EP1999/007189
(87)国際公開番号	WO2000/019224
(87)国際公開日	平成12年4月6日(2000.4.6)
審査請求日	平成13年3月27日(2001.3.27)
(31)優先権主張番号	98118302.3
(32)優先日	平成10年9月28日(1998.9.28)
(33)優先権主張国	欧州特許庁(EP)

(73)特許権者　599158797
インフィネオン　テクノロジース　アクチエンゲゼルシャフト
ドイツ連邦共和国　ミュンヘン　ザンクト　マルティン　シュトラーセ　５３
(74)代理人　100061815
弁理士　矢野　敏雄
(74)代理人　100094798
弁理士　山崎　利臣
(74)代理人　100099483
弁理士　久野　琢也
(74)代理人　100114890
弁理士　アインゼル・フェリックス＝ラインハルト

最終頁に続く

(54)【発明の名称】デアクティブ可能なスキャン経路を有する回路装置

(57)【特許請求の範囲】

【請求項１】

複数の機能ブロック（ＦＢ１～ＦＢｎ）を有する回路装置であって、
各機能ブロックは少なくとも１つの他の機能ブロックと接続されており、
当該接続の少なくとも一部はそれぞれ１つのロック素子（ＳＦＦ１～ＳＦＦｍ）を介して実現されており、
該ロック素子は、アクティブ化線路（ＳｃａｎＥｎａｂｌｅ）を介して通常モードからテストモードへ切り替えることができ、かつ別のデータ入力側とデータ出力側を有し、
当該別のデータ入力側とデータ出力側とはデータ線路区間（ＤＬ１～ＤＬｌ）を介して、前記ロック素子（ＳＦＦ１～ＳＦＦｍ）がスキャン経路を実現するシフトレジスタを形成するように相互に接続されている形式の回路装置において、
アクティブ化線路（ＳｃａｎＥｎａｂｌｅ）および／またはデータ線路区間（ＤＬ１～ＤＬｌ）に沿って、電気的にプログラミング可能な保安素子（ＳＥ）が少なくとも１つ配置されており、
該保安素子は、該当する線路を遮断するかまたは所定の電位と接続する、
ことを特徴とする回路装置。

【請求項２】

少なくとも１つの保安素子（ＳＥ）は電気的に分離可能な線路区間（フューズ）であり、該当する線路に配置されている、請求項１記載の回路装置。

【請求項３】

少なくとも１つの保安素子（ＳＥ）は電気的に形成可能な線路区間（アンチ・フューズ）であり、該当する線路と所定の電位との間に配置されている、請求項１または２記載の回路装置。
【請求項４】
少なくとも１つの保安素子（ＳＥ）は、該当する線路に配置された論理ゲートにより形成されており、
該論理ゲートの第２の入力側は、電気的に遮断可能または形成可能な線路区間によって非可逆的に所定の電位に接続することができ、これによりゲートが阻止される、請求項１から３までのいずれか１項記載の回路装置。
【発明の詳細な説明】
【０００１】
本発明は、複数の機能ブロックを有する回路装置であって、
各機能ブロックは少なくとも１つの他の機能ブロックと接続されており、
当該接続の少なくとも一部はそれぞれ１つのロック素子を介して実現されており、
該ロック素子は、アクティブ化線路を介して通常モードからテストモードへ切り替えることができ、かつ別のデータ入力側とデータ出力側を有し、
当該別のデータ入力側とデータ出力側とはデータ線路区間を介して、前記ロック素子がスキャン経路を実現するシフトレジスタを形成するように相互に接続されている形式の回路装置に関する。
【０００２】
このような回路装置はＵＳ４５３４０２８から公知である。そこに記載された回路装置で実現されるスキャン経路は回路装置の機能ブロックを簡単にテストするために用いられる。というのは、１つのシフトレジスタに統合接続することのできるロック素子（そこではフリップフロップとして構成されている）により、個々の機能ブロックに所定の時点で所定の入力状態を印加することができ、ロック素子に記憶された中間結果を、シフトレジスタを介して再び呼び出すことができるからである。ここで機能ブロックは、それ自体テスト可能な所定の機能を満たす回路ユニットである。
【０００３】
電子回路の特定の形式、例えばチップカード用の回路は、回路情報およびチップ内部データを高レベルで機密保持する必要がある。これは例えば暗号化法に対する鍵である。この保安関連情報は、外部のデータ分析に対してもまた改竄操作に対しても保護されなければならない。同時に回路設計は、このような保安関連回路ブロックとデータに対して最低限の透明性とアクセスを要求する。これはテストにより十分な信頼性を保証するためである。高レベルのテスト網羅性を生産中ないし生産後に保証するため、しばしば付加的にテスト要素、例えば上に述べたスキャン経路を電子回路に組み込み、これにより機能ブロックを所望の全ての状態にもたらし、これをその機能性について検査することができる。
【０００４】
テストのために追加された要素はしばしば中央テストコントローラによりアクティブないしデ・アクティブにされる。このテストコントローラはソフトウエアにより、または外部信号により特別のテストピンを介してアクティブにされる。しかしこの２つのバリエーションは比較的簡単に改竄操作することができ、従って潜在的保安危険性を含む。従ってこれまで使用された、内部回路の分析性を向上させるための方法は、特別な電子構成部材への現在要求される高い保安性と両立するものではない。
【０００５】
回路装置の特別の機能ブロックをテスト後に、ないし最初の運転開始後に非可逆的に他の回路から分離することも公知である。
【０００６】
特許願１９７１１４７８．４号明細書にはすでに、テストＲＯＭを非可逆的に調整可能なマルチプレクサを介してのみ読み出すことができ、これによりテストＲＯＭへのアクセスをテスト後に阻止することが記載されている。

【０００７】
ＤＥ２７３８１１３Ａ１にはすでに、保安ないし機能関連内容を有するメモリへのアクセスを破壊可能なゲートにより非可逆的に阻止することが開示されている。
【０００８】
しかしこれら公知の装置は、非可逆的に調整可能または破壊可能な回路構成部材が比較的容易に発見される個所に配置されており、比較的容易に「修理」することができ、広範囲の分析およびひいては改竄操作を可能にすると言う欠点を有する。
【０００９】
本発明の基礎となる課題は、上位概念記載の装置をさらに改善し、スキャン経路を使用した分析の不正使用をほぼ不可能にすることである。
【００１０】
この課題は請求項１記載の回路装置によって解決される。有利な改善形態は従属請求項に記載されている。
【００１１】
スキャン経路のロック素子はチップ面全体に分散されている。従ってアクティブ化線路、およびデータ線路区間から統合されるデータ線路も全チップ面にわたって延在する。これにより保安素子も非集中的にチップ面にわたって分散され、「侵入」に対する安全性が非常に高い。技術を適切に選択することによりさらに、非常に高い安全性が保安素子の再プログラミングに対して達成される。このような保安素子の例はＤＥ１９６０４７７６Ａ１に記載されている。
【００１２】
種々異なる保安素子を分離可能または形成可能な線路区間として、すなわち「フューズ」または「アンチ・フューズ」として選択することより安全性が高められる。なぜなら「侵入者」はどのような形式で素子が使用されているかを直ちに知ることができないからである。非常に有利には両方の形式を使用する。保安素子は論理ゲートと共に使用することもできる。これにより保安素子の機能を、入力側への電位の印加によって開放または閉鎖されたスイッチとして定義することができる。
【００１３】
本発明を以下、図面を用い実施例に基づいて説明する。
【００１４】
図１は、本発明の回路装置のブロック回路図である。
【００１５】
図２は、保安素子に対する実施例の概略図である。
【００１６】
図１の回路装置は機能ブロックＦＢ１～ＦＢｎを示し、これらのブロックは直接、または接続素子ＳＦＦ１～ＳＦＦｍを介して相互に接続されている。ここで機能ブロックは１つまたは複数の他の機能ブロックと接続することができる。接続は直接または接続素子を介して行うことができる。接続素子ＳＦＦ１～ＳＦＦｍは通常、特別のフリップフロップ（スキャンフリップフロップと称する）として構成される。
【００１７】
接続素子ＳＦＦ１～ＳＦＦｍはさらにアクティブ化線路ＳｃａｎＥｎａｂｌｅを介して通常動作からテスト動作に切り替えることができる。通常動作で接続素子は、機能ブロックの出力側から後続の機能ブロックの入力側への引き渡しを行う。テスト動作のために接続素子は別の入力側および出力側を有する。この入力側および出力側を介して接続素子は、破線で示したデータ線路区間ＤＬ１～ＤＬｌを用いて１つのシフトレジスタに相互に接続される。従ってテスト動作では、データをシフトレジスタ入力側ＳｃａｎＩｎを介して接続素子ＳＳＦ１～ＳＳＦｍへロードすることができ、次に通常動作への切り替えによってただ１つのクロックパルスを用い、機能ブロックＦＢ１～ＦＢｎに前にシフトレジスタにロードされたデータを印加することができる。機能ブロックＦＢ１～ＦＢｎの出力データは、それぞれ１つの機能ブロックに後置接続された接続素子にロードすることができ、テ

ストモードへの切り替えによってシフトレジスタとその出力側ＳｃａｎＯｕｔを介して読み出すことができる。このスキャン経路によって各機能ブロックＦＢ１～ＦＢｎをそれぞれ任意の状態にもたらすことができ、個別のテストすることができる。

【００１８】

本発明では、アクティブ化線路ＳｃａｎＥｎａｂｌｅにも、接続素子ＳＳＦ１～ＳＳＦｍを接続するデータ線路ＤＬ１～ＤＬｌにも保安素子ＳＥが配置される。この保安素子は図２に示すように、分離可能な安全器「フューズ」、または形成可能な接続部「アンチ・フューズ」として実現することができる。形成可能な接続部は、例えばアース短絡に作用するか、または線路を供給電圧電位に常時接続する。そしてこの特性による別の手段として論理ゲートと関連して、このゲートを固定的機能にロックすることができる。この保安素子ＳＥは非集中的に、チップ面全体にわたって分散されており、テスト後にアクティブ化線路ＳｃａｎＥｎａｂｌｅおよびデータ線路区間ＤＬ１～ＤＬｌ、およびひいてはスキャン経路を多種多様に分離または短絡することができる。

【図面の簡単な説明】

【図１】図１は、本発明の回路装置のブロック回路図である。

【図２】図２は、保安素子に対する実施例の概略図である。

【図１】

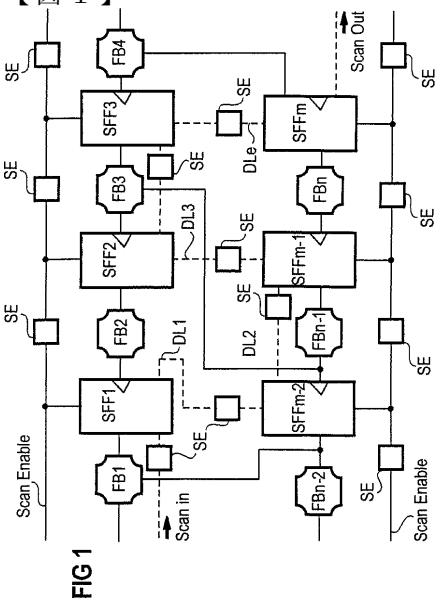
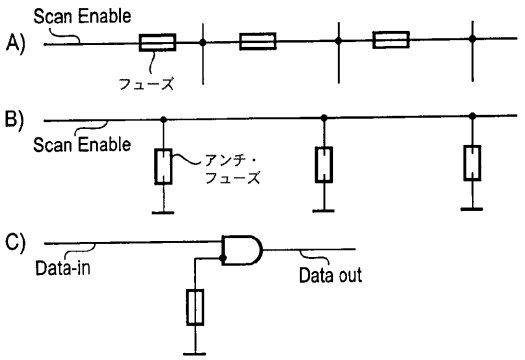


FIG 1

【図２】



フロントページの続き

(74)代理人 230100044
弁護士 ラインハルト・アインゼル
(72)発明者 ヘルベルト パーム
ドイツ連邦共和国 ヘーエンキルヒェン リーシュボーゲン ４５
(72)発明者 ミヒャエル スモラ
ドイツ連邦共和国 ミュンヘン ユタシュトラーセ １７
(72)発明者 シュテファン ヴァルシュタープ
ドイツ連邦共和国 ミュンヘン グスタフ－ハイネマン－リング ５５

審査官 大嶋 洋一

(56)参考文献 特開平０７－８６５１７（ＪＰ，Ａ）
特開平０７－１５９４８３（ＪＰ，Ａ）
国際公開第９２／０５４５３（WO，Ａ１）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/82
H01L 21/822
G01R 31/28
H01L 27/04