

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5767734号
(P5767734)

(45) 発行日 平成27年8月19日 (2015. 8. 19)

(24) 登録日 平成27年6月26日 (2015. 6. 26)

(51) Int. Cl.			F I		
HO 1 L	21/822	(2006. 01)	HO 1 L	27/04	H
HO 1 L	27/04	(2006. 01)	HO 1 L	29/78	6 5 7 E
HO 1 L	29/78	(2006. 01)	HO 1 L	29/78	6 5 3 A
GO 5 F	1/56	(2006. 01)	GO 5 F	1/56	3 2 0 C

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2014-93462 (P2014-93462)	(73) 特許権者	302062931
(22) 出願日	平成26年4月30日 (2014. 4. 30)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2013-508828 (P2013-508828) の分割		神奈川県川崎市中原区下沼部 1 7 5 3 番地
原出願日	平成24年3月28日 (2012. 3. 28)	(74) 代理人	100102864
(65) 公開番号	特開2014-168093 (P2014-168093A)		弁理士 工藤 実
(43) 公開日	平成26年9月11日 (2014. 9. 11)	(72) 発明者	中原 明宏
審査請求日	平成26年4月30日 (2014. 4. 30)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(31) 優先権主張番号	特願2011-82518 (P2011-82518)		ルネサスエレクトロニクス株式会社内
(32) 優先日	平成23年4月4日 (2011. 4. 4)	(72) 発明者	中島 栄
(33) 優先権主張国	日本国 (JP)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電源端子と出力端子との間に接続された出力トランジスタと、
ドレインが前記出力トランジスタのゲートに接続された第 1 ノードに接続され、ソースが前記出力端子に接続された第 1 放電トランジスタと、

ドレインが前記第 1 ノードに接続され、ソース及びバックゲートが第 2 ノードに接続された第 2 放電トランジスタと、

前記第 2 ノードと第 3 ノードとの間に接続され、前記第 3 ノードから前記第 2 ノードへの電流の流れを防止する逆流防止素子と、

入力端子に入力される入力信号にตอบสนองして、前記第 1 ノードの充放電、前記第 1 放電トランジスタの ON / OFF、前記第 2 放電トランジスタの ON / OFF 及び前記第 3 ノードと接地端子との間の接続を制御する制御回路と

を具備し、

前記制御回路は、前記入力信号が活性化されると、前記第 3 ノードと前記接地端子との間に接続されたトランジスタを ON すると共に、負荷異常の有無に応じて前記第 1 ノードの充電、前記第 1 放電トランジスタの ON / OFF 及び前記第 2 放電トランジスタの ON / OFF を制御し、

前記制御回路は、前記入力信号が非活性化されると、前記第 1 ノードの充電を停止し、前記第 1 放電トランジスタ及び前記第 2 放電トランジスタを ON し、前記第 3 ノードと前記接地端子との間に接続された前記トランジスタを OFF する

10

20

電力用半導体装置。

【請求項 2】

請求項 1 に記載の電力用半導体装置であって、

前記制御回路は、前記第 3 ノードの電圧を制御する電圧制御回路を備え、

前記電圧制御回路は、

前記トランジスタと、

前記第 3 ノードに電流を供給する第 1 定電流源と、

アノードが前記第 3 ノードに接続され、カソードが前記電源端子に接続されたツェナーダイオードと、

前記第 3 ノードと第 4 ノードの間に接続され、前記第 3 ノードから前記第 4 ノードに電流を流すように構成された第 2 定電流源と

を備えており、

前記トランジスタが、前記第 4 ノードと前記接地端子の間に接続された

電力用半導体装置。

【請求項 3】

請求項 1 に記載の電力用半導体装置であって、

前記制御回路は、前記入力信号に応答して前記第 3 ノードの電圧を制御する電圧制御回路を備え、

前記電圧制御回路は、

前記第 3 ノードに電流を供給する第 1 定電流源と、

前記トランジスタであって、ドレインが前記接地端子に接続され、ソースが前記第 3 ノードに接続され、ゲートが第 4 ノードに接続される P チャネル MOSFET と、

アノードが前記第 4 ノードに接続され、カソードが前記電源端子に接続されたツェナーダイオードと、

前記入力信号に応答して ON/OFF され、ドレインが前記第 4 ノードに接続され、ソースが接地端子に接続された N チャネル MOSFET とを備えている

電力用半導体装置。

【請求項 4】

請求項 1 に記載の電力用半導体装置であって、

前記制御回路は、前記入力信号が非活性化されると、前記第 2 放電トランジスタのゲート電圧を High レベルに設定し、前記第 2 放電トランジスタのゲート - ソース電圧を閾値電圧未満に設定する

電力用半導体装置。

【請求項 5】

請求項 4 に記載の電力用半導体装置であって、

前記制御回路は、前記入力信号が非活性化されると、前記第 3 ノードの電圧を前記第 2 放電トランジスタのゲート電圧と同じレベルに設定する

電力用半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の電力用半導体装置であって、

前記出力トランジスタ、前記第 1 放電トランジスタ、前記第 2 放電トランジスタ、前記逆流防止素子及び前記制御回路が形成されている半導体基板が、前記電源端子に接続されている

電力用半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の電力用半導体装置であって、

前記制御回路は、前記入力信号が非活性化されると、前記第 3 ノードの電圧を前記第 2 放電トランジスタのゲート電圧と同じ High レベルに設定する

電力用半導体装置。

10

20

30

40

50

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の電力用半導体装置であって、
前記第 2 放電トランジスタは、寄生バイポーラトランジスタを有し、
前記寄生バイポーラトランジスタのコレクタ、エミッタ及びベースは、それぞれ、前記電源端子、前記第 1 ノード、前記第 2 放電トランジスタの前記バックゲートに接続されている

電力用半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の電力用半導体装置であって、
前記逆流防止素子は、アノードが前記第 2 ノードに接続され、カソードが前記第 3 ノードに接続されたダイオードを含む

電力用半導体装置。

【請求項 10】

請求項 1 乃至 7 のいずれか一項に記載の電力用半導体装置であって、
前記逆流防止素子は、ドレインが前記第 3 ノードに接続され、ソースが前記第 2 ノードに接続され、ゲートが前記第 3 ノードに接続され、バックゲートが前記電源端子に接続された P チャネル MOSFET を含む

電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体装置 (power semiconductor device) に関する。

【背景技術】

【0002】

負荷に対して電力を供給するための電力用半導体装置が知られている。例えば、インテリジェントパワーデバイス (IPD: Intelligent Power Device) と呼ばれる電力用半導体装置は、自動車の電子制御システムにおいて用いられ、マイコンからの命令に従ってヘッドライト等への電力供給を制御する。このような電力用半導体装置では、典型的には、ハイサイドスイッチが使用される (例えば、特許文献 1 参照)

【0003】

図 1 は、特許文献 1 に記載されている電力用半導体装置の構成を示している。この電力用半導体装置は、電源端子 TV、出力端子 TO、出力トランジスタ 210、制御回路 220、抵抗 230、放電トランジスタ 240 及びツェナーダイオード 250 を備えている。電源端子 TV には、電源電圧 VCC が供給される。

【0004】

出力トランジスタ 210 は、電源端子 TV と出力端子 TO との間に接続されている。より詳細には、出力トランジスタ 210 は N チャネル MOSFET であり、そのゲート、ドレイン及びソースは、それぞれ、ノード N1、電源端子 TV 及び出力端子 TO に接続されている。出力端子 TO は負荷の一端に接続され、負荷の他端はグランド端子に接続される。このように、出力トランジスタ 10 は、ハイサイドスイッチとして機能するように接続される。

【0005】

抵抗 230 は、ノード N1 と出力端子 TO との間に接続されている。放電トランジスタ 240 は N チャネル MOSFET であり、そのゲート、バックゲート、ドレイン及びソースは、それぞれ、ノード NB、ノード NC、ノード N1 及びノード N2 に接続されている。ノード NC (バックゲート) とノード N2 (ソース) はショートされている。ツェナーダイオード 250 のアノード及びカソードは、それぞれ、ノード N2 及びグランド端子 TG に接続されている。ノード N1 から放電トランジスタ 240 及びツェナーダイオード 2

10

20

30

40

50

50を經由してグランド端子TGへ到る経路は、ノードN1の放電経路である。

【0006】

制御回路220は、出力トランジスタ210のゲートにつながるノードN1の充放電を制御する。より詳細には、パワーONの場合、制御回路220は、ノードNBの電圧をLowレベルに設定し、放電トランジスタ240をOFFする。これにより、放電トランジスタ240を經由する放電経路は非活性化される。その一方で、制御回路220は、ノードN1を充電し、出力トランジスタ210をONする。これにより、出力端子TOに接続された負荷に電力が供給される。

【0007】

パワーOFFの場合、制御回路220は、ノードN1の充電を停止する。また、制御回路220は、ノードNBの電圧をHighレベルに設定し、放電トランジスタ240をONする。これにより、ノードN1から放電トランジスタ240及びツェナーダイオード250を經由してグランド端子TGへ電流が流れ、ノードN1が放電される。同時に、ノードN1から抵抗230を經由して出力端子OUTにも電流が流れ、ノードN1が放電される。従って、ノードN1は急激に放電され、ノードN1の電圧は急激に低下する。その結果、出力トランジスタ210が素早くOFFする。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平4-364784号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0009】

近年、図1で示されたような電力用半導体装置に対して、様々な要求がある。例えば、通常のパワーOFF時には、ノイズ低減のため、出力トランジスタ210をゆっくりとターンオフすることが求められる。その一方で、パワーONの最中に負荷状態に異常が発生した場合（例えば、負荷ショートが発生して過電流が流れる場合）、出力トランジスタ210には過大な電力が印加されるため、破壊されないように出力トランジスタ210を高速にターンオフすることが求められる。すなわち、ノードN1の放電方法として、「低速放電」と「高速放電」の2パターンが要求される場合がある。仮に、図1で示された回路構成でその2パターンを実現するとすれば、次の通りである。

30

【0010】

通常のパワーOFF時には、ノイズを低減するために、「低速放電」が行われる。具体的には、制御回路220は、ノードN1の充電を停止する。また、制御回路220は、ノードNBの電圧をLowレベルに設定し、放電トランジスタ240をOFFする。これにより、ノードN1から放電トランジスタ240及びツェナーダイオード250を經由してグランド端子TGへ到る高速放電経路は、非活性化される。ノードN1は、抵抗230を經由する低速放電経路を通して放電される。その結果、出力トランジスタ210はゆっくりとターンオフする。

【0011】

40

一方、パワーONの最中に負荷異常が発生した場合、出力トランジスタ210の破壊を防ぐために、「高速放電」が行われる。具体的には、制御回路220は、ノードN1の充電を停止する。また、制御回路220は、ノードNBの電圧をHighレベルに設定し、放電トランジスタ240をONする。これにより、ノードN1から放電トランジスタ240及びツェナーダイオード250を經由してグランド端子TGへ到る高速放電経路が、活性化される。同時に、ノードN1から抵抗230を經由して出力端子OUTにも電流が流れる。従って、ノードN1は急激に放電され、その結果、出力トランジスタ210が高速にターンオフする。

【0012】

ここで、本願発明者は、次のような課題を発見した。それは、上述のような電力用半導

50

体装置を単一の半導体基板上に形成したときに、外部から印加されるサージ電圧により、出力トランジスタ 210 が熱破壊する可能性があるということである。この課題について、以下に説明する。

【0013】

上述のような電力用半導体装置において、出力トランジスタ 210 (パワー MOSFET) のオン抵抗は十分に低いことが望ましい。そのためには、出力トランジスタ 210 のゲートにつながるノード N1 に、十分高い駆動電圧を印加する必要がある。このようにノード N1 には高電圧が印加されるため、一般的には、高圧 MOSFET が放電トランジスタ 240 として使用される。図 2 は、出力トランジスタ 210 及び放電トランジスタ 240 の一例の断面構造を示している。放電トランジスタ 240 は、高圧 MOSFET 構造を有している。

10

【0014】

この放電トランジスタ 240 は、図 2 に示されるような縦型の寄生バイポーラトランジスタを有する。図 3 は、その寄生バイポーラトランジスタを含めた回路構成を示している。図 3 に示されるように、放電トランジスタ 240 のドレイン及びバックゲートは、それぞれノード N1 及びノード NC に接続されており、寄生バイポーラトランジスタ Q1 のコレクタ、エミッタ及びベースは、それぞれ電源端子 TV、ノード N1 及びノード NC に接続されている。また、寄生容量 (コレクタ - ベース間容量) C1 が、電源端子 TV とノード NC との間に生成される。

【0015】

ここで、電力用半導体装置 (出力トランジスタ 210) が OFF 状態の時に、電源電圧 VCC の急峻な増加が発生した場合を考える。ノード NC とグランド端子 TG との間にはツェナーダイオード 250 が介在しているため、OFF 状態において、ノード NC (放電トランジスタ 240 のバックゲート) はハイインピーダンスとなっている。従って、電源電圧 VCC の急峻な増加が発生すると、寄生容量 C1 を通して、ノード NC の電圧 (寄生バイポーラトランジスタ Q1 のベース電圧) が持ち上がる。その結果、寄生バイポーラトランジスタ Q1 が ON する。この時、コレクタ - エミッタ間電圧 VCE が耐圧 BVCEO を超えていると、大きな降伏電流が流れる。ここで、図 4 は、寄生バイポーラトランジスタ Q1 の電流 - 電圧特性を示している。コレクタ - エミッタ間電圧 VCE が耐圧 BVCEO を超えると、大きな降伏電流が流れることが分かる。

20

30

【0016】

この降伏電流により、出力トランジスタ 210 のゲートにつながるノード N1 の電圧が持ち上がるため、出力トランジスタ 210 が ON してしまう。但し、この時、出力トランジスタ 210 は、高オン抵抗でオンする (ハーフオン)。この場合、出力トランジスタ 210 に過大な電力が印加されるため、熱破壊が発生する可能性がある。

【0017】

例えば、自動車に搭載される電力用半導体装置の電源端子 TV は、バッテリーに接続される。この場合の電源電圧 VCC の急峻な増加の一例として、図 5 に示されるような「ダンプサージ」が考えられる。ダンプサージとは、オルタネータの発電中にバッテリーが外れたときに、電源端子 TV に発生するサージのことである。ダンプサージが電源端子 TV に印加されると、上述の理由により、寄生バイポーラトランジスタ Q1 が動作し、出力トランジスタ 210 の熱破壊が発生する可能性がある。

40

【0018】

以上に説明されたように、電力用半導体装置が OFF 状態の時に、電源電圧の急峻な増加が発生した場合、出力トランジスタがハーフオンして熱破壊される可能性があった。電力用半導体装置が OFF 状態の時に、電源電圧の急峻な増加が発生した場合であっても、出力トランジスタが ON することを防止することができる技術が望まれる。

【課題を解決するための手段】

【0019】

本発明の 1 つの観点において、電力用半導体装置が提供される。その電力用半導体装置

50

は、電源端子と出力端子との間に接続された出力トランジスタと、出力トランジスタのゲートに接続された第1ノードの充放電を制御し、出力トランジスタをON/OFF制御する制御回路と、第1ノードから出力端子への第1放電経路と、第1ノードからグランド端子への第2放電経路と、を備える。

【0020】

ここで、第1ノードが充電された後、出力トランジスタが安定的にONしている期間がON期間である。第1ノードが放電された後、出力トランジスタが安定的にOFFしている期間がOFF期間である。OFF期間からON期間への遷移期間がターンオン期間である。ON期間からOFF期間への遷移期間がターンオフ期間である。

【0021】

ターンオン期間及びON期間、制御回路は、第1ノードを充電し、第1放電経路及び第2放電経路を非活性化する。ターンオフ期間及びOFF期間、制御回路は、第2放電経路を非活性化し、また、第1放電経路を活性化することによって、第1放電経路を通して第1ノードを放電する。負荷異常が発生した場合、制御回路は、第1放電経路と第2放電経路の両方を活性化することによって、第1放電経路及び第2放電経路の両方を通して第1ノードを放電する。

【0022】

第2放電経路は、放電トランジスタと逆流防止素子とを含む。放電トランジスタのドレインは第1ノードに接続され、そのソース及びバックゲートは第2ノードに接続されている。逆流防止素子は、第2ノードと第3ノードとの間に接続され、第3ノードから第2ノードへの電流の流れを防止する。負荷異常が発生した場合、制御回路は、放電トランジスタをONする。更に、少なくともOFF期間において、制御回路は、放電トランジスタのゲート電圧をHighレベルに設定する。

【発明の効果】

【0023】

本発明によれば、電力用半導体装置がOFF状態の時に、電源電圧の急峻な増加が発生した場合であっても、出力トランジスタがONすることを防止することが可能となる。

【図面の簡単な説明】

【0024】

上記及び他の目的、長所、特徴は、次の図面と共に説明される本発明の実施の形態により明らかになるであろう。

【図1】図1は、関連技術に係る電力用半導体装置の構成を示す回路図である。

【図2】図2は、出力トランジスタ及び放電トランジスタの典型的な断面構造を示す概略図である。

【図3】図3は、寄生バイポーラトランジスタを含む電力用半導体装置の構成を示す回路図である。

【図4】図4は、寄生バイポーラトランジスタの電流 - 電圧特性を示すグラフ図である。

【図5】図5は、自動車に搭載される電力用半導体装置の電源端子に印加されるダンプサージを示す概念図である。

【図6】図6は、本発明の実施の形態に係る電力用半導体装置の構成を概略的に示すブロック図である。

【図7】図7は、本発明の実施の形態に係る電力用半導体装置の動作を示すタイミングチャートである。

【図8】図8は、本発明の実施の形態の作用・効果を説明するための図である。

【図9】図9は、本発明の実施の形態に係る電力用半導体装置の変形例を示すブロック図である。

【図10】図10は、本発明の実施の形態に係る電力用半導体装置の回路構成例を示す回路ブロック図である。

【図11】図11は、図10に示された回路における真理値表を示している。

【図12】図12は、本発明の実施の形態における電圧制御回路の一例を示す回路図であ

10

20

30

40

50

る。

【図13】図13は、本発明の実施の形態における電圧制御回路の他の例を示す回路図である。

【発明を実施するための形態】

【0025】

添付図面を参照して、本発明の実施の形態に係る電力用半導体装置を説明する。

【0026】

1. 構成

図6は、本実施の形態に係る電力用半導体装置1の構成を概略的に示すブロック図である。電力用半導体装置1は、電源端子TV、入力端子TI、及び出力端子TOを備えている。出力端子TOは負荷20の一端に接続され、負荷20の他端はグランド端子TGAに接続される。電源端子TVには、電源電圧VCCが供給される。入力端子TIには、パワーON信号PWRが入力される。そのパワーON信号PWRの活性化にตอบสนองして、電力用半導体装置1はONし、出力端子TOを通して負荷20に電力を供給する。

10

【0027】

より詳細には、電力用半導体装置1は、出力トランジスタ10、第1放電経路DPA、第2放電経路DPB及び制御回路100を備えている。

【0028】

出力トランジスタ10は、電源端子TVと出力端子TOとの間に接続されている。具体的には、出力トランジスタ10は、NチャンネルMOSFETであり、そのゲート、ドレイン及びソースは、それぞれ、第1ノードN1、電源端子TV及び出力端子TO（出力ノードNZ）に接続されている。尚、出力ノードNZは、出力端子TOと同電位であり、出力端子TOと等価なものとして扱われる。

20

【0029】

第1放電経路DPAは、第1ノードN1をゆっくりと放電するための低速放電経路であり、第1ノードN1から出力ノードNZへつながっている。つまり、第1放電経路DPAは、出力トランジスタ10のゲート-ソース間をつないでいる。この第1放電経路DPAは、第1放電トランジスタ30を含んでいる。第1放電トランジスタ30は、NチャンネルMOSFETであり、そのゲート、ドレイン及びソースは、それぞれ、第1ゲートノードNA、第1ノードN1及び出力ノードNZに接続されている。第1放電トランジスタ30がONした状態が、第1放電経路DPAが活性化された状態である。一方、第1放電トランジスタ30がOFFした状態が、第1放電経路DPAが非活性化された状態である。

30

【0030】

第1放電トランジスタ30としては、例えば、定電流特性を有するデプレッション型MOSFETが好適に用いられる。但し、第1放電トランジスタ30は、エンハンスメント型MOSFETであってもよい。あるいは、第1放電トランジスタ30の代わりに抵抗が用いられてもよい。以下の説明では、第1放電トランジスタ30は、デプレッション型NチャンネルMOSFETである。

【0031】

第2放電経路DPBは、第1ノードN1を高速に放電するための高速放電経路であり、第1ノードN1からグランド端子TGBへつながっている。尚、グランド端子TGBは、負荷20側のグランド端子TGAとは異なっている。この第2放電経路DPBは、第2放電トランジスタ40及び逆流防止素子50を含んでいる。

40

【0032】

第2放電トランジスタ40は、NチャンネルMOSFETであり、そのゲート、バックゲート、ドレイン及びソースは、それぞれ、第2ゲートノードNB、バックゲートノードNC、第1ノードN1及び第2ノードN2に接続されている。バックゲートノードNC（バックゲート）と第2ノードN2（ソース）はショートされている。第2放電トランジスタ40がONした状態が、第2放電経路DPBが活性化された状態である。一方、第2放電トランジスタ40がOFFした状態が、第2放電経路DPBが非活性化された状態である

50

。以下の説明では、第2放電トランジスタ40は、エンハンスメント型NチャネルMOSFETである。

【0033】

また、本実施の形態においても、第2放電トランジスタ40として、既出の図2で示されたような高圧MOSFETが使用される。従って、第2放電トランジスタ40は、寄生バイポーラトランジスタQ1を有している。図6に示されるように、その寄生バイポーラトランジスタQ1のコレクタ、エミッタ及びベースは、それぞれ、電源端子TV、第1ノードN1及びバックゲートノードNCに接続されている。また、寄生容量(コレクタ-ベース間容量)C1が、電源端子TVとバックゲートノードNCとの間に接続されている。

【0034】

逆流防止素子50は、グランド端子TGBと負荷20側のグランド端子TGAとの間でグランド電圧に差が生じたときに、グランド端子TGBから負荷20側のグランド端子TGAに向けて電流が流れることを防止するために設けられている。この逆流防止素子50は、第2放電トランジスタ40よりもグランド側に設けられている。具体的には、逆流防止素子50は、上記の第2ノードN2と更にグランド端子TGB側の第3ノードN3との間に接続されており、第3ノードN3から第2ノードN2への電流の流れを防止する。例えば、図6に示されるように、逆流防止素子50としてダイオード51が用いられる。そのダイオード51のアノード及びカソードは、それぞれ、第2ノードN2及び第3ノードN3に接続されている。

【0035】

制御回路100は、入力端子TI、電源端子TV、グランド端子TGB、第1ノードN1、第1ゲートノードNA、第2ゲートノードNB及び第3ノードN3に接続されている。この制御回路100は、入力端子TIに入力されるパワーON信号PWRに応じて、第1ノードN1の充放電を制御し、それにより出力トランジスタ10をON/OFF制御する。例えば、パワーON信号PWRが活性化されると、制御回路100は、第1ノードN1を、電源電圧VCCよりも高い高電圧まで充電する。その結果、出力トランジスタ10がONし、負荷20に電力が供給される。

【0036】

一方、出力トランジスタ10をOFFさせる際、制御回路100は、第1放電経路DPA及び第2放電経路DPBを状況に応じて適宜使用することにより、第1ノードN1を放電する。そのために、制御回路100は、第1ゲートノードNA、第2ゲートノードNB及び第3ノードN3の電圧を、状況に応じて制御する。制御回路100は、第1ゲートノードNAの電圧を制御することによって、第1放電経路DPAの活性化/非活性化(第1放電トランジスタ30のON/OFF)を制御することができる。また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧を制御することによって、第2放電経路DPBの活性化/非活性化(第2放電トランジスタ40のON/OFF)を制御することができる。

【0037】

以下、本実施の形態に係る電力用半導体装置1の動作を詳しく説明する。

【0038】

2. 動作

図7は、本実施の形態に係る電力用半導体装置1の動作を示すタイミングチャートである。以下、図6及び図7を参照して、電力用半導体装置1の基本的な動作を説明する。その動作を説明するにあたり、4つの期間(フェーズ): ターンオン期間PA、ON期間PB、ターンオフ期間PC、及びOFF期間PD、を考える。

【0039】

ターンオン期間PA及びON期間PBは、パワーON信号PWRが活性化(PWR=Highレベル)されている期間である。パワーON信号PWRが活性化されると、第1ノードN1は充電され、出力トランジスタ10はONし、出力ノードNZも充電される。ON期間PBは、第1ノードN1及び出力ノードNZの電圧が安定し、出力トランジスタ1

10

20

30

40

50

0 が安定的に ON している期間である。一方、ターンオン期間 PA は、パワー ON 信号 PWR の活性化タイミングから ON 期間 PB までの期間である。言い換えれば、ターンオン期間 PA は、OFF 期間 PD から ON 期間 PB への遷移期間である。

【 0 0 4 0 】

ターンオフ期間 PC 及び OFF 期間 PD は、パワー ON 信号 PWR が非活性化 (PWR = Low レベル) されている期間である。パワー ON 信号 PWR が非活性化されると、第 1 ノード N1 は放電され、出力トランジスタ 10 は OFF し、出力ノード NZ も放電される。OFF 期間 PD は、第 1 ノード N1 及び出力ノード NZ の電圧が安定し、出力トランジスタ 10 が安定的に OFF している期間である。一方、ターンオフ期間 PC は、パワー ON 信号 PWR の非活性化タイミングから OFF 期間 PD までの期間である。言い換えれば、ターンオフ期間 PC は、ON 期間 PB から OFF 期間 PD への遷移期間である。

10

【 0 0 4 1 】

2 - 1 . ターンオン期間 PA (時刻 $t_1 \sim t_2$)

時刻 t_1 において、パワー ON 信号 PWR が活性化され、Low レベルから High レベルに変わる。それに応答して、制御回路 100 は、第 1 ノード N1 を充電し始める。

【 0 0 4 2 】

その一方で、制御回路 100 は、第 1 ゲートノード NA の電圧を Low レベルに設定する。第 1 ゲートノード NA の Low レベルの電圧は、出力ノード NZ の電圧未満であり、例えば “出力ノード NZ の電圧 - 3 V” である。これにより、第 1 放電トランジスタ 30 のゲート電圧はソース電圧未満となるため、第 1 放電トランジスタ 30 は OFF し、第 1 放電経路 DPA が非活性化される。

20

【 0 0 4 3 】

また、制御回路 100 は、第 2 ゲートノード NB 及び第 3 ノード N3 の電圧を Low レベルに設定する。第 2 ゲートノード NB 及び第 3 ノード N3 の Low レベルの電圧は、電源電圧 VCC 未満であり、例えば “VCC - 6 V” である。これにより、第 2 放電トランジスタ 40 のゲート - ソース電圧 (= 0 V) は閾値電圧未満となるため、第 2 放電トランジスタ 40 は OFF し、第 2 放電経路 DPB が非活性化される。

【 0 0 4 4 】

このように、ターンオン期間 PA において、制御回路 100 は、第 1 ノード N1 を充電し、且つ、第 1 放電経路 DPA 及び第 2 放電経路 DPB を非活性化する。その結果、出力トランジスタ 10 は ON し、出力ノード NZ の電圧及び出力電流 Iout が徐々に上昇する。尚、ターンオン期間 PA において、第 1 ノード N1 は、電源電圧 VCC よりも高い高電圧まで充電される。

30

【 0 0 4 5 】

2 - 2 . ON 期間 PB (時刻 $t_2 \sim t_3$)

ON 期間 PB における制御は、ターンオン期間 PA の場合と同様である。第 1 ノード N1 の電圧は、電源電圧 VCC よりも高い高電圧で安定する。出力ノード NZ の電圧は、電源電圧 VCC 近傍で安定する。出力トランジスタ 10 は、安定的に ON している。

【 0 0 4 6 】

2 - 3 . ターンオフ期間 PC (時刻 $t_3 \sim t_4$)

時刻 t_3 において、パワー ON 信号 PWR が非活性化され、High レベルから Low レベルに変わる。それに応答して、制御回路 100 は、第 1 ノード N1 の充電を停止する。

40

【 0 0 4 7 】

その一方で、制御回路 100 は、第 1 ゲートノード NA の電圧を High レベルに設定する。第 1 ゲートノード NA の High レベルの電圧は、例えば出力ノード NZ の電圧である。これにより、第 1 放電トランジスタ 30 (デプレッション型 MOSFET) は ON し、第 1 放電経路 DPA が活性化される。

【 0 0 4 8 】

また、制御回路 100 は、第 2 ゲートノード NB 及び第 3 ノード N3 の電圧を High

50

レベルに設定する。第2ゲートノードNB及び第3ノードN3のHighレベルの電圧は、例えば電源電圧VCCである。この場合、第2ゲートノードNBの電圧はHighレベルであるものの、第2放電トランジスタ40のゲート-ソース電圧(=0V)は閾値電圧未満であるため、第2放電トランジスタ40はOFFのままである。すなわち、第2放電経路DPBは非活性化されたままであり、通常のパワーOFF動作には影響を与えない。

【0049】

このように、ターンオフ期間PCにおいて、制御回路100は、第2放電経路DPBを非活性化する一方、第1放電経路DPAを活性化することにより、第1放電経路DPAを通して第1ノードN1を放電する。第1ノードN1の電圧が低下すると、出力ノードNZの電圧も徐々に低下し、最終的に0Vになる。このとき、第1放電トランジスタ30の定電流特性により、第1ノードN1はゆっくりと放電されるため、出力トランジスタ10もゆっくりとターンオフする。

10

【0050】

2-4. OFF期間PD(時刻t4~t5)

OFF期間PDにおいても、制御回路100は、第1ゲートノードNAの電圧をHighレベルに設定し、第1放電経路DPAを活性化する。また、制御回路100は、第2ゲートノードNB及び第3ノードN3の電圧をHighレベルに設定し、第2放電経路DPBを非活性化する。

【0051】

尚、OFF期間PDにおいて、第1ノードN1の電圧はグランド電圧近傍となっている。よって、第3ノードN3の電圧がLowレベルに設定されても、第2放電経路DPBに電流は流れない。従って、制御回路100は、第3ノードN3の電圧をLowレベルに設定してもよい。

20

【0052】

2-5. 負荷異常発生時の動作(期間PX:時刻t6~t7)

次に、パワーONの最中に負荷異常が発生した場合(例えば、負荷20がショートして過電流状態となる)を考える。図示されない検出回路(過電流検出回路や過温度検出回路)によって負荷異常が検出されると、出力トランジスタ10の破壊を防ぐために、制御回路100は、「高速放電」を実施する。

【0053】

具体的には、制御回路100は、第1ノードN1の充電を停止する。また、制御回路100は、第1ゲートノードNAの電圧をHighレベルに設定し、第1放電経路DPAを活性化する。更に、制御回路100は、第2ゲートノードNBをHighレベル(VCC)に設定し、第3ノードN3をLowレベル(VCC-6V)に設定する。この場合、第2放電トランジスタ40のゲート-ソース電圧が閾値電圧を超え、第2放電トランジスタ40はONする。すなわち、第2放電経路DPBが活性化される。

30

【0054】

このように、負荷異常が発生した場合、制御回路100は、第1放電経路DPAと第2放電経路DPBの両方を活性化し、第1放電経路DPA及び第2放電経路DPBの両方を通して第1ノードN1を放電する。従って、ノードN1の電圧は急激に低下し、その結果、出力トランジスタ10が高速にターンオフする。尚、第2ノードN2の電圧がダイオード51の順方向電圧を下回ると、第2放電経路DPBは遮断される。

40

【0055】

2-6. ダンプサージ印加時の動作

次に、OFF期間PDにおいて、ダンプサージ等の印加によって、電源電圧VCCの急峻な増加が発生した場合を考える。図7に示される例では、OFF期間PDの最中の時刻t8において、ダンプサージが電源端子TVに印加される。本実施の形態によれば、OFF期間PDの最中にダンプサージが電源端子TVに印加されても、寄生バイポーラトランジスタQ1はONしない。図8を参照して、そのメカニズムを説明する。

【0056】

50

図8は、OFF期間PDにおける第2放電トランジスタ40及び寄生バイポーラトランジスタQ1の状態を示している。寄生バイポーラトランジスタQ1のコレクタ、エミッタ及びベースは、それぞれ、電源端子TV、第1ノードN1及びバックゲートノードNCに接続されている。また、寄生容量(コレクタ-ベース間容量)C1が、電源端子TVとバックゲートノードNCとの間に接続されている。

【0057】

上述の通り、OFF期間PDにおいて、第2放電トランジスタ40のゲートにつながる第2ゲートノードNBには、Highレベルの電圧(VCC)が印加されている。従って、図8に示されるように、第2放電トランジスタ40のチャネル領域には「反転層LI」が形成される。この反転層LIは、第2放電トランジスタ40のドレイン(第1ノードN1)とソース/バックゲート(第2ノードN2/バックゲートノードNC)との間をショートする。すなわち、反転層LIが形成されることにより、寄生バイポーラトランジスタQ1のエミッタ-ベース間がショートする。

10

【0058】

従って、電源電圧VCCの急峻な増加が発生し、寄生容量C1を通してノードNCの電圧が持ち上がったとしても、寄生バイポーラトランジスタQ1はONしない。大きな降伏電流が流れることもないため、第1ノードN1の電圧が持ち上がって出力トランジスタ10がハーフオンすることもない。よって、出力トランジスタ10の熱破壊が防止される。

【0059】

以上に説明されたように、本実施の形態によれば、電力用半導体装置1がOFF状態の時に、電源電圧VCCの急峻な増加が発生した場合であっても、出力トランジスタ10がONすることが防止される。すなわち、出力トランジスタ10の熱破壊が未然に防止される。

20

【0060】

3. 変形例

図9は、本実施の形態に係る電力用半導体装置1の変形例を示すブロック図である。本変形例では、逆流防止素子50として、ダイオード51の代わりに、PチャネルMOSFET52の寄生ダイオード53が用いられる。このPチャネルMOSFET52のドレイン、ソース及びゲートは、それぞれ、第3ノードN3、第2ノードN2及び第3ノードN3に接続されている。また、PチャネルMOSFET52のバックゲートは、電源端子TVに接続されている。これにより、図9に示されるように、PチャネルMOSFET52のバックゲート-ソース間に寄生ダイオード53が形成される。

30

【0061】

4. 回路構成例

図10は、本実施の形態に係る電力用半導体装置1の回路構成の一例を示している。既出の説明と重複する説明は適宜省略される。

【0062】

図10において、更に、過電圧保護回路60(ダイナミッククランプ回路)が、電源端子TVと第1ノードN1との間に接続されている。この過電圧保護回路60は、ダイオード61、62を備えている。電源端子TVは、ダイオード61のカソードに接続されている。ダイオード61のアノードは、ダイオード62のアノードに接続されている。ダイオード62のカソードは、第1ノードN1に接続されている。この過電圧保護回路60は、負荷20が誘導性負荷である場合に発生する逆起電圧から出力トランジスタ10を保護するために設けられている。

40

【0063】

制御回路100は、制御入力回路110、昇圧回路120、電圧制御回路130、負荷異常検出回路140及びインバータ150を備えている。

【0064】

制御入力回路110は、パワーON信号PWRに応じて、昇圧回路120と第1ゲートノードNAの電圧を制御する。パワーON信号PWRが活性化された場合(PWR=Hi

50

g h)、制御入力回路110は、昇圧回路120を動作させ、また、第1ゲートノードNAの電圧をLowレベルに設定する。昇圧回路120は、第1ノードN1を電源電圧VCCよりも高い高電圧まで充電する。一方、パワーON信号PWRが非活性化された場合(PWR = Low)、及び、負荷異常が発生した場合、制御入力回路110は、昇圧回路120を停止させ、また、第1ゲートノードNAの電圧をHighレベルに設定する。

【0065】

電圧制御回路130は、電源端子TVとグランド端子TGBとの間に介在している。また、電圧制御回路130は、パワーON信号PWRに応じて、第3ノードN3の電圧を制御する。具体的には、パワーON信号PWRが活性化された場合(PWR = High)、電圧制御回路130は、第3ノードN3の電圧をLowレベル(VCC - 6V)に設定する。一方、パワーON信号PWRが非活性化された場合(PWR = Low)、電圧制御回路130は、第3ノードN3の電圧をHighレベル(VCC)に設定する。

10

【0066】

負荷異常検出回路140は、電源端子TVと第3ノードN3との間に接続されており、電源電圧VCC及び第3ノードN3の電圧をそれぞれ正極電圧及び負極電圧として用いる。負荷異常検出回路140の出力端子は、ノードNDに接続されている。インバータ150も、電源端子TVと第3ノードN3との間に接続されており、電源電圧VCC及び第3ノードN3の電圧をそれぞれ正極電圧及び負極電圧として用いる。インバータ150の出力端子は、第2ゲートノードNBに接続されている。

【0067】

20

図11は、ノードND、第2ゲートノードNB及び第3ノードN3の状態を示す真理値表である。パワーON信号PWRが非活性化された場合(PWR = Low)、第3ノードN3の電圧はHighレベル(VCC)である。従って、負荷異常検出回路140は、ノードNDにHighレベル(VCC)の電圧を出力し、インバータ150は第2ゲートノードNBにHighレベル(VCC)の電圧を出力する。

【0068】

パワーON信号PWRが活性化された場合(PWR = High)、第3ノードN3の電圧はLowレベル(VCC - 6V)である。負荷正常時、負荷異常検出回路140は、ノードNDにHighレベル(VCC)の電圧を出力し、インバータ150は第2ゲートノードNBにLowレベル(VCC - 6V)の電圧を出力する。一方、負荷異常が検出された場合、負荷異常検出回路140は、ノードNDにLowレベル(VCC - 6V)の電圧を出力し、インバータ150は第2ゲートノードNBにHighレベル(VCC)の電圧を出力する。

30

【0069】

図12は、電圧制御回路130の一例を示している。図12に示される電圧制御回路130は、NチャネルMOSFET131、ツェナーダイオード132、NチャネルMOSFET133及びNチャネルMOSFET134を備えている。

【0070】

NチャネルMOSFET131は、第3ノードN3のプルアップ素子として機能する。本例では、NチャネルMOSFET131はデプレッション型である。NチャネルMOSFET131のドレイン、ソース及びゲートは、それぞれ、電源端子TV、第3ノードN3及び第3ノードN3に接続されている。このNチャネルMOSFET131は、定電流源として機能する。

40

【0071】

ツェナーダイオード132のアノード及びカソードは、それぞれ、第3ノードN3及び電源端子TVに接続されている。

【0072】

NチャネルMOSFET133はデプレッション型であり、そのドレイン、ソース及びゲートは、それぞれ、第3ノードN3、ノード135及びノード135に接続されている。このNチャネルMOSFET133は、定電流源として機能する。

50

【0073】

NチャンネルMOSFET134はエンハンスメント型であり、そのドレイン、ソース及びゲートは、それぞれ、ノード135、グランド端子TGB及び入力端子TIに接続されている。このNチャンネルMOSFET134は、スイッチとして機能する。

【0074】

パワーON信号PWRがHighレベルになると、NチャンネルMOSFET134がONして、第3ノードN3の電圧がグランド電圧方向に引き下げられる。そして、第3ノードN3の電圧が電源電圧VCCからツェナーダイオード132の降伏電圧以上下がると、ツェナーダイオード132に電流が流れる。その結果、電源端子TVと第3ノードN3との間の電圧差は、ツェナーダイオード132の降伏電圧でクランプされる。従って、ツェ

10

【0075】

一方、パワーON信号PWRがLowレベルになると、NチャンネルMOSFET134がOFFする。その結果、第3ノードN3の電圧は、NチャンネルMOSFET131によって、電源電圧VCCにプルアップされる。

【0076】

図13は、電圧制御回路130の他の例を示している。図13に示される電圧制御回路130は、NチャンネルMOSFET131、ツェナーダイオード132、NチャンネルMOSFET136及びPチャンネルMOSFET137を備えている。

20

【0077】

NチャンネルMOSFET131は、第3ノードN3のプルアップ素子として機能する。本例では、NチャンネルMOSFET131はデプレッション型である。NチャンネルMOSFET131のドレイン、ソース及びゲートは、それぞれ、電源端子TV、第3ノードN3及び第3ノードN3に接続されている。このNチャンネルMOSFET131は、定電流源として機能する。

【0078】

ツェナーダイオード132のアノード及びカソードは、それぞれ、ノード138及び電源端子TVに接続されている。

【0079】

NチャンネルMOSFET136はエンハンスメント型であり、そのドレイン、ソース及びゲートは、それぞれ、ノード138、グランド端子TGB及び入力端子TIに接続されている。このNチャンネルMOSFET136は、スイッチとして機能する。

30

【0080】

PチャンネルMOSFET137はエンハンスメント型であり、そのドレイン、ソース及びゲートは、それぞれ、グランド端子TGB、第3ノードN3及びノード138に接続されている。このPチャンネルMOSFET137は、出力バッファとして機能する。

【0081】

図12で示された構成の場合、第3ノードN3からグランド端子TGBへの経路上に、定電流接続されたNチャンネルMOSFET133が存在する。そのため、負荷異常発生時の第2放電経路DPBの放電能力は、NチャンネルMOSFET133の定電流特性によって制限される。それに対し、図13で示された構成の場合、PチャンネルMOSFET137が出力バッファとして付加されているため、負荷異常発生時の第2放電経路DPBの放電能力は制約を受けない。すなわち、第2放電経路DPBを通した放電が、より高速に行われる。

40

【0082】

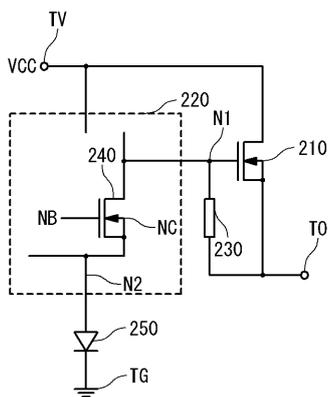
以上、本発明の実施の形態が添付の図面を参照することにより説明された。但し、本発明は、上述の実施の形態に限定されず、要旨を逸脱しない範囲で当業者により適宜変更され得る。

【0083】

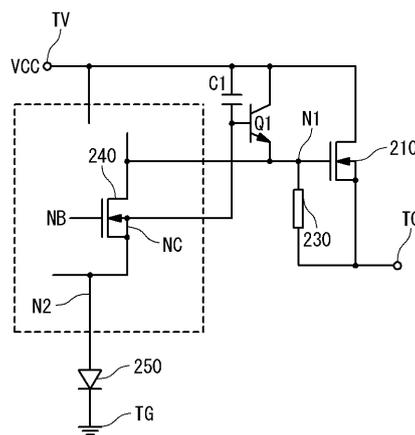
50

本出願は、2011年4月4日に出願された日本国特許出願2011-082518を基礎とする優先権を主張し、その開示の全てをここに取り込む。

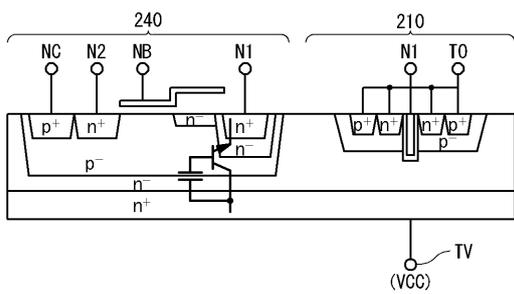
【図1】



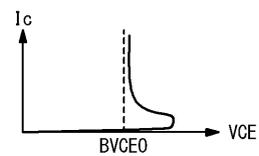
【図3】



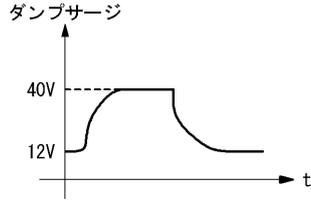
【図2】



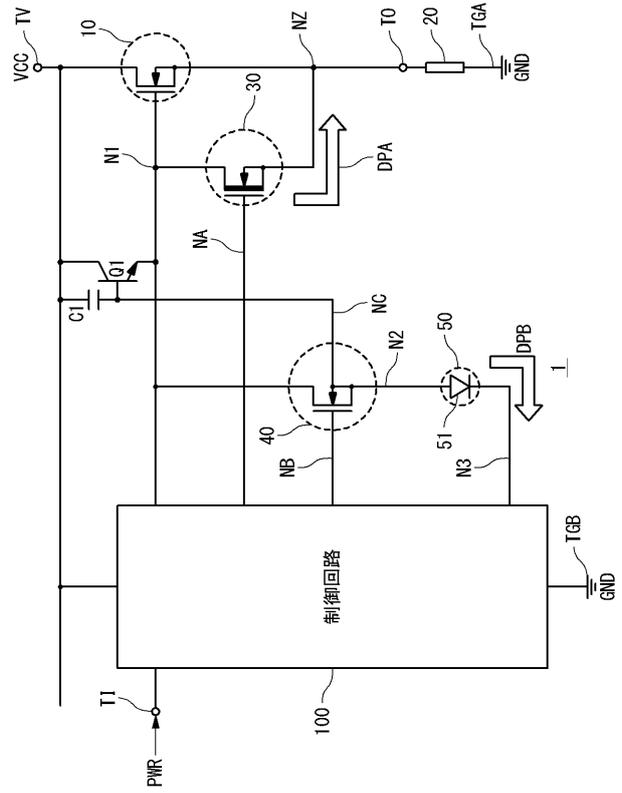
【図4】



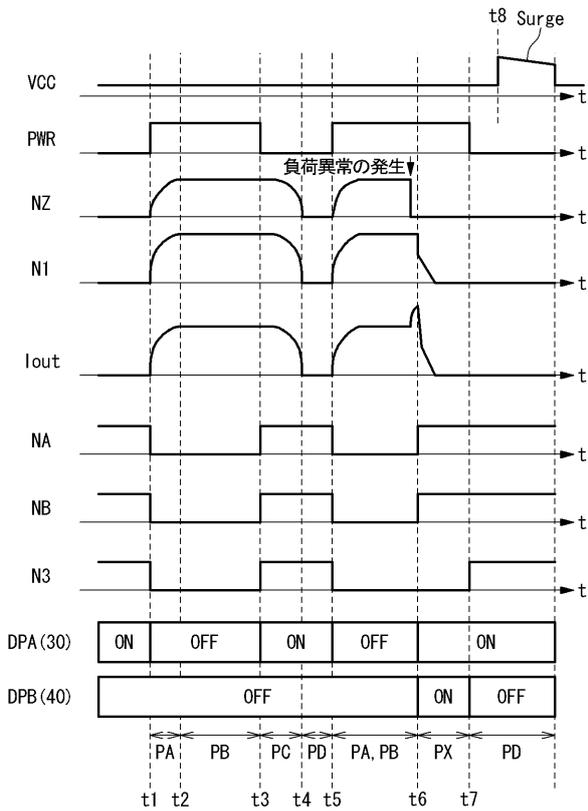
【図5】



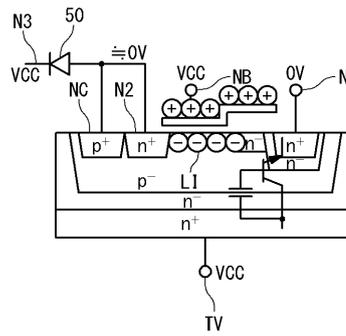
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開平08-288817(JP,A)
特開平04-079759(JP,A)
特開2010-130822(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
G05F 1/56
H01L 27/04
H01L 29/78